

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2002-198494(P2002-198494A)

【公開日】平成14年7月12日(2002.7.12)

【出願番号】特願2001-288468(P2001-288468)

【国際特許分類第7版】

H 01 L 27/105

【F I】

H 01 L 27/10 444 B

【手続補正書】

【提出日】平成16年11月2日(2004.11.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上における一の領域に形成されたトランジスタと、

前記半導体基板上における他の領域に形成された導電層と、

前記トランジスタ及び導電層を含む前記半導体基板の上に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜の上に形成された容量下部電極と、

前記容量下部電極の上に形成された強誘電体膜よりなる容量絶縁膜と、

前記容量絶縁膜の上に前記容量絶縁膜の外側まで延びるように形成された容量上部電極と、

前記第1の層間絶縁膜に形成され、前記トランジスタと前記容量下部電極とを接続する第1のプラグと、

前記第1の層間絶縁膜に形成され、前記導電層と前記容量上部電極とを電気的に接続する第2のプラグと、

前記第1の層間絶縁膜の上に形成され、前記第2のプラグと接続する接続パッドとを備え、

前記容量上部電極は、前記接続パッドを介して前記第2のプラグと接続することを特徴とする強誘電体メモリ。

【請求項2】

前記導電層は、前記半導体基板の表面部に形成された不純物拡散層、又は前記不純物拡散層の表面部がシリサイド化された層であることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項3】

前記第1の層間絶縁膜は下層膜とその上に形成された上層膜とを有しており、

前記導電層は前記下層膜と前記上層膜との間に形成されていることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項4】

前記容量上部電極の少なくとも一部は、P_t膜又はP_tを含む合金膜よりなることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項5】

前記容量上部電極の上に形成された水素バリア膜をさらに備えていることを特徴とする

請求項 1 に記載の強誘電体メモリ。**【請求項 6】**

半導体基板上における一の領域にトランジスタを形成する工程と、
前記半導体基板上における他の領域に導電層を形成する工程と、
前記トランジスタ及び導電層を含む前記半導体基板の上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜に、前記トランジスタと接続する第1のプラグと、前記導電層と接続する第2のプラグとを形成する工程と、

前記第1の層間絶縁膜の上に前記第1のプラグと接続するように容量下部電極を形成する工程と、

前記第1の層間絶縁膜の上に前記第2のプラグと接続するように接続パッドを形成する工程と、

前記容量下部電極の上に、強誘電体膜よりなる容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に、前記容量絶縁膜の外側まで延び且つ前記接続パッドと電気的に接続するように容量上部電極を形成する工程とを備えていることを特徴とする強誘電体メモリの製造方法。

【請求項 7】

前記容量絶縁膜を形成する工程は、前記容量絶縁膜を、その端部が前記接続パッドの上に位置するように形成する工程を含むことを特徴とする請求項 6に記載の強誘電体メモリの製造方法。

【請求項 8】

前記容量上部電極を形成する工程は、前記容量絶縁膜となる絶縁性膜をパターン化するために用いられたマスクパターンを用いて、前記容量上部電極となる導電性膜をパターン化した後、前記容量上部電極の側面に前記接続パッドと電気的に接続するように導電性のサイドウォールを形成する工程を含むことを特徴とする請求項 6に記載の強誘電体メモリの製造方法。

【請求項 9】

前記容量絶縁膜を形成する工程は、前記容量絶縁膜を、その端部が前記接続パッドの上に位置するように形成する工程を含むことを特徴とする請求項 8に記載の強誘電体メモリの製造方法。

【請求項 10】

前記導電層は、前記半導体基板の表面部に形成された不純物拡散層、又は前記不純物拡散層の表面部がシリサイド化された層であることを特徴とする請求項 6に記載の強誘電体メモリの製造方法。

【請求項 11】

前記第1の層間絶縁膜は下層膜とその上に形成された上層膜とを有しており、

前記導電層は前記下層膜と前記上層膜との間に形成されていることを特徴とする請求項 6に記載の強誘電体メモリの製造方法。

【請求項 12】

前記容量上部電極の少なくとも一部は、P_t膜又はP_tを含む合金膜よりなることを特徴とする請求項 6に記載の強誘電体メモリの製造方法。

【請求項 13】

前記容量上部電極を形成する工程よりも後に、前記容量上部電極の上に水素バリア膜を形成する工程をさらに備えていることを特徴とする請求項 6に記載の強誘電体メモリの製造方法。

【請求項 14】

半導体基板上における一の領域に形成されたトランジスタと、

前記半導体基板上における他の領域に形成された導電層と、

前記トランジスタ及び導電層を含む前記半導体基板の上に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜の上に形成された容量下部電極と、
前記容量下部電極の上に前記容量下部電極の外側まで延びるように形成された強誘電体膜よりなる容量絶縁膜と、

前記容量絶縁膜における前記容量下部電極の外側に形成されている部分に設けられた開口部と、

前記開口部を含む前記容量絶縁膜の上に形成された容量上部電極と、

前記第1の層間絶縁膜に形成され、前記トランジスタと前記容量下部電極とを接続する第1のプラグと、

前記第1の層間絶縁膜に形成され、前記導電層と前記容量上部電極とを前記開口部を介して電気的に接続する第2のプラグとを備えていることを特徴とする強誘電体メモリ。

【請求項15】

前記導電層は、前記半導体基板の表面部に形成された不純物拡散層、又は前記不純物拡散層の表面部がシリサイド化された層であることを特徴とする請求項14に記載の強誘電体メモリ。

【請求項16】

前記第1の層間絶縁膜は下層膜とその上に形成された上層膜とを有しており、

前記導電層は前記下層膜と前記上層膜との間に形成されていることを特徴とする請求項14に記載の強誘電体メモリ。

【請求項17】

前記容量上部電極の少なくとも一部は、Pt膜又はPtを含む合金膜よりなることを特徴とする請求項14に記載の強誘電体メモリ。

【請求項18】

前記第1の層間絶縁膜の上に形成された接続パッドをさらに備え、

前記第2のプラグは、前記接続パッドと前記開口部とを介して前記容量上部電極と電気的に接続することを特徴とする請求項14に記載の強誘電体メモリ。

【請求項19】

半導体基板上における一の領域にトランジスタを形成する工程と、

前記半導体基板上における他の領域に導電層を形成する工程と、

前記トランジスタ及び導電層を含む前記半導体基板の上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜に、前記トランジスタと接続する第1のプラグと、前記導電層と接続する第2のプラグとを形成する工程と、

前記第1の層間絶縁膜の上に前記第1のプラグと接続するように容量下部電極を形成する工程と、

前記容量下部電極の上に、少なくとも前記第2のプラグの上側まで延び且つ強誘電体膜よりなる容量絶縁膜を形成する工程と、

前記容量絶縁膜における前記第2のプラグの上側に形成されている部分に開口部を形成する工程と、

前記開口部を含む前記容量絶縁膜の上に、前記開口部を介して前記第2のプラグと電気的に接続するように容量上部電極を形成する工程とを備えていることを特徴とする強誘電体メモリの製造方法。

【請求項20】

前記容量下部電極を形成する工程は、前記第1の層間絶縁膜の上に前記第2のプラグと接続するように接続パッドを形成する工程を含み、

前記容量上部電極を形成する工程は、前記容量上部電極を前記接続パッドと接続するように形成する工程を含むことを特徴とする請求項19に記載の強誘電体メモリの製造方法。

【請求項21】

前記開口部を形成する工程は前記容量絶縁膜となる絶縁性膜をパターン化する前に行なわれ、

前記容量上部電極を形成する工程は、前記容量絶縁膜となる前記絶縁性膜と、前記容量上部電極となる導電性膜とを同時にパターン化する工程を含むことを特徴とする請求項19に記載の強誘電体メモリの製造方法。

【請求項22】

前記導電層は、前記半導体基板の表面部に形成された不純物拡散層、又は前記不純物拡散層の表面部がシリサイド化された層であることを特徴とする請求項19に記載の強誘電体メモリの製造方法。

【請求項23】

前記第1の層間絶縁膜は下層膜とその上に形成された上層膜とを有しており、前記導電層は前記下層膜と前記上層膜との間に形成されていることを特徴とする請求項19に記載の強誘電体メモリの製造方法。

【請求項24】

前記容量上部電極の少なくとも一部は、Pt膜又はPtを含む合金膜よりなることを特徴とする請求項19に記載の強誘電体メモリの製造方法。