

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 2 月 11 日 (11.02.2016)



(10) 国际公布号
WO 2016/019606 A1

- (51) 国际专利分类号:
G02F 1/1333 (2006.01) *G02F 1/1362* (2006.01)
- (21) 国际申请号: PCT/CN2014/084942
- (22) 国际申请日: 2014 年 8 月 21 日 (21.08.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410390605.6 2014 年 8 月 8 日 (08.08.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (72) 发明人: 徐向阳 (XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区天安数码城数码时代大厦 A 座 1409, Guangdong 518040 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种阵列基板及其制作方法

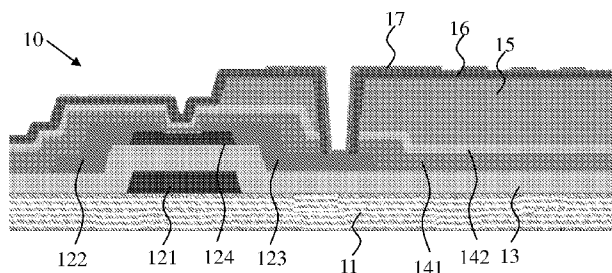


图 1 / Fig. 1

(57) Abstract: An array substrate and a manufacturing method therefor. The array substrate (10) comprises a glass substrate (11), a data line, a scan line, a pixel electrode (17), a thin film transistor and a color film photoresistor (15), wherein a second insulating layer (141, 142) is used for insulating treatment of a second metal layer and the color film photoresistor layer (15), and the second insulating layer (141, 142) comprises a silicon nitride insulating layer (141) and a silicon dioxide insulating layer (142), so that the peeling of the color film photoresistor (15) from the second insulating layer hardly occurs.

(57) 摘要: 一种阵列基板及其制作方法, 该阵列基板 (10) 包括玻璃基板 (11)、数据线、扫描线、像素电极 (17)、薄膜晶体管以及彩膜光阻 (15), 其中第二绝缘层 (141、142) 用于对第二金属层与彩膜光阻层 (15) 进行绝缘处理, 第二绝缘层 (141、142) 包括氮化硅绝缘层 (141) 以及二氧化硅绝缘层 (142), 使得彩膜光阻 (15) 不易从第二绝缘层上脱落。



WO 2016/019606 A1

说明书

发明名称：一种阵列基板及其制作方法

技术领域

- [1] 本发明涉及显示器领域，特别是涉及一种阵列基板及其制作方法。

背景技术

- [2] 液晶显示装置已广泛的应用于人们的工作和生活中，随着液晶显示技术的发展，人们对显示器的画质要求越来越高，如分辨率、亮度、视角、色彩饱和度以及画面响应速度等。
- [3] 传统的液晶显示装置将彩膜基板和阵列基板分别在不同的基板上进行制作，其中彩膜基板包括公共电极、RGB(红绿蓝)彩膜（彩膜光阻）以及黑色矩阵（BM，Black Matrix）；阵列基板包括薄膜晶体管、外围线路以及像素电极；然后将彩膜基板和阵列基板进行对盒操作，以形成液晶显示面板。传统的液晶显示面板的制作过程虽然简单，但是彩膜基板和阵列基板进行对盒操作时，容易由于对位误差产生漏光以及开口率降低的技术问题。
- [4] 因此为了避免上述的技术问题，液晶显示装置的制作商开发了一种COA（Color Film On Array）阵列基板，COA阵列基板将彩膜基板和阵列基板设置在同一玻璃基板上，这样在对盒操作时不会产生对位误差，提高了液晶显示面板的开口率。
- [5] 但是现有的COA阵列基板需要将彩膜光阻（有机材料）粘附在阵列基板的绝缘材料（无机材料）上，容易产生彩膜光阻的脱落（peeling）现象。
- [6] 故，有必要提供一种阵列基板及其制作方法，以解决现有技术所存在的问题。

对发明的公开

技术问题

- [7] 本发明的目的在于提供一种彩膜光阻不易从阵列基板上脱落的阵列基板及其制作方法；以解决现有的阵列基板中彩膜光阻易从阵列基板上脱落的技术问题。

问题的解决方案

技术解决方案

- [8] 本发明实施例提供一种阵列基板，其包括：
- [9] 玻璃基板，其上依次设置有第一金属层、第一绝缘层、第二金属层、第二绝缘层、彩膜光阻层、第三绝缘层以及透明电极层；以及
- [10] 薄膜晶体管，用于根据所述扫描信号，将所述数据信号传输至所述像素电极上；
- [11] 其中所述第一绝缘层用于对所述第一金属层与所述第二金属层进行绝缘处理；所述第三绝缘层用于对所述彩膜光阻层和所述透明电极层进行绝缘处理；所述第二绝缘层用于对所述第二金属层与所述彩膜光阻层进行绝缘处理；所述第二绝缘层包括氮化硅绝缘层以及设置在所述氮化硅绝缘层上的二氧化硅绝缘层；
- [12] 其中所述第二金属层包括用于传输数据信号的数据线；所述第一金属层包括用于传输扫描信号的扫描线；所述透明电极层包括用于显示所述数据信号的像素电极；所述彩膜光阻层包括彩膜光阻。
- [13] 在本发明所述阵列基板中，所述第二绝缘层的所述氮化硅绝缘层的厚度为50纳米至100纳米；所述第二绝缘层的所述二氧化硅绝缘层的厚度为50纳米至100纳米。
- [14] 在本发明所述阵列基板中，所述第三绝缘层为氮化硅绝缘层或二氧化硅绝缘层，所述第三绝缘层的厚度为100纳米至200纳米。
- [15] 在本发明所述阵列基板中，所述第一绝缘层为氮化硅绝缘层，所述第一绝缘层的厚度为100纳米至300纳米。
- [16] 在本发明所述阵列基板中，所述彩膜光阻层的厚度为500纳米至2000纳米。
- [17] 在本发明所述阵列基板中，所述透明电极层为氧化铟锡透明电极层或氧化铟锌透明电极层，所述透明电极层的厚度为10纳米至100纳米。
- [18] 本发明实施例提供一种阵列基板，其包括：
- [19] 玻璃基板，其上依次设置有第一金属层、第一绝缘层、第二金属层、第二绝缘层、彩膜光阻层、第三绝缘层以及透明电极层；
- [20] 其中所述第一绝缘层用于对所述第一金属层与所述第二金属层进行绝缘处理；所述第三绝缘层用于对所述彩膜光阻层和所述透明电极层进行绝缘处理；所述第二绝缘层用于对所述第二金属层与所述彩膜光阻层进行绝缘处理；所述第二

绝缘层包括氮化硅绝缘层以及设置在所述氮化硅绝缘层上的二氧化硅绝缘层。

[21] 在本发明所述阵列基板中，所述第二金属层包括用于传输数据信号的数据线；所述第一金属层包括用于传输扫描信号的扫描线；所述透明电极层包括用于显示所述数据信号的像素电极；所述彩膜光阻层包括彩膜光阻。

[22] 在本发明所述阵列基板中，所述阵列基板还包括：

[23] 薄膜晶体管，用于根据所述扫描信号，将所述数据信号传输至所述像素电极上。

[24] 在本发明所述阵列基板中，所述第二绝缘层的所述氮化硅绝缘层的厚度为50纳米至100纳米；所述第二绝缘层的所述二氧化硅绝缘层的厚度为50纳米至100纳米。

[25] 在本发明所述阵列基板中，所述第三绝缘层为氮化硅绝缘层或二氧化硅绝缘层，所述第三绝缘层的厚度为100纳米至200纳米。

[26] 在本发明所述阵列基板中，所述第一绝缘层为氮化硅绝缘层，所述第一绝缘层的厚度为100纳米至300纳米。

[27] 在本发明所述阵列基板中，所述彩膜光阻层的厚度为500纳米至2000纳米。

[28] 在本发明所述阵列基板中，所述透明电极层为氧化铟锡透明电极层或氧化铟锌透明电极层，所述透明电极层的厚度为10纳米至100纳米。

[29] 本发明实施例还提供一种阵列基板的制作方法，其包括：

[30] 在玻璃基板上沉积第一金属层，并对所述第一金属层进行图形化处理，以形成扫描线以及薄膜晶体管的栅极；

[31] 在所述玻璃基板上沉积第一绝缘层以及半导体层，并对所述第一绝缘层以及所述半导体层进行图形化处理，以形成所述薄膜晶体管的沟道；

[32] 在所述玻璃基板上沉积第二金属层，并对所述第二金属层进行图形化处理，以形成数据线以及所述薄膜晶体管的漏极以及源极；

[33] 在所述玻璃基板上沉积第二绝缘层，并对所述第二绝缘层进行图形化处理；

[34] 在所述图形化处理后的所述第二绝缘层上沉积彩膜光阻层，以形成所述彩膜光阻；

[35] 在所述玻璃基板上沉积第三绝缘层，并对所述第三绝缘层进行图形化处理，以

在所述第三绝缘层上形成通孔；以及

- [36] 在所述玻璃基板上沉积透明电极层，并对所述透明电极层进行图形化处理，以形成像素电极；
- [37] 其中所述第二绝缘层包括氮化硅绝缘层以及设置在所述氮化硅绝缘层上的二氧化硅绝缘层。
- [38] 在本发明所述的阵列基板的制作方法中，所述第二绝缘层的所述氮化硅绝缘层的厚度为50纳米至100纳米；所述第二绝缘层的所述二氧化硅绝缘层的厚度为50纳米至100纳米。
- [39] 在本发明所述的阵列基板的制作方法中，所述彩膜光阻层的厚度为500纳米至2000纳米。
- [40] 在本发明所述的阵列基板的制作方法中，所述第三绝缘层为氮化硅绝缘层或二氧化硅绝缘层，所述第三绝缘层的厚度为100纳米至200纳米。
- [41] 在本发明所述的阵列基板的制作方法中，所述第一绝缘层为氮化硅绝缘层，所述第一绝缘层的厚度为100纳米至300纳米。
- [42] 在本发明所述的阵列基板的制作方法中，所述透明电极层为氧化铟锡透明电极层或氧化铟锌透明电极层，所述透明电极层的厚度为10纳米至100纳米。

发明的有益效果

有益效果

- [43] 相较于现有的阵列基板及其制作方法，本发明的阵列基板及其制作方法通过设置具有氮化硅绝缘层以及二氧化硅绝缘层的第二绝缘层，并将彩膜光阻设置在第二绝缘层的二氧化硅绝缘层上，使得彩膜光阻不易从第二绝缘层上脱落；解决了现有的阵列基板中彩膜光阻易从阵列基板上脱落的技术问题。

对附图的简要说明

附图说明

- [44] 图1为本发明的阵列基板的优选实施例的结构示意图；
- [45] 图2为本发明的阵列基板的制作方法的优选实施例的流程图；
- [46] 图3A-图3F为本发明的阵列基板的制作方法的优选实施例的制作示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [47] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。
- [48] 在图中，结构相似的单元是以相同标号表示。
- [49] 请参照图1，图1为本发明的阵列基板的优选实施例的结构示意图。本优选实施例的阵列基板10包括玻璃基板11、数据线、扫描线、像素电极、薄膜晶体管以及彩膜光阻15。
- [50] 其中在玻璃基板11上依次设置有第一金属层、第一绝缘层13、半导体层、第二金属层、第二绝缘层、彩膜光阻层、第三绝缘层16以及透明电极层。扫描线设置在第一金属层上，用于传输扫描信号；数据线设置在第二金属层上，用于传输数据信号；像素电极17设置在透明电极层上，用于显示数据信号；薄膜晶体管包括源极122、漏极123、栅极121以及沟道124，其中薄膜晶体管的栅极121设置在第一金属层上，与扫描线连接；薄膜晶体管的源极122上设置在第二金属层上，与数据线连接；薄膜晶体管的漏极123设置在第二金属层上，与像素电极17连接；薄膜晶体管的沟道124设置在半导体层。彩膜光阻15设置在彩膜光阻层上，用于形成RGB像素。
- [51] 其中第一绝缘层13用于对数据线及扫描线进行绝缘处理，第三绝缘层16用于对彩膜光阻15和像素电极17进行绝缘处理，第二绝缘层用于对数据线和彩膜光阻15进行绝缘处理。
- [52] 在本优选实施例中，第二绝缘层包括与数据线接触的氮化硅绝缘层141、以及与彩膜光阻15接触的二氧化硅绝缘层142，即二氧化硅绝缘层142设置在氮化硅绝缘层141上。
- [53] 其中第一金属层的材料可为铬、钼、铝或铜等，该第一金属层的厚度为100纳米至600纳米。第一绝缘层13为氮化硅绝缘层，第一绝缘层13的厚度为100纳米至300纳米。第二金属层的材料可为铬、钼、铝或铜等，该第二金属层的厚度为

100纳米至600纳米。第二绝缘层的氮化硅绝缘层141的厚度为50纳米至100纳米；第二绝缘层的二氧化硅绝缘层142的厚度为50纳米至100纳米。彩膜光阻层的厚度为500纳米至2000纳米。第三绝缘层16为氮化硅绝缘层或二氧化硅绝缘层，第三绝缘层16的厚度为100纳米至200纳米。透明电极层为氧化铟锡透明电极层或氧化铟锌透明电极层，透明电极层的厚度为10纳米至100纳米。

[54] 本优选实施例的阵列基板10制作时，采用氮化硅绝缘层141作为来保护薄膜晶体管的沟道124。由于氮化硅绝缘层141的材料质地较为致密，因此可对薄膜晶体管的沟道124进行较好的绝缘保护。

[55] 同时该阵列基板10在氮化硅绝缘层141上设置有二氧化硅绝缘层142，彩膜光阻15直接设置在二氧化硅绝缘层142上，由于二氧化硅绝缘层142的材料质地较氮化硅绝缘层141的材料质地更为松散，二氧化硅绝缘层142的表面粗糙度远远高于氮化硅绝缘层，因此彩膜光阻15可以很好的粘附在二氧化硅绝缘层142的表面上，同时由于二氧化硅绝缘层142与氮化硅绝缘层141由于均为无机材料，二氧化硅绝缘层142与氮化硅绝缘层141之间也能牢固的粘附在一起，因此避免了彩膜光阻15从第二绝缘层上脱落问题的产生。

[56] 当然为了进一步二氧化硅绝缘层142与彩膜光阻15之间的粘附力，可以在粘附彩膜光阻15之前，使用等离子体对二氧化硅绝缘层142的表面进行轰击，以进一步提高二氧化硅绝缘层142的表面粗糙度。

[57] 本发明的阵列基板通过设置具有氮化硅绝缘层以及二氧化硅绝缘层的第二绝缘层，并将彩膜光阻设置在第二绝缘层的二氧化硅绝缘层上，使得彩膜光阻不易从第二绝缘层上脱落；避免了彩膜光阻从阵列基板上脱落的问题的产生。

[58] 本发明还提供一种阵列基板的制作方法，请参照图2，图2为本发明的阵列基板的制作方法的优选实施例的流程图。本优选实施例的阵列基板的制作方法包括：

[59] 步骤S201，在玻璃基板上沉积第一金属层，并对第一金属层进行图形化处理，以形成扫描线以及薄膜晶体管的栅极；

[60] 步骤S202，在玻璃基板上沉积第一绝缘层以及半导体层，并对第一绝缘层以及半导体层进行图形化处理，以形成薄膜晶体管的沟道；

- [61] 步骤S203, 在玻璃基板上沉积第二金属层, 并对第二金属层进行图形化处理, 以形成数据线、以及薄膜晶体管的漏极以及源极;
- [62] 步骤S204, 在玻璃基板上沉积第二绝缘层, 并对第二绝缘层进行图形化处理;
- [63] 步骤S205, 在图形化处理后的第二绝缘层上沉积彩膜光阻层, 以形成彩膜光阻;
- [64] 步骤S206, 在玻璃基板上沉积第三绝缘层, 并对第三绝缘层进行图形化处理, 以在第三绝缘层上形成通孔;
- [65] 步骤S207, 在玻璃基板上沉积透明电极层, 并对透明电极层进行图形化处理, 以形成像素电极;
- [66] 本优选实施例的阵列基板的制作方法结束于步骤S207。
- [67] 下面详细说明本优选实施例的阵列基板的制作方法的各步骤的流程。请参照图3A-图3F, 图3A-图3F为本发明的阵列基板的制作方法的优选实施例的制作示意图。
- [68] 在步骤S201中, 在玻璃基板11上沉积第一金属层, 第一金属层的材料可为铬、钼、铝或铜等, 第一金属层的厚度为100纳米至600纳米。然后使用光罩对第一金属层进行图形化处理(湿法刻蚀之后对光刻胶进行剥离), 以形成扫描线(图中未示出)以及薄膜晶体管的栅极121(与相应的扫描线连接), 如图3A所示, 随后转到步骤S202。
- [69] 在步骤S202中, 在玻璃基板11上沉积第一绝缘层13以及半导体层, 其中第一绝缘层为氮化硅绝缘层, 第一绝缘层的厚度为100纳米至300纳米; 半导体层为非晶硅层。然后使用光罩对第一绝缘层以及所述半导体层进行图形化处理(干法刻蚀之后对光刻胶进行剥离), 以形成薄膜晶体管的沟道124, 如图3B所示, 随后转到步骤S203。
- [70] 在步骤S203中, 在玻璃基板11上沉积第二金属层, 第二金属层的材料可为铬、钼、铝或铜等, 第二金属层的厚度为100纳米至600纳米。然后使用光罩对第二金属层进行图形化处理(干法刻蚀之后对光刻胶进行剥离), 以形成数据线(图中未示出)、以及薄膜晶体管的漏极123以及源极122(与相应的数据线连接), 如图3C所示, 随后转到步骤S204。

- [71] 在步骤S204中，在玻璃基板11上沉积第二绝缘层，第二绝缘层包括氮化硅绝缘层141以及设置在氮化硅绝缘层141上的二氧化硅绝缘层142。第二绝缘层的氮化硅绝缘层141的厚度为50纳米至100纳米；第二绝缘层的二氧化硅绝缘层142的厚度为50纳米至100纳米。然后使用光罩对第二绝缘层进行图形化处理（干法刻蚀之后对光刻胶进行剥离），如图3D所示，随后转到步骤S205。
- [72] 在步骤S205中，在图形化处理后的第二绝缘层上沉积彩膜光阻层，该彩膜光阻层的厚度为500纳米至2000纳米，然后通过曝光显影工艺形成彩膜光阻15，如图3E所示，随后转到步骤S206。
- [73] 在步骤S206中，在玻璃基板上沉积第三绝缘层16，第三绝缘层16为氮化硅绝缘层或二氧化硅绝缘层，第三绝缘层16的厚度为100纳米至200纳米。然后使用光罩对第三绝缘层16进行图形化处理（干法刻蚀之后对光刻胶进行剥离），以在第三绝缘层上形成通孔161；如图3F所示，随后转到步骤S207。
- [74] 在步骤S207中，在玻璃基板11上沉积透明电极层，透明电极层为氧化铟锡透明电极层或氧化铟锌透明电极层，透明电极层的厚度为10纳米至100纳米。然后使用光罩对透明电极层进行图形化处理（湿法刻蚀之后对光刻胶进行剥离），以形成像素电极17；该像素电极17通过通孔161与薄膜晶体管的漏极123连接，如图1所示。
- [75] 这样即完成了本优选实施例的阵列基板的制作过程。
- [76] 本优选实施例的阵列基板制作时，采用氮化硅绝缘层作为来保护薄膜晶体管的沟道。由于氮化硅绝缘层的材料质地较为致密，因此可对薄膜晶体管的沟道进行较好的绝缘保护。
- [77] 同时该阵列基板在氮化硅绝缘层上设置有二氧化硅绝缘层，彩膜光阻直接设置在二氧化硅绝缘层上，由于二氧化硅绝缘层的材料质地较氮化硅绝缘层的材料质地更为松散，二氧化硅绝缘层的表面粗糙度远远高于氮化硅绝缘层，因此彩膜光阻可以很好的粘附在二氧化硅绝缘层的表面上，同时由于二氧化硅绝缘层与氮化硅绝缘层由于均为无机材料，二氧化硅绝缘层与氮化硅绝缘层之间也能牢固的粘附在一起，因此避免了彩膜光阻从第二绝缘层上脱落问题的产生。
- [78] 本发明的阵列基板的制作方法通过设置具有氮化硅绝缘层以及二氧化硅绝缘层

的第二绝缘层，并将彩膜光阻设置在第二绝缘层的二氧化硅绝缘层上，使得彩膜光阻不易从第二绝缘层上脱落；避免了彩膜光阻从阵列基板上脱落的问题的产生。

[79] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种阵列基板，其包括：
玻璃基板，其上依次设置有第一金属层、第一绝缘层、第二金属层、第二绝缘层、彩膜光阻层、第三绝缘层以及透明电极层；以及
薄膜晶体管，用于根据所述扫描信号，将所述数据信号传输至所述像素电极上；
其中所述第一绝缘层用于对所述第一金属层与所述第二金属层进行绝缘处理；所述第三绝缘层用于对所述彩膜光阻层和所述透明电极层进行绝缘处理；所述第二绝缘层用于对所述第二金属层与所述彩膜光阻层进行绝缘处理；所述第二绝缘层包括氮化硅绝缘层以及设置在所述氮化硅绝缘层上的二氧化硅绝缘层；
其中所述第二金属层包括用于传输数据信号的数据线；所述第一金属层包括用于传输扫描信号的扫描线；所述透明电极层包括用于显示所述数据信号的像素电极；所述彩膜光阻层包括彩膜光阻。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中所述第二绝缘层的所述氮化硅绝缘层的厚度为50纳米至100纳米；所述第二绝缘层的所述二氧化硅绝缘层的厚度为50纳米至100纳米。
- [权利要求 3] 根据权利要求1所述的阵列基板，其中所述第三绝缘层为氮化硅绝缘层或二氧化硅绝缘层，所述第三绝缘层的厚度为100纳米至200纳米。
- [权利要求 4] 根据权利要求1所述的阵列基板，其中所述第一绝缘层为氮化硅绝缘层，所述第一绝缘层的厚度为100纳米至300纳米。
- [权利要求 5] 根据权利要求1所述的阵列基板，其中所述彩膜光阻层的厚度为500纳米至2000纳米。
- [权利要求 6] 根据权利要求1所述的阵列基板，其中所述透明电极层为氧化铟锡透明电极层或氧化铟锌透明电极层，所述透明电极层的厚度为10

纳米至100纳米。

[权利要求 7]

一种阵列基板，其包括：

玻璃基板，其上依次设置有第一金属层、第一绝缘层、第二金属层、第二绝缘层、彩膜光阻层、第三绝缘层以及透明电极层；其中所述第一绝缘层用于对所述第一金属层与所述第二金属层进行绝缘处理；所述第三绝缘层用于对所述彩膜光阻层和所述透明电极层进行绝缘处理；所述第二绝缘层用于对所述第二金属层与所述彩膜光阻层进行绝缘处理；所述第二绝缘层包括氮化硅绝缘层以及设置在所述氮化硅绝缘层上的二氧化硅绝缘层。

[权利要求 8]

根据权利要求7所述的阵列基板，其中所述第二金属层包括用于传输数据信号的数据线；所述第一金属层包括用于传输扫描信号的扫描线；所述透明电极层包括用于显示所述数据信号的像素电极；所述彩膜光阻层包括彩膜光阻。

[权利要求 9]

根据权利要求7所述的阵列基板，其中所述阵列基板还包括：薄膜晶体管，用于根据所述扫描信号，将所述数据信号传输至所述像素电极上。

[权利要求 10]

根据权利要求7所述的阵列基板，其中所述第二绝缘层的所述氮化硅绝缘层的厚度为50纳米至100纳米；所述第二绝缘层的所述二氧化硅绝缘层的厚度为50纳米至100纳米。

[权利要求 11]

根据权利要求7所述的阵列基板，其中所述第三绝缘层为氮化硅绝缘层或二氧化硅绝缘层，所述第三绝缘层的厚度为100纳米至200纳米。

[权利要求 12]

根据权利要求7所述的阵列基板，其中所述第一绝缘层为氮化硅绝缘层，所述第一绝缘层的厚度为100纳米至300纳米。

[权利要求 13]

根据权利要求7所述的阵列基板，其中所述彩膜光阻层的厚度为500纳米至2000纳米。

[权利要求 14]

根据权利要求7所述的阵列基板，其中所述透明电极层为氧化铟锡透明电极层或氧化铟锌透明电极层，所述透明电极层的厚度为10

纳米至100纳米。

[权利要求 15]

一种阵列基板的制作方法，其包括：

在玻璃基板上沉积第一金属层，并对所述第一金属层进行图形化处理，以形成扫描线以及薄膜晶体管的栅极；

在所述玻璃基板上沉积第一绝缘层以及半导体层，并对所述第一绝缘层以及所述半导体层进行图形化处理，以形成所述薄膜晶体管的沟道；

在所述玻璃基板上沉积第二金属层，并对所述第二金属层进行图形化处理，以形成数据线、以及所述薄膜晶体管的漏极以及源极；

在所述玻璃基板上沉积第二绝缘层，并对所述第二绝缘层进行图形化处理；

在所述图形化处理后的所述第二绝缘层上沉积彩膜光阻层，以形成所述彩膜光阻；

在所述玻璃基板上沉积第三绝缘层，并对所述第三绝缘层进行图形化处理，以在所述第三绝缘层上形成通孔；以及

在所述玻璃基板上沉积透明电极层，并对所述透明电极层进行图形化处理，以形成像素电极；

其中所述第二绝缘层包括氮化硅绝缘层以及设置在所述氮化硅绝缘层上的二氧化硅绝缘层。

[权利要求 16]

根据权利要求15所述的阵列基板的制作方法，其中所述第二绝缘层的所述氮化硅绝缘层的厚度为50纳米至100纳米；所述第二绝缘层的所述二氧化硅绝缘层的厚度为50纳米至100纳米。

[权利要求 17]

根据权利要求15所述的阵列基板的制作方法，其中所述彩膜光阻层的厚度为500纳米至2000纳米。

[权利要求 18]

根据权利要求15所述的阵列基板的制作方法，其中所述第三绝缘层为氮化硅绝缘层或二氧化硅绝缘层，所述第三绝缘层的厚度为100纳米至200纳米。

- [权利要求 19] 根据权利要求15所述的阵列基板的制作方法，其中所述第一绝缘层为氮化硅绝缘层，所述第一绝缘层的厚度为100纳米至300纳米。
- [权利要求 20] 根据权利要求15所述的阵列基板的制作方法，其中所述透明电极层为氧化铟锡透明电极层或氧化铟锌透明电极层，所述透明电极层的厚度为10纳米至100纳米。

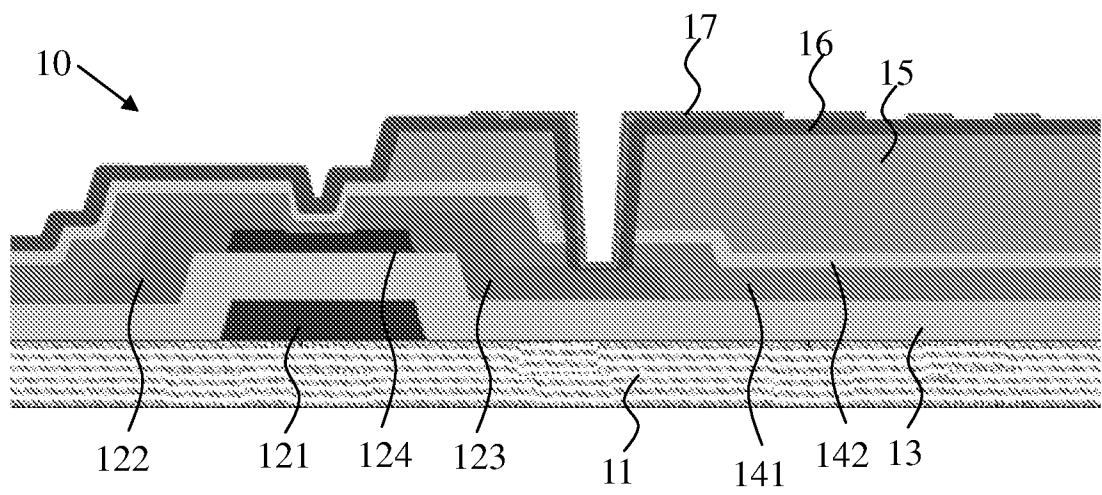


图 1

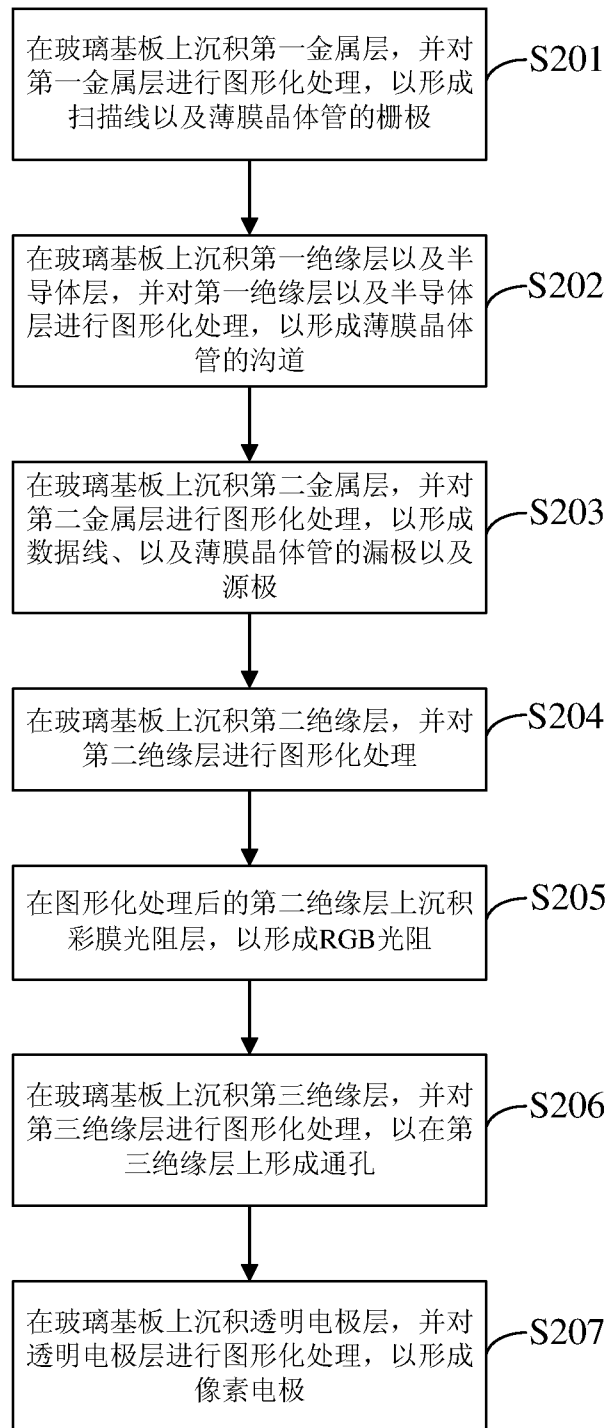


图 2

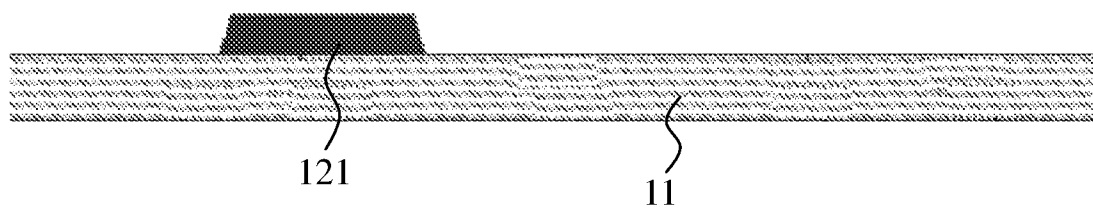


图 3A

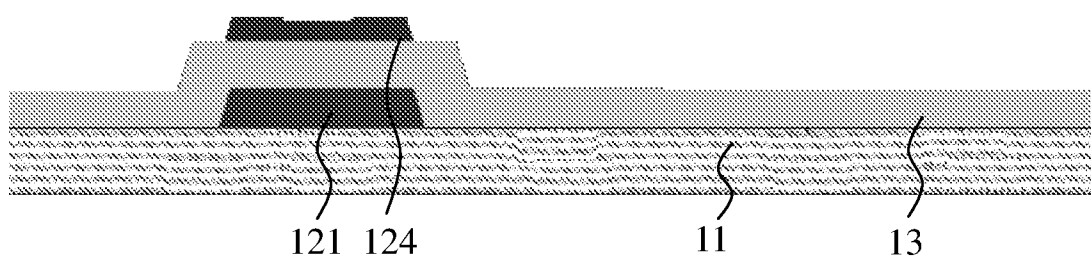


图 3B

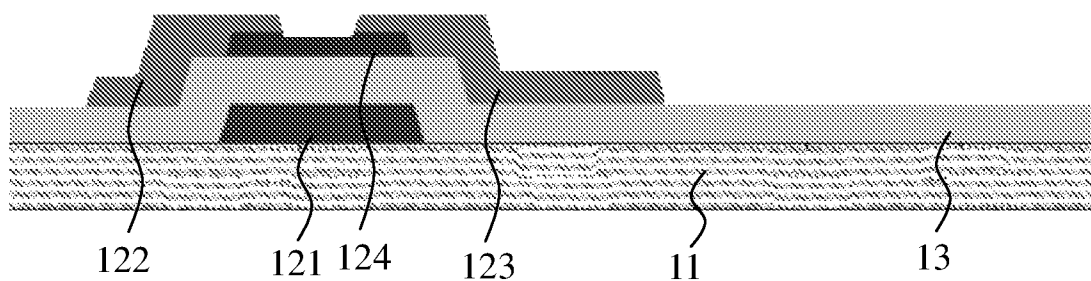


图 3C

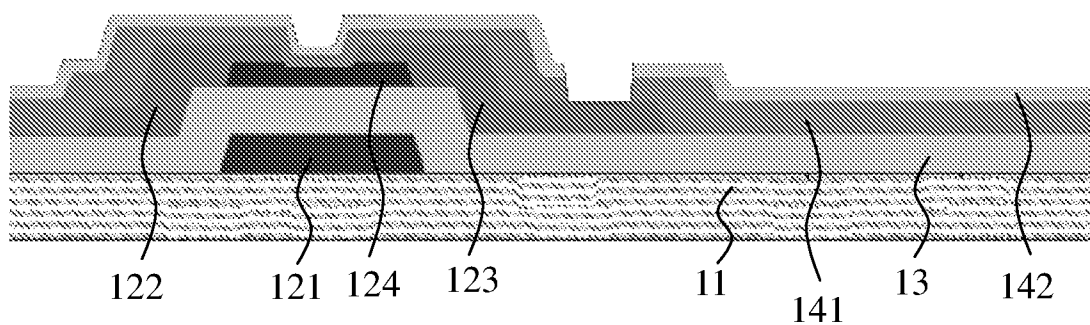


图 3D

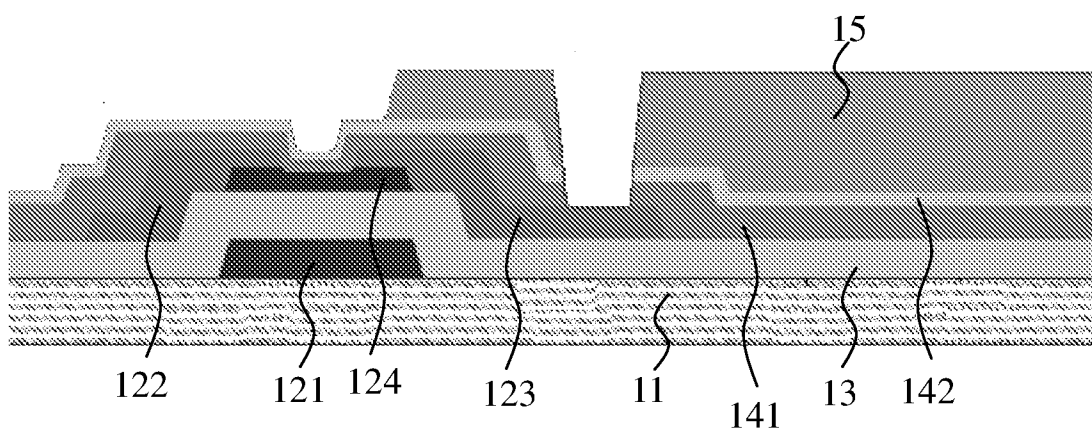


图 3E

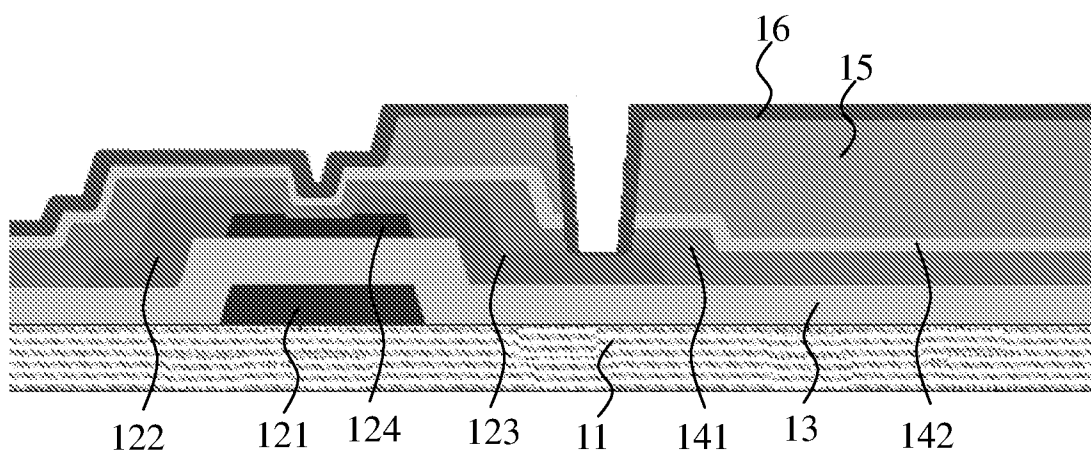


图 3F

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/084942

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1333 (2006.01) i; G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI: array, liquid crystal, insulating layer, colour resistance, passivation layer, silicon dioxide, thin film transistor, colour filter, leakage, source, colour film, silicon oxide, silicon nitride, two-layer, light filtering, multilayer, detach, fall off, protective layer, substrate, color, filter, CF, insulat+, layer, protect+, two, double, multi+, SiN?, SiO, peel+, TFT

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1534362 A (FUJITSU DISPLAY TECHNOLOGIES CORPORATION), 06 October 2004 (06.10.2004), description, page 2, line 25 to page 3, line 20 and page 5, line 29 to page 12, line 18, and figures 1-12	1-20
A	CN 101257031 A (CHIMEI INNOLUX CORPORATION), 03 September 2008 (03.09.2008), the whole document	1-20
A	CN 101330061 A (AU OPTRONICS CORP.), 24 December 2008 (24.12.2008), the whole document	1-20
A	US 2002012083 A1 (TANAKA, J. et al.), 31 January 2002 (31.01.2002), the whole document	1-20
A	JP H09329803 A (TOSHIBA DENSHI ENG KK, et al.), 22 December 1997 (22.12.1997), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
30 March 2015 (30.03.2015)

Date of mailing of the international search report
29 April 2015 (29.04.2015)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
CHEN, Jiajia
Telephone No.: (86-10) **82245600**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/084942

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1534362 A	06 October 2004	CN 1955804 A	02 May 2007
		CN 1288490 C	06 December 2006
		US 7012658 B2	14 March 2006
		KR 100814183 B1	14 March 2008
		JP 5101580 B2	19 December 2012
		JP 4417072 B2	17 February 2010
		US 2004246424 A1	09 December 2004
		JP 2009276788 A	26 November 2009
		US 2006114393 A1	01 June 2006
		US 7268842 B2	11 September 2007
		TW 200424727 A	16 November 2004
		TW I249643 B	21 February 2006
		CN 100458516 C	04 February 2009
		JP 2004318063 A	11 November 2004
		KR 20040084720 A	06 October 2004
CN 101257031 A	03 September 2008	CN 101257031 B	14 July 2010
CN 101330061 A	24 December 2008	CN 101330061 B	08 December 2010
US 2002012083 A1	31 January 2002	US 2002033912 A1	21 March 2002
		US 6727964 B2	27 April 2004
		US 6731358 B2	04 May 2004
		KR 20020010098 A	02 February 2002
		KR 100443030 B1	04 August 2004
		JP 2002040485 A	06 February 2002
		JP 3793402 B2	05 July 2006
		TW 523629 B	11 March 2003
JP H09329803 A	22 December 1997	None	

国际检索报告

国际申请号

PCT/CN2014/084942

A. 主题的分类

G02F 1/1333(2006.01)i; G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F1/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, EPODOC, WPI:阵列, 液晶, 基板, 绝缘层, 色阻, 钝化层, 二氧化硅, 薄膜晶体管, 彩色滤光, 漏, 源, 彩膜, 氧化硅, 氮化硅, 两层, 滤光, 多层, 脱离, 脱落, 保护层, substrate, color, filter, CF, insulat+, layer, protect+, two, double, multi+, SiN?, SiO?, peel+, TFT

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1534362 A (富士通显示技术株式会社) 2004年 10月 6日 (2004 - 10 - 06) 说明书第2页第25行-第3页第20行、第5页第29行-第12页第18行, 图1-12	1-20
A	CN 101257031 A (奇美电子股份有限公司) 2008年 9月 3日 (2008 - 09 - 03) 全文	1-20
A	CN 101330061 A (友达光电股份有限公司) 2008年 12月 24日 (2008 - 12 - 24) 全文	1-20
A	US 2002012083 A1 (TANAKA, JUN等) 2002年 1月 31日 (2002 - 01 - 31) 全文	1-20
A	JP H09329803 A (TOSHIBA DENSHI ENG KK. 等) 1997年 12月 22日 (1997 - 12 - 22) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 3月 30日

国际检索报告邮寄日期

2015年 4月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

陈嘉佳

电话号码 (86-10)82245600

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/084942

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1534362	A	2004年 10月 6日	CN	1955804	A	2007年 5月 2日
				CN	1288490	C	2006年 12月 6日
				US	7012658	B2	2006年 3月 14日
				KR	100814183	B1	2008年 3月 14日
				JP	5101580	B2	2012年 12月 19日
				JP	4417072	B2	2010年 2月 17日
				US	2004246424	A1	2004年 12月 9日
				JP	2009276788	A	2009年 11月 26日
				US	2006114393	A1	2006年 6月 1日
				US	7268842	B2	2007年 9月 11日
				TW	200424727	A	2004年 11月 16日
				TW	I249643	B	2006年 2月 21日
				CN	100458516	C	2009年 2月 4日
				JP	2004318063	A	2004年 11月 11日
				KR	20040084720	A	2004年 10月 6日
CN	101257031	A	2008年 9月 3日	CN	101257031	B	2010年 7月 14日
CN	101330061	A	2008年 12月 24日	CN	101330061	B	2010年 12月 8日
US	2002012083	A1	2002年 1月 31日	US	2002033912	A1	2002年 3月 21日
				US	6727964	B2	2004年 4月 27日
				US	6731358	B2	2004年 5月 4日
				KR	20020010098	A	2002年 2月 2日
				KR	100443030	B1	2004年 8月 4日
				JP	2002040485	A	2002年 2月 6日
				JP	3793402	B2	2006年 7月 5日
				TW	523629	B	2003年 3月 11日
JP	H09329803	A	1997年 12月 22日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)