[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03M 7/40 (2006.01)
H04N 7/24 (2006.01)
H04N 1/413 (2006.01)

[12] 发明专利说明书

专利号 ZL 200480032331.8

[45] 授权公告日 2009 年 12 月 2 日

[11] 授权公告号 CN 100566178C

[22] 申请日 2004.10.28
[21] 申请号 200480032331.8
[30] 优先权
[32] 2003.10.29 [33] JP [31] 369176/2003
[86] 国际申请 PCT/JP2004/015981 2004.10.28
[87] 国际公布 WO2005/041420 日 2005.5.6
[85] 进入国家阶段日期 2006.4.29
[73] 专利权人 日本电气株式会社
地址 日本东京都
[72] 发明人 仙田裕三
[56] 参考文献
JP5219381A 1993.8.27
JP697834 1994.4.8
JP2000299641A 2000.10.24
JP5176187A 1993.7.13

Context – Based AdaptiveBinaryArithmeticCodingintheH. 264/AVC VideoCompressionStandard. Detlev Marpe, Heiko Schwarz, Tomas Wiegand. IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY, Vol. VOL. 13. 2003
审查员 吴士芬
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 朱进桂

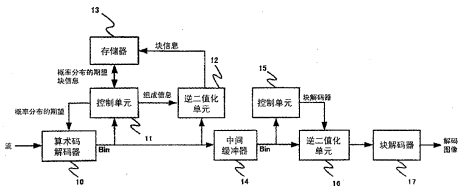
权利要求书 3 页 说明书 13 页 附图 8 页

[54] 发明名称

二进制算术码解码器和编码器，算术码解码器和编码器及其方法

[57] 摘要

在本发明的二进制算术码解码器中，分离算术码的解码和逆二值化，并且插入较大的中间缓冲器。 在输入流时首先执行算术码的解码，由此可以以解码器的最大输入比特率来解码算术码。 所获得的二进制符号串首先被保持在中间缓冲器中，随后执行与下一级的块解码器的处理相匹配的、从二进制符号串到多值符号的逆二值化。 提供了一种二进制算术码解码器和编码器、算术码解码器和编码器及其方法，用于以比现有技术低的最大 Bin 速率来实时编码和解码二进制算术码。



1. 一种二进制算术码解码器，包括：

存储器，用于存储解码所必需的算术码的概率估计值；

算术码解码器，用于使用所述概率估计值来解码作为输入接收到的二进制算术码，以获得二进制符号；

缓冲器，用于累积已经解码的所述二进制符号；

逆二值化单元，用于从所述缓冲器提取所述二进制符号，以将所述二进制符号转换为多值符号，并且提供结果；以及

控制单元，用于接收来自所述算术码解码器的所述二进制符号，并更新所述存储器中的所述概率估计值。

2. 一种算术码解码器，包括：

存储器，用于存储解码所必需的算术码的概率估计值；

算术码解码器，用于使用所述概率估计值来解码作为输入接收到的多值算术码，以获得多值符号；

缓冲器，用于累积已经解码的所述多值符号；

逆转换单元，用于从所述缓冲器提取所述多值符号，以将所述多值符号转换为输出符号，并提供结果；以及

控制单元，用于接收来自所述算术码解码器的所述多值符号，并更新所述存储器中的所述概率估计值。

3. 一种二进制算术码编码器，包括：

二值化单元，用于将作为输入接收到的用于二进制算术码编码的数据转换为二进制符号；

缓冲器，用于累积所述二进制符号；

算术编码器，用于从所述缓冲器提取二进制符号以生成算术码；以及

比特数估计单元，用于根据所述算术编码器已经提取的二进制符号数目以及已经生成的码比特数目来估计二进制符号数目和码比特数目之间的关系，并且用于根据所述缓冲器的累积数量估计算术编码之后生成的码比特数目。

4. 一种算术码编码器，包括：

多值转换单元，用于将作为输入接收到的用于多值算术码编码的数据转换为多值符号；

缓冲器，用于累积所述多值符号；

算术编码器，用于从所述缓冲器提取多值符号，并生成算术码；以及

比特数估计单元，用于根据所述算术编码器已经提取的多值符号数目以及已经生成的码比特数目来估计多值符号数目和码比特数目之间的关系，并且用于根据所述缓冲器的累积数量估计算术编码之后生成的码比特数目。

5. 一种解码器中解码二进制算术码的方法，所述解码器包括用于累积二进制符号的缓冲器和用于存储概率估计值的存储器，所述方法包括：

算术码解码步骤，使用所述概率估计值来解码作为输入接收到的二进制算术码，以获得二进制符号，并将所述二进制符号累积到所述缓冲器；以及

逆二值化步骤，从所述缓冲器提取所述二进制符号，以将所述二进制符号转换为多值符号，并且提供结果；以及

控制步骤，接收由所述算术码解码步骤获得的所述二进制符号，并更新所述存储器中的所述概率估计值。

6. 一种解码器中解码算术码的方法，所述解码器包括用于累积多值符号的缓冲器和用于存储概率估计值的存储器，所述方法包括：

算术码解码步骤，使用所述概率估计值来解码作为输入接收到的多值算术码，以获得多值符号，并将所述多值符号累积到所述缓冲器；

逆转换步骤，从所述缓冲器提取所述多值符号，以将所述多值符号转换为输出符号，并提供结果；以及

控制步骤，接收由所述算术码解码步骤获得的所述多值符号，并更新所述存储器中的所述概率估计值。

7. 一种编码器中编码二进制算术码的方法，所述编码器包括

用于累积已经转换的二进制符号的缓冲器，所述方法包括：

二值化步骤，将作为输入接收到的用于二进制算术码编码的数据转换为二进制符号，并将所述二进制符号累积到所述缓冲器；

算术编码步骤，从所述缓冲器提取二进制符号以生成算术码；以及

比特数估计步骤，用于根据在所述算术编码步骤已经提取的二进制符号数目以及已经生成的码比特数目来估计二进制符号数目和码比特数目之间的关系，并且根据所述缓冲器的累积数量估计算术编码之后生成的码比特数目。

8. 一种编码器中编码算术码的方法，所述编码器包括用于累积已经转换的多值符号的缓冲器，所述方法包括：

多值转换步骤，将作为输入接收到的用于多值算术码编码的数据转换为多值符号，并将所述多值符号累积到所述缓冲器；

算术编码步骤，从所述缓冲器提取多值符号，并生成算术码；以及

比特数估计步骤，用于根据在所述算术编码步骤已经提取的多值符号数目以及已经生成的码比特数目来估计多值符号数目和码比特数目之间的关系，并且根据所述缓冲器的累积数量估计算术编码之后生成的码比特数目。

二进制算术码解码器和编码器，算术码解码器和编码器及其方法

技术领域

本发明涉及算术解码和算术编码。更具体地，本发明涉及其中对多值符号进行了二值化的二进制符号串的算术码的解码和编码的封装。

背景技术

二进制算术编码是一种压缩编码技术。在二进制算术编码中，对一个多值符号进行二值化，以生成二进制符号串，然后对此二进制符号串进行算术编码，以获得最终二进制算术码。算术码的处理成本高于 Huffman 码，并且只是应用于不需要实时能力的应用中，例如文件压缩和静态图像压缩。然而，随着近年来在 LSI 中实现的速度越来越高，算术码已经开始用于图像编码。一个示例是国际电信联盟电信标准化部门（ITU-T）所建立的新视频编解码器的国际标准 H.264 的主类（Main Profile）。

在 H.264 中，二进制算术编码被称作“基于上下文的自适应二进制算术编码（CABAC）”。在 IEEE 的 International Conferences on Image Processing（ICIP）中，D. Marpe 等在 2002 年的会议上所著的题为“Context-based adaptive binary arithmetic coding in JVT/H.26L”（2002 IEEE International Conference on Image Processing, ISBN: 0-7803-7623-4 IEEE Catalog No. 02CH37396,p. 2-513-2-536）；以及在 2001 年的会议上所著的题为“Video compression using context-based adaptive arithmetic coding”（2001 IEEE International Conference on Image Processing, ISBN: 0-7803-6725-1,p. 558-561）中描述了关于 CABAC 的详情。

在CABAC中，首先将要编码的多值符号二值化为二进制符号(Bin)的串，然后根据针对每一Bin所确定的上下文的概率估计值，对每一Bin进行二进制算术编码。在二值化中，将数字设置为由公式所规定的格式，以将多个值转换为比特模式，但是这可以被视为简单的可变长度编码（VLC)。上下文选择中可以使用的环境包括：原始多值符号的表示的对象、周围块的参数、以及二进制符号串中的顺序。另一方面，在解码中，从现在要解码的二进制符号的上下文获得概率估计值，然后对算术码进行解码。如果恢复了二进制符号，则更新概率估计值，并且进一步选择接下来要解码的二进制符号的上下文。

在理想的算术编码中，可以将数据压缩到熵的极限，并且一个比特可以逻辑表达无限的Bin。然而，因为这在实际中难以封装，所以在CABAC中，采用简化算术编码，并且将上限设置在每比特的平均Bin数上。为了简化，通过参考表来代替乘法，因此解码一个Bin所需的计算受限于对表的参考、比较和相减。

在诸如H. 264 CABAC之类的二进制算术编码中，解码和编码算术码的处理成本较高。

图1示出了H. 264解码器的总体配置。

H. 264解码器的配置包括：用于接收并保持流的CPB缓冲器41；以及用于通过帧间隔来解码每一帧的即时解码器42。即时解码器42由CABAC解码器43和块解码器44组成。块解码器44执行逆量化、逆离散整数变换、运动补偿预测、以及环内（in-loop）滤波过程，并且处理成本与画面元素数目成比例。

相反，CABAC解码器43的处理成本与Bin数目成比例。

图2示出了CABAC解码器的详情。

CABAC解码器51包括二进制算术码解码器54、逆二值化单元55、用于保存每一上下文的概率估计值的存储器52、以及用于控制这些组件的控制单元53。处理单位是Bin的解码，并且控制单元53利用Bin的每一解码来更新概率估计值，并且还使内部状态根据H. 264标准的语法来转变。这些过程不能对多个Bin一起执行，因此Bin的数目确定了处理成本。

接下来计算实际的处理成本。每一帧的压缩率根据帧的编码类型（帧内或帧间）以及预测准确度或图像质量而不同，因此每一帧中的比特数随着每一帧而波动。换句话说，CABAC 解码器的成本随着每一帧而波动。根据此标准，一帧的最大比特数由如下公式给出：

2048×最大 MBPS×Delta 时间×色度格式因子/最小 CR，

并且，如果这被转换为平均帧间隔的最大比特率，则是：

2048×最大 MBPS×色度格式因子/最小 CR。

这里，最大 MBPS 是每秒的最大宏块数，Delta 时间是帧时间间隔，色度格式因子是在色彩信号加到亮度信号时的样本数目比，并且最小 CR 是最小压缩率。

在附录 A 中所描述的级别 4.1 中，最大 MBPS 是 245760，色度格式因子是 1.5，并且最小 CR 是 2，得到的最大比特率是 377 Mbps。Bin 到比特的压缩率被指定为 1.33 或更小，并且将此转换为最大 Bin 速率，得到 503 Mbin/sec。因为根据平均帧间隔得到最大比特率，所以这种情形中的最大 Bin 速率是通过将在平均帧间隔中要处理的 Bin 数目除以帧间隔得到的值。如果解码器的性能不能达到此最大 Bin 速率，则解码过程将不能在要显示此帧时完成，这导致帧的删除，即，图像质量的严重恶化。

前面关于解码器封装的解释也适用于执行逆操作的编码器的情形。

图 3 示出了 H. 264 编码器的配置。

块编码器 63 执行的操作例如运动补偿预测、离散整数变换、量化、逆量化、逆离散整数变换、以及以画面元素输入速率进行的环内滤波过程。然后，由二进制转换器 64 将块信息转换为编码 Bin 串。由算术编码器 65 将 Bin 串转换为编码比特串，然后发送到输出缓冲器 66。输出缓冲器 66 的累积量被反馈到块编码器 63，并且用于控制块编码器 63 中的编码量。

在二值化中，块信息的一个元素（例如，转换系数）被转换成多个 Bin。结果，Bin 串的生成速率至少是突发中的画面元素速率的十倍。随后处理 Bin 串的控制单元 62 以及存储器 61 和算术编码器 65 必须以

此速度操作。如果考虑帧之间的处理，H.264 编码器的最大 Bin 速率是 503 Mbin/sec，对于 H.264 解码器亦是如此。

在现有技术中，高比特率的实时处理仍然是成问题的。例如，如果如 H.264 标准中所描述的那样执行解码过程，则要处理的 Bin 速率变为不切实际的值。满足 H.264 级别 4.1 标准的最大 Bin 速率是 503 Mbin/sec，并且即使在两个周期中处理一个 Bin，CABAC 解码器或算术编码器必须以 1 GHz 或更高的频率来操作。该值是现有 LSI 以低成本能容易实现的速度的数倍。

发明内容

本发明的目的是提供一种以比现有技术低的最大 Bin 速率来实时编码二进制算术码的编码器以及实时解码二进制算术码的解码器。

为了实现上述目的，本发明的解码器包括：算术码解码装置，用于根据二进制算术码的输入来解码二进制算术码，以获得二进制符号；中间缓冲器，用于累积已经解码的二进制符号；以及逆二值化装置，用于当从缓冲器提取二进制符号时，根据逆二值化装置的输出来提取二进制符号，转换为多值符号，并且提供结果作为输出。

在这种配置中，算术码解码装置和逆二值化装置独立操作，并且通常以不同速度来进行处理。

为了实现上述目的，本发明的编码器包括：二值化装置，用于根据多值符号的输入，将多值符号转换为二进制符号；缓冲器，用于累积二进制符号；以及算术编码装置，用于当从缓冲器提取二进制符号时，根据算术编码装置的输出来提取二进制符号，并生成二进制算术码。

在这种配置中，算术编码装置和二值化装置通常以不同速度进行处理。可以将算术编码装置要实现的处理性能规定为输出码率的最大值。另一方面，以多值符号为单位的处理在二值化装置中变为可能，由此可以将二值化装置要实现的处理性能规定为输入多值符号速率的最大值。

根据本发明，可以大大降低二进制算术码解码器和编码器要实现

的二进制符号处理速率的最大值。可以将本发明的算术码解码装置要实现的处理性能规定为输入码率的最大值，类似地，可以将算术码编码装置要实现的处理性能规定为输出码率的最大值。

作为示例，当应用于 H.264 的级别 4.1 时，最大视频比特率是 50Mbps，因此最大 Bin 速率是 66.7 Mbin/sec。该值小于或等于现有技术的七分之一，由此看得出可以极大地有助于封装。

在现有技术中，CPB 缓冲器保持流，但是该缓冲器在本发明中不是必需的。实际上，需要比 CPB 缓冲器稍大的存储器装置。在 H.264 的情形中，算术码的压缩率被限制到 1.33 或更低，并且存储器装置可以是 CPB 缓冲器的 1.33 倍。

本发明的编码器包括用于二进制或多值符号的缓冲器，因此被减慢到缓冲器延迟的程度，但是编码器却能提供与延迟无关的估计值，因为可以获得比特数估计装置所生成的实际码比特数目。在需要控制编码数量的情形中，例如视频编码器，使用被延迟的生成比特数目导致控制的不稳定，但是使用本发明中的估计值允许抑制缓冲器延迟的波动。

附图说明

图 1 是根据国际标准 ITU-T H.264 的解码器的方框图；

图 2 是 H.264 CABAC 解码器的内部方框图；

图 3 是 H.264 编码器的方框图；

图 4 是使用本发明的二进制算术码解码器的视频解码器的方框图；

图 5 是使用本发明的二进制算术码编码器的视频编码器的方框图；

图 6 是本发明的二进制算术码解码器或编码器的方框图；

图 7 是示出了根据本发明的二进制算术码解码过程的流程图；

图 8 是本发明的解码过程的子例程的流程图；

图 9 是示出了根据本发明的二进制算术码编码过程的流程图；以及

图 10 是本发明的编码过程的子例程的流程图

具体实施方式

本发明的算术码解码器具有：算术码解码器，用于根据二进制算术码的输入来解码，以获得二进制符号；中间缓冲器，用于存储二进制符号；以及逆二值化装置，用于从中间缓冲器提取二进制符号串，以转换为多值符号并提供结果，并且根据这些多值符号的输出，从中间缓冲器提取二进制符号串。

另外，本发明的算术码编码器具有：二值化装置，用于根据多值符号的输入，将多值符号转换为二进制符号；缓冲器，用于存储二进制符号；以及算术编码装置，用于在从缓冲器提取二进制符号时，根据其自身的输出来提取二进制符号，以生成二进制算术码。

本发明的另一算术码解码器具有：算术码解码装置，用于根据算术码的输入来解码算术码，以获得多值符号；缓冲器，用于存储多值符号；以及逆转换装置，用于当从缓冲器提取多值符号时，根据其自身的输出来提取多值符号，以输出符号，并提供结果作为输出。

本发明的另一算术码解码器具有：转换装置，用于根据输入符号的输入，将输入符号转换为多值符号；缓冲器，用于存储多值符号；以及算术码编码装置，用于在从缓冲器提取多值符号时，根据其自身输出来提取多值符号，以生成算术码。

图 4 是使用本发明的二进制算术码解码器的视频解码器的方框图。

算术码解码器 10 将作为输入接收到的流的算术码进行解码，以获得二进制符号(Bin)，并且将二进制符号提供给控制单元 11 以及逆二值化单元 12，并且将二进制符号存储在中间缓冲器 14 中。从控制单元 11 提供解码所必需的上下文的概率估计值。

控制单元 11 根据流的语法，从当前要解码的二进制符号中选择上下文，并且从存储器 13 获取概率估计值，并将概率估计值提供给算术码解码器 10。在上下文的选择中，如果必要的话，使用存储器 13 中存储的块信息。控制单元 11 在从算术码解码器 10 获得二进制符号

时，更新存储器 13 中存储的概率估计值，并且将二进制符号串的组成信息提供给逆二值化单元 12。组成信息例如包括多值符号所指示的参数名称、二进制符号串的格式信息、以及用于执行逆转换的定时。

基于从算术码解码器 10 提供的二进制符号以及从控制单元 11 提供的组成信息，逆二值化单元 12 在必要时将二进制符号串转换为多值符号，并且将作为结果获得的块信息存储在存储器 13 中。流中所包括的块信息例如包括量化转换系数、量化参数、有效块模式、预测模式、以及运动向量，但是要存储在存储器 13 中的块信息是控制单元 11 所参考的信息。

中间缓冲器 14 存储算术码解码器 10 已经获得的二进制符号，并且将二进制符号提供给控制单元 15 和逆二值化单元 16。中间缓冲器 14 基于来自控制单元 15 的指令来提供二进制符号。

控制单元 15 根据流的语法从中间缓冲器 14 获得二进制符号串，并且将组成信息提供给逆二值化单元 16。

逆二值化单元 16 从中间缓冲器 14 获取二进制符号串，并且基于从控制单元 15 提供的组成信息，将二进制符号串转换为多值符号，并且将作为结果获得的块信息提供给块解码器 17。

基于从逆二值化单元 16 提供的块信息，块解码器 17 执行逆量化、逆整数转换、运动补偿预测、以及环内滤波过程，以获得解码图像，并且提供所获得的解码图像作为输出。

算术码解码器 10、控制单元 11、逆二值化单元 12 和存储器 13 构成了中间缓冲器 14 之前的级的模块，它们执行与作为输入提供给算术码解码器 10 的流的比特、字节或字节串相匹配的处理。相反，控制单元 15、逆二值化单元 16 和块解码器 17 构成了中间缓冲器 14 之后的模块，它们执行与解码图像的输出相匹配的处理。因此，算术码解码器 10 和逆二值化单元 16 独立操作，通常以不同的速度来执行处理。中间缓冲器 14 吸收前后级的处理速度之间的差。

图 5 是使用本发明的二进制算术码编码器的视频编码器的方框图。

块编码器 20 考虑从比特数估计单元 27 提供的所生成比特的估计

数目，针对输入图像执行运动向量搜索、运动补偿预测、离散整数变换、量化、逆量化、逆离散整数变换以及环内滤波过程，并生成块信息。块信息是组成流所必需的信息，并且包含这样的信息，例如量化转换系数、量化参数、有效块模式、预测模式以及运动向量。

二值化单元 21 将获得的块信息转换为二进制符号串，并且将结果存储在中间缓冲器 22 中。

中间缓冲器 22 存储二值化单元 21 已经转换的二进制符号串，并且基于来自算术编码器 25 的指令，将二进制符号提供给算术编码器 25。中间缓冲器 22 还将累积量提供给比特数估计单元 27。

逆二值化单元 23 基于从中间缓冲器 22 获得的二进制符号串以及从控制单元 24 提供的组成信息，恢复块信息，并且将信息存储在存储器 26 中。这里要恢复的块信息是控制单元 24 所参考的信息。

根据流的语法，控制单元 24 从当前要编码的二进制符号中选择上下文，并且从存储器 26 获取概率估计值，并将概率估计值提供给算术编码器 25。如果必要，控制单元 24 在选择上下文时使用存储器 26 中存储的块信息。在从中间缓冲器 22 获得二进制符号时，控制单元 24 更新存储器 26 中存储的概率估计值，并且将二进制符号串的组成信息提供给逆二值化单元 23。

算术编码器 25 基于从中间缓冲器 22 获得的二进制符号以及从控制单元 24 获得的概率估计值，执行二进制算术编码，并提供所获得的流作为输出。算术编码器 25 还将在算术编码时所读取的二进制符号数目以及所生成的码的比特数目提供给比特数估计单元 27。

比特数估计单元 27 根据从算术编码器 25 提供的二进制符号数目和码比特数目，估计二进制符号数目和码比特数目之间的关系，将从中间缓冲器 22 提供的累积量转换为比特数目，以得到生成比特的数目，并且将结果提供给块编码器 20。

块编码器 20、二进制单元 21 和比特数估计单元 27 是中间缓冲器 22 之前的模块，它们执行与作为输入提供给块编码器 20 的图像的流的比特、字节和字节串相匹配的处理。相反，逆二值化单元 23、控制单元 24、算术编码器 25 和存储器 26 是中间缓冲器 22 之后的模块，

它们执行与流输出相匹配的处理。因此，二值化单元 21 和算术编码器 25 独立操作，并且通常以不同速度来执行处理。之后缓冲器 22 吸收前后级之间的处理速度差。

图 6 是示出了本发明另一实施例的方框图。

在构成图 6 所示的本发明的二进制算术码解码器时，处理器 31 执行算术码的解码，并且处理器 32 执行逆二值化。可以从处理器 31 和处理器 32 访问存储器 33，并且存储器 33 保持作为处理器 31 输入的码串、作为处理器 31 输出的二进制符号串，此外还保持处理器 32 的输入、作为处理器 32 输出的多值符号、以及处理时必需的概率期望和块信息。

在图 6 中将处理器 31 和处理器 32 分开，以表示逻辑配置，但是当操作系统提供多重处理能力时，或者当通过诸如包括 Intel（美国）的 Hyper Threading 的 CPU 之类的单个处理器可以实现多重处理时，这两个处理器可以变为一个组件。另外，存储器 33 不需要是一个存储器，而是可以具有这样的配置：其中，只能从处理器 31 访问的变量不是总线连接而是直接连接到处理器 31。

参考图 7，接下来解释在处理器 31 执行算术码解码时的操作。

编码句法包括编码模式、运动向量、编码标记和系数，并且假设它们已经经历了二进制算术编码。在这种情形中，可以从编码模式得知运动向量信息的存在，并且可以从编码标记得知系数的存在。

首先在步骤 A100 中执行初始化。在初始化中，针对每一上下文，将概率估计值设置为初始值。在步骤 A110 中，解码块的编码模式。在步骤 A111 中，取决于运动向量信息的存在，出现分支。如果运动向量信息存在，则过程前进到步骤 A120，并且如果运动向量信息不存在，则过程前进到步骤 A130。

在步骤 A120 中，解码运动向量的水平值。在步骤 A121 中解码运动向量的垂直值。在步骤 A130 中，解码编码标记。在步骤 A131 中，取决于系数的存在，过程出现分支。如果系数存在，过程前进到步骤 A140，但是如果系数不存在，则前进到步骤 A150。

在步骤 A140 中，解码系数。在步骤 A141，取决于系数的完成，

操作出现分支。如果完成，则操作前进到步骤A150，但是如果系数继续，则操作前进到步骤A140。

在步骤A150，取决于码串的完成，操作出现分支。如果没有完成，操作前进到步骤A110。

在以这些步骤执行解码时，调用用于解码多值符号的子例程。在此子例程中，处理器31执行图8所示的操作。

接下来参考图8解释此子例程。

首先在步骤A10中清空符号串缓冲器。在步骤A11中，选择符合当前句法的上下文。如果必要，使用相邻块的信息。在步骤A12中，获取当前上下文的概率估计值。在步骤A13中，解码算术码。等待码的输入，并且在作为输入接收到码时，将码字的当前值与概率估计值比较，以根据大小关系获得二进制符号。如果执行相对于二进制符号的“0”和“1”对称的操作，则概率估计值也可以通过MPS值（对称表达）和MPS的概率估计值来表达。MPS是其出现概率具有高估计值的符号，MPS概率估计值的值从0.5到1。在步骤A14中，所获得的二进制符号存储在符号串缓冲器中，并作为输出提供给存储器。在步骤A15中，根据二进制符号的值更新概率估计值。当概率估计值是对称表达，并且MPS概率估计值没有达到0.5时，反转MPS。在步骤A16中，取决于符号串缓冲器中的二进制符号串是否构成完整的二进制符号串，操作出现分支。如果实现了完整的二进制符号串，则操作前进到步骤A17，并且如果不完整，则操作返回步骤A11，以继续解码算术码。

必要时在步骤A17中执行逆二值化。决定必要性的条件包括与句法相关的元素以及上下文选择时可能考虑的元素。

接下来解释处理器32执行逆二值化时的操作。整个过程的流程根据图7的流程来操作，与处理器31类似。然而，所调用的解码子例程与处理器31不同。处理器32中所使用的解码子例程是逆二值化，由此从二进制符号串解码多值符号。处理器32与算术码没有关系，因此不需要在步骤A100中将概率估计值设置为初始值。

在图6中，当实现本发明的二进制算术码编码器时，处理器31

执行二值化，并且处理器 32 执行算术编码。可以从处理器 31 和处理器 32 访问存储器 33，并且存储器 33 保持这样的信息，例如作为处理器 31 输入的多值符号、作为处理器 31 输出的二进制符号串，此外还保持处理器 32 的输入、作为处理器 32 输出的码串、以及处理中必需的概率估计值和块信息。

接下来参考图 9 解释在处理器 31 中执行二值化时的操作。

首先在步骤 A200 中执行初始化。在步骤 A210 中，执行块编码模式的编码过程。在步骤 A211 中，取决于运动向量信息的存在，操作出现分支。如果运动向量信息存在，则操作前进到步骤 A220，但是如果信息不存在，则操作前进到步骤 A230。

在步骤 A220 中，编码运动向量的水平值。在步骤 A221 中，编码运动向量的垂直值。在步骤 A230 中，对编码标记进行编码。在步骤 A231 中，取决于系数是否存在，操作出现分支。如果存在系数，则操作前进到步骤 A240，但是如果不存在系数，则操作前进到步骤 A250。

在步骤 A240 中，编码系数。在步骤 A241 中，取决于系数是否完成，操作出现分支。如果完成，则操作前进到步骤 A250，但是如果系数继续，则操作在步骤 A240 中继续。

在步骤 A250 中，取决于编码是否完成，操作出现分支。如果编码尚未完成，则过程前进到步骤 A210。以这些步骤执行的编码过程是二值化，由此调用输出子例程，用于将多值符号转换为二进制符号串，并提供结果作为输出。在输出子例程中，对作为输出提供的二进制符号的数目进行计数，并且使得可从外部获得，以允许参考。

接下来解释处理器 32 中执行算术编码时的操作。处理的整个流程根据图 9 的流程来操作，如处理器 31。然而，步骤 A200 的初始化以及所调用的编码过程子例程与处理器 31 不同。在处理器 32 中所使用的编码过程子例程中，通过逆二值化从二进制符号串解码多值符号，并且对二进制符号串进行算术编码。在执行算术编码时，在步骤 A200 的初始化中将概率期望设置为初始值。

接下来参考图 10 解释处理器 32 的编码过程子例程的操作。

首先，在步骤 A20 中，执行逆二值化，由此提供多值符号作为输

出，并将相应的二进制符号串存储在符号串缓冲器中。在步骤 A21，获取当前上下文的概率估计值。

在步骤 A23 中，从符号串缓冲器的头部提取一个二进制符号，执行算术编码，并且提供结果作为输出。对算术编码的实例数目以及生成比特的数目进行计数，并且使得可从外部获得用于参考。

在步骤 A24 中，根据二进制符号的值更新概率估计值。如果概率估计值是对称表达，则当 MPS 概率估计值小于 0.5 时反转 MPS。在步骤 A25 中，取决于符号串缓冲器是否为空，操作出现分支。如果符号串缓冲器为空，则操作结束，但是如果符号串缓冲器不空，则操作返回步骤 A21，以继续算术编码。

得到处理器 31 中作为输出提供的二进制符号数目以及处理器 32 中的算术编码实例数目和生成比特数目。通过从作为输出提供的二进制符号数目减去算术编码实例数目，得到存储器中存储的二进制符号数目。另外，可以根据算术编码实例数目和生成比特数目，得到二进制符号数目和码比特数目之间的关系。可以根据这些值计算估计的生成比特数目。可以在处理器 31 的输出子例程中计算估计的生成比特数目，并且使得可从外部获得用于参考，或者可以在外部根据作为基础的值来计算。

接下来解释由计算机系统实现上述用于解码二进制算术码的解码器和编码器的示例。

计算机系统具有 CPU，并且 CPU 连接到缓冲器和存储器。

在存储器中，存储用于执行本发明的解码过程和编码过程的程序。本发明的解码过程和编码过程通过 CPU 执行该程序来执行。

在上述实施例中描述了处理二进制算术码的情形，但是本发明不限于应用于二进制算术码。如果要使用四进制算术码，通过将附图和解释中的二进制简单改变为四进制，可以实现本发明的四进制算术码解码器和编码器。即使在混合了二进制和三进制算术码时，也可以将本发明配置为从二进制算术码的处理切换到三进制算术码的处理，以匹配上下文。

虽然采用视频解码器和视频编码器作为示例，解释了本发明的实

施例，但是本发明不限于在这些形式中的应用。通过将块解码器 17 替换为语言帧解码器并且将块编码器 20 替换为语音帧编码器，本发明可以容易地应用于语音解码器和语音编码器。本发明的二进制算术码解码器和编码器还可以应用于与视频和语音相类似的使用二进制算术码的其他媒体或数据的其他编码器和解码器。

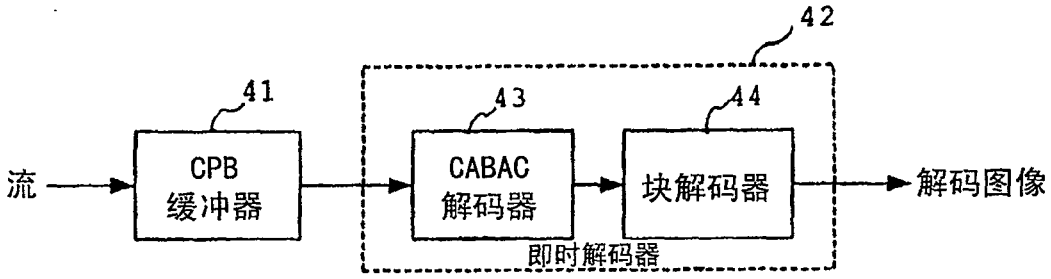

42
41
43
44
流
CPB
缓冲器
CABAC
解码器
块解码器
解码图像
即时解码器

图 1

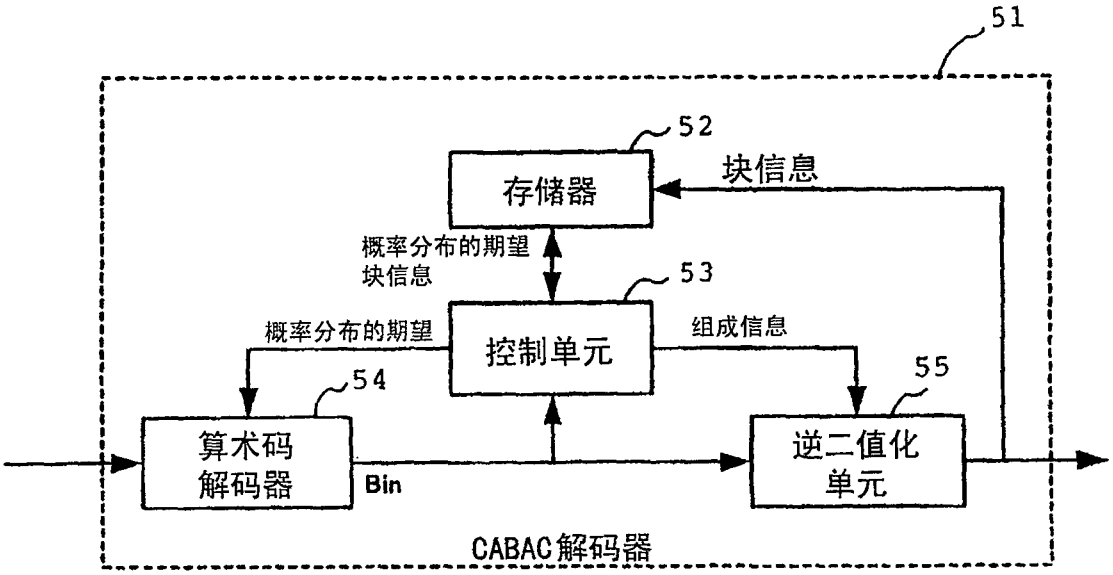

51
52
存储器
块信息
概率分布的期望
块信息
53
概率分布的期望
控制单元
组成信息
55
54
算术码
解码器
Bin
逆二值化
单元
CABAC解码器

图 2

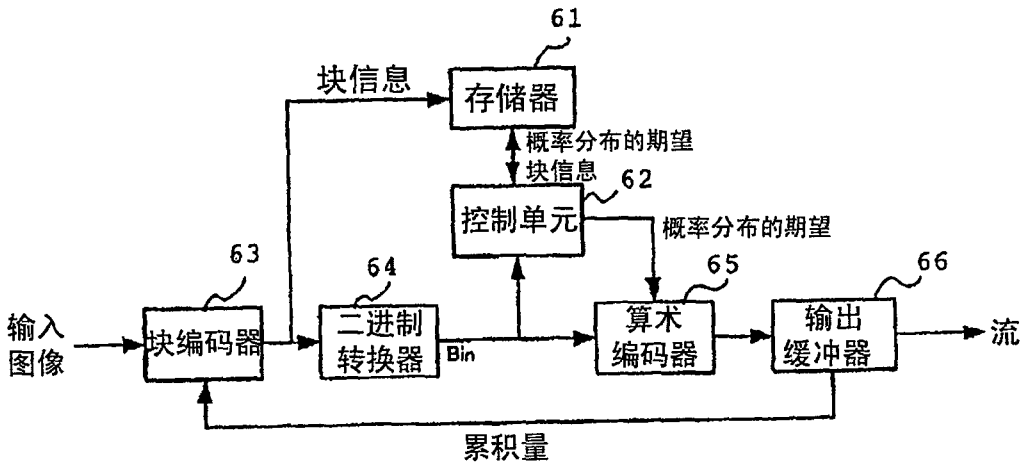

61
块信息
存储器
概率分布的期望
块信息
62
控制单元
概率分布的期望
63
64
65
66
输入
图像
块编码器
二进制
转换器
Bin
算术
编码器
输出
缓冲器
流
累积量

图 3

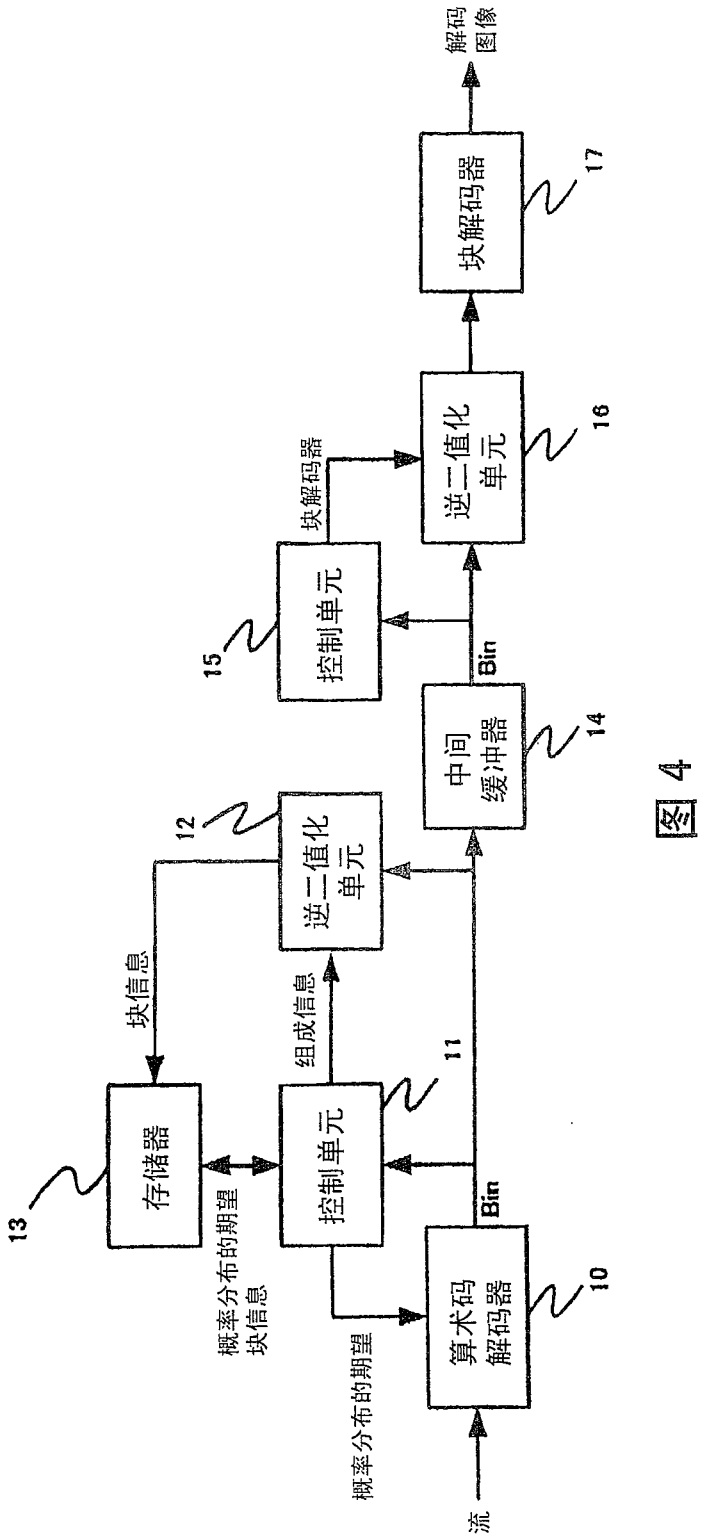

解码图像
块解码器
17
逆二值化单元
16
块解码器
控制单元
15
Bin
中间缓冲器
14
逆二值化单元
12
块信息
组成信息
11
存储器
13
控制单元
概率分布的期望块信息
Bin
算术码解码器
10
概率分布的期望
流

图 4

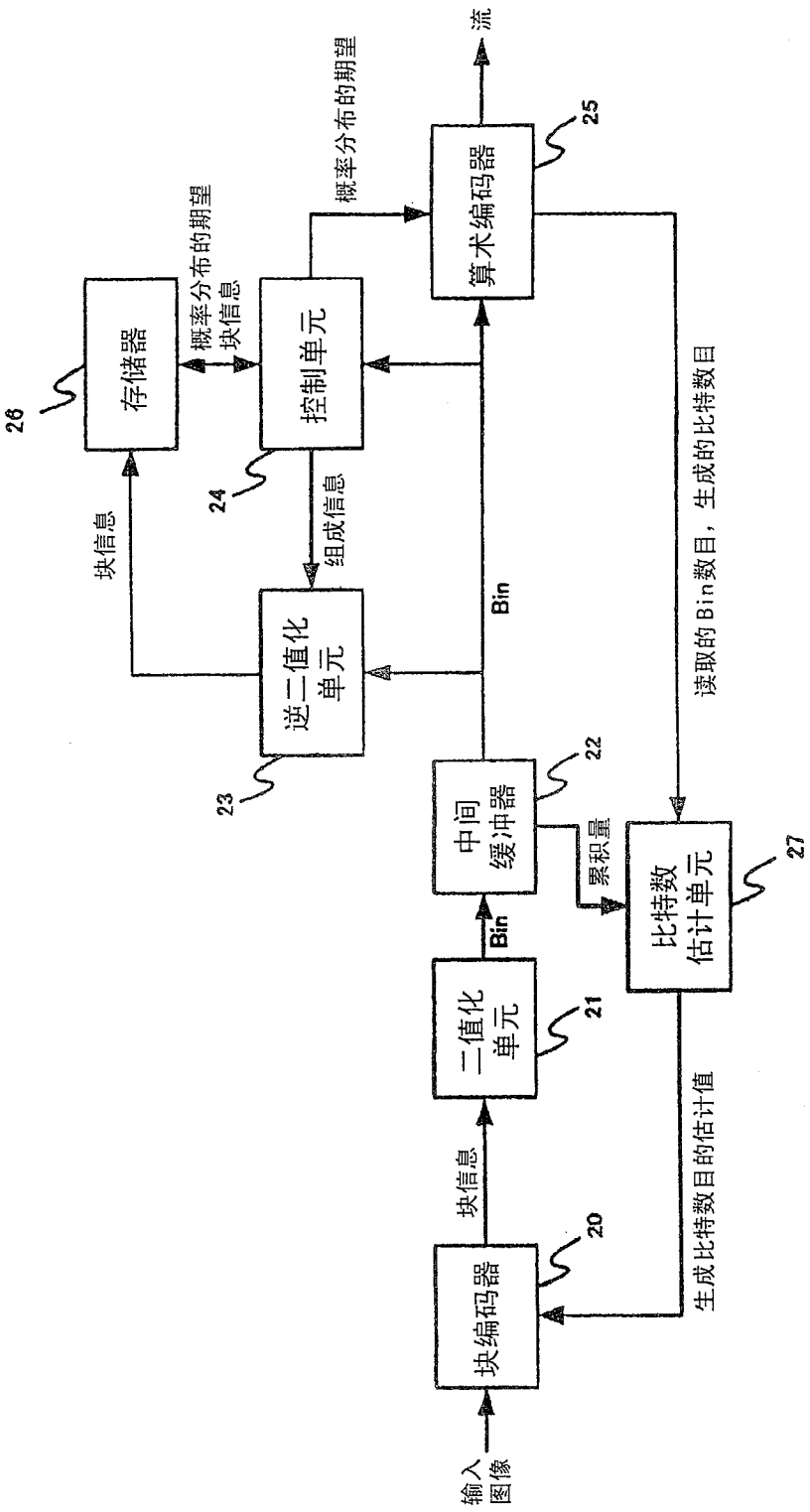

输入图像
块编码器
20
块信息
二值化单元
21
Bin
中间缓冲器
22
累积量
比特数估计单元
27
生成比特数目的估计值
读取的Bin数目，生成的比特数目
逆二值化单元
23
块信息
Bin
组成信息
控制单元
24
概率分布的期望
块信息
存储器
26
概率分布的期望
算术编码器
25
流

图 5

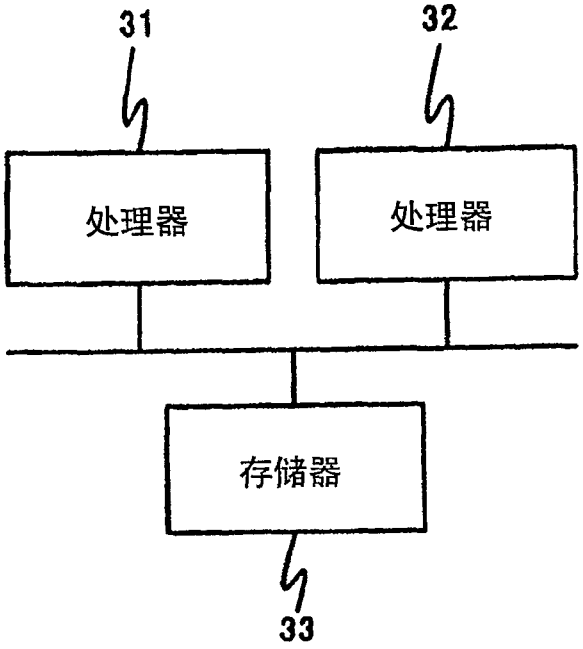


图 6

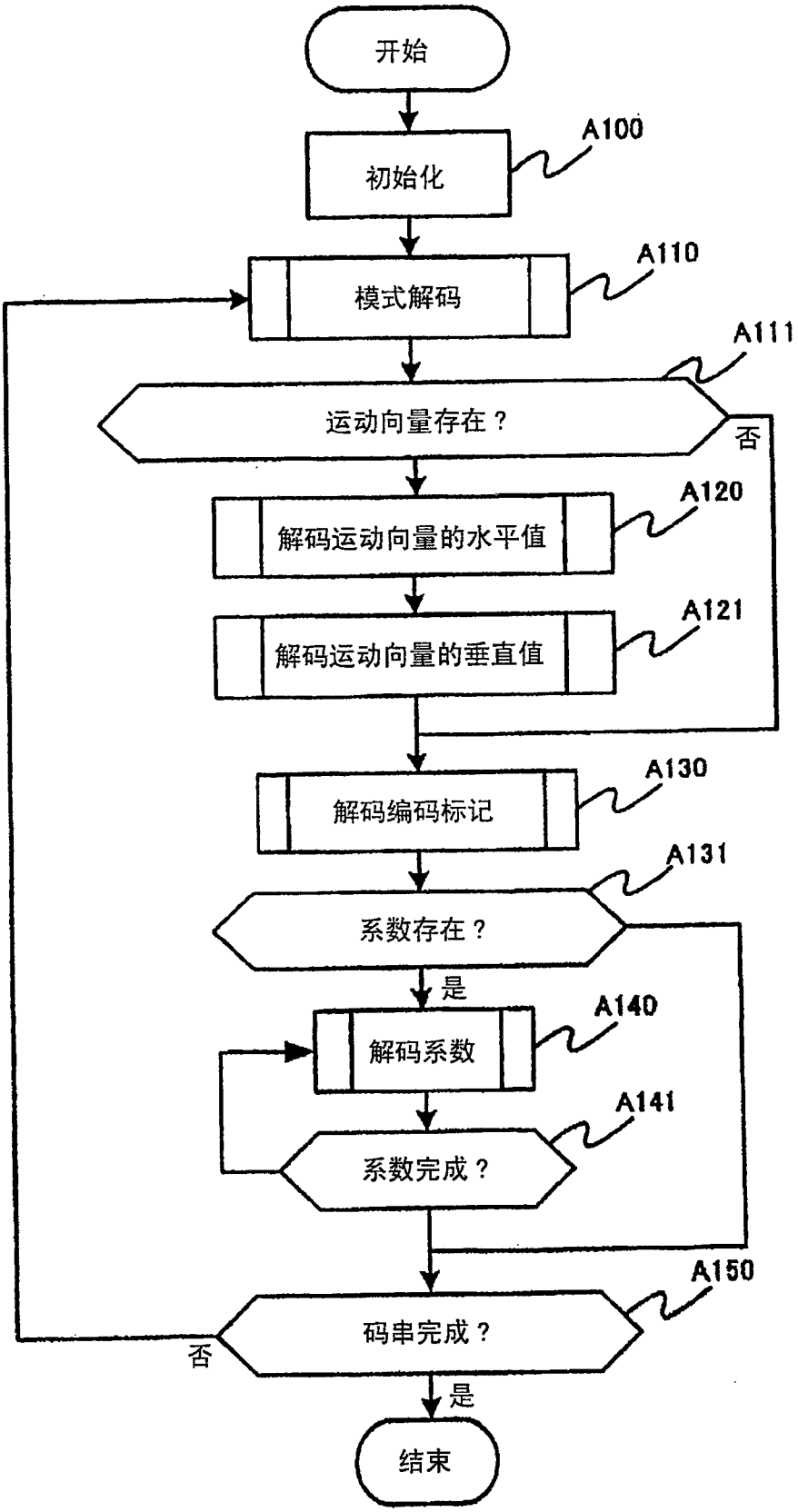

开始
初始化
A100
模式解码
A110
运动向量存在？
A111
否
解码运动向量的水平值
A120
解码运动向量的垂直值
A121
解码编码标记
A130
系数存在？
A131
是
解码系数
A140
系数完成？
A141
码串完成？
A150
否
是
结束

图 7

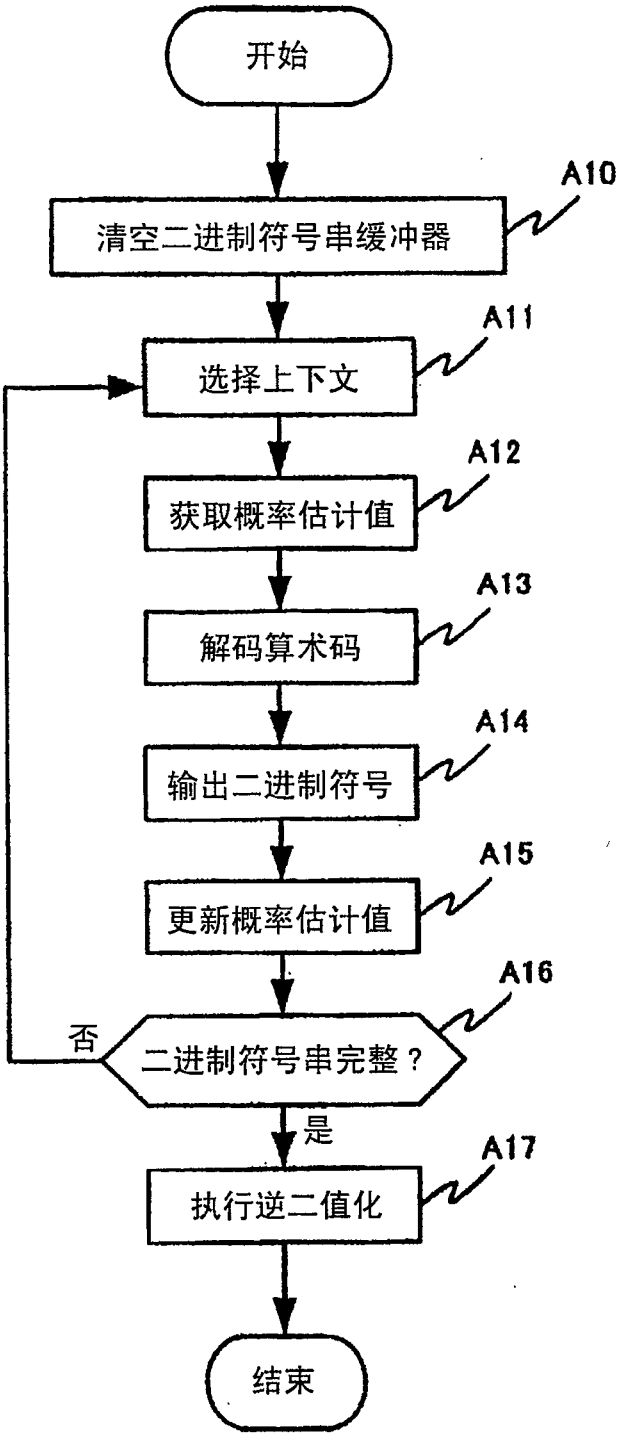

开始
A10
清空二进制符号串缓冲器
A11
选择上下文
A12
获取概率估计值
A13
解码算术码
A14
输出二进制符号
A15
更新概率估计值
A16
否
二进制符号串完整？
是
A17
执行逆二值化
结束

图 8

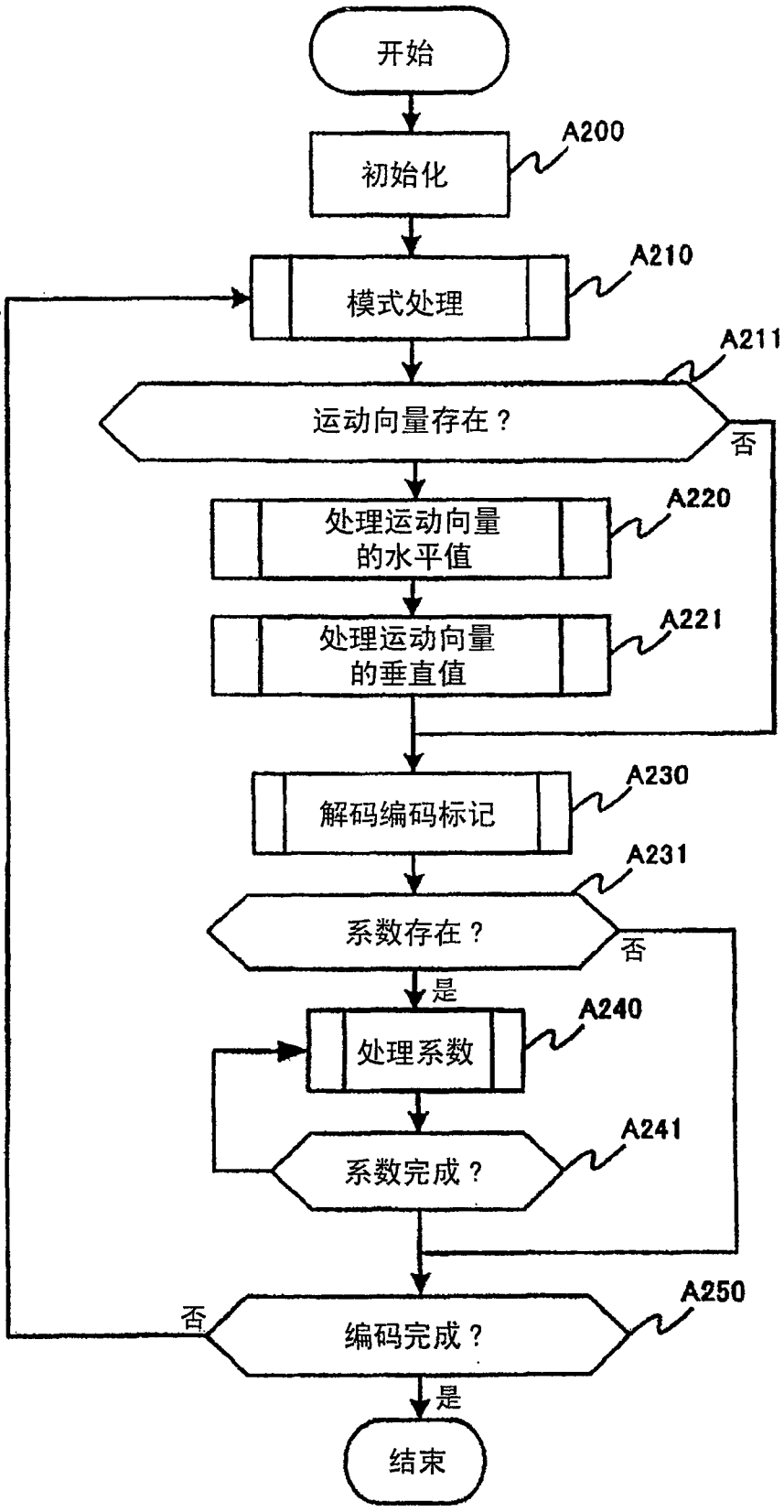

开始
A200
初始化
A210
模式处理
A211
运动向量存在？
否
A220
处理运动向量
的水平值
A221
处理运动向量
的垂直值
A230
解码编码标记
A231
系数存在？
否
是
A240
处理系数
A241
系数完成？
A250
否
编码完成？
是
结束

图 9

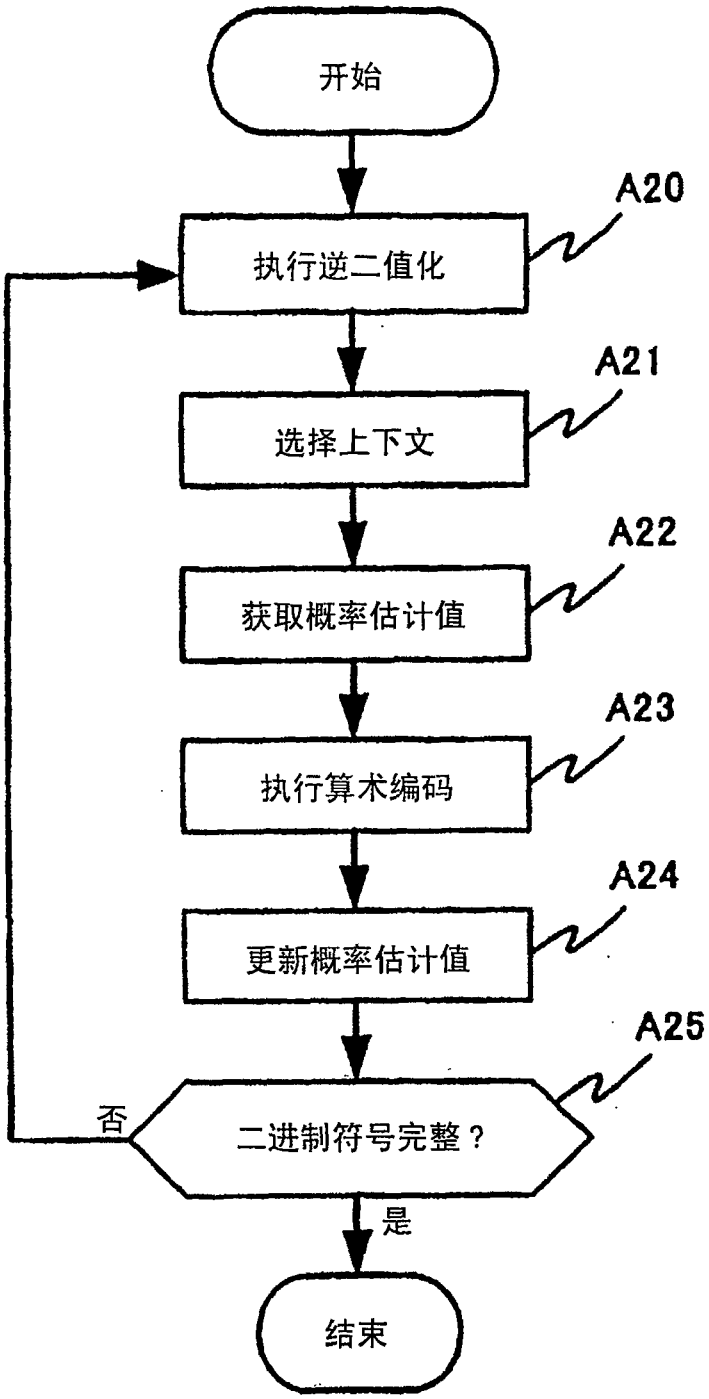

开始
A20
执行逆二值化
A21
选择上下文
A22
获取概率估计值
A23
执行算术编码
A24
更新概率估计值
A25
否
二进制符号完整？
是
结束

图 10