



(12) 发明专利

(10) 授权公告号 CN 1881612 B

(45) 授权公告日 2010.04.14

(21) 申请号 200610101404.5

US 4980306 A, 1990.12.25, 全文.

(22) 申请日 1998.03.13

JP 特开平 2-296352 A, 1990.12.06, 说明书第 3 栏至第 4 栏、附图 1.

(30) 优先权数据

186603/1997 1997.07.11 JP

CN 1090680 A, 1994.08.10, 全文.

(62) 分案原申请数据

98105553.2 1998.03.13

审查员 王程远

(73) 专利权人 三菱电机株式会社

地址 日本东京都

(72) 发明人 中村胜光

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 陈景峻

(51) Int. Cl.

H01L 29/739 (2006.01)

H01L 29/49 (2006.01)

H01L 21/331 (2006.01)

H01L 21/28 (2006.01)

(56) 对比文件

JP 特开平 10-70092 A, 1998.03.10, 全文.

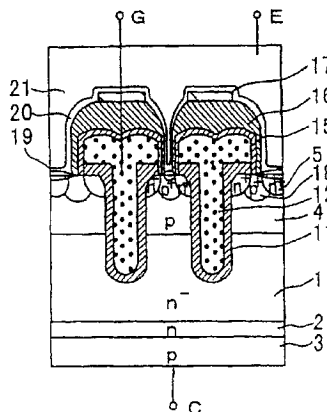
权利要求书 1 页 说明书 13 页 附图 20 页

(54) 发明名称

具有槽型结构的半导体器件及其制造方法

(57) 摘要

在具有槽型 MOS 栅结构的 MOS 栅功率器件等的半导体器件中,使槽内壁上形成的栅氧化膜的特性得到改善。形成从槽的内表面延伸到沿所述半导体衬底的主面的外表面的绝缘膜,同时形成从槽的内部突出并延伸到沿所述半导体衬底的主面的外表面的栅。此外,从槽的开口部到外表面将栅氧化膜形成得较厚,在槽的开口部处将栅作成剖面收缩的形状。



1. 一种具有槽型结构的半导体器件,其特征在于,具有:已形成于半导体衬底的主面上的槽;至少已形成于所述槽的内表面上的绝缘膜;和至少形成于所述槽的内部并注入了氮的导电部。

2. 如权利要求 1 所述的具有槽型结构的半导体器件,其特征在于:将所述半导体衬底定为硅半导体衬底,将所述绝缘膜定为氧化硅膜,将所述导电部定为多晶硅导体。

3. 如权利要求 1 或 2 所述的具有槽型结构的半导体器件,其特征在于:将所述半导体衬底的所述槽侧面作为沟道,将所述绝缘膜作为栅氧化膜,将所述导电部作为栅。

4. 一种具有槽型结构的半导体器件的制造方法,其特征在于,包括:在半导体衬底的主面上形成槽的工序;至少在所述槽的内表面上形成绝缘膜的工序;在包括所述槽的内部的所述半导体衬底的主面上形成导电膜并对该导电膜注入氮的工序;和对应于所述槽对所述导电膜进行图形刻蚀的工序。

具有槽型结构的半导体器件及其制造方法

[0001] 本申请是申请日为 1998 年 3 月 13 日、申请号为 98105553.2、发明名称为“具有槽型结构的半导体器件及其制造方法”的专利申请的分案申请。

技术领域

[0002] 本发明涉及使用槽型结构作为 MOS 栅的半导体器件及其制造方法。更详细地说，涉及改善了在槽内壁上形成的栅氧化膜特性的半导体器件及其制造方法。

背景技术

[0003] 图 16 是用于说明使用槽作为 MOS 栅的现有的功率器件（例如 IGBT：绝缘栅型双极型晶体管）的结构及其制造方法。图 16(a) 是表示槽的排列的概念图，图 16(b) 是沿图 16(a) 的 A-A' 线的槽的长边方向的功率器件的剖面图，图 16(c) 是沿横切图 16(a) 的 B-B' 线的槽的垂直线的功率器件的剖面图。

[0004] 在图中，1 表示 n^- 型扩散层，2 表示 n 型扩散层，3 表示 p^+ 型高浓度扩散层，4 表示 p 型基极层，5 表示 n^+ 型发射极层，7 表示槽，11 表示栅氧化膜，12 表示栅，15 表示氧化硅膜，16 和 17 表示层间膜，18 表示 p^+ 区，19 表示硅化物层，20 表示阻挡金属，21 表示铝。

[0005] 在这种现有的槽型 MOS 栅结构中，如图 16(c) 所示，栅 12 的表面位于硅衬底的表面之下，换言之，位于槽开口面之下。

[0006] 此外，为了比较起见，图 17 示出现有的平面 MOS 栅结构。由于与图 16 相同的符号分别表示相同或相当的部分，故省略其详细的说明。

[0007] 图 18～图 20 是表示作为 MOS 栅使用槽的现有的功率器件（IGBT：绝缘栅型双极型晶体管）的制造工序的图。

[0008] 如关于制造方法进行说明的话，则首先如图 18(a) 所示，在硅等的半导体衬底 30 的 n^- 型区 1 的下表面形成 n 型区 2 和 p^+ 型区 3，在上表面形成 p 型杂质区 4。再者在其上有选择地形成 n^+ 型高杂质浓度区 5。其后，形成贯通 p 型区 4 和 n^+ 型区 5 的槽 7。其后，对该槽的内表面和开口部进行平滑化处理。

[0009] 其次，如图 18(b) 所示，从槽 7 的内部到衬底 30 的表面形成氧化硅膜 11。该氧化硅膜 11 成为栅氧化膜。

[0010] 其次，如图 18(c) 所示，在衬底 30 的整个表面上形成低电阻的多晶硅膜作为栅电极材料 12，也填充到槽 7 中。

[0011] 其次，如图 18(d) 所示，对栅电极材料 12 进行图形刻蚀，在槽 7 的内部形成栅 12。

[0012] 其次，如图 19(a) 所示，在栅 12 上形成氧化硅膜 15。

[0013] 其次，如图 19(b) 所示，在该衬底 30 的整个面上形成 CVD 膜 16 和 17 作为层间绝缘膜。

[0014] 其次，如图 19(c) 所示，利用刻蚀对氧化膜 16、17 进行整形，形成槽型 MOS 栅。

[0015] 其次，如图 20 所示，使用溅射法、灯退火等形成硅化物层 19、阻挡金属 20、铝 21。此外，形成电极 22。这样就完成了具有槽型结构的 IGBT。

[0016] 在如以上所述那样制造的、图 16 中示出的现有的器件结构中,在图 16(b) 的剖面图中图示的 C 区的槽开孔部中, Si/SiO₂ 的界面形状中出现凸状部分。此外,在图示的 C、D 区中产生栅氧化膜 11 的薄膜化现象,导致在槽 7 的内壁上形成的栅氧化膜 11 的氧化膜特性和可靠性的变坏。

[0017] 此外,图 18(b) 的工序中,由于在形成栅氧化膜 11 时,在槽 7 的侧面形成了 n⁺ 型发射极层 5 和 p 型基极层 4,故扩散层的掺杂剂会扩散到栅氧化膜 11 中,使栅氧化膜特性或可靠性变坏。

发明内容

[0018] 本发明是为了解决这些问题而提出的,其目的在于得到在作为 MOS 栅使用槽的功率器件等的半导体器件中,使槽内壁上形成的栅氧化膜等的绝缘膜的特性得到改善的器件结构及其制造方法。

[0019] 本发明的具有槽型结构的半导体器件的特征在于,具备:在半导体衬底的主面上被形成了的槽;从所述槽的内表面延伸到沿所述半导体衬底的主面的外表面的绝缘膜;和从所述槽的内部延伸到沿所述半导体衬底的主面的外表面的导电部。

[0020] 此外,本发明的具有槽型结构的半导体器件的特征在于,将所述绝缘膜从所述槽的开口部开始在所述外表面的部分处形成得较厚,所述导电部具有在所述槽的开口部分处剖面收缩的形状。

[0021] 此外,本发明的具有槽型结构的半导体器件的特征在于,在相邻的槽之间分别连续地形成所述绝缘膜和所述导电部。

[0022] 此外,本发明的具有槽型结构的半导体器件的特征在于,在夹住所述绝缘膜的全部电容器面积中,夹住沿所述半导体衬底的主面的外表面的绝缘膜部分电容器面积为 5% 以上。

[0023] 此外,本发明的具有槽型结构的半导体器件的特征在于,在所述绝缘膜的全部栅边缘的长度中,所述外延部的绝缘膜部分的栅边缘的长度为 30% 以上。

[0024] 此外,本发明的具有槽型结构的半导体器件的特征在于,具备:在半导体衬底的主面上被形成了的槽;从所述槽的内表面延伸到沿所述半导体衬底的主面的外表面的绝缘膜;和至少在所述槽的内部被形成的导电部,将所述绝缘膜的在所述外表面的厚度形成得比在所述内表面的厚度厚 2 倍以上。

[0025] 此外,本发明的具有槽型结构的半导体器件的特征在于,具备:在半导体衬底的主面上被形成了的槽;至少在所述槽的内表面上被形成并在热氧化膜上层叠了 CVD 膜的 2 层结构、或在所述槽的内表面上被形成并在 CVD 膜上层叠了热氧化膜的 2 层结构、或在热氧化膜上层叠了 CVD 膜再层叠了热氧化膜的 3 层结构的绝缘膜;和至少在所述槽的内部被形成了的导电部。

[0026] 此外,本发明的具有槽型结构的半导体器件的特征在于,具备:在半导体衬底的主面上被形成了的槽;至少在所述槽的内表面上被形成了的绝缘膜;和至少在所述槽的内部被形成并注入了氮的导电部。

[0027] 此外,本发明的具有槽型结构的半导体器件的特征在于,将所述半导体衬底定为硅半导体衬底,将所述绝缘膜定为氧化硅膜,将所述导电膜定为多晶硅导体。

[0028] 此外,本发明的具有槽型结构的半导体器件的特征在于,以所述半导体衬底的所述槽侧面作为沟道,以所述绝缘膜作为栅氧化膜,以所述导电膜作为栅。

[0029] 其次,本发明的具有槽型结构的半导体器件的制造方法的特征在于包括:在半导体衬底的主面上形成槽的工序;形成从所述槽的内表面延伸到沿所述半导体衬底的主面的外表面的绝缘膜的工序;在包括所述槽的内部的所述半导体衬底的主面上形成导电膜的工序;和以刻蚀方式除去离所述导电膜的所述槽的规定距离的部分,以便使所述导电膜从所述槽内部延伸到沿所述半导体衬底的主面的外表面的工序。

[0030] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于包括:在半导体衬底的主面上形成槽的工序;形成从所述槽的内表面延伸到沿所述半导体衬底的主面的外表面的第 1 绝缘膜的工序;在包括所述槽的内部的所述半导体衬底的主面上形成了第 1 导电膜之后从以刻蚀方式除去所述第 1 导电膜直到低于所述槽的开口面的位置,从而形成第 1 导电部的工序;在所述半导体衬底的整个主面上形成了第 2 绝缘膜之后在所述第 1 绝缘膜上留下所述第 2 绝缘膜并形成到达所述槽中的所述第 1 导电部的开孔的工序;和在所述开孔中形成到达所述第 1 导电部的第 2 导电部的工序。

[0031] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于,所述绝缘膜和所述导电膜在相邻的槽之间连续地形成。

[0032] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于,这样来形成所述绝缘膜和所述导电膜,使得在夹住所述绝缘膜的全部电容器面积中,夹住沿所述半导体衬底的主面的外表面的绝缘膜部分电容器面积为 5% 以上。

[0033] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于,这样来形成所述绝缘膜和所述导电膜,使得在所述绝缘膜的全部栅边缘的长度中,沿所述半导体衬底的主面的外表面的绝缘膜部分的栅边缘的长度为 30% 以上。

[0034] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于包括:在半导体衬底的主面上形成槽的工序;使绝缘膜从所述槽的内表面延伸到沿所述半导体衬底的主面的外表面,并且使绝缘膜在所述外表面的厚度为在所述内表面的厚度的 2 倍以上这样的方式来形成的工序;在包括所述槽的内部的所述半导体衬底的主面上形成导电膜的工序;和对应于所述槽对所述导电膜进行图形刻蚀的工序。

[0035] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于包括:在半导体衬底的主面上形成槽的工序;至少在所述槽的内表面上形成热氧化膜并在该热氧化膜上层叠 CVD 膜的工序或在所述槽的内表面上层叠 CVD 膜并在该 CVD 膜上形成热氧化膜的工序;在包括所述槽的内部的所述半导体衬底的主面上形成导电膜的工序;和对应于所述槽对所述导电膜进行图形刻蚀的工序。

[0036] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于包括:在所述 CVD 膜上再层叠热氧化膜的工序。

[0037] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于包括:在半导体衬底的主面上形成槽的工序;至少在所述槽的内表面上形成绝缘膜的工序;在包括所述槽的内部的所述半导体衬底的主面上形成导电膜并对该导电膜注入氮的工序;和对应于所述槽对所述导电膜进行图形刻蚀的工序。

[0038] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于包括:在半导

体衬底的主面上形成槽的工序；在所述槽的底部注入杂质的工序；至少在所述槽的内表面上形成绝缘膜的工序；在包括所述槽的内部的所述半导体衬底的整个面上形成导电膜的工序；和对应于所述槽对所述导电膜进行图形刻蚀的工序。

[0039] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于:使用硅半导体衬底作为所述半导体衬底,形成氧化硅膜作为所述绝缘膜,形成硅多晶硅导体作为所述导电膜。

[0040] 此外,本发明的具有槽型结构的半导体器件的制造方法的特征在于:以所述半导体衬底的所述槽侧面作为沟道,以所述绝缘膜作为栅绝缘膜,以所述导电膜作为栅来形成。

附图说明

[0041] 图 1 是示出本发明的实施例 1 的具有槽型结构的半导体器件的制造工序的剖面图。

[0042] 图 2 是示出本发明的实施例 1 的具有槽型结构的半导体器件的制造工序的剖面图。

[0043] 图 3 是示出本发明的实施例 1 的具有槽型结构的半导体器件的制造工序的剖面图。

[0044] 图 4 是示出本发明的实施例 1 的具有槽型结构的半导体器件的制造工序的剖面图。

[0045] 图 5 是示出本发明的实施例 1 的具有槽型结构的半导体器件的制造工序的剖面图。

[0046] 图 6 是示出本发明的实施例 1 的具有槽型结构的半导体器件的制造工序的剖面图。

[0047] 图 7 是示出本发明的实施例 2 的具有槽型结构的半导体器件的制造工序的剖面图。

[0048] 图 8 是示出本发明的实施例 2 的具有槽型结构的半导体器件的制造工序的剖面图。

[0049] 图 9 是示出本发明的实施例 2 的具有槽型结构的半导体器件的制造工序的剖面图。

[0050] 图 10 是示出本发明的实施例 3 的具有槽型结构的半导体器件的制造工序的剖面图。

[0051] 图 11 是示出本发明的实施例 3 的具有槽型结构的半导体器件的制造工序的剖面图。

[0052] 图 12 是示出本发明的实施例 3 的具有槽型结构的半导体器件的制造工序的剖面图。

[0053] 图 13 是示出本发明的实施例 4 的具有槽型结构的半导体器件的制造工序的剖面图。

[0054] 图 14 是示出本发明的实施例 4 的具有槽型结构的半导体器件的制造工序的剖面图。

[0055] 图 15 是示出本发明的实施例 7 的具有槽型结构的半导体器件的制造工序的剖面图。

图。

[0056] 图 16 是示出现有的槽型 MOS 栅结构的半导体器件的剖面图。

[0057] 图 17 是示出现有的平面型 MOS 栅结构的半导体器件的剖面图。

[0058] 图 18 是示出现有的槽型 MOS 栅结构的制造工序的剖面图。

[0059] 图 19 是示出现有的槽型 MOS 栅结构的制造工序的剖面图。

[0060] 图 20 是示出现有的槽型 MOS 栅结构的制造工序的剖面图。

具体实施方式

[0061] 实施例 1

[0062] 图 1 ~ 图 6 是用于说明本发明的实施例 1 的具有槽型结构的半导体器件的制造方法和结构的图。以下,作为半导体器件,以具有槽型 MOS 栅结构的 IGBT 为例进行说明。

[0063] 首先,从制造方法开始进行说明,之后说明其结构。

[0064] 图 1(a) ~ 图 6(b) 是每个制造工序的槽的横剖面的图,相当于现有例中已说明的图 16(a) 的槽平面图的 B-B' 线的横剖面。因为存在图面的各页中必须附以不同的图号码的制约,故示出了图 2(a) 接着图 1(d)、3(a) 接着图 2(d)、4(a) 接着图 3(d)、5(a) 接着图 4(d)、6(a) 接着图 5(d) 的一系列的工序。

[0065] 首先,在图 1(a) 中示出的半导体衬底 30 中,1 是 n⁻ 型低浓度扩散层(浓度: $1 \times 10^{12} \sim 1 \times 10^{14} \text{cm}^{-3}$, 深度: 40 ~ 600 微米), 2 是 n 型扩散层(峰值浓度: $1 \times 10^{18} \text{cm}^{-3}$ 以下, 扩散深度: p⁺ 型高浓度扩散层 3 的扩散深度以上 400 微米以下), 3 是 p⁺ 型高浓度扩散层(表面浓度: $2 \times 10^{18} \text{cm}^{-3}$ 以上, 扩散深度: 1 微米以上并在 n 型扩散层 2 的扩散深度以下)。其中,关于扩散层 1、2、3,可以用注入、扩散来形成,用外延生长来形成也没有关系。

[0066] 其次,如图 1(b) 中所示,将 p 型基极层扩散到衬底表面(n⁻ 型低浓度扩散层 1)中(峰值浓度: $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$, 扩散深度: 1 ~ 4 微米,也比其后形成的槽 7 的深度浅)。

[0067] 其次,如图 1(c) 中所示,形成 n⁺ 型发射极扩散层 5(表面浓度: $1 \times 10^{18} \sim 5 \times 10^{20} \text{cm}^{-3}$, 扩散深度: 0.3 ~ 2 微米)。再有,为了简化起见,在图 1(c) 以后省略半导体衬底 30 的符号。

[0068] 其次,如图 1(d) 中所示,淀积 CVD 膜 6,对其进行图形刻蚀,在形成槽 7 的位置处进行开口。

[0069] 其次,如图 2(a) 中所示,以氧化膜 6 为掩模,刻蚀半导体衬底,形成槽 7。

[0070] 其次,为了提高槽型 MOS 栅的特性,进行槽型刻蚀后的后处理。

[0071] 在此之前,如图 2(b) 中所示,在氧化膜 6 中有选择地除去槽 7 的开口部附近的部分,使氧化膜 6 从槽 7 后退距离 x。

[0072] 其次,如图 2(c) 中所示,进行硅等的各向同性等离子刻蚀。由此,对槽 7 的开口部 8 进行倒角处理,此外使底部 9 变圆,消除有棱角的部分。

[0073] 其次,如图 2(d) 中所示,形成氧化膜 10(牺牲氧化膜)。

[0074] 其次,如图 3(a) 中所示,除去该氧化膜 10。

[0075] 通过这些工序,进行槽开口部 8、底部 9 的圆角化(rounding)和槽内壁的平滑化。

[0076] 其次,如图 3(b) 中所示,从槽 7 的内壁到槽的外表面在整个面上形成氧化硅膜 11(第 1 绝缘膜)。该氧化膜成为槽的栅氧化膜。

[0077] 其次,如图 3(c) 中所示,在槽 7 中填充第 1 栅电极材料 12(第 1 导电膜)(例如含有高浓度磷的多晶硅)。

[0078] 其次,如图 3(d) 中所示,进行刻蚀,刻蚀第 1 栅电极材料 12 直到比硅衬底表面低的位置。即,刻蚀到比槽开口部的外表面低的位置。

[0079] 其次,如图 4(a) 中所示,淀积 CVD 膜 13(第 2 绝缘膜)。

[0080] 其次,如图 4(b) 中所示,对 CVD 膜 13 进行图形刻蚀并开孔,一边在氧化硅膜 11 上留下 CVD 膜 13,一边使槽 7 内部的第 1 栅电极材料 12 的表面露出。

[0081] 其次,如图 4(c) 中所示,形成第 2 栅电极材料 14(第 2 导电膜),在槽 7 的内部与第 1 栅电极材料 12 接触。

[0082] 其次,如图 4(d) 中所示,进行第 2 栅电极材料 14 的图形刻蚀。

[0083] 其中,第 1 栅电极材料 12 和第 2 栅电极材料 14 使用相同的材料。此外,在淀积第 2 栅电极材料 14 之前,为了实现栅电阻的低电阻化,在图 4(b) 的阶段中,也可在第 1 栅电极材料 12 的表面上形成硅化物层(TiSi, CoSi 等)。

[0084] 其次,如图 5(a) 中所示,在第 2 栅电极材料 14 上涂敷抗蚀剂 14a,对 CVD 膜 13 进行图形刻蚀之后,利用离子注入形成 p^+ 型区 18。

[0085] 其次,如图 5(b) 中所示,使第 2 栅电极材料 14 的表面氧化,形成氧化膜 15,并形成层间膜 16 和 17(例如, CVD 膜或含有硼、磷的硅酸盐玻璃等)。

[0086] 其次,如图 6(a) 中所示,进行接触点的图形刻蚀。

[0087] 其次,如图 6(b) 中所示,使用溅射法、灯退火等形成硅化物层 19、阻挡金属 20、铝 21。此外,形成电极 22。这样就完成了具有槽型 MOS 栅结构的 IGBT。

[0088] 如以上所说明的那样,利用图 6(b) 的横剖面的剖面图示出具有槽型 MOS 栅结构的 IGBT,作为本实施例的半导体器件的例子。

[0089] 本结构的要点可归纳如下。即,本实施例的半导体器件具有在半导体衬底 30 的主面上被形成的槽 7 和从槽 7 的内表面延伸到沿半导体衬底 30 的主面的外表面的第 1 绝缘膜 11、13。还具有从槽 7 的内部延伸到外表面并在槽 7 的开口部分处具有剖面收缩形状的栅(导电部)12、14。

[0090] 此外,也可如下那样来说。即,本实施例的半导体器件具有在半导体衬底 30 的主面上被形成的槽 7 和从槽 7 的内表面延伸到沿半导体衬底 30 的主面的外表面的第 1 绝缘膜 11。此外,具有在槽 7 的内部填满到比槽 7 的开口部低的位置的第 1 导电部 12。此外,在第 1 绝缘膜上具有从槽 7 中的第 1 导电部的周边部延伸到外表面的第 2 绝缘膜 13。再者,在该第 2 绝缘膜 13 之间具有与第 1 导电部 12 连接、并被形成到第 2 绝缘膜 13 的外表面的第 2 导电部 14。

[0091] 此外,以上已说明的本实施例的半导体器件的制造方法的要点可归纳如下。即,首先在半导体衬底 30 的主面上形成多个槽 7。其次,形成从槽 7 的内表面延伸到沿半导体衬底 30 的主面的外表面的第 1 绝缘膜 11。该绝缘膜成为栅绝缘膜。其次,在半导体衬底 30 的主面上形成第 1 导电膜 12 以便填充槽 7 的内部,其后以刻蚀方式除去所述第 1 导电膜 12 直到低于槽 7 的开口面的位置。该部分成为下部的栅部分。其次,在半导体衬底 30 的整个主面上形成第 2 绝缘膜 13,其后在第 1 绝缘膜 11 上留下第 2 绝缘膜 13,形成到达槽 7 中的第 1 导电部 12 的开孔。其次,在所述开孔中形成到达第 1 导电部 12 的第 2 导电部 14。该

部分成为上部的栅部分。这样就制造了具有槽型结构的半导体器件。

[0092] 如使用以上那样形成了的槽型 MOS 栅结构,则不出现槽开孔部中的 Si/SiO₂ 界面的凸状部分。即,不出现成为使槽内壁上形成的栅氧化膜漏泄特性变坏的原因的结构。由此可改善栅氧化膜漏泄特性。

[0093] 实施例 2

[0094] 图 7~图 9 是用于说明本发明的实施例 2 的具有槽型结构的半导体器件的制造方法和结构的图。因为到图 7 为止的工序与实施例 1 的图 1~图 2 的工序相同,故引用实施例 1 的图 1~图 2。

[0095] 首先说明制造方法,其后说明其结构。

[0096] 关于制造方法,首先进行与图 1~图 2 中示出的工序相同的工序。

[0097] 其次,如图 7(a) 所示,在槽刻蚀后或槽刻蚀的后处理后,向槽底部注入浓度比 n⁻ 型区 1 高的砷, n⁻ 型区 1 的位置比 p 基极层 4 低。

[0098] 其次,如图 7(b) 所示,在槽 7 的内壁到外表面的整个面上形成氧化硅膜 11(绝缘膜)。该膜成为栅氧化膜。

[0099] 如图 7(b) 所示,这样做的结果是利用增速氧化避免了以往在槽底部 9 产生的栅氧化膜 11 的薄膜化。而且,预期可提高在槽内壁处的栅氧化膜膜厚的均匀性和提高栅氧化膜的特性。

[0100] 其次,如图 7(c) 所示,用栅电极材料 12(导电膜)(例如,含有高浓度磷的多晶硅)填充槽 7。

[0101] 其次,如图 8(a) 所示,进行刻蚀,使得栅电极材料 12 从硅衬底表面突出。此外,利用注入法形成 p⁺ 区 18。其后,使栅电极材料 12 的表面氧化,形成氧化膜 15。

[0102] 其次,如图 8(b) 所示,形成层间膜 16 和 17(例如,CVD 膜或含有硼、磷的硅酸盐玻璃等)。

[0103] 其次,如图 8(c) 所示,进行接触点的图形刻蚀。

[0104] 其次,如图 9 所示,使用溅射法、灯退火等,形成硅化物层 19、阻挡金属 20、铝 21。这样就完成了具有槽型 MOS 栅结构的 IGBT。

[0105] 在以上所述中,在栅从槽开孔部突出的结构的半导体器件的制造中,说明了在槽底部扩散杂质的制造方法。但是,向槽底部的杂质的扩散具有与栅的结构无关的效果,也适用于以往那样的栅结构的半导体器件或在实施例 1 中已说明的栅结构的半导体器件等,可发挥其效果。

[0106] 如归纳以上已说明的本实施例的结构和制造方法,则如以下所述。即,本实施例的半导体器件具有在半导体衬底 30 的主面上被形成的槽 7,具有从槽 7 的内表面延伸到沿半导体衬底 30 的主面的外表面的绝缘膜 11。此外,备有从槽 7 的内部延伸到沿半导体衬底 30 的主面的外表面的导电膜 12。即,导电膜 12 具有从硅衬底表面突出的结构。

[0107] 此外,在本实施例的半导体器件的制造方法中,首先在半导体衬底 30 的主面上形成槽 7。其次,形成从槽 7 的内表面延伸到沿所述半导体衬底 30 的主面的外表面的第 1 绝缘膜 11。其次,在包含槽 7 的内部的半导体衬底 30 的主面上形成导电膜 12。其次以刻蚀方式除去导电膜 12 的离槽 7 的规定距离的部分,以使导电膜 12 从槽 7 的内部延伸到半导体衬底 30 的主表面。

[0108] 由于在这样形成的本实施例的半导体器件中备有从槽 7 的内部延伸到槽的外表面的栅氧化膜 11 和栅 12, 故可缓和流到栅氧化膜 11 的电流集中于槽的开孔部的情况。由此具有提高栅氧化膜的可靠性的效果。

[0109] 此外, 本实施例的其他的半导体器件具有下述结构: 不管栅的形状・结构如何, 将砷等的杂质注入到槽 7 的底部, 其后通过以氧化方式形成栅绝缘膜 11, 以足够的厚度形成在槽底部的栅氧化膜 11。

[0110] 此外, 在本实施例的其他的半导体器件的制造方法中, 首先在半导体衬底 30 的主表面上形成槽 7。其次, 将杂质注入到槽 7 的底部。其后, 在槽 7 的内表面上形成绝缘膜 11。之后的工序与以往一样, 没有变化。

[0111] 如使用以上那样形成的槽型 MOS 栅结构, 则可提高在槽内壁处的栅氧化膜膜厚的均匀性和提高栅氧化膜的特性。

[0112] 实施例 3

[0113] 图 10 是用于说明本发明的实施例 3 的半导体器件的结构图。此外, 图 11 和图 12 是用于说明本实施例的半导体器件的作用的图。

[0114] 图 10(a) 是本实施例的半导体器件的一例, 是与实施例 2 中示出的槽型 MOS 栅结构相同的概念的结构, 但栅绝缘膜 11 从槽开孔延伸到槽外表面, 而且栅 12 从槽 7 突出, 同时以与栅氧化膜 11 相同的长度延伸到外表面。

[0115] 此外, 图 10(b) 是本实施例的半导体器件的另一例, 在实施例 2 中示出的槽型 MOS 栅结构的结构在相邻的槽之间, 在不分离栅绝缘膜 11 的情况下连续, 而且也在不分离栅 12 的情况下连续。图中的符号示出与实施例 2 相同或相当的符号, 省略其详细的说明。

[0116] 在这样的本实施例中示出的结构中, 与现有的槽型 MOS 栅结构相比, 在槽开孔部中在硅衬底之上形成了栅电极材料 12。因此, 槽开孔部、即衬底表面中的平面部分的电容器面积 (图 10(a) 的 $S_{\text{平面}}$ 部分) 对于由从槽内壁延伸到衬底表面的栅氧化膜 11 占据的整个电容器面积 ($S_{\text{总的槽}}$) 的比例 β 就增加。

[0117] 再有, 其中, 在现有的槽型 MOS 栅结构中, 平面部分存在于图 16 中示出的 $S_{\text{平面}}$ 部分。

[0118] 此外, 与电容器面积的情况相同, 关于槽开孔部、即槽的外表面的栅边缘长度对于槽型 MOS 栅结构的整个栅边缘长度所占据的比例 α , 图 10(a) 和图 10(b) 中示出的槽型 MOS 栅结构的 α 比现有的槽型 MOS 栅结构的 α 增加。

[0119] 图 11 和图 12 是分别示出该电容比 β 和边缘长度比 α 与到栅氧化膜破坏为止被存储的电荷量 (Q_{bd}) 的关系的图。电荷量 Q_{bd} 表示到栅氧化膜的绝缘破坏为止能充电的电荷量。该值是作为氧化膜的可靠性特性的指标的参数, 可以说 Q_{bd} 越大, 氧化膜的质量越好, 可靠性越高。

[0120] 在图 11 中, 与现有的槽型 MOS 栅结构相比, 可知图 10(a) 和图 10(b) 中示出的槽型 MOS 栅结构的 Q_{bd} 值快速增加。在现有的结构中, 电容比 β 是约 2%, 在本实施例中, 是 10% 左右。从图 11 的曲线看, 如形成栅氧化膜 11 和栅 12, 使得电容比 β 为 5% 以上, 则可使到绝缘破坏为止的电荷量 (Q_{bd}) 比现有的结构大 1 个数量级以上。

[0121] 此外, 在图 12 中, 与现有的槽型 MOS 栅结构相比, 可知图 10(a) 和图 10(b) 中示出的槽型 MOS 栅结构的 Q_{bd} 值快速增加。在以往的结构中, 边缘长度比 α 是约 5%, 在本实施

例中,是 40%左右。从图 12 的曲线看,如形成栅氧化膜 11 和栅 12,使得边缘长度比 α 为 30%以上,则可使到绝缘破坏为止的电荷量 (Qbd) 比现有的结构大约 1 个数量级以上。

[0122] 因此,图 11 和图 12 中示出的特性是由于下述情况而引起的。因为流到在槽内壁面上被形成的栅氧化膜的电流集中于槽开孔部,故如在电容器整个面积中槽开孔部的面积所占的比例增加,可缓和在槽开孔部处的电流密度。再有,图 11、图 12 中的 α 、 $\beta = 100\%$ 的值示出在图 17 中示出的现有的平面型 MOS 栅结构。

[0123] 再有,因为图 10(a) 中示出的结构的半导体器件的制造方法与实施例 2 中已说明的方法基本相同,故省略其说明。

[0124] 此外,图 10(b) 中示出的结构的半导体器件的制造方法与实施例 2 中到图 7(c) 为止的工序相同,在图 8(a) 的工序中,在 2 个槽 7 之间以不分离的方式形成栅 12。因为其他方面与实施例 2 基本相同,故省略其详细的说明。也可省略图 7(a) 的工序。

[0125] 如对以上已说明的本实施例的半导体器件的结构和制造方法进行归纳,则如下所述。

[0126] 即,本实施例的半导体器件备有从槽 7 的内表面延伸到沿半导体衬底 30 的主面的外表面的绝缘膜 (栅绝缘膜) 11,而且从槽 7 的内部延伸到沿半导体衬底 30 的主面的外表面的导电部 (栅) 12 以与绝缘膜 (栅绝缘膜) 11 相同的长度来形成。

[0127] 此外,本实施例的其他的半导体器件是在相邻的槽之间绝缘膜 (栅绝缘膜) 11 和导电部 (栅) 12 分别连续地形成。

[0128] 此外,本实施例的其他的半导体器件作成槽开孔部中的平面部分的电容器面积占全部电容器面积的比例增大的槽型 MOS 栅结构。在夹住绝缘膜的全部电容器面积中,夹住槽外表面的绝缘膜部分的电容器面积最好为 5%以上。

[0129] 此外,本实施例的其他的半导体器件作成槽开孔部中的栅边缘长度增大的槽型 MOS 栅结构。在绝缘膜的全部栅边缘长度中,槽外表面的绝缘膜部分的栅边缘长度最好为 30%以上。

[0130] 按照以上已说明的本实施例,可得到提高栅氧化膜的可靠性的效果。

[0131] 实施例 4

[0132] 图 13 和图 14 是用于说明本发明的实施例 4 的具有槽型结构的半导体器件的制造方法和结构的图。因为到图 13 为止的工序与实施例 1 的图 1 ~ 图 2 的制造工序相同,故引用实施例 1 的图 1 ~ 图 2。

[0133] 首先说明制造方法,其后说明其结构。

[0134] 本实施例的制造方法,首先经过与实施例 1 的图 1(a) ~ 图 1(c) 中示出的工序相同的工序。

[0135] 其次,在图 1(d) 的工序中,淀积比实施例 1 ~ 2 的情况厚的 CVD 膜 6,对其进行图形刻蚀,对形成槽 7 的位置进行开口。

[0136] 其次,到图 2(a) ~ 图 2(d) 为止的工序与实施例 1 相同,但不同点在于 CVD 膜 6 形成得较厚。

[0137] 其次,图 13(a) 示出从图 2(d) 的状态进行了氧化膜 10 的刻蚀除去后的状态。由于将 CVD 膜 6 形成得较厚,在除去了氧化膜 10 之后,在槽开孔部的外表面上留下了 CVD 膜 6。

[0138] 其次,如图 13(b) 所示,形成栅氧化膜(绝缘膜)11。此时,槽开孔部的外表面中的栅氧化膜 11 与 CVD 膜合在一起,膜厚变厚。此时使槽开孔部的外表面中的栅氧化膜 11 的厚度比槽内表面中的厚度厚 2 倍以上。

[0139] 其后的工序可以是与以往相同的工序,也可与实施例 1 的图 3(c) 以后的工序、或实施例 2 的图 7(c) 以后的工序相同,对其不作限定。

[0140] 如上所述,本实施例的制造方法的特征在于,将作为图 1(d) 中示出的槽刻蚀用的掩模使用的 CVD 膜 6 比实施例 1、2 形成得厚。

[0141] 图 14 是表示这样形成的半导体器件的结构的剖面图,图 14(a) 是栅 12 的上表面比槽 7 的开口面低的结构的半导体器件的剖面图,图 14(b) 是在该槽 7 的长边方向上的剖面图。此外,图 14(c) 是图 14(a) 中示出的槽开孔部的角部区域 A 的扩大图。再者,图 14(d) 是栅 12 从槽 7 的开口面突出的结构的半导体器件的剖面图。

[0142] 用本实施例制造的半导体器件的特征在于,如图 14(c) 的角部区域 A 的扩大图所示,槽开孔部中的栅氧化膜 11 的膜厚 $t_{go \times 1}$ 是槽内壁中的栅氧化膜 11 的膜厚 $t_{go \times 2}$ 的 2 倍以上。

[0143] 其结果,槽开孔部的角部中的垂直方向、即 Y 方向电场 ($E_{cor, y}$) 比在槽开孔部中的栅氧化膜 11 的膜厚 $t_{go \times 1}$ 只与槽内壁中的栅氧化膜 11 的膜厚 $t_{go \times 2}$ 相同的情况下缓和。因而,在槽开孔部的角部中的 X、Y 方向的电场的合成成分、即总的电场 (E_{cor}) 比以往降低。因此,使加在槽开孔部中的栅氧化膜 11 的电场得到缓和,可得到改善栅氧化膜漏泄特性和成品率提高的效果。

[0144] 实施例 5

[0145] 以下说明本实施例 5 的半导体器件的结构和制造方法。

[0146] 首先说明制造方法,其后说明其结构。关于制造方法,作为表示工艺的图,引用实施例 1 中已说明的图 1(a) ~ 图 3(b)。

[0147] 本实施例的制造方法中,首先经过与图 1(a) ~ 图 3(a) 相同的工序,如图 3(a) 所示,在半导体衬底 30 上形成槽 7。

[0148] 其次,本实施例的制造方法的特征在于图 3(b) 中示出的槽内部的栅氧化膜的形成方法。

[0149] 在本实施例中,作为图 3(b) 中示出的栅氧化膜 11(绝缘膜)的形成方法,首先如以往那样,在形成了热氧化膜之后,再形成 CVD 膜,形成 2 层的层叠膜。此外,也可在形成了 CVD 膜之后,再形成热氧化膜,形成 2 层的层叠膜。

[0150] 此外,作为其他方法,首先形成热氧化膜,在其上形成 CVD 膜,再在其上形成热氧化膜,作成 3 层的层叠膜。

[0151] 通过这样来形成栅氧化膜 11,可使槽内壁中的栅氧化膜的膜厚的不均匀得到缓和。如采用该方法,可提高槽内壁中的栅氧化膜膜厚的均匀性,可得到能避免因栅氧化膜膜厚的不均匀引起的不良影响的效果。

[0152] 再有,有时与硅的界面可构成沟道,形成热氧化膜的做法与使用 CVD 膜相比,可消除导致 MOS 沟道部分的迁移率下降的担心。

[0153] 这样,可以是与以往相同的工序,也可与实施例 1 的图 3(c) 以后的工序、或实施例 2 的图 7(c) 以后的工序相同,对其不作限定。

[0154] 迄今为止,由于以下的原因产生在槽内壁形成的栅氧化膜的膜厚的不均匀。即,在槽内壁中产生几种面取向。于是,如利用现有的热氧化法在槽内壁上形成栅氧化膜 11,则出现面取向的依存性,故引起栅氧化膜的膜厚的不均匀。

[0155] 本实施例通过在热氧化膜上层叠 CVD 膜,或在 CVD 膜形成后进行热氧化,打算缓和栅氧化膜的不均匀性。

[0156] 此外,如形成本实施例的栅氧化膜,可防止在现有例的图 16(b) 的剖面图中示出的区域 E 那样的在 LOCOS 部 23(分离氧化膜)和栅氧化膜 11 的边界处的栅氧化膜 11 的薄膜化(变薄现象)。结果,可防止在区域 E 处的栅氧化膜破坏或栅氧化膜特性的变坏。

[0157] 再有,可使用本实施例的方法来代替在槽底部形成 n 层并利用增速氧化来消除栅氧化膜 11 的膜厚不均匀的方法。这些方法都可得到使栅氧化膜的膜厚变得均匀的效果。

[0158] 此外,本实施例的半导体器件,如以上已说明的那样,具有在半导体衬底 30 的主面上被形成了的槽 7,在所述槽 7 的内表面上形成的栅氧化膜 11 等的绝缘膜作成在热氧化膜上层叠了 CVD 膜的结构、或在 CVD 膜上形成热氧化膜的结构、或在热氧化膜上层叠了 CVD 膜再层叠了热氧化膜的结构。而且,具有在该槽 7 的内部形成了栅 12 等导电膜的结构。

[0159] 如以上已说明的那样,按照本实施例,通过使用热氧化膜 +CVD 膜的层叠膜、CVD 膜 + 热氧化膜的层叠膜、或由热氧化膜 +CVD 膜 + 热氧化膜构成的层叠膜作为在槽内壁上形成的栅氧化膜 11,可提高在槽内壁上形成的栅氧化膜 11 的膜厚的均匀性,可提高栅氧化膜的可靠性。

[0160] 实施例 6

[0161] 以下说明本发明的实施例 6 的半导体器件的制造方法。

[0162] 关于制造方法,作为表示工艺的图,引用实施例 1 中已说明的图 1(a) ~图 3(c)。

[0163] 本实施例的制造方法中,首先经过与图 1(a) ~图 3(b) 的工序相同的工序,如图 3(b) 所示,在半导体衬底 30 上形成槽 7,在该槽的内表面上形成栅氧化膜 11(绝缘膜)。

[0164] 其次,本实施例的制造方法的特征在于图 3(c) 中示出的栅电极材料 12(导电膜)的形成方法。

[0165] 在本实施例中,如图 3(c) 所示,在槽 7 中填充栅电极材料 12(例如,含有高浓度磷的多晶硅)。然后,将氮注入到该栅电极材料 12 中。该氮注入量为形成 n^+ 发射极扩散层 5 的注入量的 0.1 ~ 2 倍。

[0166] 其后的工序,如实施例 1 的图 3(d) 所示,进行栅电极材料 12 的刻蚀。或,如实施例 2 的图 8(a) 所示,也可进行栅电极材料 12 的刻蚀。因此,关于其后的工序,不作限定。

[0167] 在本实施例中,如以上所述,通过向栅电极材料 12 注入氮并进行退火,在栅氧化膜 11 中利用退火析出已扩散的氮,在栅氧化膜 11 和衬底 30 的界面处,或在栅氧化膜 11 和栅电极材料 12 的界面处形成富氮的栅氧化膜 11。结果,可抑制在形成了栅氧化膜 11 后通过退火成为向栅氧化膜 11 扩散的掺杂剂的、来自 n^+ 发射极层 5、p 基极层 4 的杂质向栅氧化膜 11 的扩散,具有可减少栅氧化膜的特性的下降的效果。

[0168] 再者,利用氮注入引起的氮化,通过氮占据存在于栅氧化膜 11 和衬底 30 的界面处的悬挂键或不完全的结晶来降低界面能级的产生。此外,作为氧化膜中的电子陷阱起作用的 Si-H、Si-PH 键成为 Si-N 键的结果,可减少栅氧化膜中的电子陷阱。结果,具有可提高槽型 MOS 栅结构的晶体管的耐热载流子的性能的效果。

[0169] 本方法可应用于栅氧化膜 11 是热氧化膜的情况,也可应用于如实施例 3 中示出的那种在热氧化膜上重叠地形成 CVD 膜作为栅氧化膜的情况、或在形成 CVD 膜后形成热氧化膜的情况、或在热氧化膜上形成 CVD 膜、再在其上形成热氧化膜的情况,可得到同样的效果。

[0170] 此外,作为栅结构不仅可应用于槽型 MOS 栅结构,而且可应用于图 20 中示出的平面型 MOS 栅结构的功率器件,也可得到同样的效果。

[0171] 按照本实施例,如以上已说明的那样,可得到具有在栅中注入了氮的槽型结构的半导体器件。

[0172] 如以上所说明的那样,按照本实施例的制造方法,将氮注入到栅电极材料中,进行硅/栅氧化膜界面的氮化,可抑制向栅氧化膜的杂质扩散、可减少栅氧化膜中的陷阱。由此,可谋求提高在槽内壁上形成的栅氧化膜的可靠性。

[0173] 实施例 7

[0174] 图 15 是用于说明本发明的实施例 7 的半导体器件的图。

[0175] 图 15(a) 是应用了实施例 2 的槽型 MOS 栅结构的槽型 MOSFET 的结构图。

[0176] 此外,图 15(b) 是应用了实施例 2 的槽型 MOS 栅结构的 IGBT 的结构例,收集极结构不仅形成 p^- 型扩散层 3,而且形成 p^+ 型区 3a,具有 p^+/p^- 收集极结构。

[0177] 此外,图 15(c) 是应用了实施例 2 的槽型 MOS 栅结构的 IGBT 的其他结构例,收集极结构不仅形成 p^+ 型扩散层 3,而且形成 n^+ 型区 3b,具有 p^+/n^+ 收集极结构。因为其他符号与已说明的符号相同,故省略其详细说明。

[0178] 如以上所述,在实施例 1~6 中已说明的槽型 MOS 栅结构可应用于具有槽型 MOS 栅结构的功率器件等的各种半导体器件,分别具有在实施例 1~6 中已说明的效果。

[0179] 如以上所说明的那样,按照本发明,在具有槽型结构的半导体器件及其制造方法中,由于形成从槽的内表面延伸到外表面的绝缘膜并备有从槽的内部突出、延伸到外表面的导电膜,故可缓和流到绝缘膜(栅氧化膜)的电流集中于槽开孔部的情况。由此,具有提高绝缘膜(栅氧化膜)的可靠性的效果。

[0180] 此外,按照本发明,在具有槽型结构的半导体器件及其制造方法中,由于在从槽的开口部到外表面的部分处将绝缘膜(栅氧化膜)形成得较厚,在槽的开口部分处将导电膜(栅)作成剖面收缩的形状,故不出现槽开孔部中的 Si/SiO₂ 界面的凸状部分,可改善栅氧化膜漏泄特性。

[0181] 此外,按照本发明,在具有槽型结构的半导体器件及其制造方法中,由于在相邻的槽之间分别连续地形成绝缘膜和导电膜,故可缓和流到绝缘膜(栅氧化膜)的电流集中于槽开孔部的情况。由此,具有提高绝缘膜(栅氧化膜)的可靠性的效果。

[0182] 此外,按照本发明,在具有槽型结构的半导体器件及其制造方法中,由于在夹住绝缘膜的全部电容器面积中,夹住沿半导体衬底的主表面的外表面的绝缘膜部分电容器面积为 5% 以上,故可缓和流到绝缘膜(栅氧化膜)的电流集中于槽开孔部的情况。由此,具有提高绝缘膜(栅氧化膜)的可靠性的效果。

[0183] 此外,按照本发明,在具有槽型结构的半导体器件及其制造方法中,由于在绝缘膜的全部栅边缘长度中,槽外表面的绝缘膜部分的栅边缘长度为 30% 以上,故可缓和流到绝缘膜(栅氧化膜)的电流集中于槽开孔部的情况。由此,具有提高绝缘膜(栅氧化膜)的

可靠性的效果。

[0184] 此外,按照本发明,在具有槽型结构的半导体器件及其制造方法中,由于使绝缘膜的在外表面的厚度为在内表面的厚度的 2 倍以上这样的方式来形成,故使加在槽开孔部中的绝缘膜(栅氧化膜)上的电场得到缓和,可得到改善绝缘膜(栅氧化膜)漏泄特性和提高成品率的效果。

[0185] 此外,按照本发明,在具有槽型结构的半导体器件及其制造方法中,由于作为槽的绝缘膜作成在热氧化膜上层叠了 CVD 膜的 2 层结构、或在 CVD 膜形成后进行了热氧化的 2 层结构、或在在热氧化膜上层叠 CVD 膜再层叠热氧化膜的 3 层结构,可改善在槽内壁上形成的绝缘膜(栅氧化膜)的膜厚的均匀性,可提高绝缘膜(栅氧化膜)的可靠性。

[0186] 此外,按照本发明,在具有槽型结构的半导体器件及其制造方法中,由于将氮注入到槽内部的导电膜中,故具有可抑制来自衬底一侧的向绝缘膜(栅氧化膜)的杂质扩散、减少绝缘膜(栅氧化膜)的特性的下降的效果。此外,具有由此可提高槽型 MOS 晶体管的特性的效果。

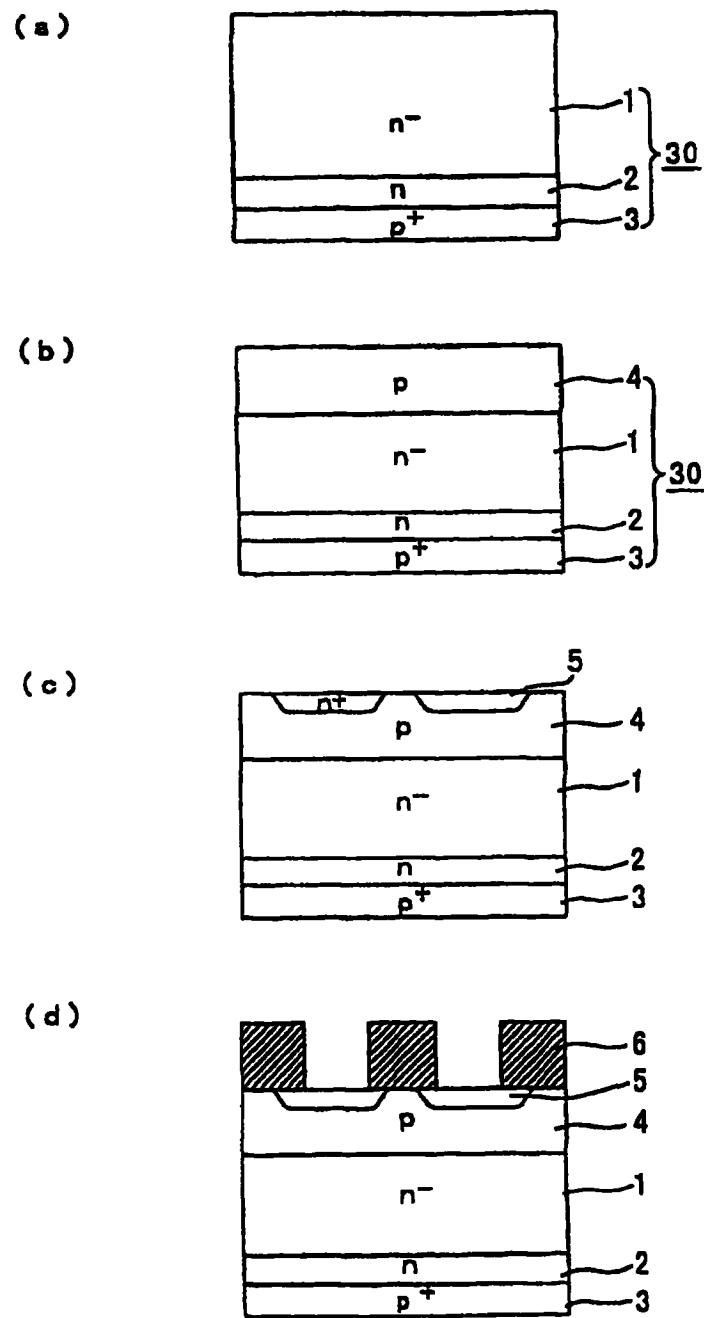


图 1

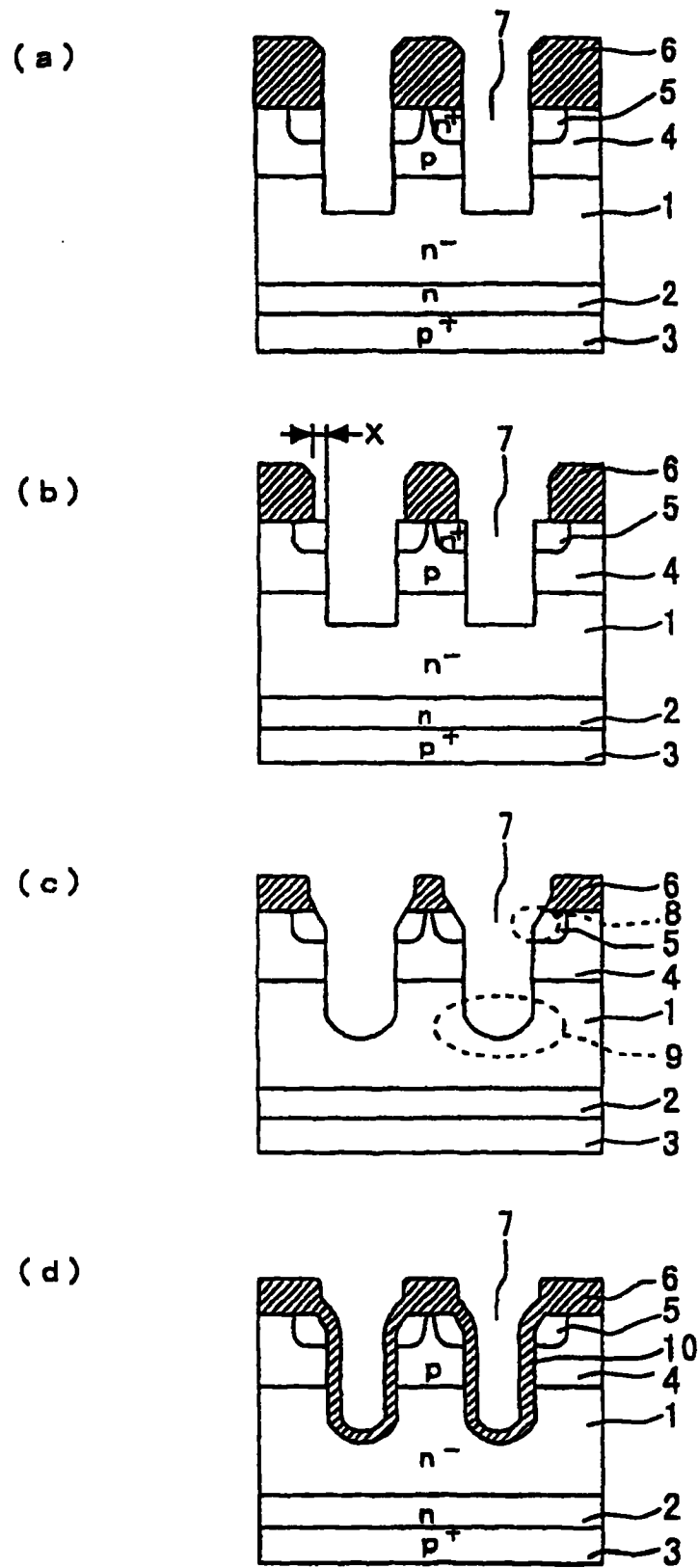


图 2

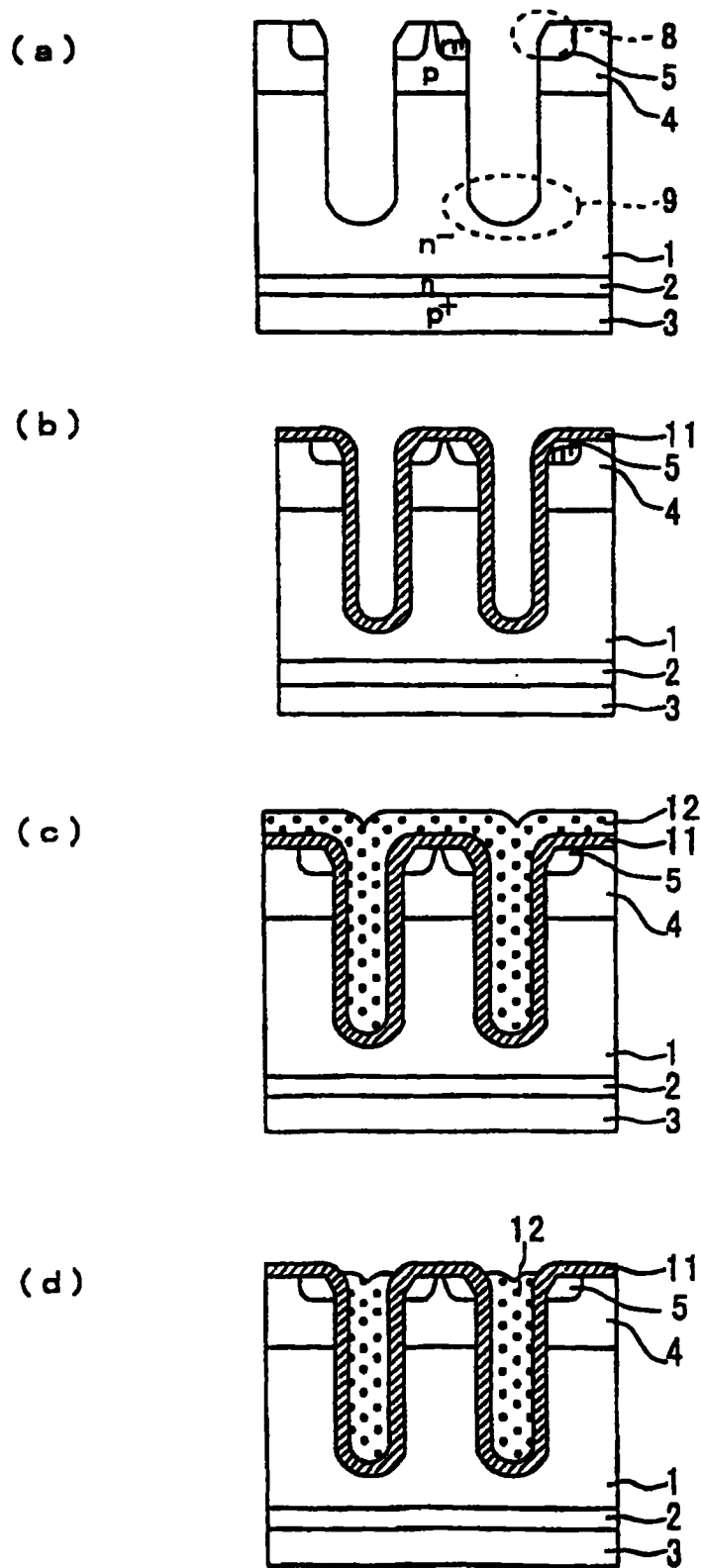


图 3

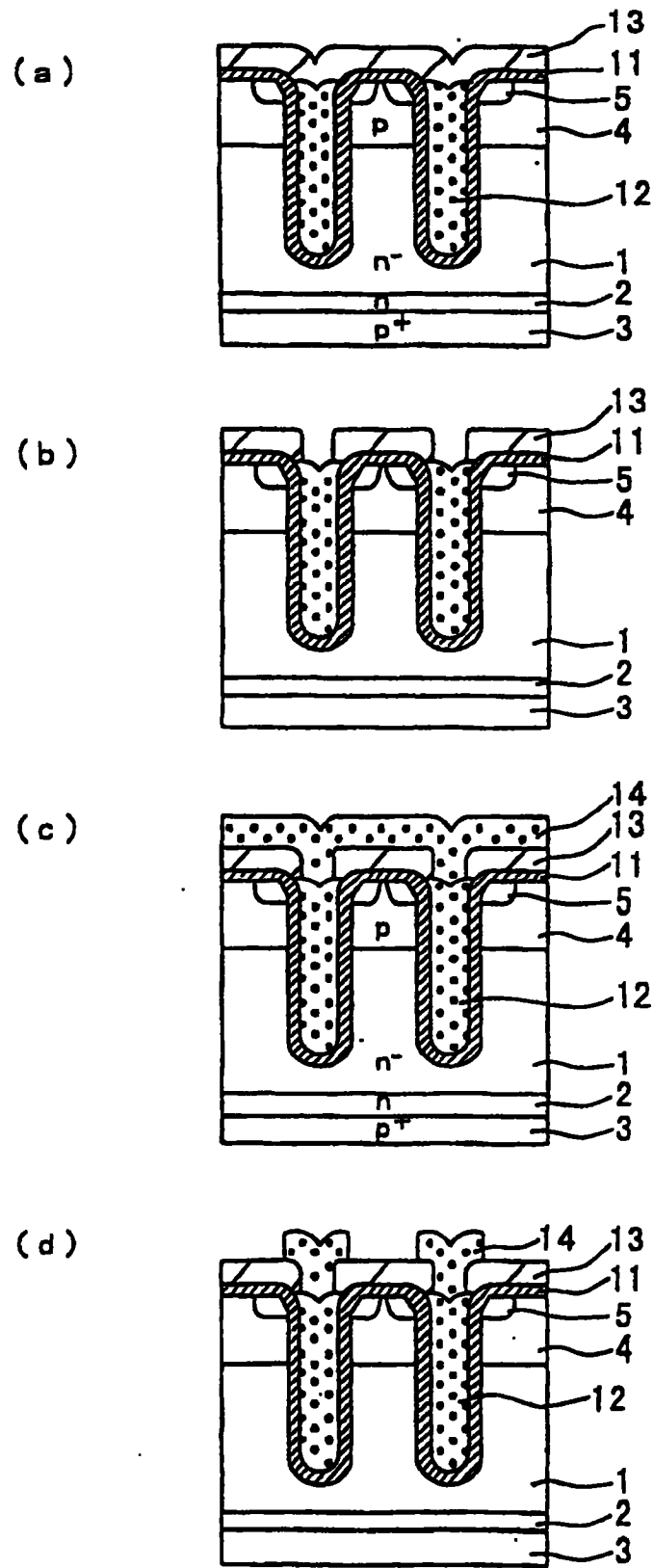
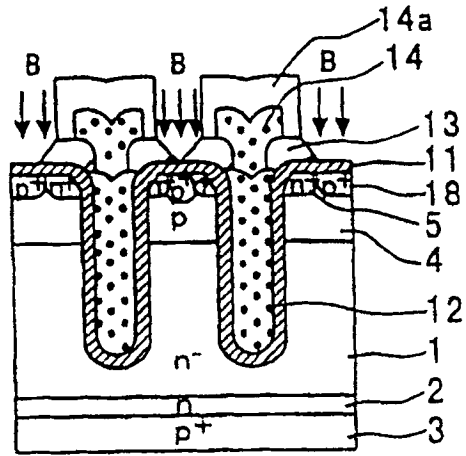


图 4

(a)



(b)

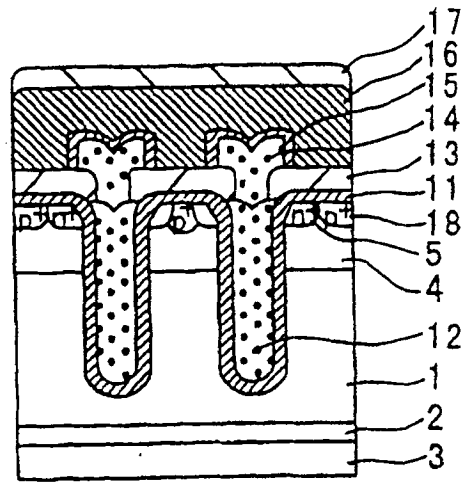
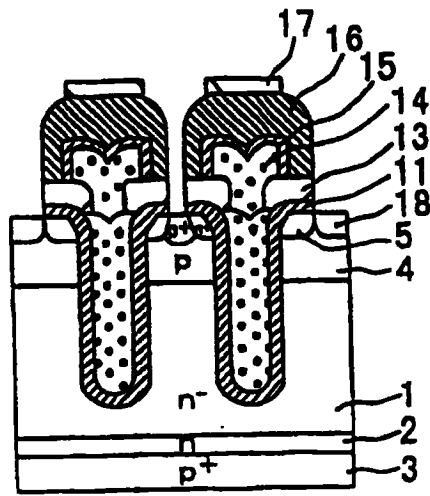


图 5

(a)



(b)

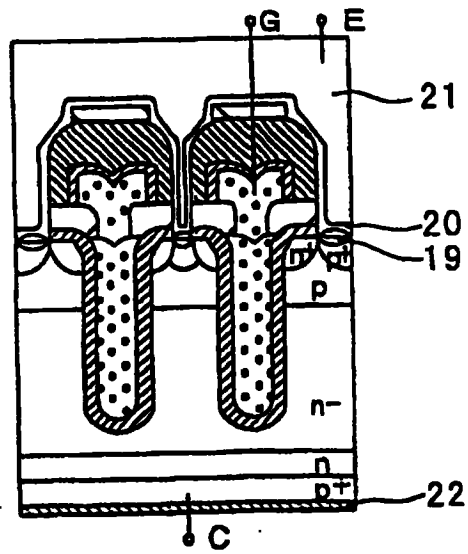


图 6

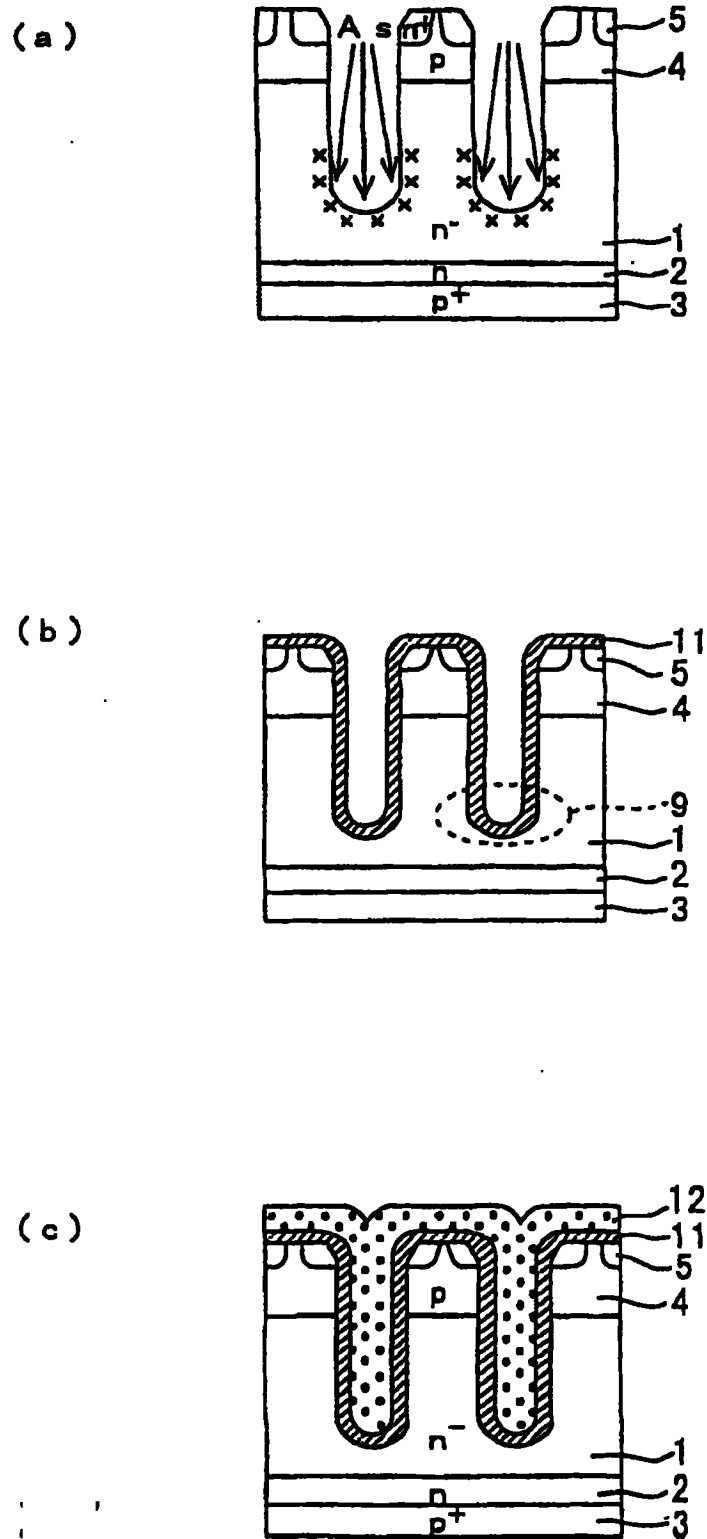
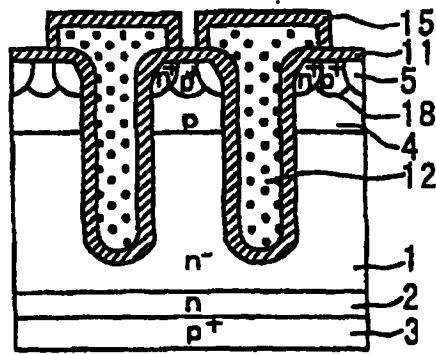
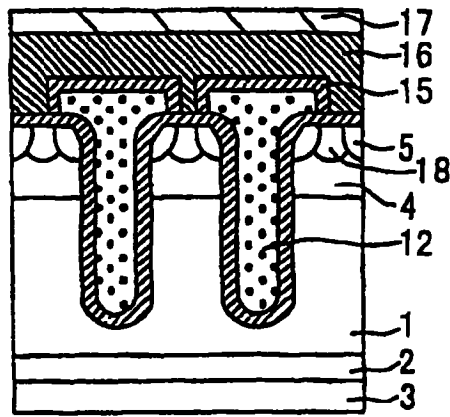


图 7

(a)



(b)



(c)

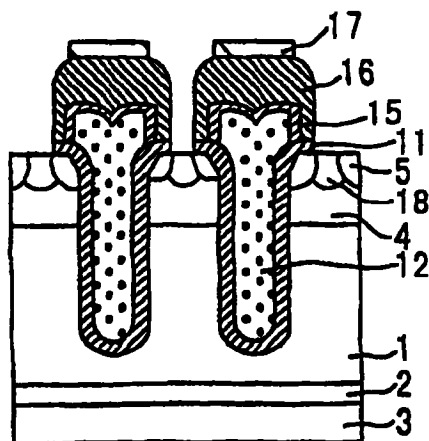


图 8

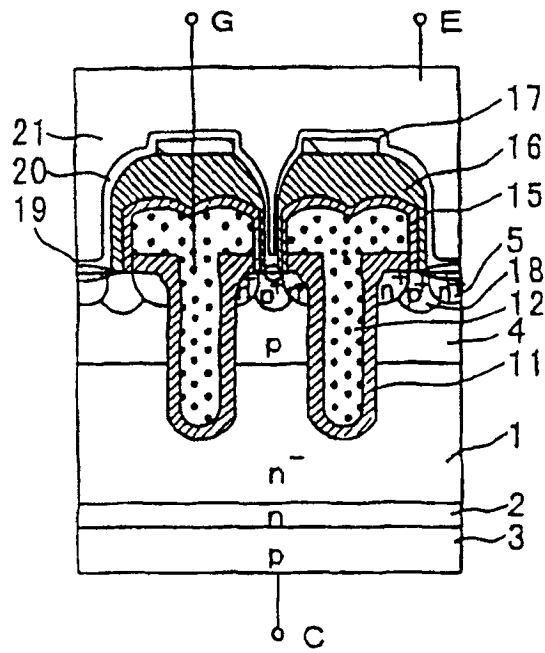
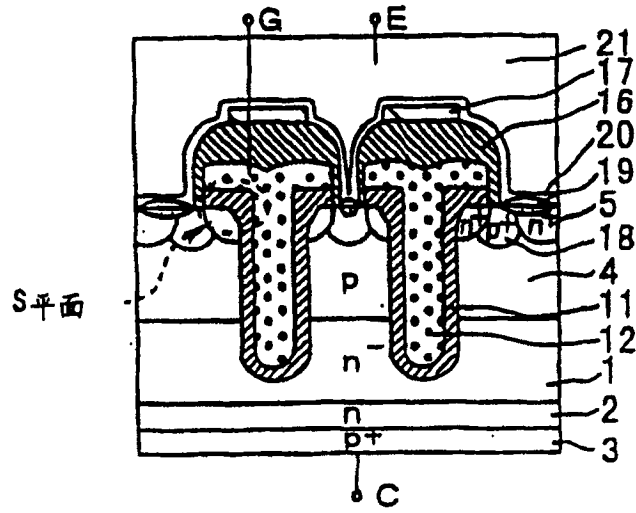


图 9

(a)



(b)

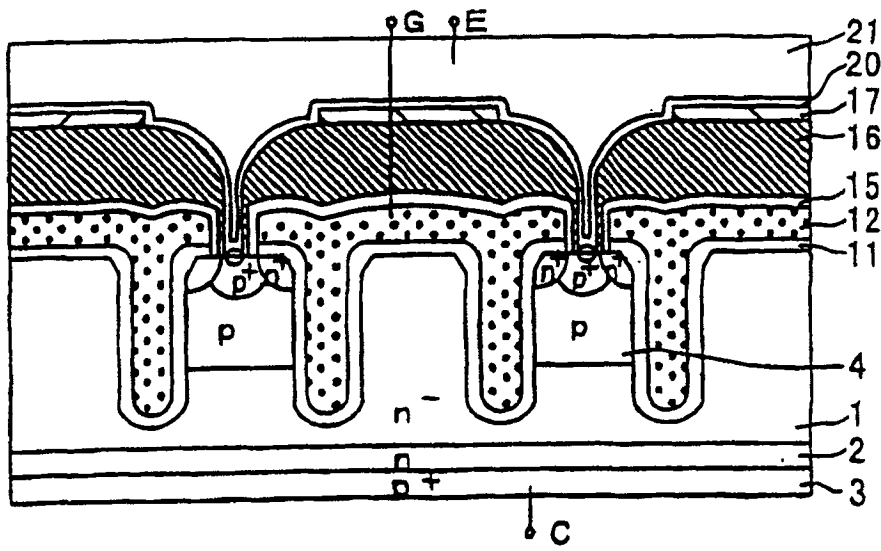


图 10

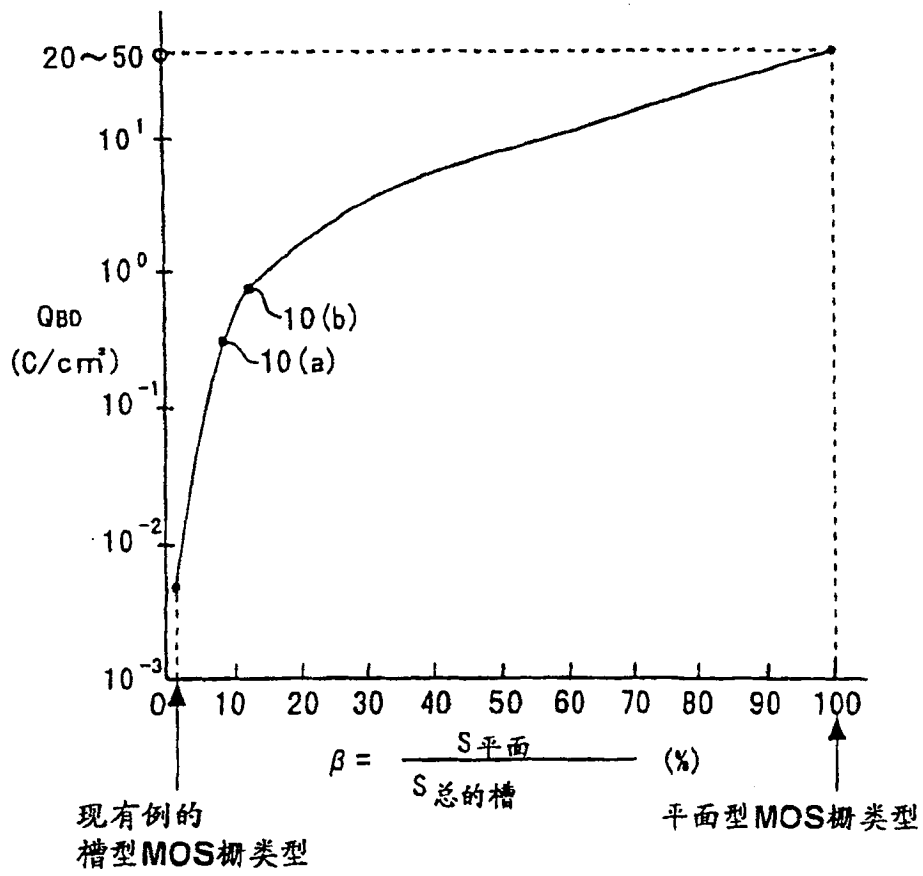


图 11

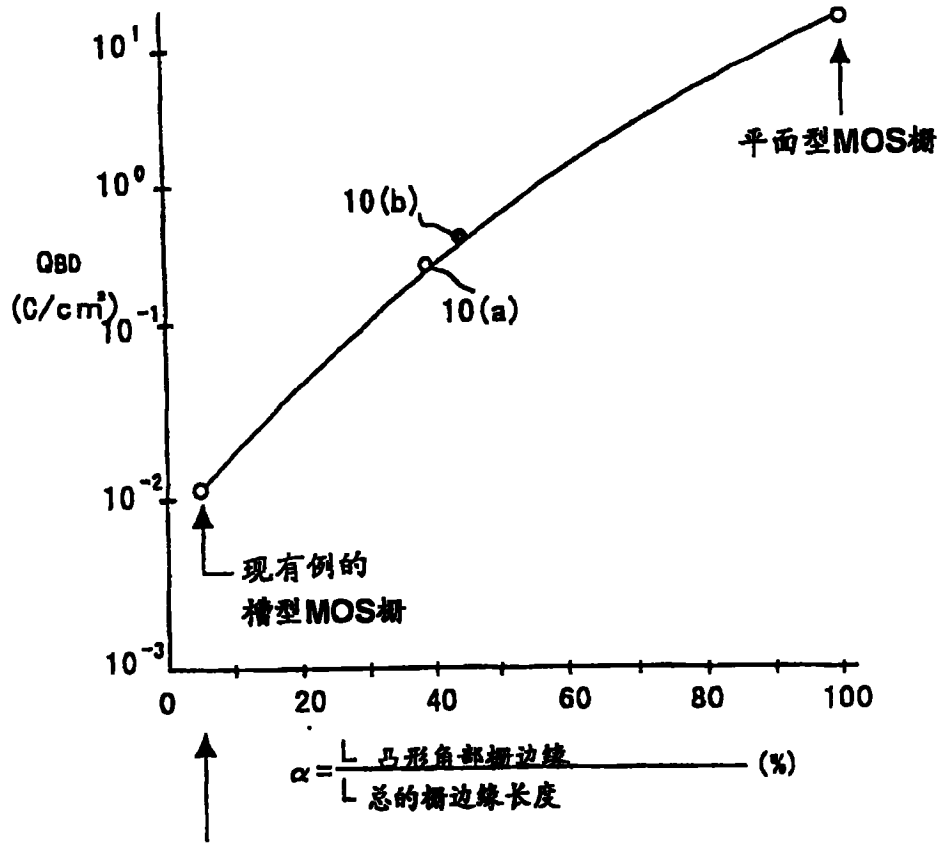
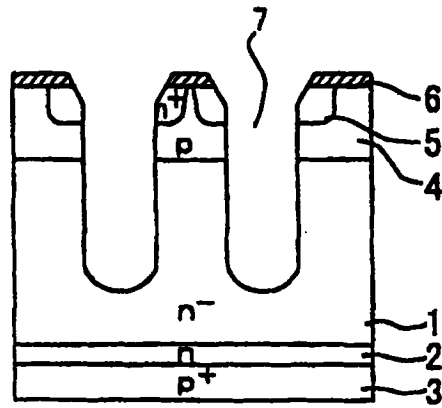


图 12

(a)



(b)

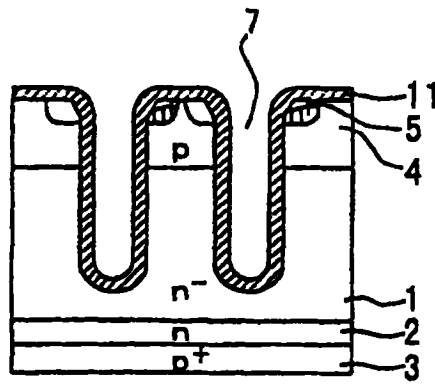


图 13

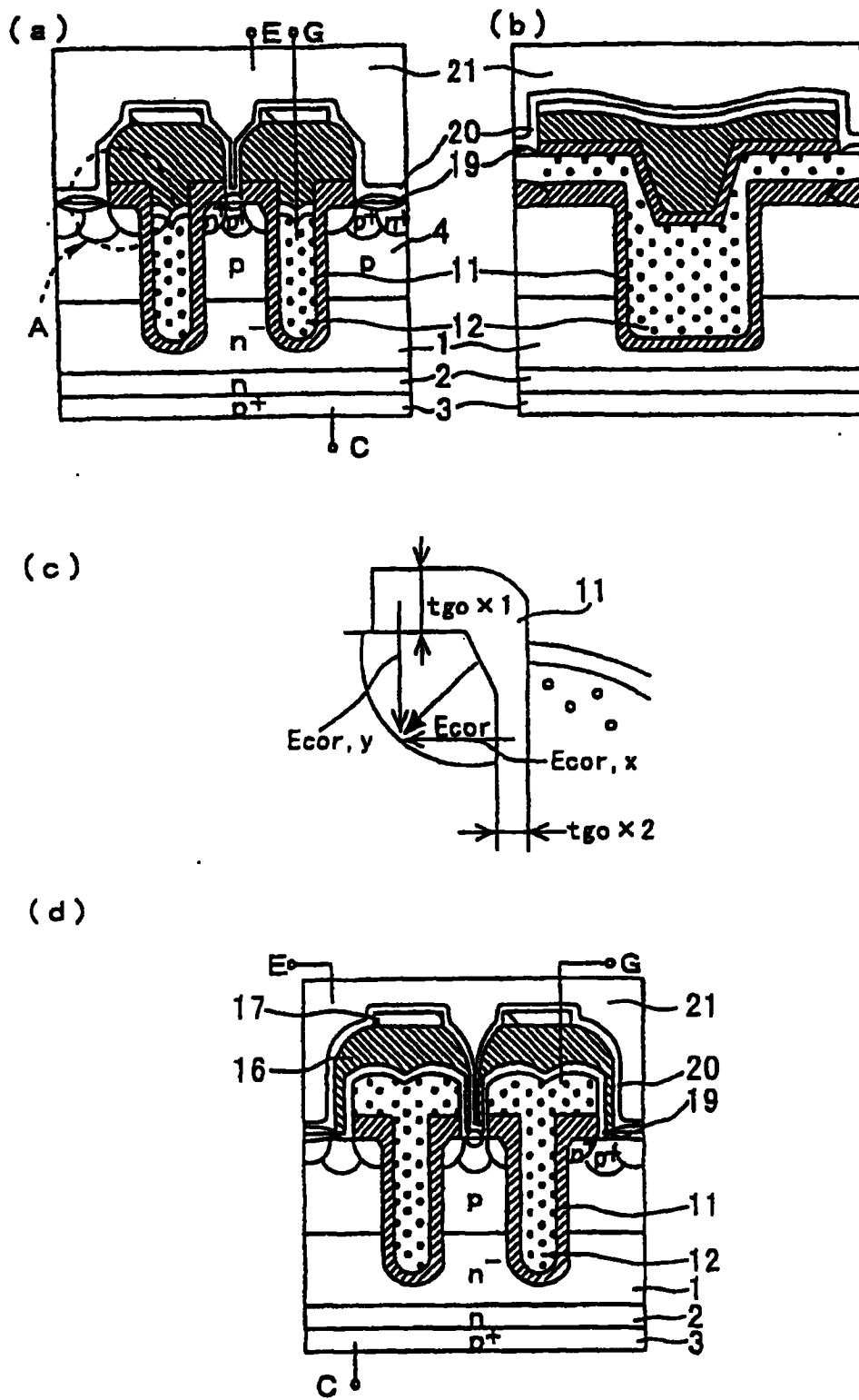
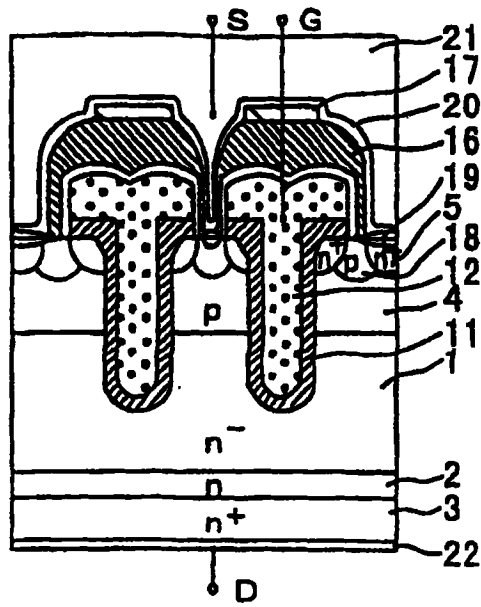
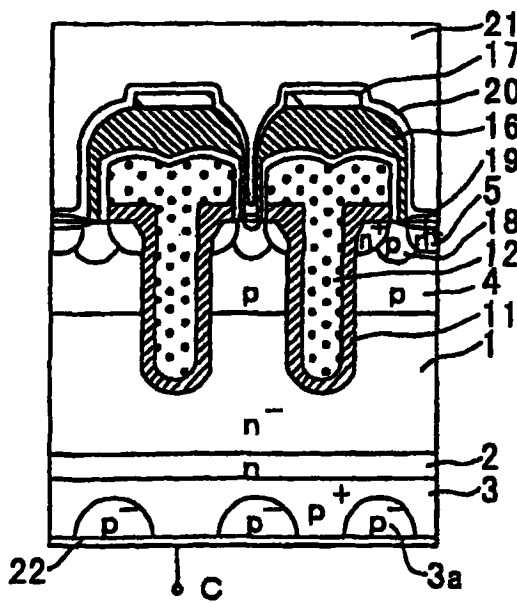


图 14

(a)



(b)



(c)

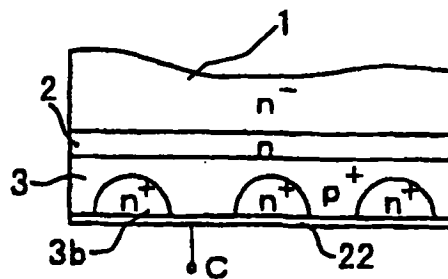
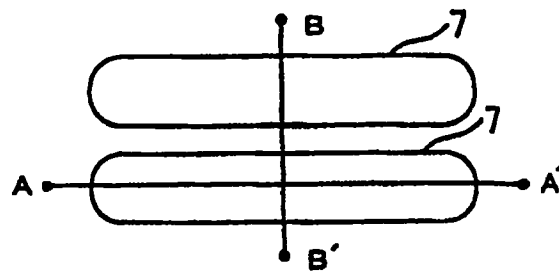
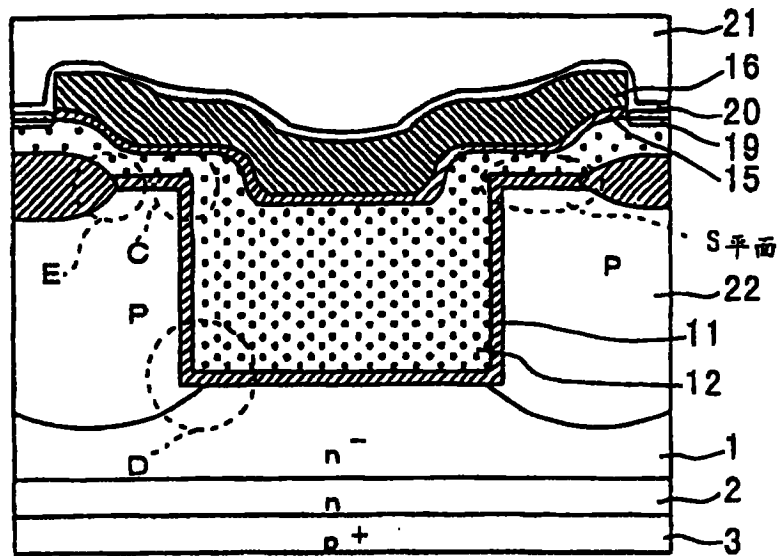


图 15

(a)



(b)



(c)

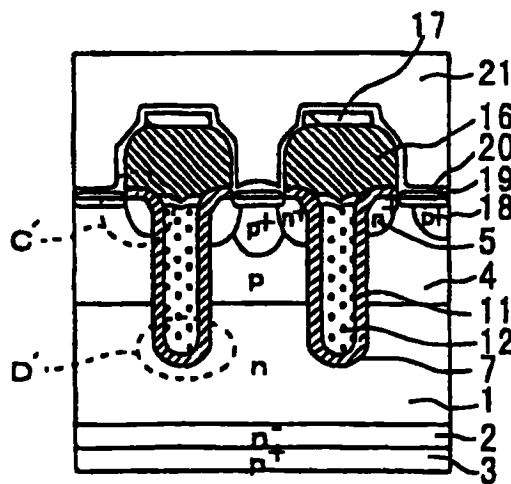


图 16

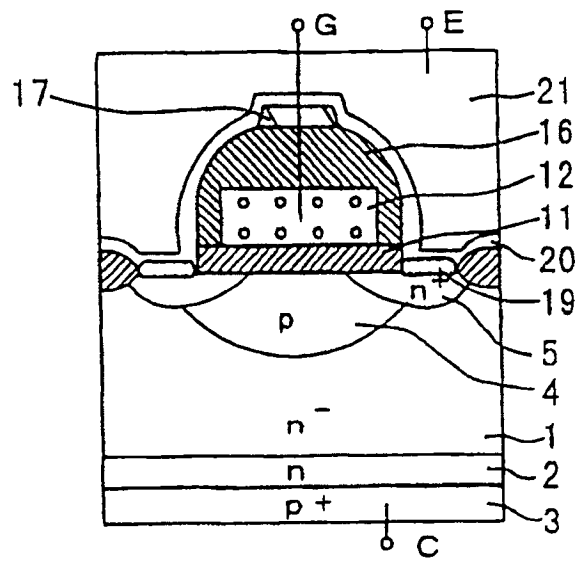


图 17

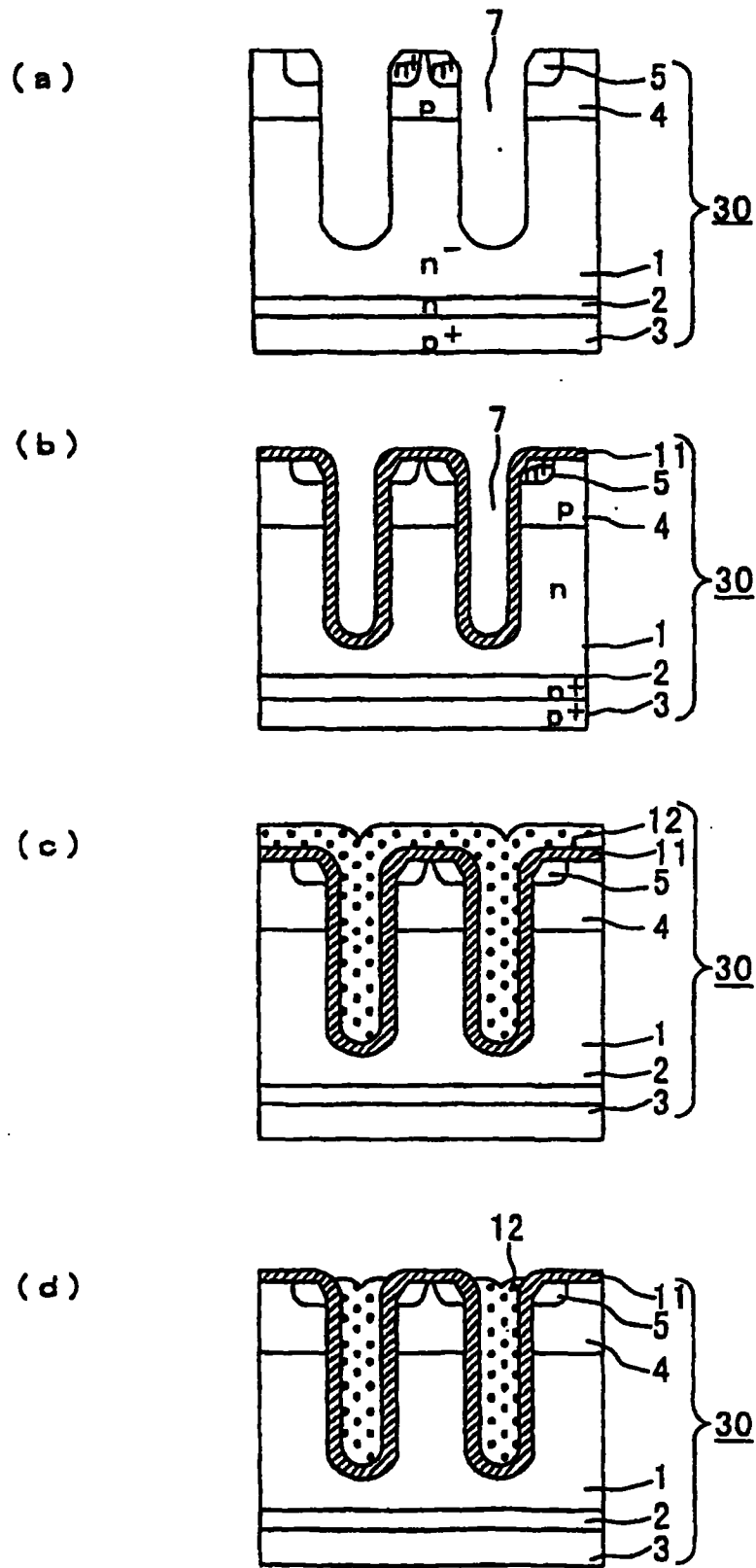


图 18

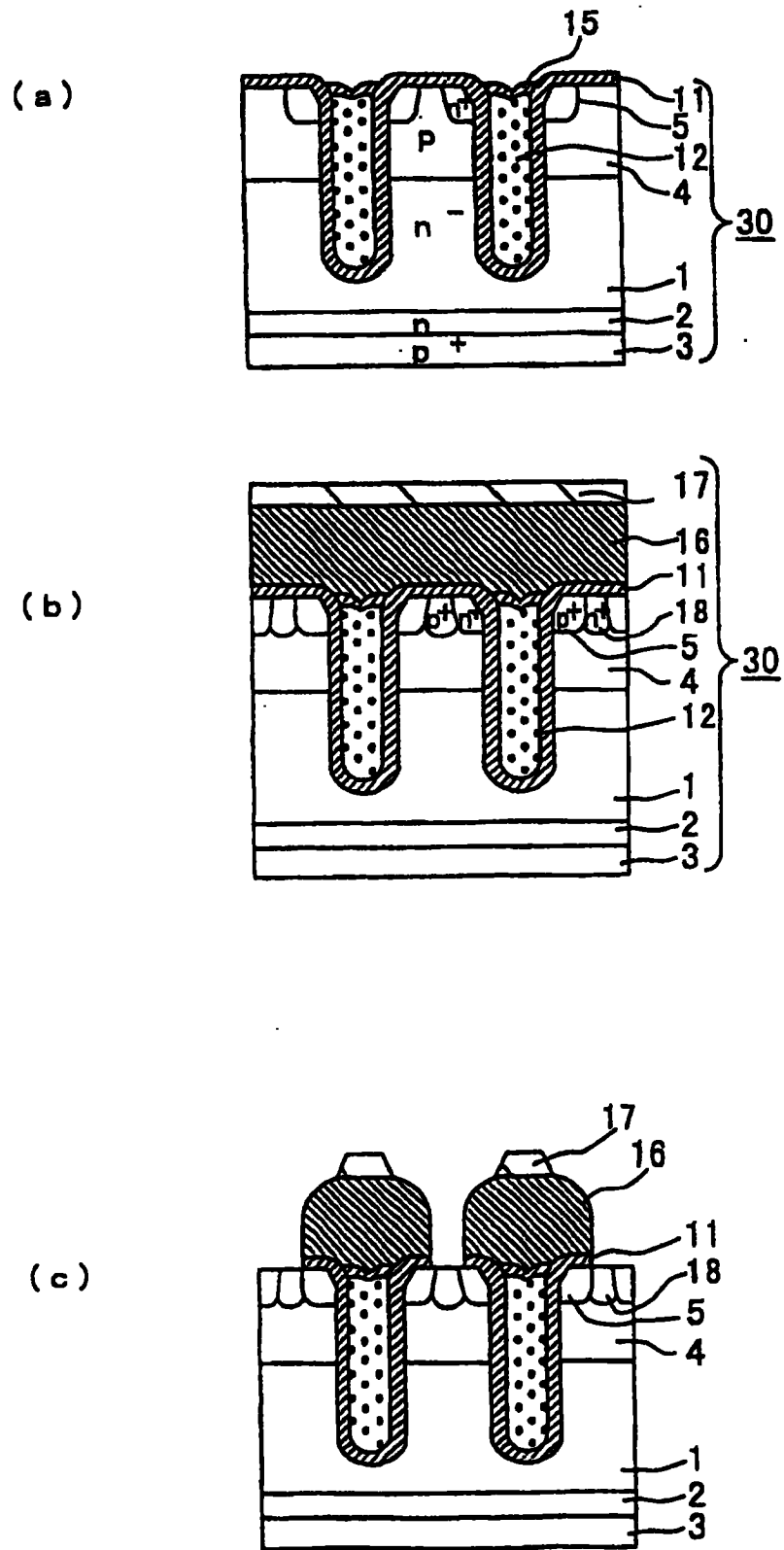


图 19

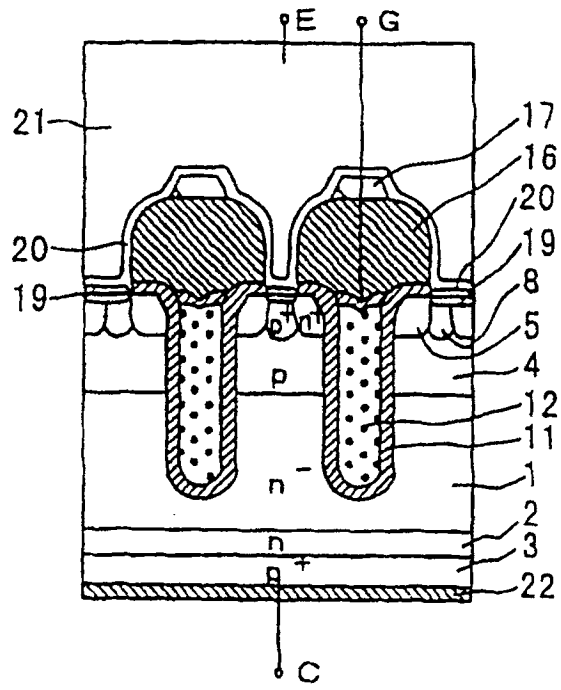


图 20