

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5043009号
(P5043009)

(45) 発行日 平成24年10月10日(2012.10.10)

(24) 登録日 平成24年7月20日(2012.7.20)

(51) Int.Cl.		F I
G09G 3/28 (2006.01)		G09G 3/28 J
G09G 3/20 (2006.01)		G09G 3/20 670L
		G09G 3/20 621M
		G09G 3/20 680G
		G09G 3/20 622G

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2008-523563 (P2008-523563)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(86) (22) 出願日	平成18年7月4日(2006.7.4)	(74) 代理人	100080001 弁理士 筒井 大和
(86) 国際出願番号	PCT/JP2006/313333	(72) 発明者	金澤 義一 宮崎県東諸県郡国富町大字田尻1815番地1 日立プラズマディスプレイ株式会社内
(87) 国際公開番号	W02008/004282	(72) 発明者	藤崎 隆 宮崎県東諸県郡国富町大字田尻1815番地1 日立プラズマディスプレイ株式会社内
(87) 国際公開日	平成20年1月10日(2008.1.10)	審査官	鳥居 祐樹
審査請求日	平成21年4月16日(2009.4.16)		最終頁に続く

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

走査駆動に用いる第1電極群を備えるプラズマディスプレイパネルと、
前記第1電極群を駆動する第1の回路とを備えるプラズマディスプレイ装置であって、
前記第1の回路は、前記第1電極群に対して個別にスキャンパルス印加するスキャンドライバを備え、

前記スキャンドライバは、前記第1電極群の端子に対して接続される複数の出力を持つICを複数個搭載する、1つ以上の基板を備えて構成され、

前記基板上的複数のICのうち一部の第1種のICは、その複数の出力のうち一部の出力が前記第1電極群の端子に接続されず、

前記第1種のICの1つは、装置配置構成における最上位から2番目に配置されていることを特徴とするプラズマディスプレイ装置。

【請求項2】

請求項1記載のプラズマディスプレイ装置において、

前記スキャンドライバは、前記第1電極群の端子に対して接続される複数の出力を持つICを複数個搭載する、上側と下側の少なくとも2つの基板を備えて構成され、

前記上側の基板のIC群は、前記下側の基板のIC群よりも、前記ICの出力を前記第1電極群に接続する率が小さいことを特徴とするプラズマディスプレイ装置。

【請求項3】

請求項1記載のプラズマディスプレイ装置において、

前記スキンドライバは、前記第1電極群の端子に対して接続される複数の出力を持つICを複数個搭載する、上側と下側の少なくとも2つの基板を備えて構成され、

前記上側の基板から前記第1電極群の端子に接続する数と、前記下側の基板から前記第1電極群の端子に接続する数とが同じであり、

前記上側の基板のICの数が、前記下側の基板のICの数よりも多いことを特徴とするプラズマディスプレイ装置。

【請求項4】

請求項1記載のプラズマディスプレイ装置において、

前記第1種のICは、少なくとも2個存在し、

前記2個の第1種のICは、前記第1電極群に接続する出力と、前記第1電極群に接続しない出力とが相反する形であり、前記スキャンパルスの出力タイミングを決定するためのデータを同時に入力して動作することを特徴とするプラズマディスプレイ装置。

10

【請求項5】

請求項1記載のプラズマディスプレイ装置において、

前記スキンドライバにおける個々のICは、前記スキャンパルスの出力タイミングを決定するデータの入力に従って前記スキャンパルスを出力するように動作するものであり、前記ICに内蔵のシフトレジスタによって前記データがシフトされ、当該IC内の最終出力ビットのデータが次の位置のICに入力されることにより、前記第1電極群に対して順次に前記スキャンパルスが印加され、

前記第1種のICのデータ入力部よりも前段、もしくは、出力部よりも後段に、第1のシフトレジスタが接続され、前記第1のシフトレジスタにより、前記データの入力もしくは出力がシフトされることにより、前記第1電極群に対して前記スキャンパルスが連続的に印加されることを特徴とするプラズマディスプレイ装置。

20

【請求項6】

請求項5記載のプラズマディスプレイ装置において、

前記第1のシフトレジスタのビット数は、前記第1種のICの前記第1電極群に接続される出力のビット数と同じであることを特徴とするプラズマディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プラズマディスプレイパネル（PDP）及びその表示装置（プラズマディスプレイ装置：PDP装置）の技術に関し、特に、駆動回路（ドライバ）の実装構成に関する。

30

【背景技術】

【0002】

PDP装置は、表示面積や表示容量、更に応答性などの優位性から、フルカラー大画面表示を実現できる表示装置として期待されている。現在、直視型の表示装置としては、他のデバイスでは実現できない40型から60型以上の大画面が実現されている。

【0003】

従来のPDP装置において、ドライバとして走査電極（Y電極）の走査駆動のためのスキンドライバは、例えば64ビット出力等の単位で集積化され、基板（スキンドライバ基板）上の複数のIC（スキンドライバIC）により構成されている。また、40型～60型の大画面のPDP装置の場合、スキンドライバは、上下の2つのスキンドライバ基板及びIC群に分けて実装されることが一般的である。

40

【0004】

PDPのドライバ、及び、そのIC（ドライバIC）とPDP電極端子との接続の構成例として、複数のICのうち最上部のICの一部の出力を未使用（即ちPDP電極端子と非接続）にしてICの消費電力を低減し、装置配置における上側の位置のICの温度の低減を図ったものがある（後述の図11を参照）。例えばY電極の総数と、複数のスキンドライバICの出力ビット数の総和とが一致しない場合、当該ICの一部の出力を未使用

50

にすることになる。このような従来技術例について、特開2002-304151号公報（特許文献1）に記載されている。また、これに関連及び類似する構成例として、PDP電極数と総IC出力ビット数との差による余り分を、装置配置における最上部と最下部のICに振り分ける構成例も存在する。

【特許文献1】特開2002-304151号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

前述した従来のPDP装置におけるスキンドライバ等のドライバの回路実装構成の場合、一般的な装置配置において、複数のIC（ドライバIC）で、第1（最初）のIC側がPDP装置における上側（高い側）に位置し、最後のIC側が下側（低い）に位置する。ICが消費電力に応じて発熱するため、その温度及び放熱を考慮した装置設計が必要とされる。ICの温度の要因に関して、ICの自己発熱に加え、隣接ICの影響や、PDP装置内の温度上昇の影響などがある。下側のICは、主に当該IC自体の自己発熱による温度上昇となるが、上側のICは、下側の隣接ICの発熱の煽りや、PDP装置内でも一般的に上側の温度が高くなることも影響して、温度的にはより厳しい状態になる。

10

【0006】

前記スキンドライバの一般的な構成において、複数のICのうち、上側のIC群において、特に最上位から2番目の位置のICは、前記温度に関する影響を最も受けやすく、全ICのうちでも最も高温になる。例えば図11の従来技術例において、第2のIC（#2）に比べて第1（最上位）のIC（#1）は、その上側に隣接するICが存在しないため、隣接ICからの発熱の煽りは下側からのみであり、温度的には第2のIC（#2）よりも有利である。そのため、第2のIC（#2）が最も高温になる。このように、従来のPDP装置のドライバの一般的な構成、特に図11のような従来技術例では、温度などの性能面においてあまり効果を期待できない場合がある。

20

【0007】

また、前記ドライバにおける個々のICとしては電気的には同等のものが搭載されるが、特に第2のIC（#2）が最も高温となるため、スキンドライバ基板に対して別に放熱板を付加する等の放熱のための対策が必要であった。

【0008】

本発明は以上のような問題に鑑みてなされたものであり、その目的は、PDP装置におけるスキンドライバ等（Y電極駆動部）のドライバの回路実装構成に関して、基板及び複数ICの配置構成における、特に最上位から2番目の位置のICを含む領域についても、消費電力及び温度の性能を確保又は向上できる技術を提供することにある。

30

【課題を解決するための手段】

【0009】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。前記目的を達成するために、本発明は、PDPとその駆動及び制御のための回路部とを備えるPDP装置の技術であって、以下に示す技術的手段を備えることを特徴とする。

40

【0010】

（1）本発明のPDP装置では、スキンドライバ等のY電極駆動部の回路実装構成において、少なくとも、最上部から2番目に配置されるスキンドライバIC（第2のIC）では、その出力ビットの全部を使用せずに一部のみ使用（Y電極の端子と接続）して構成する。これにより、IC1個当たりの消費電力を低減して、当該第2のICを含む領域についての温度の低減を実現する。

【0011】

（2）また、スキンドライバが、複数のICを搭載した複数の基板（少なくとも上下の2つの基板）に分けて構成される場合に、上側の基板を下側の基板に比べて大きく、即ちIC当たりの面積等が大きくなるように構成する。またあるいは、基板に搭載されるI

50

Cの実装間隔を、上側の基板では下側の基板に比べて広くとる構成にする。これらにより、第2のICを含む領域についての温度の低減を実現する。

【0012】

本PDP装置は例えば以下の構成である。PDPは、少なくとも走査駆動に用いるY電極群を備える。PDP装置は、Y電極群を個別に走査駆動する機能を有する第1の回路(Y電極駆動部)を備える。PDPは、例えば、前面の基板に、スキャン(走査)及びサステイン(維持)の役割を持つ第1電極(Y電極)群を備える。また、前面もしくは背面の基板のいずれか一方に、サステインの役割を持つ第2電極(X電極)群を備える。更に、前面もしくは背面の基板のいずれか一方に、アドレスの役割を持つ第3電極(アドレス電極)群を備えてもよいし、もしくは備えなくともよい。第1の回路(Y電極駆動部)は、例えば、Y電極群を維持駆動など共通駆動するためのY駆動回路(Yサステインドライバ)と、Y電極群を個別に走査駆動するための走査駆動回路(スキャンドライバ)とを備える。

10

【0013】

スキャンドライバは、個別の第1電極に対してスキャンパルスを印加し、Y電極群に対して順次にスキャンパルスを印加する。スキャンドライバは、複数の出力(出力端子)を持つIC(半導体集積回路素子/ICチップ)を複数個搭載する1つ以上の基板(IC基板)により構成される。ICの使用出力は、Y電極(その端子)に対して接続される。そして、基板上的複数のICのうち、一部(少なくとも1つ以上)のIC(第1種のIC)において、当該ICの複数の出力のうちの一部の出力は、Y電極群(その端子)に接続されずに未使用とする。この未使用出力を持つ第1種のICは、装置配置構成における最上位から2番目に配置される。

20

【発明の効果】

【0014】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。本発明によれば、PDP装置におけるスキャンドライバ等(Y電極駆動部)のドライバの回路実装構成に関して、基板及び複数ICの配置構成における、特に最上位から2番目の位置のICを含む領域についても、消費電力及び温度の性能を確保又は向上できる。

【図面の簡単な説明】

30

【0015】

【図1】本発明の一実施の形態におけるPDP装置の全体の概略構成を示す図である。

【図2】本発明の一実施の形態のPDP装置における、PDPの電極の構成を示す図である。

【図3】本発明の一実施の形態のPDP装置における、スキャンドライバを含むY電極駆動部の基本的な構成を示す図である。

【図4】本発明の実施の形態1のPDP装置における、スキャンドライバの回路実装構成及びIC出力配線の構成を示す図である。

【図5】本発明の実施の形態1のPDP装置における、スキャンドライバの走査駆動の動作の構成を示す図である。

40

【図6】本発明の実施の形態2のPDP装置における、スキャンドライバの回路実装構成及びIC出力配線の構成を示す図である。

【図7】本発明の実施の形態3のPDP装置における、スキャンドライバの回路実装構成及びIC出力配線の構成を示す図である。

【図8】本発明の実施の形態3のPDP装置における、スキャンドライバの走査駆動の動作の構成を示す図である。

【図9】本発明の実施の形態4のPDP装置における、スキャンドライバの回路実装構成を示す図である。

【図10】本発明の実施の形態5のPDP装置における、スキャンドライバの回路実装構成を示す図である。

50

【図 1 1】従来技術例の PDP 装置における、スキャンドライバの回路実装構成及び IC 出力配線の構成を示す図である。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部には原則として同一符号を付し、その繰り返しの説明は省略する。なお図 1 1 は、本発明と比較してわかりやすく説明するために従来技術例を示すものである。

【0017】

< PDP 装置 >

まず、図 1, 図 2 において、本実施の形態の PDP 装置の基本的な構成を説明する。

【0018】

図 1 において、本 PDP 装置 (PDP モジュール) 100 は、主に、PDP 10 と、PDP 10 を保持し回路部などが構成されるシャーシ 190 とを有して構成される。回路部として、主に、X 電極 (維持電極) 11 を駆動する X 駆動回路 (X サステインドライバ) 111、Y 電極 (維持走査電極) 12 を駆動する Y 駆動回路 (Y サステインドライバ) 121 及び走査駆動回路 (スキャンドライバ) 122、アドレス電極 13 を駆動するアドレス駆動回路 (アドレスドライバ) を含む各駆動回路、各駆動回路などを制御する制御回路 191、及び各回路へ電源供給する電源回路 192 などとを有する。

【0019】

図 2 において、PDP 10 は、電極群 (11, 12, 13) が形成されている前後の 2 枚のガラス基板 (前面板 1 及び背面板 2) の構造体に挟まれた放電空間に、放電用の Ne や Xe 等の混合ガスを満たして封止部 3 により封止した構造である。本構造において、電極間に放電開始電圧以上の電圧を印加することにより放電を発生させ、放電によって発生した紫外線により、基板上に形成されている蛍光体を励起・発光させて表示を行う。

【0020】

PDP 10 は、三電極構造において、主に、X 電極 (維持電極) 11、Y 電極 (維持走査電極) 12、アドレス電極 13 を有する。第 1 (横) 方向に伸びる X 電極 11 と Y 電極 12 の組で行が構成され、更に、第 2 (縦) 方向に伸びるアドレス電極 13 と交差して隔壁 14 で区切られる領域に対応して表示セルが構成される。PDP 10 の構造は、駆動方式に応じて各種が存在する。

【0021】

複数の Y 電極 12 { Y1 ~ Yn } は、Y 駆動回路 121 により維持駆動され、走査駆動回路 122 により走査駆動される。Y 電極 12 の数 (n) は、例えば 480 ライン、512 ライン等である。

【0022】

< Y 電極駆動部 >

図 3 において、基本的な前提技術である Y 電極駆動部 120 の構成を示している。本 Y 電極駆動部 120 は、PDP 10 の複数の Y 電極 12 に対して個別にスキャンパルス (走査駆動波形) を印加する機能を有する。Y 電極駆動部 120 は、Y 駆動回路 (Y サステインドライバ) 121 と走査駆動回路 (スキャンドライバ) 122 などから構成されている。

【0023】

Y 駆動回路 121 は、サブフィールド駆動制御におけるサステイン期間に印加するサステインパルスやリセット期間に印加するリセットパルス等、全 Y 電極 12 に対し共通に印加するパルスを生成し、スキャンドライバ 122 を経由して、Y 電極 12 に印加する。

【0024】

一方、スキャンドライバ 122 は、サブフィールド駆動制御におけるアドレス期間での走査動作として、個別の Y 電極 12 に対してスキャンパルスを印加する。スキャンドライバ 122 は、PDP 10 の Y 電極 12 の本数 (n) 分に対応した回路が存在する。

10

20

30

40

50

【 0 0 2 5 】

一般に、スキャンドライバ122は、64ビット出力等の単位で集積化され、基板20上の複数のIC(スキャンドライバIC)30により構成されている。そのため、例えば512本のY電極12を有するPDP10の場合、スキャンドライバ122では、64ビット出力のIC30が合計8個使用される(64×8=512)。個々のIC30は、電氣的には同等の機能および負荷である。

【 0 0 2 6 】

このスキャンドライバ122のIC30からの出力は、FPCB(フレキシブルプリント回路基板/フレキシブルケーブル)123等による接続部を通じて、PDP10のY電極12(特にその端子40)に電氣的に接続される。FPCB123は、PDP10側の端子40へ回り込むように湾曲して配置されている。

10

【 0 0 2 7 】

また、40型~60型の大画面のPDP装置の場合など、スキャンドライバ122及びそのIC30群を、上下の2つの基板(スキャンドライバ基板)20に分けて実装することが一般的である。図3では、スキャンドライバ122は、上側の第1の基板20-1と、下側の第2の基板20-2とに分けて構成されている。なお、ここでいう上下とは、PDP装置100及びPDP10の画面が普通に垂直に設置される状態における縦方向の上下を示している。従来、スキャンドライバ122が2つの基板20で構成される場合は、上下で対称の設計(上下で同様の構成)とすることが一般的である。例えば、図3では、上下の各基板20-1, 20-2は、それぞれ4個の同等のIC20を搭載している。本実施の形態のスキャンドライバ122では、上側の基板20-1の構成を工夫するため、上下で非対称の構成となる。

20

【 0 0 2 8 】

< 従来技術例 >

次に、比較のために、スキャンドライバ122に関する従来技術例を説明する。図11において、従来のスキャンドライバ122の構成例として、特に出力配線(スキャンドライバ122のIC30とPDP10側の端子40との接続)の構成例を示している。例えば480ラインのY電極12の端子(パネル端子、Yで表す)40を持つPDP10に対して、例えば64ビット出力のIC30を8個(第1のIC(#1)~第8のIC(#8))使用した場合の回路構成を示している。本構成例は、複数のIC30のうち、最上部のIC30(IC#1)の一部の出力(第1出力~第32出力)を未使用(非接続)にして、消費電力及び温度の低減を図ったものである。

30

【 0 0 2 9 】

IC30の出力(出力端子)としては、8個のIC30の合計で512ビットが存在する(64×8=512)。この512ビット出力は、480ラインのY電極12の端子40に対しては32ビット分が余る。このY電極12の端子40の数と全IC30の出力ビット総数との差による余り分の32ビットについて、装置配置における最上位の第1のIC(#1)30の先頭ビットからの32ビット分(第1出力~第32出力)をY電極12の端子40に接続せずに、33ビット目(第33出力)から接続した構成である。即ち、第1のIC(#1)30の後半の32ビット分の出力(第33出力~第64出力)が、Y電極12の第1~第32番目の端子40(Y1~Y32)に接続されている。第2のIC(#2)30以降の各IC30の64ビット出力は、順にY電極12の第33番目以降の端子40(Y33~Y480)に接続されている。

40

【 0 0 3 0 】

上記構成により、未使用出力を持つ第1のIC(#1)30の消費電力を低減して、装置配置における上側の位置のIC30(IC#1)の温度低減を図っている。このような技術について、前記特許文献1に開示されている。また、Y電極12が480ラインの場合に、端子40の数と全IC30の出力ビット総数との差による余りの32ビット分を、装置配置における最上部と最下部のIC(例えばIC#1とIC#8)に振り分けて、それぞれ16ビット分の出力を端子40に非接続とする構成例も存在する。

50

【 0 0 3 1 】

(実施の形態 1)

次に、図 4 ~ 図 5 を参照しながら、本発明の実施の形態 1 を説明する。実施の形態 1 の PDP 装置 100 では、上から 2 番目に配置される IC 30 (IC # 2) の使用出力数を中心に低減して消費電力及び温度の低減を図ったものである。

【 0 0 3 2 】

図 4 において、実施の形態 1 におけるスキンドライバ 122 の構成を説明する。本スキンドライバ 122 は、上下の 2 つの基板 20 - 1, 20 - 2 に分けて構成されている。上側の第 1 の基板 20 - 1 には、5 個の IC 30 (IC # 1 ~ IC # 5) を搭載している。一方、下側の第 2 の基板 20 - 2 には、4 個の IC 30 (IC # 6 ~ IC # 9) を搭載している。これらの IC 30 は、すべて、64 ビット出力を持つ、電氣的に同等のものである。他方の PDP 10 の Y 電極 12 は、512 ラインであり、対応する数の端子 40 (Y1 ~ Y512) を有する。IC 30 の出力 (出力端子: O # で表す) は、PDP 10 側の Y 電極 12 の端子 40 へ、FPCB 123 等を介して接続される。

10

【 0 0 3 3 】

また、第 1 の IC (# 1) 30 への入力である Din (データ入力) は、Y 駆動回路 121 からのデータの入力である。このデータは、スキンドライバ 122 から Y 電極 12 へのスキャンパルスの出力のタイミングを決定するためのデータ等である。複数の IC 30 は、第 1 の IC 30 の最終のデータ出力が第 2 の IC 30 のデータ入力になるといったように、データ入出力のラインでシリアルに接続されている。

20

【 0 0 3 4 】

第 1 の基板 20 - 1 における最上位の第 1 の IC # 1 と、上から 2 番目の位置の第 2 の IC # 2 とは、各々 64 ビット出力中、半分の 32 ビットを使用 (端子 40 と接続) している。その他の IC (# 3 ~ # 9) 30 は、全 64 ビット出力を使用している。第 1 の IC (# 1) 30 は、前半の 32 ビット分である第 1 出力 (O # 1) ~ 第 32 出力 (O # 32) が Y 電極 12 の端子 40 と非接続であり、後半の 32 ビット分である第 33 出力 (O # 33) ~ 第 64 出力 (O # 64) が、第 1 ~ 第 32 の端子 40 (Y1 ~ Y32) と接続されている。第 2 の IC (# 2) 30 は、同様に前半の 32 ビット分である第 1 出力 (O # 1) ~ 第 32 出力 (O # 32) が Y 電極 12 の端子 40 と非接続であり、後半の 32 ビット分である第 33 出力 (O # 33) ~ 第 64 出力 (O # 64) が、第 33 ~ 第 64 の端子 40 (Y33 ~ Y64) と接続されている。第 65 番目以降の端子 40 (Y65 ~ Y512) に対しては、第 3 の IC (# 3) 30 以降の出力が順に接続されている。

30

【 0 0 3 5 】

複数の IC 30 の上下の配置において、第 2 の IC (# 2) 30、次いでその隣接 IC (# 1, # 3) 30 が、熱的に厳しくなることを考慮している。そのため、実施の形態 1 では、まず、第 2 の IC (# 2) 30 は、全出力 (O # 1 ~ O # 64) のうち半分 (O # 1 ~ O # 32) を未使用とし、半分 (O # 33 ~ O # 64) を使用している。これと共に、隣接の第 1 の IC (# 1) 30 では、出力の半分 (O # 33 ~ O # 64) を使用している。

【 0 0 3 6 】

同様の考慮により、他の実施の形態として、第 1 の IC (# 1) 30 では全出力 (# 1 ~ O # 64) を使用し、第 2 の IC (# 2) 30 と第 3 の IC (# 3) とで各々半分の出力を使用する、といった構成も可能である。

40

【 0 0 3 7 】

図 5 の波形において、実施の形態 1 のスキンドライバ 122 の回路の動作を説明する。上から、「IC # 1 - Din」の波形 61 は、第 1 の IC (# 1) 30 のデータ入力 (Din) である。「IC # 1 - Dout、IC # 2 - Din」の波形 62 は、第 1 の IC (# 1) 30 の最終のデータ出力であると共に、次の第 2 の IC (# 2) 30 のデータ入力である。「CLK」は制御クロックである。「y1」~「y64」は、IC 30 の出力側から Y 電極 12 の端子 40 に対して入力される波形であり、各端子 40 に個別に、順次

50

にスキャンパルス60が入力される。また、上に、IC#1出力(O#){1, ..., 64}及びIC#2出力(O#){1, ..., 64}との対応関係を示している。

【0038】

PDP10における上から第1番目のY電極12であるY1電極に対してスキャンパルス60を出力するために、まず、第1のIC(#1)30の未使用出力である先頭の32ビット分の出力(O#1~O#32)では、データ空送り期間tに示すように、データ(Dinのデータ)を空送りし、第1のIC(#1)の後半の33ビット目の出力(O#33)からY1電極用のスキャンパルス60を出力する。これにより、Y1電極からY32電極までに対して、スキャンパルス60が順次印加される。次に第2のIC(#2)30でも同様に、前半の32ビット分(O#1~O#32)が未使用であり期間tでデータ空送りした後、Y33電極からY64電極に対するスキャンパルス60が、第2のIC#2の33ビット目の出力(O#33)から順に出力される。

10

【0039】

実施の形態1によれば、特に、従来温度的に最も厳しくなる上から2番目の位置のICである第2のIC(#2)30において未使用出力を持つ構成により、第2のIC(#2)30の消費電力の低減によって、当該第2のIC(#2)30付近の領域の温度を低減できる。従って、複数のIC30における温度的な分布のバランスが良く、放熱板を追加しない構成としても十分に温度的な性能を確保又は向上することができる。

【0040】

(実施の形態2)

20

次に、図6を参照しながら、本発明の実施の形態2を説明する。実施の形態2では、実施の形態1と同様に第2のIC(#2)30及び第1のIC(#1)30で未使用出力を持つと共に、駆動におけるデータ空送り期間(t)を削減する構成である。

【0041】

図6において、実施の形態2におけるスキンドライバ122を説明する。実施の形態2の構成では、第1のIC(#1)30と第2のIC(#2)30とにおいて、その出力群(O#1~O#64)の使用(端子40との接続)の有無において、相反(重複せずに分担)の構成である。即ち、第1のIC(#1)30の使用出力(O#1~O#32)が、第2のIC(#2)30では未使用出力であり、逆に、第1のIC(#1)の未使用出力(O#33~O#64)が、第2のIC(#2)30では使用出力である。そして、このような場合において、第1のIC(#1)30と第2のIC(#2)30に、Dinとして同じデータを同時(同相)に入力して動作する構成である。上記構成により、複数のスキャンパルスが連続的に印加され、図5で示したようなデータ空送り期間(t)が必要無くなり、駆動時間が短縮される。

30

【0042】

(実施の形態3)

次に、図7, 図8を参照しながら、本発明の実施の形態3を説明する。実施の形態3では、実施の形態1と同様に第2のIC(#2)30で未使用出力を持つと共に、駆動におけるデータ空送り期間(t)を削減する構成である。

【0043】

40

図7において、実施の形態3のスキンドライバ122を説明する。実施の形態3の構成では、実施の形態1の場合に発生するデータ空送り時間(t)を削減する目的で、IC30の外部、特にデータ入力部の前段に、シフトレジスタ80を設けた構成である。シフトレジスタ80として、IC30に内蔵シフトレジスタと同様のシフトレジスタ、本例では32ビットシフトレジスタを設ける。第2のIC(#2)30の未使用出力が前半の32ビット(O#1~O#32)である。また第1のIC(#1)30は全出力(O#1~O#64)が使用される。第2のIC(#2)30の後半の32ビットの使用出力(O#33~O#64)は、Y電極12の第65~第96の端子40(Y65~Y96)に接続されている。

【0044】

50

IC30の構成として、IC30に内蔵のシフトレジスタ(例えば64ビットシフトレジスタが1つ以上)は、公知技術である。第2のIC(#2)30以降において、各IC30の内蔵シフトレジスタのシリアル出力(最終データ出力: Dout)が、次の位置のIC30の内蔵シフトレジスタのシリアル入力(データ入力: Din)につながっている。第1のIC(#1)30のデータ入力部にはY駆動回路121からのデータ入力(Din)がそのまま入力され、第2のIC(#2)のデータ入力部には、Dinをシフトレジスタ80で32ビットシフトしたものが入力される。

【0045】

図8の波形において、実施の形態3のスキンドライバ122の回路の動作を説明する。「IC#1-Din」の波形71は、実施の形態1と同様に第1のIC(#1)30のデータ入力(Din)である。「SRout、IC#2-Din」の波形72は、Dinのデータをシフトレジスタ80で32ビットシフトした出力であると共に、第2のIC(#2)30のデータ入力である。「y1」~「y96」は、前述と同様のIC30の出力側からY電極12の端子40に対して入力される波形であり、各端子40に個別に、順次にスキャンパルス60が入力される。また、上に、IC#1出力(O#){1, ..., 64}及びIC#2出力(O#){33, ..., 64}との対応関係を示している。

10

【0046】

上記図7の構成の場合に、第1のIC(#1)30が受け持つ64ビット出力中、前半の32ビット出力分のスキャンパルス60の出力が終了した時点で、第2のIC(#2)30にシフトレジスタ80からの出力(SRout)が入力されるようにする。即ち、第2のIC(#2)30で未使用の32ビット分を、シフトレジスタ80でシフトして、第2のIC(#2)への入力を遅らせる。これにより、図8に示す通り、第1のIC(#1)30と第2のIC(#2)30との間で、Y電極12の端子40群に対して連続的にスキャンパルス60が出力され、前記データ空送りによる無駄な時間を削減することができる。

20

【0047】

(実施の形態4)

次に、図9において、本発明の実施の形態4のスキンドライバ122の構成を説明する。実施の形態4では、実施の形態1等とは異なり、複数のIC30の出力の使用/未使用は同様として、上下の基板20の大きさを変えることで熱に対処する。実施の形態4では、上下に分けて構成される基板20において、上側の基板20-1のサイズを下側の基板20-2よりも大きくした例である。

30

【0048】

上下の基板20-1, 20-2は、例えば、4個の同等のIC30を搭載しており、端子40側との接続構成は上下で同様である。そして、上側の基板20-1の縦方向の長さ(L1)が、下側の基板20-2の長さ(L2)よりも大きく設計されており、第1のIC(#1)の上方には余裕を有する。これにより、上側の基板20-1では、下側の基板20-2に比べて、IC30からの放熱などが有利になされる。

【0049】

実施の形態4によれば、第2のIC(#2)30を含む上側の基板20-1のIC30において、従来よりも温度を低減でき、放熱板を追加しない構成としても十分に温度的な性能を確保又は向上することができる。

40

【0050】

(実施の形態5)

次に、図10において、本発明の実施の形態5のスキンドライバ122の構成を説明する。実施の形態5では、実施の形態4と同様に、実施の形態1等とは異なり、複数のIC30の出力の使用/未使用は同様として、上下の基板20におけるIC30の配置を変えることで熱に対処する。実施の形態5では、上側の基板20-1に配置する各IC30の間隔(d1)を、下側の基板20-2での各IC30の間隔(d2)に比べて広く構成した例である。これにより、上側の基板20-1では、下側の基板20-2に比べて、I

50

C 3 0 からの放熱などが有利になされ、実施の形態 4 と同様の効果を得られる。

【 0 0 5 1 】

また、スキヤンドライバ 1 2 2 の I C 3 0 の温度の低減をより効果的に実施するために、実施の形態 1 ~ 3 と実施の形態 4 や 5 とを組み合わせた構成としてもよい。

【 0 0 5 2 】

以上の各実施の形態の構成は、放熱板などの他の放熱手段の追加を必要とせずに温度低減を実現できる構成であるが、組み合わせた構成も可能である。

【 0 0 5 3 】

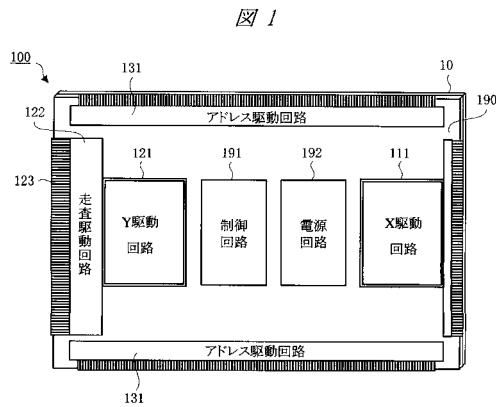
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 産業上の利用可能性 】

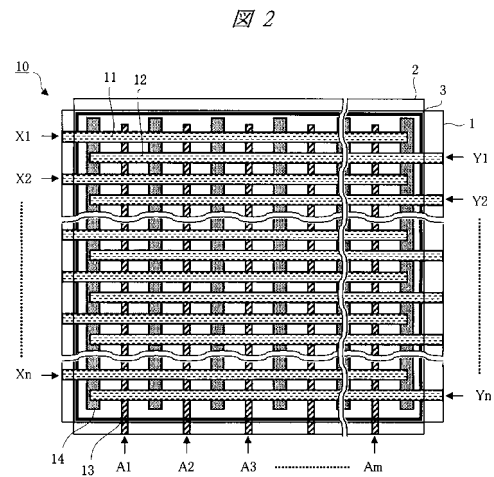
【 0 0 5 4 】

本発明は、I C 基板によるドライバの回路を備える表示装置に利用可能である。

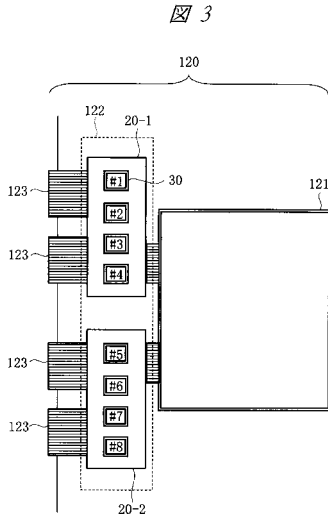
【 図 1 】



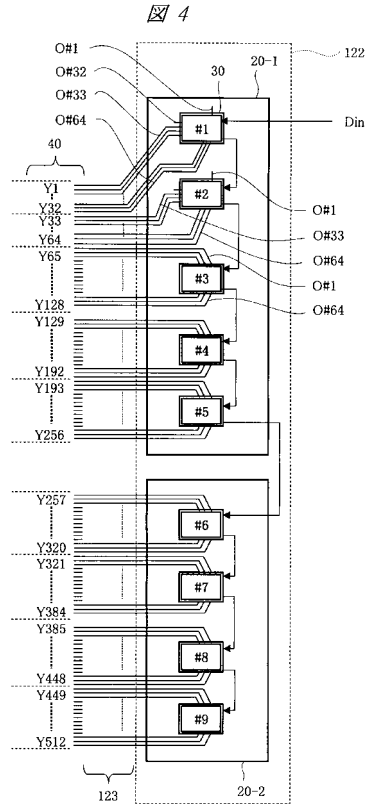
【 図 2 】



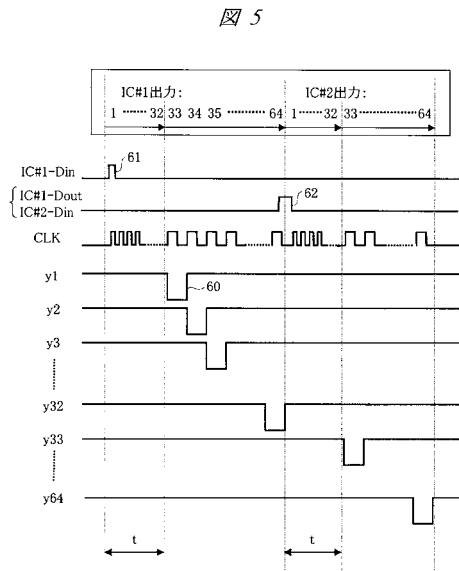
【 図 3 】



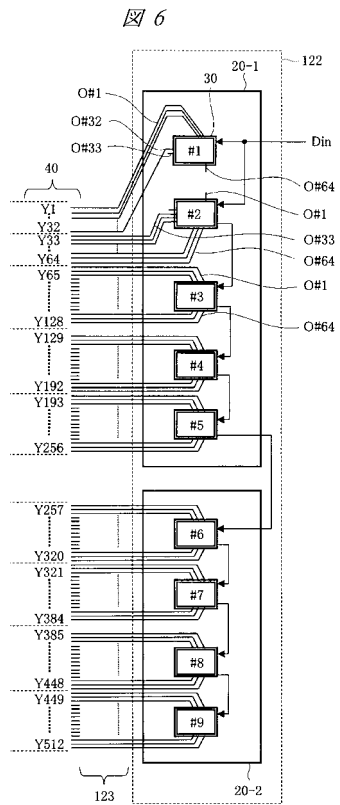
【 図 4 】



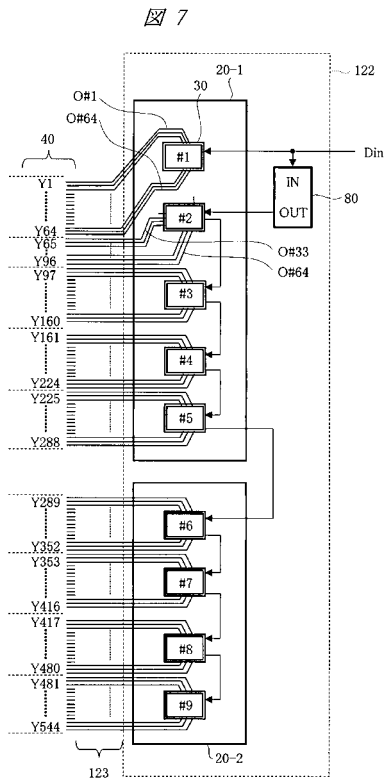
【 図 5 】



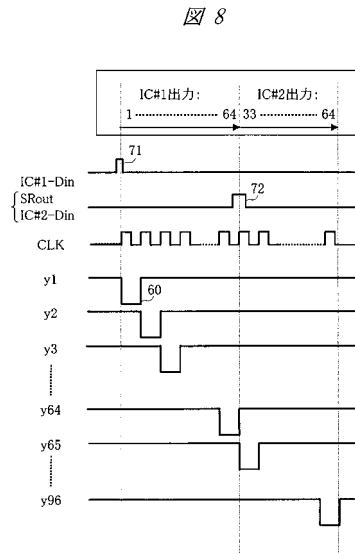
【 図 6 】



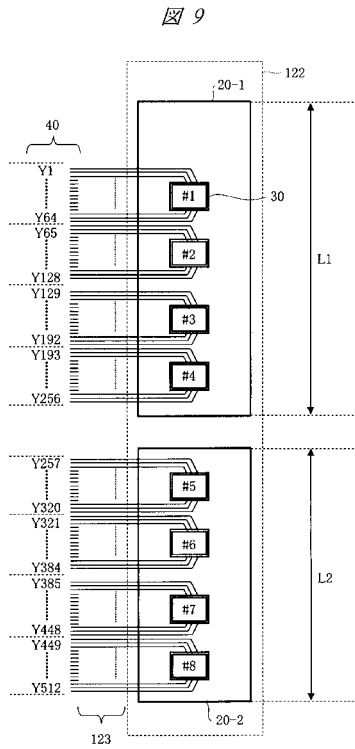
【 図 7 】



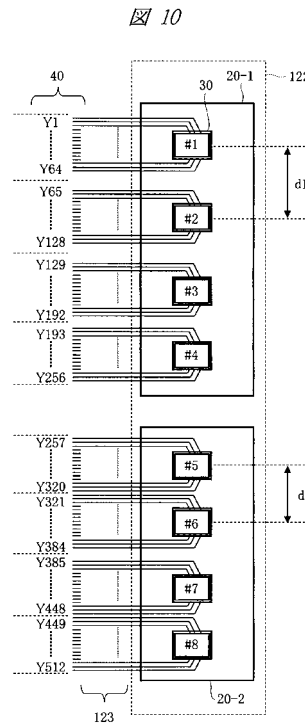
【 図 8 】



【 図 9 】

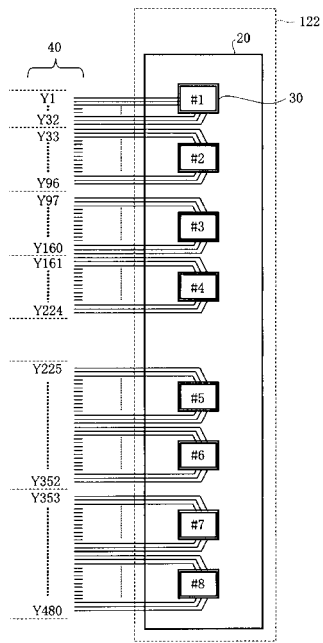


【 図 10 】



【 図 1 1 】

図 11



フロントページの続き

(56)参考文献 特開2002-304151(JP,A)
特開2005-241806(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00- 3/12

G09G 3/16

G09G 3/19- 3/30

G09G 3/34

G09G 3/38