

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6700368号
(P6700368)

(45) 発行日 令和2年5月27日(2020.5.27)

(24) 登録日 令和2年5月7日(2020.5.7)

(51) Int.Cl.	F I
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B
G O 9 F 9/30 (2006.01)	G O 9 F 9/30 3 3 8
G O 2 F 1/1368 (2006.01)	G O 2 F 1/1368
H O 1 L 51/50 (2006.01)	H O 5 B 33/14 A
H O 5 B 33/14 (2006.01)	H O 5 B 33/14 Z
請求項の数 8 (全 88 頁) 最終頁に続く	

(21) 出願番号	特願2018-213610 (P2018-213610)	(73) 特許権者	000153878
(22) 出願日	平成30年11月14日(2018.11.14)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-21220 (P2015-21220) の分割	(72) 発明者	山崎 舜平
原出願日	平成27年2月5日(2015.2.5)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2019-41122 (P2019-41122A)		半導体エネルギー研究所内
(43) 公開日	平成31年3月14日(2019.3.14)	(72) 発明者	岡崎 健一
審査請求日	平成30年12月11日(2018.12.11)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2014-20542 (P2014-20542)		半導体エネルギー研究所内
(32) 優先日	平成26年2月5日(2014.2.5)	(72) 発明者	中田 昌孝
(33) 優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2014-50588 (P2014-50588)	(72) 発明者	片山 雅博
(32) 優先日	平成26年3月13日(2014.3.13)		神奈川県厚木市長谷398番地 株式会社
(33) 優先権主張国・地域又は機関	日本国(JP)		半導体エネルギー研究所内
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板上の第1のゲート電極及び第1の導電体と、
 前記第1のゲート電極上及び前記第1の導電体上の第1の絶縁体と、
 前記第1の絶縁体上の第2の絶縁体と、
 前記第2の絶縁体上の、前記第1のゲート電極と重なる領域を有する酸化物半導体と、
 前記酸化物半導体上の第3の絶縁体と、
 前記第3の絶縁体上の、前記酸化物半導体と重なる領域を有する第2のゲート電極と、
 前記第2のゲート電極と重なる領域と、前記第1の導電体と重なる領域と、を有する第
 4の絶縁体と、
 前記第4の絶縁体上の第5の絶縁体と、
 前記第5の絶縁体上の、前記酸化物半導体に電気的に接続されたソース電極及びドレ
 イン電極と、
 前記第5の絶縁体上の第2の導電体と、を有し、
 前記第2の絶縁体は、前記第1の導電体と重なる領域に第1の開口部を有し、
 前記第5の絶縁体は、前記第1の開口部と重なる領域に第2の開口部を有し、
 前記第2の導電体は、前記第2の開口部を介して前記第4の絶縁体の上面と接する領域
 を有し、かつ、前記第1の絶縁体及び前記第4の絶縁体を介して、前記第1の導電体と重
 なる領域を有し、
 前記第1の導電体は、前記第1のゲート電極と同一層上に設けられ、かつ同一材料を有

し、

前記第２の導電体は、前記ソース電極及び前記ドレイン電極と同一層上に設けられ、かつ同一材料を有し、

前記第１の導電体は、容量の一方の電極として機能する領域を有し、

前記第２の導電体は、前記容量の他方の電極として機能する領域を有することを特徴とする半導体装置。

【請求項２】

請求項１において、

前記第１の絶縁体及び前記第４の絶縁体の各々は、窒化シリコンを有し、

前記第２の絶縁体及び前記第５の絶縁体の各々は、酸化シリコンを有することを特徴とする半導体装置。

10

【請求項３】

請求項１又は請求項２において、

前記ソース電極及び前記ドレイン電極の各々は、前記第２のゲート電極と重なる領域を有さないことを特徴とする半導体装置。

【請求項４】

請求項１乃至請求項３のいずれか一において、

前記酸化物半導体のチャンネル幅方向において、前記第２のゲート電極は、前記酸化物半導体を乗り越える形状を有し、

前記第１のゲート電極は、前記第１の絶縁体を介して、前記酸化物半導体の下面に面する形状を有することを特徴とする半導体装置。

20

【請求項５】

請求項１乃至請求項４のいずれか一において、

前記酸化物半導体のチャンネル長方向において、前記第３の絶縁体は、前記第２のゲート電極よりも迫り出した形状を有することを特徴とする半導体装置。

【請求項６】

請求項５において、

前記酸化物半導体のチャンネル長方向において、前記第３の絶縁体は、端部の断面形状が円弧となる領域を有することを特徴とする半導体装置。

【請求項７】

請求項１乃至請求項６のいずれか一において、

前記第２のゲート電極は、第１の導電層と、第２の導電層と、を有し、

前記第２の導電層は、前記第１の導電層の上面と接する領域を有し、

前記酸化物半導体のチャンネル長方向において、前記第１の導電層は、前記第２の導電層よりも迫り出した形状を有することを特徴とする半導体装置。

30

【請求項８】

請求項７において、

前記酸化物半導体のチャンネル長方向において、前記第２の導電層は、前記第１の導電層よりも切り立った形状を有することを特徴とする半導体装置。

【発明の詳細な説明】

40

【技術分野】

【０００１】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、半導体、半導体装置、表示装置、発光装置、照明装置、蓄電装置、記憶装置またはプロセッサに関する。または、半導体、半導体装置、表示装置、発光装置、照明装置、蓄電装置、記憶装置またはプロセッサの製造方法に関する。または、半導体装置、表示装置、発光装置、照明装置、蓄電装置、記憶装置またはプロセッサの駆動方法に関する。

【０００２】

50

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0003】

絶縁表面を有する基板上の半導体を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体としてシリコンが知られている。

【0004】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコン、多結晶シリコン、単結晶シリコンなどが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。また、集積回路などを構成するトランジスタに適用する場合、さらに高い電界効果移動度を有するトランジスタを作製可能な単結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

【0005】

また、近年は、酸化物半導体が注目されている。酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタの半導体に用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【0006】

ところで、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタの低いリーク電流を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。このように、CPUなどの集積回路に酸化物半導体を用いたトランジスタを応用する場合、トランジスタを縮小し、高集積化することが好ましい。

【0007】

半導体装置は、高集積化を進めると、配線や電極などが重なり合うことに起因して形成される寄生容量の影響が無視できなくなる場合がある。酸化物半導体を用いた自己整列トップゲート構造トランジスタが開示されている（特許文献2参照。）。また、特許文献3には、導体電極から半導体中に電子を流入させることで、オフセット領域が設けられても優れた電気特性を有するトランジスタが得られることが開示されている。特許文献2または特許文献3に開示された技術を用いることで、配線や電極などが重なり合うことに起因して形成される寄生容量を低減することができる。

【0008】

また、半導体からなる活性層で井戸型ポテンシャルを構成することにより、高い電界効果移動度を有するトランジスタが得られることが開示されている（特許文献4参照。）。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】 特開2012-257187号公報

【特許文献2】 特開2009-278115号公報

【特許文献3】 特開2011-22507号公報

【特許文献4】 特開2012-59860号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

寄生容量の小さい半導体装置を提供することを課題の一とする。または、消費電力の小さい半導体装置を提供することを課題の一とする。または、優れた周波数特性を有する半導体装置を提供することを課題の一とする。または、集積度の高い半導体装置を提供することを課題の一とする。または、丈夫な半導体装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

10

【課題を解決するための手段】

【0012】

(1)

本発明の一態様は、第1の導電体と、第2の導電体と、第3の導電体と、第4の導電体と、第5の導電体と、第6の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、第4の絶縁体と、第5の絶縁体と、酸化物半導体と、を有する半導体装置であって、第1の絶縁体は、第1の導電体の上面と接する領域と、第2の導電体の上面と接する領域と、を有し、第2の絶縁体は、第1の絶縁体の上面と接する領域を有し、酸化物半導体は、第2の絶縁体の上面と接する領域を有し、第3の絶縁体は、酸化物半導体の上面と接する領域を有し、第3の導電体は、第3の絶縁体の上面と接する領域を有し、第4の絶縁体は、第3の導電体の上面と接する領域と、第3の絶縁体の側面と接する領域と、酸化物半導体の上面と接する領域と、第1の絶縁体の上面と接する領域と、を有し、第5の絶縁体は、第4の絶縁体の上面と接する領域を有し、第4の導電体は、酸化物半導体の上面と接する領域を有し、第5の導電体は、酸化物半導体の上面と接する領域を有し、第6の導電体は、第4の絶縁体の上面と接する領域を有し、第1の導電体は、第1の絶縁体および第2の絶縁体を介して、第1の導電体と、酸化物半導体と、が互いに重なる領域を有し、第3の導電体は、第3の絶縁体を介して、第3の導電体と、酸化物半導体と、が互いに重なる領域を有し、第2の導電体は、第1の絶縁体および第4の絶縁体を介して、第2の導電体と、第6の導電体と、が互いに重なる領域を有する半導体装置である。

20

30

【0013】

(2)

または、本発明の一態様は、酸化物半導体は、第3の絶縁体と接する第1の領域と、第4の絶縁体と接する、第2の領域および第3の領域と、を有し、第2の領域および第3の領域は、第1の領域よりも抵抗の低い領域を有し、第4の導電体は、第2の領域と接する領域を有し、第5の導電体は、第3の領域と接する領域を有する(1)に記載の半導体装置である。

【0014】

(3)

または、本発明の一態様は、酸化物半導体は、第1の酸化物半導体と、第2の酸化物半導体と、を有し、第2の酸化物半導体は、第1の酸化物半導体の上面と接する領域を有し、第4の導電体と、酸化物半導体と、が互いに重なる領域で、第1の酸化物半導体は、第2の酸化物半導体よりも高い導電率を有する(1)または(2)に記載の半導体装置である。

40

【0015】

(4)

または、本発明の一態様は、酸化物半導体は、第1の酸化物半導体と、第2の酸化物半導体と、を有し、第2の酸化物半導体は、第1の酸化物半導体の上面と接する領域を有し、第4の導電体と、酸化物半導体と、が互いに重なる領域で、第2の酸化物半導体は、第1

50

の酸化物半導体よりも高い導電率を有する（１）または（２）に記載の半導体装置である。

【００１６】

（５）

または、本発明の一態様は、酸化物半導体は、第１の酸化物半導体と、第２の酸化物半導体と、第３の酸化物半導体と、を有し、第２の酸化物半導体は、第１の酸化物半導体の上面と接する領域を有し、第３の酸化物半導体は、第２の酸化物半導体の上面と接する領域を有し、第４の導電体と、酸化物半導体と、が互いに重なる領域で、第２の酸化物半導体は、第１の酸化物半導体および第３の酸化物半導体よりも高い導電率を有する（１）または（２）に記載の半導体装置である。

10

【００１７】

（６）

または、本発明の一態様は、第３の絶縁体は、第３の導電体よりも迫り出した形状を有する（１）乃至（５）のいずれか一に記載の半導体装置である。

【００１８】

（７）

または、本発明の一態様は、第３の絶縁体は、端部の断面形状が円弧となる領域を有する（６）に記載の半導体装置である。

【００１９】

（８）

または、本発明の一態様は、第３の導電体は、第１の導電層と、第２の導電層と、を有し、第２の導電層は、第１の導電層の上面と接する領域を有し、第１の導電層は、第２の導電層よりも迫り出した形状を有する（１）乃至（７）のいずれか一に記載の半導体装置である。

20

【００２０】

（９）

または、本発明の一態様は、酸化物半導体は、インジウムおよび亜鉛を有する（１）乃至（８）に記載の半導体装置である。

【００２１】

（１０）

または、本発明の一態様は、（１）乃至（９）のいずれか一に記載の半導体装置と、プリント基板と、を有するモジュールである。

30

【００２２】

（１１）

または、本発明の一態様は、（１）乃至（９）のいずれか一に記載の半導体装置、または、（１０）に記載のモジュールと、スピーカー、操作キー、または、バッテリーと、を有する電子機器である。

【００２３】

なお、本発明の一態様に係る半導体装置において、酸化物半導体を他の半導体に置き換えても構わない。

40

【発明の効果】

【００２４】

寄生容量の小さいトランジスタを提供することができる。または、優れたスイッチング特性を有するトランジスタを提供することができる。または、非導通時の電流の小さいトランジスタを提供することができる。または、導通時の電流が大きいトランジスタを提供することができる。または、当該トランジスタを有する半導体装置を提供することができる。または、寄生容量の小さい半導体装置を提供することができる。または、消費電力の小さい半導体装置を提供することができる。または、優れた周波数特性を有する半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、丈夫な半導体装置を提供することができる。または、新規な半導体装置を提供する

50

ことができる。

【0025】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0026】

【図1】本発明の一態様に係る半導体装置を示す断面図。

【図2】本発明の一態様に係る半導体装置を示す上面図および断面図。

10

【図3】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図4】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図5】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図6】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図7】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図8】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図9】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図10】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図11】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図12】本発明の一態様に係る半導体装置の作製方法を示す断面図。

20

【図13】本発明の一態様に係る半導体装置を示す断面図。

【図14】本発明の一態様に係る半導体装置を示す断面図。

【図15】本発明の一態様に係る半導体装置を示す断面図。

【図16】本発明の一態様に係る半導体装置を示す断面図。

【図17】本発明の一態様に係る半導体装置を示す断面図。

【図18】本発明の一態様に係るトランジスタの断面図およびバンド図。

【図19】本発明の一態様に係る表示装置の上面図および回路図。

【図20】本発明の一態様に係る表示装置の回路図。

【図21】本発明の一態様に係る表示装置の回路図。

【図22】本発明の一態様に係る表示装置の回路図。

30

【図23】本発明の一態様に係る表示装置の回路図。

【図24】本発明の一態様に係る表示装置の断面図。

【図25】本発明の一態様に係る表示モジュールを説明する図。

【図26】本発明の一態様に係る半導体装置の回路図。

【図27】本発明の一態様に係る記憶装置の回路図。

【図28】本発明の一態様に係るRFタグのブロック図。

【図29】本発明の一態様に係るRFタグの使用例を示す図。

【図30】本発明の一態様に係るCPUを示すブロック図。

【図31】本発明の一態様に係る記憶素子の回路図。

【図32】本発明の一態様に係る電子機器を示す図。

40

【図33】本発明の一態様に係る電子機器を示す図。

【図34】CAAC-Osの断面におけるCs補正高分解能TEM像、およびCAAC-Osの断面模式図。

【図35】CAAC-Osの平面におけるCs補正高分解能TEM像。

【図36】CAAC-Osおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

【図37】試料の断面TEM像およびフローチャート。

【図38】抵抗率の温度依存性を説明する図。

【図39】CAAC-Osの成膜モデルを説明する模式図、ペレットおよびCAAC-Osの断面図。

50

【図40】nc-Osの成膜モデルを説明する模式図、およびペレットを示す図。

【図41】ペレットを説明する図。

【図42】被形成面においてペレットに加わる力を説明する図。

【図43】被形成面におけるペレットの動きを説明する図。

【図44】InGaZnO₄の結晶を説明する図。

【図45】原子が衝突する前のInGaZnO₄の構造などを説明する図。

【図46】原子が衝突した後のInGaZnO₄の構造などを説明する図。

【図47】原子が衝突した後の原子の軌跡を説明する図。

【図48】CAAC-Osおよびターゲットの断面HAADF-STEM像。

【図49】CAAC-Osの電子回折パターンを示す図。

10

【図50】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【発明を実施するための形態】

【0027】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構造を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0028】

20

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

【0029】

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【0030】

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

30

【0031】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【0032】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

40

【0033】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS（Density of State）が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、

50

水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

【0034】

なお、以下に示す実施の形態では、半導体が酸化物半導体である場合について説明するが、これに限定されるものではない。例えば、半導体として、多結晶構造、単結晶構造などのシリコン、ゲルマニウム、などを用いてもよい。または、歪みシリコンなどの歪みを有する半導体を用いてもよい。または、半導体として高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）に適用可能なヒ化ガリウム、ヒ化アルミニウムガリウム、ヒ化インジウムガリウム、窒化ガリウム、リン化インジウム、シリコンゲルマニウムなどを用いてもよい。これらの半導体を用いることで、高速動作をすることに適したトランジスタとすることができる。

10

【0035】

なお、本明細書において、Aが濃度Bの領域を有する、と記載する場合、例えば、Aのある領域における深さ方向全体の濃度がBである場合、Aのある領域における深さ方向の濃度の平均値がBである場合、Aのある領域における深さ方向の濃度の中央値がBである場合、Aのある領域における深さ方向の濃度の最大値がBである場合、Aのある領域における深さ方向の濃度の最小値がBである場合、Aのある領域における深さ方向の濃度の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域における濃度がBである場合などを含む。

20

【0036】

また、本明細書において、Aが大きさB、長さB、厚さB、幅Bまたは距離Bの領域を有する、と記載する場合、例えば、Aのある領域における全体の大きさ、長さ、厚さ、幅、または距離がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の平均値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の中央値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最大値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最小値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域での大きさ、長さ、厚さ、幅、または距離がBである場合などを含む。

30

【0037】

なお、本明細書において、絶縁体、半導体、導電体などの成膜は、特に断りがある場合を除き、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法、原子層堆積法（ALD：Atomic Layer Deposition）法などを用いて行うことができる。

【0038】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

40

【0039】

プラズマCVD法は、比較的低温で高品質の膜が得られる。熱CVD法は、プラズマを用いないため、プラズマダメージが生じず、欠陥の少ない膜が得られる。

【0040】

CVD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例

50

えば、MCVD法およびMOCVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、MCVD法およびMOCVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、トランジスタの生産性を高めることができる。

【0041】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

10

【0042】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0043】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

30

【0044】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0045】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

40

【0046】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求め

50

る場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0047】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

【0048】

<半導体装置>

10

以下では、本発明の一態様に係る半導体装置について図を用いて説明する。

【0049】

図1は、トランジスタ150と、容量素子160と、を有する半導体装置の断面図である。

【0050】

図1に示す半導体装置は、基板100上の絶縁体101と、絶縁体101上の導電体104a1と、導電体104a1上の導電体104a2と、絶縁体101上の導電体104b1と、導電体104b1上の導電体104b2と、絶縁体101上、導電体104a1上、導電体104a2上、導電体104b1上および導電体104b2上の絶縁体102aと、絶縁体102a上の絶縁体102bと、絶縁体102b上の半導体106aと、半導体106a上の半導体106bと、半導体106b上の絶縁体112と、絶縁体112上の導電体114aと、導電体114a上の導電体114bと、絶縁体102a上、絶縁体102b上、半導体106a上、半導体106b上、絶縁体112上、導電体114a上および導電体114b上の絶縁体108と、絶縁体108上の絶縁体118と、半導体106b上、絶縁体108上、絶縁体118上の導電体116a1と、半導体106b上、絶縁体108上、絶縁体118上の導電体116b1と、導電体116a1上の導電体116a2と、導電体116b1上の導電体116b2と、絶縁体118上、導電体116a1上、導電体116a2上、導電体116b1上および導電体116b2上の絶縁体128と、を有する。

20

【0051】

30

絶縁体101は、トランジスタ150のチャネル形成領域などへ不純物が混入することを抑制する機能を有する場合がある。例えば、導電体104a2および導電体104b2などが銅などの半導体106aまたは半導体106bにとっての不純物を有するとき、絶縁体101が銅などをブロックする機能を有する場合がある。

【0052】

導電体104a1および導電体104a2の積層を併せて導電体104aと呼ぶ。導電体104aは、トランジスタ150のゲート電極として機能する領域を有する場合がある。また、導電体104aは、トランジスタ150のチャネル形成領域などを遮光する機能を有する場合がある。

【0053】

40

導電体104b1および導電体104b2の積層を併せて導電体104bと呼ぶ。導電体104bは、容量素子160の電極の一方として機能する領域を有する場合がある。また、導電体104bは、半導体装置を遮光する機能を有する場合がある。

【0054】

なお、導電体104a1と、導電体104b1と、が同一層であっても構わない。その場合、導電体104a1と、導電体104b1と、が同一層でない場合と比べて工程を短縮化することができる。また、なお、導電体104a2と、導電体104b2と、が同一層であっても構わない。その場合、導電体104a2と、導電体104b2と、が同一層でない場合と比べて工程を短縮化することができる。

【0055】

50

導電体104a1は、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。導電体104a1は、特にチタンを含む導電体を用いると好ましい。

【0056】

導電体104b1は、例えば、導電体104a1で示した導電体から選択して用いればよい。導電体104b1は、特に導電体104a1と同じ種類の導電体を用いると好ましい。

10

【0057】

導電体104a2は、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。導電体104a2は、特に銅を含む導電体を用いると好ましい。

20

【0058】

導電体104b2は、例えば、導電体104a2で示した導電体から選択して用いればよい。導電体104b2は、特に導電体104a2と同じ種類の導電体を用いると好ましい。

【0059】

絶縁体102aおよび絶縁体102bを併せて絶縁体102と呼ぶ。絶縁体102は、トランジスタ150のゲート絶縁体として機能する領域を有する場合がある。また、絶縁体102aは、トランジスタ150のチャンネル形成領域などへ不純物が混入することを抑制する機能を有する場合がある。例えば、導電体104a2などが銅などの半導体106aまたは半導体106bにとっての不純物を有するとき、絶縁体102aが銅などをブロックする機能を有する場合がある。また、絶縁体102aは、容量素子160の誘電体として機能する領域を有する場合がある。

30

【0060】

絶縁体102bは、導電体104bと重なる領域に開口部を有していてもよい。絶縁体102bが、開口部を有することで、容量素子160の容量を大きくすることができる。

【0061】

絶縁体102aは、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体102aは、特に窒化シリコンまたは窒化酸化シリコンを用いると好ましい。

40

【0062】

絶縁体102bは、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体102bは、特に酸化シリコンまたは酸化窒化シリコンを用いると好ましい。

【0063】

半導体106aおよび半導体106bを併せて半導体106と呼ぶ。半導体106は、ト

50

ランジスタ１５０のチャンネル形成領域として機能する領域を有する場合がある。

【００６４】

半導体１０６ａは、多結晶構造、単結晶構造などのシリコン、ゲルマニウム、などを用いてもよい。または、歪みシリコンなどの歪みを有する半導体を用いてもよい。または、半導体１０６ａとしてＨＥＭＴに適用可能なヒ化ガリウム、ヒ化アルミニウムガリウム、ヒ化インジウムガリウム、窒化ガリウム、リン化インジウム、シリコンゲルマニウムなどを用いてもよい。または、半導体１０６ａとして酸化物半導体を用いてもよい。半導体１０６ａは、特に酸化物半導体を用いると好ましい。

【００６５】

半導体１０６ｂは、多結晶構造、単結晶構造などのシリコン、ゲルマニウム、などを用いてもよい。または、歪みシリコンなどの歪みを有する半導体を用いてもよい。または、半導体１０６ｂとしてＨＥＭＴに適用可能なヒ化ガリウム、ヒ化アルミニウムガリウム、ヒ化インジウムガリウム、窒化ガリウム、リン化インジウム、シリコンゲルマニウムなどを用いてもよい。または、半導体１０６ｂとして酸化物半導体を用いてもよい。半導体１０６ｂは、特に酸化物半導体を用いると好ましい。

10

【００６６】

なお、半導体１０６ａおよび半導体１０６ｂに適用可能な酸化物半導体の詳細については後述する。

【００６７】

半導体１０６ａは、絶縁体１１２、導電体１１４ａ、導電体１１４ｂなどと重ならない領域１０７ａ１および領域１０７ｂ１を有する。また、半導体１０６ｂは、絶縁体１１２、導電体１１４ａ、導電体１１４ｂなどと重ならない領域１０７ａ２および領域１０７ｂ２を有する。領域１０７ａ１および領域１０７ｂ１は、半導体１０６ａの絶縁体１１２、導電体１１４ａ、導電体１１４ｂなどと重なる領域よりも抵抗の低い領域である。また、領域１０７ａ２および領域１０７ｂ２は、半導体１０６ｂの絶縁体１１２、導電体１１４ａ、導電体１１４ｂなどと重なる領域よりも抵抗の低い領域である。なお、抵抗の低い領域を、キャリア密度の高い領域と呼ぶこともできる。

20

【００６８】

半導体１０６ａおよび半導体１０６ｂが酸化物半導体である場合、キャリア発生源は、水素および酸素欠損に起因する場合がある。酸化物半導体のキャリア発生源の詳細については後述する。

30

【００６９】

また、領域１０７ａ１および領域１０７ａ２を併せて領域１０７ａと呼ぶ。また、領域１０７ｂ１および領域１０７ｂ２を併せて領域１０７ｂと呼ぶ。領域１０７ａおよび領域１０７ｂは、トランジスタ１５０のソース領域およびドレイン領域として機能する領域を有する場合がある。

【００７０】

絶縁体１１２は、トランジスタ１５０のゲート絶縁体として機能する領域を有する場合がある。なお、絶縁体１１２は、導電体１１４ａよりも迫り出した形状を有してもよい。また、絶縁体１１２は、端部の断面形状が円弧となる領域を有してもよい。絶縁体１１２が、このような形状を有することで、絶縁体１１２より上に配置される絶縁体、導電体などの形状不良を抑制することができる場合がある。

40

【００７１】

絶縁体１１２は、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体１１２は、特に酸化シリコンまたは酸化窒化シリコンを用いると好ましい。

【００７２】

なお、半導体１０６が酸化物半導体である場合、半導体１０６と接する領域を有する絶縁

50

体102bまたは／および絶縁体112が、酸化物半導体の価電子帯の上端のエネルギー（ $E_{v o s}$ ）と伝導帯の下端のエネルギー（ $E_{c o s}$ ）との間の準位密度が低い絶縁体を用いると好ましい。例えば、該準位が電子をトラップする場合、トランジスタのしきい値電圧をプラス方向に変動させる要因となる。

【0073】

例えば、酸化シリコン中の窒素酸化物（ NO_x とも表記する。）のうち、酸化窒素（ NO ）および二酸化窒素（ NO_2 ）は、 $E_{v o s}$ と $E_{c o s}$ との間に準位を形成する場合がある。したがって、安定した電気特性を有するトランジスタとするためには、絶縁体102bまたは／および絶縁体112が窒素酸化物の少ない酸化シリコンを用いると好ましい場合がある。なお、以下では酸化シリコンについて説明するが、酸化窒化シリコンにおいても同様とする。なお、窒素酸化物の少ない酸化シリコンは、昇温脱離ガス分析法（TDS：Thermal Desorption Spectroscopy）において、窒素酸化物の放出量よりアンモニアの放出量が多くなる場合がある。例えば、アンモニアの放出量が 1×10^{18} 個/ cm^3 以上 5×10^{19} 個/ cm^3 以下となる場合がある。なお、アンモニアの放出量は、膜の表面温度が $50^\circ C$ 以上 $650^\circ C$ 以下、または $50^\circ C$ 以上 $550^\circ C$ 以下の加熱処理による放出量とする。

【0074】

絶縁体102bまたは／および絶縁体112は、加熱により酸素を放出する絶縁体を用いると好ましい。

【0075】

ここで、加熱処理によって酸素を放出する絶縁体は、TDS分析にて、 $100^\circ C$ 以上 $700^\circ C$ 以下または $100^\circ C$ 以上 $500^\circ C$ 以下の表面温度の範囲で 1×10^{18} atoms/ cm^3 以上、 1×10^{19} atoms/ cm^3 以上または 1×10^{20} atoms/ cm^3 以上の酸素（酸素原子数換算）を放出することもある。

【0076】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0077】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0078】

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量（ NO_2 ）は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量電荷比は32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0079】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha$$

【0080】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として、例えば 1×10^{16} atoms/ cm^2 の水素原子を含むシリコン基板を用いて測定する。

【0081】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原

子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0082】

なお、 N_2O は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0083】

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、電子スピン共鳴 (ESR: Electron Spin Resonance) にて、 g 値が2.01近傍に非対称の信号を有することもある。

10

【0084】

または、過剰酸素を含む絶縁体は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) は、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) により測定した値である。

【0085】

なお、酸化シリコンが NO_2 を有すると、100K以下のESRにおいて g 値が2.037以上2.039以下の第1の吸収線、 g 値が2.001以上2.003以下の第2の吸収線、および g 値が1.964以上1.966以下の第3の吸収線を有するシグナルが観測されることがある。なお、第1の吸収線および第2の吸収線の間隔、ならびに第2の吸収線および第3の吸収線の間隔は、 X バンドのESR測定において約5mTとなる。したがって、窒素酸化物の少ない酸化シリコンは、 NO_2 に起因するスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 未満、または $1 \times 10^{17} \text{ spins/cm}^3$ 以上 $1 \times 10^{18} \text{ spins/cm}^3$ 未満である。

20

【0086】

また、窒素酸化物の少ない酸化シリコンは、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定される窒素濃度が $6 \times 10^{20} \text{ atoms/cm}^3$ 以下である。

30

【0087】

導電体114aおよび導電体114bを併せて導電体114と呼ぶ。導電体114は、トランジスタ150のゲート電極として機能する領域を有する場合がある。または、導電体114は、トランジスタ150のチャネル形成領域などを遮光する機能を有する場合がある。

【0088】

導電体114aは、導電体114bよりも迫り出した形状を有してもよい。また、導電体114bは、導電体114aよりも切り立った形状を有していてもよい。また、導電体114bは、端部の断面形状が円弧となる領域を有してもよい。導電体114aおよび導電体114bが、このような形状を有することで、導電体114aおよび導電体114bより上に配置される絶縁体、導電体などの形状不良を抑制することができる場合がある。

40

【0089】

導電体114aは、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。導電体114aは、特に窒化タンタルを含む導電

50

体を用いると好ましい。

【0090】

導電体114bは、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。導電体114bは、特にタングステンを含む導電体を用いると好ましい。

10

【0091】

絶縁体108は、トランジスタ150のチャネル形成領域などへ不純物が混入することを抑制する機能を有する場合がある。例えば、導電体116a2および導電体116b2などが銅などの半導体106aまたは半導体106bにとっての不純物を有するとき、絶縁体108が銅などをブロックする機能を有する場合がある。また、絶縁体108は、容量素子160の誘電体として機能する領域を有する場合がある。

【0092】

絶縁体108は、半導体106に達する開口部を有する。なお、該開口部は、半導体106の領域107aと重なって配置される。また、該開口部と別の開口部が、半導体106の領域107bとも重なって配置されてもよい。

20

【0093】

絶縁体108は、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体108は、特に窒化シリコンまたは窒化酸化シリコンを用いると好ましい。

【0094】

なお、絶縁体108として、 E_{v0s} と E_{c0s} との間の準位密度が低い絶縁体を用いても構わない。

【0095】

絶縁体118は、トランジスタ150の層間絶縁体として機能する領域を有する場合がある。例えば、絶縁体118を有することで、トランジスタ150の各配線間（各導電体間）の寄生容量を低減できる。

30

【0096】

絶縁体118は、前述した絶縁体108の開口部と重なる位置に開口部を有する。なお、該開口部は、半導体106の領域107aと重なって配置される。また、該開口部と別の開口部が、半導体106の領域107bとも重なって配置されてもよい。また、絶縁体118は、導電体104bと重なる領域に開口部を有していてもよい。絶縁体118が、導電体104bと重なる領域に開口部を有することで、容量素子160の容量を大きくすることができる。

40

【0097】

絶縁体118は、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体118は、特に酸化シリコンまたは酸化窒化シリコンを用いると好ましい。

【0098】

導電体116a1および導電体116a2を併せて導電体116aと呼ぶ。また、導電体116b1および導電体116b2を併せて導電体116bと呼ぶ。また、導電体116c1および導電体116c2を併せて導電体116cと呼ぶ。導電体116aおよび導電

50

体116bは、トランジスタ150のソース電極およびドレイン電極として機能する領域を有する場合がある。また、導電体116aおよび導電体116bは、トランジスタ150のチャネル形成領域などを遮光する機能を有する場合がある。導電体116cは、容量素子160の電極の他方として機能する領域を有する場合がある。また、導電体116cは、半導体装置を遮光する機能を有する場合がある。

【0099】

なお、導電体116a1と、導電体116b1と、導電体116c1と、が同一層であっても構わない。その場合、導電体116a1と、導電体116b1と、導電体116c1と、が同一層でない場合と比べて工程を短縮化することができる。また、なお、導電体116a2と、導電体116b2と、導電体116c2と、が同一層であっても構わない。その場合、導電体116a2と、導電体116b2と、導電体116c2と、が同一層でない場合と比べて工程を短縮化することができる。

10

【0100】

導電体116a1は、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。導電体116a1は、特に窒化チタン、窒化タンタルまたはタングステンを含む導電体を用いると好ましい。

20

【0101】

導電体116b1は、例えば、導電体116a1で示した導電体から選択して用いればよい。導電体116b1は、特に導電体116a1と同じ種類の導電体を用いると好ましい。また、導電体116c1は、例えば、導電体116a1で示した導電体から選択して用いればよい。導電体116c1は、特に導電体116a1または導電体116b1と同じ種類の導電体を用いると好ましい。

【0102】

導電体116a2は、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。導電体116a2は、特に銅を含む導電体を用いると好ましい。

30

【0103】

導電体116b2は、例えば、導電体116a2で示した導電体から選択して用いればよい。導電体116b2は、特に導電体116a2と同じ種類の導電体を用いると好ましい。また、導電体116c2は、例えば、導電体116a2で示した導電体から選択して用いればよい。導電体116c2は、特に導電体116a2または導電体116b2と同じ種類の導電体を用いると好ましい。なお、導電体116a2、導電体116b2および導電体116c2として、銅を含む導電体を用いた場合に、導電体116a1、導電体116b1および導電体116c1を設けなくてもよい場合がある。その場合、半導体106と、銅を含む導電体である導電体116a2および導電体116b2が直接接触しても構わない。

40

【0104】

絶縁体128は、トランジスタ150のチャネル形成領域などへ不純物が混入することを抑制する機能を有する場合がある。

【0105】

50

絶縁体128は、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体128は、特に窒化シリコンまたは窒化酸化シリコンを用いると好ましい。

【0106】

基板100としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0107】

また、基板100として、可とう性基板を用いてもよい。なお、基板100として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板100が伸縮性を有してもよい。また、基板100は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板100の厚さは、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下とする。基板100を薄くすると、半導体装置を軽量化することができる。また、基板100を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板100上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

【0108】

可とう性基板である基板100としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板100は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板100としては、例えば、線膨張率が $1\times 10^{-3}/\text{K}$ 以下、 $5\times 10^{-5}/\text{K}$ 以下、または $1\times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いいため、可とう性基板である基板100として好適である。

【0109】

なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板に転置する方法もある。その場合には、非可とう性基板である基板100上に剥離層を設けるとよい。

【0110】

ここで、図2は、トランジスタ150の上面図および断面図である。図2（A）は、トランジスタ150の上面図を示す。また、図2（B）は図2（A）に示した一点鎖線A1-A2に相当するトランジスタ150の断面図である。また、図2（C）は図2（A）に示した一点鎖線A3-A4に相当するトランジスタ150の断面図である。

【0111】

なお、図1などには、トランジスタ150のチャンネル長方向の断面図に相当するA1-A

10

20

30

40

50

2 断面（図 2（B）参照。）を含む断面図を示している。したがって、図 2（B）については、図 1 の記載を参照する。

【0112】

図 2（A）に示す上面図より、トランジスタ 150 は、導電体 116 a および導電体 116 b と、導電体 114 と、が互いに重なる領域を有さないため、寄生容量が小さいことがわかる。ただし、トランジスタ 150 が、導電体 116 a および導電体 116 b と、導電体 114 と、が互いに重なる領域を有しても構わない。また、図 2（A）では、トランジスタ 150 は、導電体 116 a および導電体 116 b と、導電体 104 と、が互いに重なる領域を有するが、間に複数の絶縁体などを有することにより寄生容量は小さくなる。ただし、導電体 116 a および導電体 116 b と、導電体 104 と、が互いに重なる領域を有さなくても構わない。

10

【0113】

チャネル幅方向の断面図に相当する図 2（C）より、トランジスタ 150 のゲート電極として機能する領域を有する導電体 114 は、絶縁体 112 を介して半導体 106 を乗り越える形状を有する。したがって、導電体 114 の電界は、半導体 106 の上面および側面に対して影響を与えることがわかる。また、トランジスタ 150 のゲート電極として機能する領域を有する導電体 104 は、絶縁体 102 を介して半導体 106 の下面に面する形状を有する。したがって、導電体 104 の電界は、半導体 106 の下面に対して影響を与えることがわかる。

20

【0114】

このように、トランジスタ 150 は、ゲート電極として機能する導電体 114 および導電体 104 によって、半導体 106 の上面、側面および下面が電界に取り囲まれた構造を有する。このような構造を、本明細書では取り囲みチャネル（*s-channel: surrounded channel*）構造と呼ぶ。

【0115】

s-channel 構造を有するトランジスタは、半導体の全体（バルク）にチャネルが形成される場合がある。したがって、*s-channel* 構造を有するトランジスタは、ソースドレイン間に大電流を流すことができ、導通時の電流（オン電流）を高くすることができる。また、*s-channel* 構造を有するトランジスタは、ゲート電極の電界の影響が大きいいため、トランジスタの導通、非導通の切り替えを速やかに行うことができる。したがって、*s-channel* 構造を有するトランジスタは、サブスレッショルドスイング値（S 値ともいう。）を小さくできる。また、S 値が小さいことにより、オフ電流を小さくすることもできる。

30

【0116】

<半導体装置の作製方法>

次に、図 1 に示した半導体装置の作製方法について説明する。

【0117】

まず、基板 100 を準備する。

【0118】

次に、絶縁体 101 を成膜する。

40

【0119】

次に、導電体 104 a 1 および導電体 104 b 1 となる導電体を成膜する。

【0120】

次に、導電体 104 a 2 および導電体 104 b 2 となる導電体を成膜する。

【0121】

次に、該導電体の積層をリソグラフィ工程などによって加工することで、導電体 104 a 1 および導電体 104 a 2 を有する導電体 104 a、ならびに導電体 104 b 1 および導電体 104 b 2 を有する導電体 104 b を形成する（図 3 参照。）。このように、導電体 104 a と導電体 104 b とを、同一工程を経て形成することにより、工程を短縮化することができる。即ち、半導体装置の生産性を高くすることができる。

50

【0122】

次に、絶縁体102aを成膜する。

【0123】

次に、絶縁体132を成膜する（図4参照。）。絶縁体132は、後の工程を経て絶縁体102bとなる絶縁体であるため、絶縁体102bについての記載を参照する。

【0124】

なお、窒素酸化物の少ない酸化シリコンは、例えば、PECVD法を用いて、基板温度が220℃以上、280℃以上または350℃以上とし、原料ガスにシランおよび一酸化二窒素を用いることで成膜することができる。

【0125】

次に、保護膜113を成膜する。保護膜113は、例えば、前述した導電体、前述した絶縁体または前述した半導体などを用いればよい。保護膜113は、好ましくは酸素の透過性の低い膜を用いる。保護膜113は、例えば、酸化シリコンまたは酸化窒化シリコンよりも酸素の透過性の低い膜を用いる。保護膜113は、好ましくは、柱状結晶構造を有するタングステンよりも酸素の透過性の低い膜を用いる。保護膜113は、特に好ましくは、窒化タンタルを用いる。

【0126】

次に、保護膜113の上面側から、酸素を添加する処理を行う（図5参照。）。酸素を添加する処理としては、例えば、酸化性ガスを含む雰囲気におけるプラズマ処理がある。なお、酸化性ガスには、例えば、酸素原子を含むガス、具体的には酸素ガス、亜酸化窒素ガス、二酸化炭素ガスなどがある。または、酸素を添加する処理としては、例えば、酸素原子もしくは酸素原子を含む分子をイオン化してドーピングする処理などがある。ドーピングには、質量分離されたイオンをドーピングする場合と、質量分離しないでイオンをドーピングする場合とがあり、どちらを用いても構わない。

【0127】

保護膜113が酸素をブロックする機能を有することにより、添加した酸素の離脱を抑制しながら絶縁体132または／および絶縁体102aに酸素を添加することができる。そのため、保護膜113を設けない状態で酸素を添加した場合よりも、保護膜113を設けた状態で酸素を添加した場合のほうが絶縁体132または／および絶縁体102aに含まれる酸素量を多くすることができる。なお、保護膜113は、酸素を添加する処理によって酸化されても構わない。

【0128】

なお、保護膜113は、酸素をブロックする機能を有し、かつ下層に酸素を到達させる程度の厚さとすればよい。例えば、保護膜113は、1nm以上150nm以下、または5nm以上100nm以下とすればよい。

【0129】

酸素が添加されることで絶縁体132または／および絶縁体102aは、過剰酸素を含む絶縁体となる。

【0130】

次に、保護膜113を除去する。ただし、保護膜113が、絶縁体または半導体であるとき、保護膜113を除去しなくてもよい場合がある。

【0131】

次に、絶縁体132をリソグラフィ工程などによって加工し、絶縁体102bを形成する（図6参照。）。なお、絶縁体102bの形成は、絶縁体102aの導電体104bと重なる領域が露出するように行う。

【0132】

次に、半導体106aとなる半導体を成膜する。

【0133】

次に、半導体106bとなる半導体を成膜する。

【0134】

次に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。第1の加熱処理によって、半導体106aとなる半導体、および半導体106bとなる半導体の結晶性を高めることや、水素や水などの不純物を除去することなどができる。

【0135】

次に、該半導体の積層をリソグラフィ工程などによって加工することで、半導体106aおよび半導体106bを有する半導体106を形成する（図7参照。）。

【0136】

次に、絶縁体112となる絶縁体を成膜する。

【0137】

次に、導電体114aとなる導電体を成膜する。

【0138】

次に、導電体114bとなる導電体を成膜する。

【0139】

次に、該導電体の積層をリソグラフィ工程などによって加工する。さらに、上層の導電体のエッチングが下層の導電体のエッチングよりも速く起こる条件でエッチングすることで、導電体114bと、導電体114bよりも迫り出した形状を有する導電体114aを形成する。

【0140】

次に、導電体114aなどをマスクとし、絶縁体112となる絶縁体を加工することで、導電体114aよりも迫り出した形状を有する絶縁体112を形成する。このとき、半導体106の上面から0.1nm以上5nm以下エッチングされる場合がある。

【0141】

次に、絶縁体112、導電体114aおよび導電体114bをマスクとし、半導体106を処理する（図8参照。）。

【0142】

該処理は、例えば、半導体106のキャリア密度を高くする機能を有する不純物を添加することで行うことができる。半導体106が酸化物半導体である場合、該不純物として、例えば、ホウ素、炭素、窒素、ネオン、アルミニウム、リン、アルゴン、マンガ、ヒ素、クリプトン、キセノンなどから選ばれた一種以上を用いればよい。該不純物としては、特にアルゴンを用いると好ましい。不純物の添加は、ドーピング法などによって行えばよい。また、該処理は、例えば、前述した元素（例えば、アルゴンなど）を含む雰囲気におけるプラズマ処理などによって行ってもよい。プラズマ処理は、例えば、基板100側に自己バイアスが印加されるように行うことが好ましい。

【0143】

酸化物半導体に対して上述した処理を行うと、酸化物半導体中の酸素を脱離させ、酸素欠損（ V_O とも表記する。）を形成することができる。酸素欠損に、近接する水素が入った状態（ V_OH とも表記する。）は、酸化物半導体中でドナー準位を形成するため、被処理領域のキャリア密度を高くすることができ、抵抗を低減することができる。 V_OH がドナー準位を形成することの詳細については後述する。

【0144】

このようにして、半導体106aの被処理領域である領域107a1および領域107b1、ならびに半導体106bの被処理領域である領域107a2および領域107b2を形成することができる（図9参照。）。なお、領域107a1および領域107a2を併せて領域107aと呼ぶ。また、領域107b1および領域107b2を併せて領域107bと呼ぶ。

【0145】

次に、絶縁体138を成膜する。絶縁体138は、後の工程を経て絶縁体108となる絶縁体であるため、絶縁体108についての記載を参照する。

【0146】

絶縁体138は、好ましくはPECVD法により成膜する。例えば、絶縁体138として、水素を有する絶縁体、特に水素を有する窒化シリコン(SiNHとも表記する。)を成膜することで、領域107aおよび領域107bに水素を添加することができる。その結果、該水素が領域107aおよび領域107bに含まれる V_O を埋めることでドナー準位を形成する V_OH を効率よく形成することができる。なお、絶縁体138に十分な量の水素が含まれている場合、領域107aおよび領域107bの V_OH から水素が脱離して V_O になった場合でも、速やかに V_OH に戻すことができる。したがって、このようにして形成された領域107aおよび領域107bは抵抗が低い状態を安定して保つことができる。即ち、領域107aおよび領域107bを、ソース領域およびドレイン領域に用いた場合、トランジスタ150のオン電流を高くすることができる。

10

【0147】

このように、導電体化された酸化物半導体を酸化物導電体とすることができる。一般に、酸化物半導体は、エネルギーギャップが大きいので、可視光に対して透光性を有する。一方、酸化物導電体は、伝導帯近傍にドナー準位を有する酸化物半導体である。したがって、該ドナー準位による吸収の影響は小さく、可視光に対して酸化物半導体と同程度の透光性を有する。

20

【0148】

ここで、酸化物導電体における、抵抗率の温度依存性について、図38を用いて説明する。

【0149】

抵抗率を測定した試料に含まれる酸化物導電体として、酸化物半導体が水素を含む窒化シリコンに接することで形成された酸化物導電体(OC-SiNH)、ドーピング装置において酸化物半導体にアルゴンが添加され、かつ水素を含む窒化シリコンと接することで形成された酸化物導電体(OC-Ar dope+SiNH)、またはプラズマ処理装置においてアルゴンプラズマを用いてアルゴンイオンを照射し、かつ水素を含む窒化シリコンと接することで形成された酸化物導電体(OC-Ar plasma+SiNH)を作製した。

30

【0150】

酸化物導電体(OC-SiNH)を含む試料の作製方法を以下に示す。まず、ガラス基板上に、厚さ400nmの酸化窒化シリコンをPECVD法により形成した後、酸素プラズマを用い、酸素イオンを酸化窒化シリコンに添加することで、加熱により酸素を放出する酸化窒化シリコンを形成した。次に、加熱により酸素を放出する酸化窒化シリコン上に、原子数比がIn:Ga:Zn=1:1:1.2のスパッタリングターゲットを用いたスパッタリング法により、厚さ100nmのIn-Ga-Zn酸化物を形成し、450℃の窒素雰囲気中で加熱処理した後、450℃の窒素および酸素の混合ガス雰囲気中で加熱処理した。次に、PECVD法で、厚さ100nmの窒化シリコンを形成した。次に、350℃の窒素および酸素の混合ガス雰囲気中で加熱処理した。

40

【0151】

酸化物導電体(OC-Ar dope+SiNH)を含む試料の作製方法を以下に示す。まず、ガラス基板上に、厚さ400nmの酸化窒化シリコンをPECVD法により形成した後、酸素プラズマを用い、酸素イオンを酸化窒化シリコンに添加することで、加熱により酸素を放出する酸化窒化シリコンを形成した。次に、加熱により酸素を放出する酸化窒化シリコン上に、原子数比がIn:Ga:Zn=5:5:6のスパッタリングターゲットを用いたスパッタリング法により、厚さ100nmのIn-Ga-Zn酸化物を形成し、450℃の窒素雰囲気中で加熱処理した後、450℃の窒素および酸素の混合ガス雰囲気中で加熱処理した。次に、ドーピング装置を用いて、In-Ga-Zn酸化物に、加速電圧を

50

10 kVとし、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ のアルゴンを添加して、In-Ga-Zn酸化物に酸素欠損を形成した。次に、PECVD法で、厚さ100 nmの窒化シリコンを形成した。次に、350℃の窒素および酸素の混合ガス雰囲気中で加熱処理した。

【0152】

酸化物導電体(OC_Ar plasma+SiNH)を含む試料の作製方法を以下に示す。まず、ガラス基板上に、厚さ400 nmの酸化窒化シリコンをPECVD法により形成した後、酸素プラズマを用いることで、加熱により酸素を放出する酸化窒化シリコンを形成した。次に、加熱により酸素を放出する酸化窒化シリコン上に、原子数比がIn:Ga:Zn=1:1:1.2のスパッタリングターゲットを用いたスパッタリング法により、厚さ100 nmのIn-Ga-Zn酸化物を形成し、450℃の窒素雰囲気中で加熱処理した後、450℃の窒素および酸素の混合ガス雰囲気中で加熱処理した。次に、プラズマ処理装置において、アルゴンプラズマを発生させ、加速させたアルゴンイオンをIn-Ga-Zn酸化物に衝突させることで酸素欠損を形成した。次に、PECVD法で、厚さ100 nmの窒化シリコンを形成した。次に、350℃の窒素および酸素の混合ガス雰囲気中で加熱処理した。

10

【0153】

次に、各試料の抵抗率を測定した結果を図38に示す。ここで、抵抗率の測定は4端子のvan-der-Pauw法で行った。図38において、横軸は測定温度を示し、縦軸は抵抗率を示す。また、酸化物導電体(OC_SiNH)の測定結果を四角印で示し、酸化物導電体(OC_Ar dope+SiNH)の測定結果を丸印で示し、酸化物導電体(OC_Ar plasma+SiNH)の測定結果を三角印で示す。

20

【0154】

なお、図示しないが、水素を含む窒化シリコンと接しない酸化物半導体は、抵抗率が高く、抵抗率の測定が困難であった。このため、酸化物導電体は、酸化物半導体より抵抗率が低いことがわかる。

【0155】

図38から、酸化物導電体(OC_Ar dope+SiNH)および酸化物導電体(OC_Ar plasma+SiNH)は、酸素欠損および水素を含むことにより、抵抗率の変動が小さいことがわかる。代表的には、80 K以上290 K以下において、抵抗率は、±20%未満の変動率である。または、150 K以上250 K以下において、抵抗率は、±10%未満の変動率である。即ち、酸化物導電体は、縮退半導体であり、伝導帯下端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体をトランジスタのソース領域およびドレイン領域として用いることで、酸化物導電体とソース電極およびドレイン電極として機能する導電体とがオーミック接触となり、ソース電極およびドレイン電極として機能する導電体と、酸化物導電体と、の接触抵抗を低減できる。また、酸化物導電体の抵抗率は温度依存性が低いため、ソース電極およびドレイン電極として機能する導電体と、酸化物導電体と、の接触抵抗の変動量が小さく、かつ信頼性の高いトランジスタを作製することが可能である。

30

【0156】

次に、絶縁体148となる絶縁体を成膜する。絶縁体148となる絶縁体は、後の工程を経て絶縁体118となる絶縁体であるため、絶縁体118についての記載を参照する。

40

【0157】

次に、第2の加熱処理を行っても構わない。第2の加熱処理を行うことで、半導体106aを介して、絶縁体102などに含まれる過剰酸素が半導体106bまで移動する。半導体106bは半導体106c、絶縁体112、絶縁体108のいずれかで覆われているため、過剰酸素の外方拡散が起こりにくい。そのため、このタイミングで第2の加熱処理を行うことで、効率的に半導体106bの欠陥(酸素欠損)を低減することができる。なお、第2の加熱処理は、絶縁体102中の過剰酸素(酸素)が半導体106bまで拡散する温度で行えばよい。例えば、第1の加熱処理についての記載を参照しても構わない。または、第2の加熱処理は、第1の加熱処理よりも低い温度が好ましい。第1の加熱処理と第

50

2の加熱処理の温度差は、20℃以上150℃以下、好ましくは40℃以上100℃以下とする。これにより、絶縁体102から余分に過剰酸素（酸素）が放出することを抑えることができる。

【0158】

次に、該絶縁体をリソグラフィ工程などによって加工することで、絶縁体148を形成する（図10参照。）。なお、絶縁体148の形成は、絶縁体138の導電体104bと重なる領域が露出するように行う。

【0159】

次に、絶縁体138と絶縁体148との積層をリソグラフィ工程などによって加工することで、絶縁体108と絶縁体118との積層を形成する（図11参照。）。なお、絶縁体108および絶縁体118の形成は、領域107aおよび領域107bが露出するように行う。

10

【0160】

次に、導電体116a1、導電体116b1および導電体116c1となる導電体を成膜する。

【0161】

次に、導電体116a2、導電体116b2および導電体116c2となる導電体を成膜する。

【0162】

次に、該導電体の積層をリソグラフィ工程などによって加工することで、導電体116a1および導電体116a2を有する導電体116a、導電体116b1および導電体116b2を有する導電体116b、ならびに導電体116c1および導電体116c2を有する導電体116cを形成する。このように、導電体116aと導電体116bと導電体116cとを、同一工程を経て形成することにより、工程を短縮化することができる。即ち、半導体装置の生産性を高くすることができる。

20

【0163】

次に、絶縁体128を成膜する（図12参照。）。

【0164】

以上のようにして、トランジスタ150と、容量素子160と、を有する半導体装置を作製することができる。

30

【0165】

<半導体装置の変形例>

なお、図1などでは、トランジスタ150の半導体106が、チャネル形成領域として機能する領域と、ソース領域およびドレイン領域として機能する領域を有する領域107aおよび領域107bと、を有する構造について説明しているが、本発明の一態様に係る半導体装置は、この構造に限定されるものではない。例えば、図13に示すように、半導体106の領域107aと、領域107bと、の内側に、さらに領域107cと、領域107dと、領域107eと、領域107fと、を有する構造であっても構わない。

【0166】

なお、領域107cは、領域107aと隣接する領域を有する。また、領域107cは、絶縁体112と重なり、かつ導電体114aと重ならない領域を有する。また、領域107dは、領域107bと隣接する領域を有する。また、領域107dは、絶縁体112と重なり、かつ導電体114aと重ならない領域を有する。また、領域107eは、領域107cと隣接する領域を有する。また、領域107eは、導電体114aと重なり、かつ導電体114bと重ならない領域を有する。また、領域107fは、領域107dと隣接する領域を有する。また、領域107fは、導電体114aと重なり、かつ導電体114bと重ならない領域を有する。

40

【0167】

領域107cは、例えば、LDD（Lightly Doped Drain）領域として機能する領域を有してもよい。LDD領域は、ソース領域またはドレイン領域よりもキ

50

キャリア密度または／および不純物濃度の低い領域であり、かつチャンネル形成領域よりもキャリア密度または／および不純物濃度の高い領域を有する。または、領域１０７ｃは、例えば、オフセット領域として機能する領域を有してもよい。オフセット領域は、チャンネル形成領域と同程度のキャリア密度または／および不純物濃度の領域を有する。

【０１６８】

また、領域１０７ｄは、例えば、ＬＤＤ領域として機能する領域を有してもよい。また、領域１０７ｄは、例えば、オフセット領域として機能する領域を有してもよい。また、領域１０７ｅは、例えば、ＬＤＤ領域として機能する領域を有してもよい。また、領域１０７ｅは、例えば、オフセット領域として機能する領域を有してもよい。また、領域１０７ｆは、例えば、ＬＤＤ領域として機能する領域を有してもよい。また、領域１０７ｆは、例えば、オフセット領域として機能する領域を有してもよい。なお、半導体１０６において、領域１０７ｅまたは／および領域１０７ｆと、導電体１１４ａと、が互いに重なる領域をオーバーラップ領域と呼ぶ。

10

【０１６９】

領域１０７ｃ、領域１０７ｄ、領域１０７ｅ、領域１０７ｆの少なくとも一が、ＬＤＤ領域として機能する領域、または／およびオフセット領域として機能する領域を有することで、トランジスタのドレイン電界の集中に起因する劣化を低減することができる。即ち、信頼性の高い半導体装置とすることができる。

【０１７０】

例えば、領域１０７ｃおよび領域１０７ｄがＬＤＤ領域として機能する領域を有し、領域１０７ｅおよび領域１０７ｆがオフセット領域として機能する領域を有すると、特にトランジスタのドレイン電界の集中に起因する劣化を低減することができて好ましい場合がある。

20

【０１７１】

なお、ＬＤＤ領域として機能する領域それぞれのチャンネル長方向における長さは、ソース領域と、ドレイン領域と、の間の距離の２０％未満、１０％未満、５％未満または２％未満であると好ましい。または、オーバーラップ領域それぞれのチャンネル長方向における長さは、ソース領域と、ドレイン領域と、の間の距離の２０％未満、１０％未満、５％未満または２％未満であると好ましい。または、オフセット領域として機能する領域それぞれのチャンネル長方向における長さは、ソース領域と、ドレイン領域と、の間の距離の２０％

30

【０１７２】

また、図１などでは、トランジスタ１５０のチャンネル形成領域として機能する領域を有する半導体１０６が半導体１０６ａおよび半導体１０６ｂの二層を有する構造について説明しているが、本発明の一態様に係る半導体装置は、この構造に限定されるものではない。例えば、図１４に示すように、半導体１０６が半導体１０６ａ、半導体１０６ｂおよび半導体１０６ｃの三層を有する構造であっても構わない。この場合、領域１０７ａは、領域１０７ａ１、領域１０７ａ２および領域１０７ａ３を有する構造となる。また、領域１０７ｂは、領域１０７ｂ１、領域１０７ｂ２および領域１０７ｂ３を有する構造となる。また、図１５に示すように、半導体１０６が一層の構造であっても構わない。この場合、領域１０７ａは一層の構造となる。また、領域１０７ｂは一層の構造となる。

40

【０１７３】

また、図１などでは、トランジスタ１５０のゲート絶縁体として機能する領域を有する絶縁体１１２の端部の断面形状が円弧となる領域を有する構造について説明しているが、本発明の一態様に係る半導体装置は、この構造に限定されるものではない。例えば、図１６に示すように、絶縁体１１２の端部の断面形状が円弧となる領域を有さない構造であっても構わない。

【０１７４】

なお、本発明の一態様に係るトランジスタ１５０の、絶縁体１１２、導電体１１４ａ、導電体１１４ｂの少なくとも一がテーパー角を有すると好ましい。例えば、絶縁体１１２は

50

、半導体106の上面と、絶縁体112の側面と、の為す角度 θ_1 が 90° 未満、 30° 以上 85° 以下または 45° 以上 70° 以下となる断面を有すると好ましい。また、導電体114aは、絶縁体112の上面と、導電体114aの側面と、の為す角度 θ_2 が 90° 未満、 10° 以上 85° 以下、 15° 以上 85° 以下、 30° 以上 85° 以下または 45° 以上 70° 以下となる断面を有すると好ましい。また、導電体114bは、導電体114aの上面に略平行な直線と、導電体114bの側面に略平行な直線と、の為す角度 θ_3 が 90° 未満、または 30° 以上 85° 以下、または 45° 以上 70° 以下となる断面を有すると好ましい。また、角度 θ_1 が角度 θ_2 より小さいと後に形成する層などの被覆性が高くなるため好ましい。また、角度 θ_3 が角度 θ_2 より小さいと後に形成する層などの被覆性が高くなるため好ましい。

10

【0175】

<配線の位置関係>

以下では、本発明の一態様に係る半導体装置の、各配線の接続などについて説明する。

【0176】

図17(A)は、半導体装置の配線間の接続の一例を示す断面図である。図17(A)には、導電体104aまたは／および導電体104bなどと同一層である導電体104cと、導電体116a、導電体116bまたは／および導電体116cなどと同一層である導電体116dと、が電氣的に接続する場合の接続部を示す。具体的には、導電体104cは、絶縁体102および絶縁体112に設けられた開口部を介して導電体114などと同一層である導電体115aと接する領域を有し、導電体116dは、絶縁体108および絶縁体118に設けられた開口部を介して導電体115aと接する領域を有すればよい。

20

【0177】

なお、絶縁体102および絶縁体112に設けられた開口部は、同一工程を経て形成されてもよいし、異なる工程を経て形成されてもよい。また、絶縁体108および絶縁体118に設けられた開口部は、同一工程を経て形成されてもよいし、異なる工程を経て形成されてもよい。これらの工程を、トランジスタ150および容量素子160の作製とともに行うことで、半導体装置の生産性を高くすることができる場合がある。

【0178】

図17(B)は、半導体装置の配線間の接続の一例を示す断面図である。図17(B)には、導電体104aまたは／および導電体104bなどと同一層である導電体104dと、導電体116a、導電体116bまたは／および導電体116cなどと同一層である導電体116eと、が電氣的に接続する場合の接続部を示す。具体的には、導電体104dは、絶縁体108および絶縁体118に設けられた開口部を介して導電体116eと接する領域を有すればよい。

30

【0179】

なお、絶縁体108および絶縁体118に設けられた開口部は、同一工程を経て形成されてもよいし、異なる工程を経て形成されてもよい。これらの工程を、トランジスタ150および容量素子160の作製とともに行うことで、半導体装置の生産性を高くすることができる場合がある。

【0180】

図17(C)は、半導体装置の配線間の接続の一例を示す断面図である。図17(C)には、導電体104aまたは／および導電体104bなどと同一層である導電体104eと、導電体114などと同一層である導電体115bと、が電氣的に接続する場合の接続部を示す。具体的には、導電体104eは、絶縁体102および絶縁体112に設けられた開口部を介して導電体115bと接する領域を有すればよい。

40

【0181】

なお、絶縁体102および絶縁体112に設けられた開口部は、同一工程を経て形成されてもよいし、異なる工程を経て形成されてもよい。これらの工程を、トランジスタ150および容量素子160の作製とともに行うことで、半導体装置の生産性を高くすることができる場合がある。

50

【0182】

図17(D)は、半導体装置の配線間の交差の一例を示す断面図である。図17(D)には、導電体104aまたは／および導電体104bなどと同一層である導電体104fと、導電体116a、導電体116bまたは／および導電体116cなどと同一層である導電体116fと、が絶縁体102、絶縁体108および絶縁体118を介して重なる領域を示す。

【0183】

なお、配線間に絶縁体を複数層有することで、配線間の寄生容量を低減することができる。そのため、寄生容量に起因した周波数特性（f特ともいう。）の低下を抑制することができるため、本発明の一態様に係る半導体装置はf特が良好であることがわかる。

10

【0184】

<酸化物半導体>

以下では、半導体106、半導体106a、半導体106b、半導体106cなどに適用可能な酸化物半導体について説明する。

【0185】

酸化物半導体は、例えば、インジウムを含む酸化物である。酸化物半導体は、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、酸化物半導体は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体は、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

20

【0186】

ただし、酸化物半導体は、インジウムを含む酸化物半導体に限定されない。酸化物半導体は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

30

【0187】

酸化物半導体は、例えば、エネルギーギャップが大きい酸化物を用いる。酸化物半導体のエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

【0188】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。

40

【0189】

トランジスタのオン電流を高くするためには、例えば、酸化物半導体の上面または下面の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS：Root Mean Square）粗さが1 nm未満、好ましくは0.6 nm未満、さらに好ましくは0.5 nm未満、より好ましくは0.4 nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1 nm未満、好ましくは0.6 nm未満、さらに好ましくは0.5 nm未満、より好ましくは0.4 nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10 nm未満、好ましくは9 nm未満、さらに好ましくは8 nm未満、より好ましくは7 nm未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微

50

鏡システムSPA-500などを用いて測定することができる。

【0190】

なお、酸化物半導体に銅が混入すると、電子トラップを生成する場合がある。電子トラップは、トランジスタのしきい値電圧をプラス方向へ変動させる場合がある。したがって、酸化物半導体の表面または内部における銅濃度は低いほど好ましい。例えば、酸化物半導体は、銅濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{18} \text{ atoms/cm}^3$ 以下となる領域を有すると好ましい。

【0191】

＜酸化物半導体の構造＞

以下では、酸化物半導体の構造について説明する。

10

【0192】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0193】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

20

【0194】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

【0195】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

30

【0196】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

【0197】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆 (ボイドともいう。) を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

40

【0198】

＜CAAC-OS＞

まずは、CAAC-OSについて説明する。

【0199】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

【0200】

透過型電子顕微鏡 (TEM: Transmission Electron Micro

50

scope) によって、CAAC-Osの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない。そのため、CAAC-Osは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0201】

以下では、TEMによって観察したCAAC-Osについて説明する。図34(A)に、試料面と略平行な方向から観察したCAAC-Osの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

10

【0202】

図34(A)の領域(1)を拡大したCs補正高分解能TEM像を図34(B)に示す。図34(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-Osの膜を形成する面(被形成面ともいう。)または上面の凹凸を反映しており、CAAC-Osの被形成面または上面と平行となる。

【0203】

図34(B)に示すように、CAAC-Osは特徴的な原子配列を有する。図34(C)は、特徴的な原子配列を、補助線で示したものである。図34(B)および図34(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。また、CAAC-Osを、CANC(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

20

【0204】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-Osのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図34(D)参照。)。図34(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図34(D)に示す領域5161に相当する。

30

【0205】

また、図35(A)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図35(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図35(B)、図35(C)および図35(D)に示す。図35(B)、図35(C)および図35(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0206】

次に、X線回折(XRD:X-Ray Diffraction)によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、out-of-plane法による構造解析を行うと、図36(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

40

【0207】

なお、CAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-Osは、out-of-plane法による構造解

50

析では、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さない。

【0208】

一方、CAAC-OSSに対し、 c 軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。CAAC-OSSの場合は、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(ϕ 軸)として試料を回転させながら分析(ϕ スキャン)を行っても、図36(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO₄の単結晶酸化物半導体であれば、 2θ を 56° 近傍に固定して ϕ スキャンした場合、図36(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSSは、 a 軸および b 軸の配向が不規則であることが確認できる。

10

【0209】

次に、電子回折によって解析したCAAC-OSSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図49(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSSに含まれるペレットが c 軸配向性を有し、 c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図49(B)に示す。図49(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSSに含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。なお、図49(B)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図49(B)における第2リングは(110)面などに起因すると考えられる。

20

【0210】

上述したように、CAAC-OSSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-OSSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

【0211】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

30

【0212】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

40

【0213】

不純物および酸素欠損の少ないCAAC-OSSは、キャリア密度の低い酸化物半導体である。具体的には、キャリア密度を $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0214】

<nc-OSS>

50

次に、nc-OSについて説明する。

【0215】

nc-OSは、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下、または1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

10

【0216】

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、ペレットよりも大きい径のX線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、nc-OSに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

20

【0217】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

30

【0218】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0219】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0220】

a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

40

【0221】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0222】

電子照射を行う試料として、a-like OS（試料Aと表記する。）、nc-OS（試料Bと表記する。）およびCAAC-OS（試料Cと表記する。）を準備する。いずれの試料もIn-Ga-Zn酸化物である。

50

【0223】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0224】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、 InGaZnO_4 の結晶の単位格子は、 $\text{In}-\text{O}$ 層を3層有し、また $\text{Ga}-\text{Zn}-\text{O}$ 層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、 InGaZnO_4 の結晶部と見なすことができる。なお、格子縞は、 InGaZnO_4 の結晶のa-b面に対応する。

10

【0225】

図50は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図50より、a-like OS(試料A)は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図50中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OS(試料B)およびCAAC-OS(試料C)は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図50中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

20

【0226】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

【0227】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

30

【0228】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は $6.357 \text{ g}/\text{cm}^3$ となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、a-like OSの密度は $5.0 \text{ g}/\text{cm}^3$ 以上 $5.9 \text{ g}/\text{cm}^3$ 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は $5.9 \text{ g}/\text{cm}^3$ 以上 $6.3 \text{ g}/\text{cm}^3$ 未満となる。

40

【0229】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0230】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。な

50

お、酸化物半導体は、例えば、非晶質酸化物半導体、*a-l i k e* O S、*n c* - O S、C A A C - O Sのうち、二種以上を有する積層膜であってもよい。

【0231】

<成膜モデル>

以下では、C A A C - O Sおよび*n c* - O Sの成膜モデルについて説明する。

【0232】

図39(A)は、スパッタリング法によりC A A C - O Sが成膜される様子を示した成膜室内の模式図である。

【0233】

ターゲット230は、バックングプレート上に接着されている。ターゲット230およびバックングプレート下には、複数のマグネットが配置される。該複数のマグネットによって、ターゲット230上には磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

10

【0234】

ターゲット230は、多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。なお、劈開面の詳細については後述する。

【0235】

基板220は、ターゲット230と向かい合うように配置しており、その距離 d （ターゲット-基板間距離（T-S間距離）ともいう。）は0.01m以上1m以下、好ましくは0.02m以上0.5m以下とする。成膜室内は、ほとんどが成膜ガス（例えば、酸素、アルゴン、または酸素を50体積%以上の割合で含む混合ガス）で満たされ、0.01Pa以上100Pa以下、好ましくは0.1Pa以上10Pa以下に制御される。ここで、ターゲット230に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット230上の磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン201が生じる。イオン201は、例えば、酸素の陽イオン（ O^{+} ）やアルゴンの陽イオン（ Ar^{+} ）などである。

20

【0236】

イオン201は、電界によってターゲット230側に加速され、やがてターゲット230と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット200aおよびペレット200bが剥離し、叩き出される。なお、ペレット200aおよびペレット200bは、イオン201の衝突の衝撃によって、構造に歪みが生じる場合がある。

30

【0237】

ペレット200aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット200bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット200aおよびペレット200bなどの平板状またはペレット状のスパッタ粒子を総称してペレット200と呼ぶ。ペレット200の平面の形状は、三角形、六角形に限定されない、例えば、三角形が2個以上6個以下合わさった形状となる場合がある。例えば、三角形（正三角形）が2個合わさった四角形（ひし形）となる場合もある。

40

【0238】

ペレット200は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット200の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。

【0239】

ペレット200は、プラズマを通過する際に電荷を受け取ることで、側面が負または正に帯電する場合がある。ペレット200は、側面に酸素原子を有し、当該酸素原子が負に帯電する可能性がある。例えば、ペレット200aが、側面に負に帯電した酸素原子を有する例を図41に示す。このように、側面が同じ極性の電荷を帯びることにより、電荷同士

50

の反発が起こり、平板状の形状を維持することが可能となる。なお、C A A C - O S が、I n - G a - Z n 酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。

【0240】

図39(A)に示すように、例えば、ペレット200は、プラズマ中を風のように飛翔し、ひらひらと基板220上まで舞い上がっていく。ペレット200は電荷を帯びているため、ほかのペレット200が既に堆積している領域が近づくと、斥力が生じる。ここで、基板220の上面では、基板220の上面に平行な向きの磁場が生じている。また、基板220およびターゲット230間には、電位差が与えられているため、基板220からターゲット230に向けて電流が流れている。したがって、ペレット200は、基板220の上面において、磁場および電流の作用によって、力（ローレンツ力）を受ける（図42参照。）。このことは、フレミングの左手の法則によって理解できる。なお、ペレット200に与える力を大きくするためには、基板220の上面において、基板220の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板220の上面において、基板220の上面に平行な向きの磁場が、基板220の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上、より好ましくは5倍以上となる領域を設けるとよい。

【0241】

また、基板220は加熱されており、ペレット200と基板220との間で摩擦などの抵抗が小さい状態となっている。その結果、図43(A)に示すように、ペレット200は、基板220の上面を滑空するように移動する。ペレット200の移動は、平板面を基板220に向けた状態で起こる。その後、図43(B)に示すように、既に堆積しているほかのペレット200の側面まで到達すると、側面同士が結合する。このとき、ペレット200の側面にある酸素原子が脱離する。脱離した酸素原子によって、C A A C - O S 中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いC A A C - O S となる。

【0242】

また、ペレット200が基板220上で加熱されることにより、原子が再配列し、イオン201の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット200は、ほぼ単結晶となる。ペレット200がほぼ単結晶となることにより、ペレット200同士が結合した後に加熱されたとしても、ペレット200自体の伸縮はほとんど起こり得ない。したがって、ペレット200間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。また、隙間には、伸縮性のある金属原子などが敷き詰められ、向きのずれたペレット200同士の側面を高速道路のように繋いでいると考えられる。

【0243】

以上のようなモデルにより、ペレット200が基板220上に堆積していくと考えられる。したがって、エピタキシャル成長とは異なり、被形成面が結晶構造を有さない場合においても、C A A C - O S の成膜が可能であることがわかる。例えば、基板220の上面（被形成面）の構造が非晶質構造であっても、C A A C - O S を成膜することは可能である。

【0244】

また、C A A C - O S は、平坦面に対してだけでなく、被形成面である基板220の上面に凹凸がある場合でも、その形状に沿ってペレット200が配列することがわかる。例えば、基板220の上面が原子レベルで平坦な場合、ペレット200はa b 面と平行な平面である平板面を下に向けて並置するため、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層がn段（nは自然数。）積み重なることで、C A A C - O S を得ることができる（図39(B)参照。）。

【0245】

一方、基板220の上面が凹凸を有する場合でも、C A A C - O S は、ペレット200が

凹凸に沿って並置した層が n 段(n は自然数。)積み重なった構造となる。基板220が凹凸を有するため、CAAC-Osは、ペレット200間に隙間が生じやすい場合がある。ただし、ペレット200間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有するCAAC-Osとすることができる(図39(C)参照。)

【0246】

したがって、CAAC-Osは、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。

【0247】

このようなモデルによってCAAC-Osが成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板220上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

10

【0248】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有するCAAC-Osを得ることができる。

【0249】

また、CAAC-Osは、ペレット200のほかに酸化亜鉛粒子を有する成膜モデルによっても説明することができる。

【0250】

20

酸化亜鉛粒子は、ペレット200よりも質量が小さいため、先に基板220に到達する。基板220の上面において、酸化亜鉛粒子は、水平方向に優先的に結晶成長することで薄い酸化亜鉛層を形成する。該酸化亜鉛層は、 c 軸配向性を有する。なお、該酸化亜鉛層の結晶の c 軸は、基板220の法線ベクトルに平行な方向を向く。該酸化亜鉛層は、CAAC-Osを成長させるためのシード層の役割を果たすため、CAAC-Osの結晶性を高める機能を有する。なお、該酸化亜鉛層は、厚さが0.1nm以上5nm以下、ほとんどが1nm以上3nm以下となる。該酸化亜鉛層は十分薄いため、結晶粒界をほとんど確認することができない。

【0251】

したがって、結晶性の高いCAAC-Osを成膜するためには、化学量論的組成よりも高い割合で亜鉛を含むターゲットを用いることが好ましい。

30

【0252】

同様に、 nc -Osは、図40に示す成膜モデルによって理解することができる。なお、図40と図39(A)との違いは、基板220の加熱の有無のみである。

【0253】

したがって、基板220は加熱されておらず、ペレット200と基板220との間で摩擦などの抵抗が大きい状態となっている。その結果、ペレット200は、基板220の上面を滑空するように移動することができないため、不規則に降り積もっていくことで nc -Osを得ることができる。

【0254】

40

<劈開面>

以下では、CAAC-Osの成膜モデルにおいて記載のターゲットの劈開面について説明する。

【0255】

まずは、ターゲットの劈開面について図44を用いて説明する。図44に、 $InGaZnO_4$ の結晶の構造を示す。なお、図44(A)は、 c 軸を上向きとし、 b 軸に平行な方向から $InGaZnO_4$ の結晶を観察した場合の構造を示す。また、図44(B)は、 c 軸に平行な方向から $InGaZnO_4$ の結晶を観察した場合の構造を示す。

【0256】

$InGaZnO_4$ の結晶の各結晶面における劈開に必要なエネルギーを、第一原理計算に

50

より算出する。なお、計算には、擬ポテンシャルと、平面波基底を用いた密度汎関数プログラム（CASTEP）を用いる。なお、擬ポテンシャルには、ウルトラソフト型の擬ポテンシャルを用いる。また、汎関数には、GGA-PBEを用いる。また、カットオフエネルギーは400 eVとする。

【0257】

初期状態における構造のエネルギーは、セルサイズを含めた構造最適化を行った後に導出する。また、各面で劈開後の構造のエネルギーは、セルサイズを固定した状態で、原子配置の構造最適化を行った後に導出する。

【0258】

図44に示したInGaZnO₄の結晶の構造をもとに、第1の面、第2の面、第3の面、第4の面のいずれかで劈開した構造を作製し、セルサイズを固定した構造最適化計算を行う。ここで、第1の面は、Ga-Zn-O層とIn-O層との間の結晶面であり、(001)面（またはab面）に平行な結晶面である（図44（A）参照。）。第2の面は、Ga-Zn-O層とGa-Zn-O層との間の結晶面であり、(001)面（またはab面）に平行な結晶面である（図44（A）参照。）。第3の面は、(110)面に平行な結晶面である（図44（B）参照。）。第4の面は、(100)面（またはbc面）に平行な結晶面である（図44（B）参照。）。

【0259】

以上のような条件で、各面で劈開後の構造のエネルギーを算出する。次に、劈開後の構造のエネルギーと初期状態における構造のエネルギーとの差を、劈開面の面積で除すことで、各面における劈開しやすさの尺度である劈開エネルギーを算出する。なお、構造のエネルギーは、構造に含まれる原子と電子に対して、電子の運動エネルギーと、原子間、原子-電子間、および電子間の相互作用と、を考慮したエネルギーである。

【0260】

計算の結果、第1の面の劈開エネルギーは2.60 J/m²、第2の面の劈開エネルギーは0.68 J/m²、第3の面の劈開エネルギーは2.18 J/m²、第4の面の劈開エネルギーは2.12 J/m²であることがわかった（下表参照。）。

【0261】

【表1】

劈開エネルギー [J/m²]

第1の面	2.60
第2の面	0.68
第3の面	2.18
第4の面	2.12

【0262】

この計算により、図44に示したInGaZnO₄の結晶の構造において、第2の面における劈開エネルギーが最も低くなる。即ち、Ga-Zn-O層とGa-Zn-O層との間が最も劈開しやすい面（劈開面）であることがわかる。したがって、本明細書において、劈開面と記載する場合、最も劈開しやすい面である第2の面のことを示す。

【0263】

Ga-Zn-O層とGa-Zn-O層との間である第2の面に劈開面を有するため、図44（A）に示すInGaZnO₄の結晶は、二つの第2の面と等価な面で分離することができる。したがって、ターゲットにイオンなどを衝突させる場合、もっとも劈開エネルギーの低い面で劈開したウェハース状のユニット（我々はこれをペレットと呼ぶ。）が最小単位となって飛び出してくると考えられる。その場合、InGaZnO₄のペレットは、

G a - Z n - O 層、I n - O 層およびG a - Z n - O 層の3層となる。

【0264】

また、第1の面（G a - Z n - O 層とI n - O 層との間の結晶面であり、（001）面（またはa b 面）に平行な結晶面）よりも、第3の面（（110）面に平行な結晶面）、第4の面（（100）面（またはb c 面）に平行な結晶面）の劈開エネルギーが低いことから、ペレットの平面形状は三角形または六角形状が多いことが示唆される。

【0265】

次に、古典分子動力学計算により、ターゲットとしてホモロガス構造を有するI n G a Z n O₄の結晶を仮定し、当該ターゲットをアルゴン（A r）または酸素（O）によりスパッタした場合の劈開面について評価する。計算に用いたI n G a Z n O₄の結晶（2688原子）の断面構造を図45（A）に、上面構造を図45（B）に示す。なお、図45（A）に示す固定層は、位置が変動しないよう原子の配置を固定した層である。また、図45（A）に示す温度制御層は、常に一定の温度（300 K）とした層である。

10

【0266】

古典分子動力学計算には、富士通株式会社製M a t e r i a l s E x p l o r e r 5.0を用いる。なお、初期温度を300 K、セルサイズを一定、時間刻み幅を0.01フェムト秒、ステップ数を1000万回とする。計算では、当該条件のもと、原子に300 e Vのエネルギーを与え、I n G a Z n O₄の結晶のa b 面に垂直な方向からセルに原子を入射させる。

【0267】

20

図46（A）は、図45に示したI n G a Z n O₄の結晶を有するセルにアルゴンが入射してから99.9ピコ秒（p s e c）後の原子配列を示す。また、図46（B）は、セルに酸素が入射してから99.9ピコ秒後の原子配列を示す。なお、図46では、図45（A）に示した固定層の一部を省略して示す。

【0268】

図46（A）より、アルゴンがセルに入射してから99.9ピコ秒までに、図44（A）に示した第2の面に対応する劈開面から亀裂が生じる。したがって、I n G a Z n O₄の結晶に、アルゴンが衝突した場合、最上面を第2の面（0番目）とすると、第2の面（2番目）に大きな亀裂が生じることがわかる。

【0269】

30

一方、図46（B）より、酸素がセルに入射してから99.9ピコ秒までに、図44（A）に示した第2の面に対応する劈開面から亀裂が生じることがわかる。ただし、酸素が衝突した場合は、I n G a Z n O₄の結晶の第2の面（1番目）において大きな亀裂が生じることがわかる。

【0270】

したがって、ホモロガス構造を有するI n G a Z n O₄の結晶を含むターゲットの上面から原子（イオン）が衝突すると、I n G a Z n O₄の結晶は第2の面に沿って劈開し、平板状の粒子（ペレット）が剥離することがわかる。また、このとき、ペレットの大きさは、アルゴンを衝突させた場合よりも、酸素を衝突させた場合の方が小さくなることがわかる。

40

【0271】

なお、上述の計算から、剥離したペレットは損傷領域を含むことが示唆される。ペレットに含まれる損傷領域は、損傷によって生じた欠陥に酸素を反応させることで修復できる場合がある。

【0272】

そこで、衝突させる原子の違いによって、ペレットの大きさが異なることについて調査する。

【0273】

図47（A）に、図45に示したI n G a Z n O₄の結晶を有するセルにアルゴンが入射した後、0ピコ秒から0.3ピコ秒までにおける各原子の軌跡を示す。したがって、図4

50

7 (A) は、図 4 5 から図 4 6 (A) の間の期間に対応する。

【0274】

図 4 7 (A) より、アルゴンが第 1 層 (Ga-Zn-O 層) のガリウム (Ga) と衝突すると、当該ガリウムが第 3 層 (Ga-Zn-O 層) の亜鉛 (Zn) と衝突した後、当該亜鉛が第 6 層 (Ga-Zn-O 層) の近傍まで到達することがわかる。なお、ガリウムと衝突したアルゴンは、外に弾き飛ばされる。したがって、InGaZnO₄ の結晶を含むターゲットにアルゴンを衝突させた場合、図 4 5 (A) における第 2 の面 (2 番目) に亀裂が入ると考えられる。

【0275】

また、図 4 7 (B) に、図 4 5 に示した InGaZnO₄ の結晶を有するセルに酸素が入射した後、0 ピコ秒から 0.3 ピコ秒までにおける各原子の軌跡を示す。したがって、図 4 7 (B) は、図 4 5 から図 4 6 (A) の間の期間に対応する。

【0276】

一方、図 4 7 (B) より、酸素が第 1 層 (Ga-Zn-O 層) のガリウム (Ga) と衝突すると、当該ガリウムが第 3 層 (Ga-Zn-O 層) の亜鉛 (Zn) と衝突した後、当該亜鉛が第 5 層 (In-O 層) まで到達しないことがわかる。なお、ガリウムと衝突した酸素は、外に弾き飛ばされる。したがって、InGaZnO₄ の結晶を含むターゲットに酸素を衝突させた場合、図 4 5 (A) における第 2 の面 (1 番目) に亀裂が入ると考えられる。

【0277】

本計算からも、InGaZnO₄ の結晶は、原子 (イオン) が衝突した場合、劈開面から剥離することが示唆される。

【0278】

また、亀裂の深さの違いを保存則の観点から検討する。エネルギー保存則および運動量保存則は、式 (1) および式 (2) のように示すことができる。ここで、E は衝突前のアルゴンまたは酸素の持つエネルギー (300 eV)、 m_A はアルゴンまたは酸素の質量、 v_A は衝突前のアルゴンまたは酸素の速度、 v'_A は衝突後のアルゴンまたは酸素の速度、 m_{Ga} はガリウムの質量、 v_{Ga} は衝突前のガリウムの速度、 v'_{Ga} は衝突後のガリウムの速度である。

【0279】

【数 1】

$$E = \frac{1}{2} m_A v_A^2 + \frac{1}{2} m_{Ga} v_{Ga}^2 \quad (1)$$

【0280】

【数 2】

$$m_A v_A + m_{Ga} v_{Ga} = m_A v'_A + m_{Ga} v'_{Ga} \quad (2)$$

【0281】

アルゴンまたは酸素の衝突が弾性衝突であると仮定すると、 v_A 、 v'_A 、 v_{Ga} および v'_{Ga} の関係は式 (3) のように表すことができる。

【0282】

【数 3】

$$v'_A - v'_{Ga} = -(v_A - v_{Ga}) \quad (3)$$

【0283】

式（１）、式（２）および式（３）より、 v_{Ga} を 0 とすると、アルゴンまたは酸素が衝突した後のガリウムの速度 v'_{Ga} は、式（４）のように表すことができる。

【０２８４】

【数４】

$$v'_{Ga} = \frac{\sqrt{m_A}}{m_A + m_{Ga}} \cdot 2\sqrt{2E} \quad (4)$$

【０２８５】

式（４）において、 m_A にアルゴンの質量または酸素の質量を代入し、それぞれの原子が衝突した後のガリウムの速度を比較する。アルゴンおよび酸素の衝突前に持つエネルギーが同じである場合、アルゴンが衝突した場合の方が、酸素が衝突した場合よりも 1.24 倍ガリウムの速度が高いことがわかる。したがって、ガリウムの持つエネルギーもアルゴンが衝突した場合の方が、酸素が衝突した場合よりも速度の二乗分だけ高くなる。

【０２８６】

アルゴンを衝突させた場合の方が、酸素を衝突させた場合よりも、衝突後のガリウムの速度（エネルギー）が高くなることがわかる。したがって、アルゴンを衝突させた場合の方が、酸素を衝突させた場合よりも深い位置に亀裂が生じたと考えられる。

【０２８７】

以上の計算により、ホモロガス構造を有する $InGaZnO_4$ の結晶を含むターゲットをスパッタすると、劈開面から剥離し、ペレットが形成されることがわかる。一方、劈開面を有さないターゲットの他の構造の領域をスパッタしてもペレットは形成されず、ペレットよりも微細な原子レベルの大きさのスパッタ粒子が形成される。該スパッタ粒子は、ペレットと比べて小さいため、スパッタリング装置に接続されている真空ポンプを介して排気されることが考えられる。したがって、ホモロガス構造を有する $InGaZnO_4$ の結晶を含むターゲットをスパッタした場合、様々な大きさ、形状の粒子が基板まで飛翔し、堆積することで成膜されるモデルは考えにくい。スパッタされたペレットが堆積して CAAC-OS を成膜する図 39（A）などに記載のモデルが道理に適っている。

【０２８８】

このようにして成膜された CAAC-OS の密度は、単結晶 OS と同程度の密度を有する。例えば、 $InGaZnO_4$ のホモロガス構造を有する単結晶 OS の密度は 6.36 g/cm^3 であるのに対し、同程度の原子数比である CAAC-OS の密度は 6.3 g/cm^3 程度となる。

【０２８９】

図 48 に、スパッタリング法で成膜した CAAC-OS である $In-Ga-Zn$ 酸化物（図 48（A）参照。）、およびそのターゲット（図 48（B）参照。）の断面における原子配列を示す。原子配列の観察には、高角散乱環状暗視野走査透過電子顕微鏡法（HAADF-STEM: High-Angle Annular Dark Field Scanning Transmission Electron Microscopy）を用いる。なお、HAADF-STEM では、各原子の像強度は原子番号の二乗に比例する。したがって、原子番号の近い Zn（原子番号 30）と Ga（原子番号 31）とは、ほとんど区別できない。HAADF-STEM には、日立走査透過電子顕微鏡 HD-2700 を用いる。

【０２９０】

図 48（A）および図 48（B）を比較すると、CAAC-OS と、ターゲットは、ともにホモロガス構造を有しており、それぞれの原子の配置が対応していることがわかる。したがって、図 39（A）などの成膜モデルに示したように、ターゲットの結晶構造が転写されることで CAAC-OS が成膜されることがわかる。

【０２９１】

<バンド図>

10

20

30

40

50

以下では、上述したトランジスタの任意断面におけるバンド図について説明する。

【0292】

図18(A)は、本発明の一態様に係るトランジスタ150の断面図である。

【0293】

図18(A)に示すトランジスタ150は、図1についての説明を参照する。

【0294】

ここで、図18(B)に、図18(A)に示すトランジスタ150のチャネル形成領域を含むA-A'断面におけるバンド図を示す。なお、半導体106aは半導体106bよりもエネルギーギャップが少し小さいとする。また、絶縁体102a、絶縁体102bおよび絶縁体112は、半導体106aおよび半導体106bよりも十分にエネルギーギャップが大きいとする。また、半導体106a、半導体106b、絶縁体102a、絶縁体102bおよび絶縁体112のフェルミ準位(E_f と表記する。)は、それぞれの真性フェルミ準位(E_i と表記する。)の位置とする。また、導電体104aおよび導電体114の仕事関数は、真空準位と該フェルミ準位のエネルギー差と同じとする。

10

【0295】

ゲート電圧をトランジスタ150のしきい値電圧以上としたとき、半導体106aと半導体106bとの間の伝導帯下端のエネルギーの差により、電子は半導体106aを優先的に流れる。即ち、半導体106aに電子が埋め込まれると推定することができる。なお、伝導帯下端のエネルギーを E_c と表記し、価電子帯上端のエネルギーを E_v と表記する。

【0296】

したがって、本発明の一態様に係るトランジスタ150は、電子の埋め込みによって界面散乱の影響が低減されている。そのため、本発明の一態様に係るトランジスタ150はチャネル抵抗が小さい。

20

【0297】

次に、図18(C)に、図18(A)に示すトランジスタ150のソース領域またはドレイン領域を含むB-B'断面におけるバンド図を示す。なお、領域107a1、領域107b1、領域107a2および領域107b2は縮退状態とする。また、領域107b1において、半導体106aのフェルミ準位は伝導帯下端のエネルギーと同程度とする。また、領域107b2において、半導体106bのフェルミ準位は伝導帯下端のエネルギーと同程度とする。領域107a1および領域107a2も同様である。

30

【0298】

このとき、ソース電極またはドレイン電極としての機能を有する導電体116bと、領域107b2と、はエネルギー障壁が十分小さいため、オーミック接触となる。また、領域107b2と、領域107b1と、はオーミック接触となる。同様に、ソース電極またはドレイン電極としての機能を有する導電体116aと、領域107a2と、はエネルギー障壁が十分小さいため、オーミック接触となる。また、領域107a2と、領域107a1と、はオーミック接触となる。したがって、導電体116aおよび導電体116bと、半導体106aおよび半導体106bと、の間で、電子の授受がスムーズに行われることがわかる。

【0299】

以上に示したように、本発明の一態様に係るトランジスタは、ソース電極およびドレイン電極と、チャネル形成領域と、の間の電子の授受がスムーズに行われ、かつチャネル抵抗の小さいトランジスタである。即ち、優れたスイッチング特性を有するトランジスタであることがわかる。

40

【0300】

次に、図18(B)に示すような、バンド図となる半導体106aおよび半導体106bについて説明する。

【0301】

例えば、半導体106aは、半導体106bを構成する酸素以外の元素のうち一種以上、または二種以上から構成される酸化物半導体である。半導体106bを構成する酸素以外

50

の元素のうち一種以上、または二種以上から半導体106aが構成されるため、半導体106aと半導体106bとの界面において、界面準位が形成されにくい。

【0302】

半導体106aおよび半導体106bは、少なくともインジウムを含むと好ましい。なお、半導体106aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高くする。また、半導体106bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。

10

【0303】

半導体106bは、半導体106aより電子親和力の大きい酸化物を用いる。例えば、半導体106bとして、半導体106aより電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0304】

なお、図14に示したように、半導体106が、半導体106aと、半導体106bと、半導体106cと、を有する場合も同様に電子を埋め込むことが可能となる。その場合、半導体106cは、半導体106aについての説明を参照する。

20

【0305】

以上に示したトランジスタの構造は一例であり、これらを組み合わせたものも本発明の一態様の範疇に含まれる。

【0306】

<半導体装置の応用例>

以下では、本発明の一態様に係る半導体装置の応用例を示す。

【0307】

<表示装置>

以下では、本発明の一態様に係る表示装置の構成例について説明する。

30

【0308】

[構成例]

図19(A)には、本発明の一態様に係る表示装置の上面図を示す。また、図19(B)には、本発明の一態様に係る表示装置の画素に液晶素子を用いた場合における画素回路を示す。また、図19(C)には、本発明の一態様に係る表示装置の画素に有機EL素子を用いた場合における画素回路を示す。

【0309】

画素に用いるトランジスタは、上述したトランジスタを用いることができる。ここでは、nチャネル型のトランジスタを用いる例を示す。なお、画素に用いたトランジスタと、同一工程を経て作製したトランジスタを駆動回路として用いても構わない。また、画素に用いる容量素子は、上述した容量素子を用いることができる。このように、画素や駆動回路に上述したトランジスタおよび容量素子を用いることにより、表示品位が高い、または／および信頼性の高い表示装置となる。

40

【0310】

なお、画素に用いるトランジスタと、駆動回路に用いるトランジスタの構造を異ならせることで表示装置の性能を高めることができる場合がある。例えば、画素にはs-channel構造を有するトランジスタを用い、駆動回路にはs-channel構造を有さないトランジスタを用いても構わない。s-channel構造を有するトランジスタは、s-channel構造を有さないトランジスタと比べて高いオン電流と低いオフ電流を有するため、高いオン電流または／および低いオフ電流の求められる画素に用いるトラン

50

ジスタとして好ましい場合がある。また、s-channel構造を有するトランジスタは、s-channel構造を有さないトランジスタと同程度のオン電流を得たい場合に占有面積を小さくできる場合がある。したがって、画素の開口率を高くすることができる場合がある。具体的には、画素の開口率を40%以上、好ましくは50%以上、さらに好ましくは60%以上とすることができる場合がある。また、s-channel構造を有するトランジスタは、高い遮光性を有するため、画素に用いるトランジスタの光に起因した劣化を抑制することができる場合がある。一方、駆動回路においては、s-channel構造を有さないトランジスタを用いたほうが、より寄生容量を低減できて好ましい場合がある。また、駆動回路においては、s-channel構造を有さないトランジスタを用いたほうが、設計の自由度が高くなる場合がある。

10

【0311】

また、例えば、駆動回路にはs-channel構造を有するトランジスタを用い、画素にはs-channel構造を有さないトランジスタを用いても構わない。s-channel構造を有するトランジスタは、高いオン電流と低いオフ電流を有するため、高いオン電流または／および低いオフ電流の求められる駆動回路に用いるトランジスタとして好ましい場合がある。また、s-channel構造を有するトランジスタは、s-channel構造を有さないトランジスタと同程度のオン電流を得たい場合に占有面積を小さくできる場合がある。したがって、駆動回路の面積を小さくし、表示装置の額縁を小さくすることができる場合がある。具体的には、額縁の幅を、それぞれ3mm以下、好ましくは1mm以下、さらに好ましくは0.8mm以下とすることができる場合がある。一方、画素においては、s-channel構造を有さないトランジスタのほうが、より寄生容量を低減できるため好ましい場合がある。特に、発光装置において、画素がしきい値補正機能を有する場合、寄生容量を低減することで、その効果を高くすることができる場合がある。

20

【0312】

また、例えば、画素の一部にはs-channel構造を有するトランジスタを用い、画素の別の一部にはs-channel構造を有さないトランジスタを用いても構わない。s-channel構造を有するトランジスタは、高いオン電流と低いオフ電流を有するため、高いオン電流または／および低いオフ電流の求められる画素の一部に用いるトランジスタとして好ましい場合がある。また、s-channel構造を有するトランジスタは、s-channel構造を有さないトランジスタと同程度のオン電流を得たい場合に占有面積を小さくできる場合がある。したがって、画素の開口率を高くすることができる場合がある。具体的には、画素の開口率を40%以上、好ましくは50%以上、さらに好ましくは60%以上とすることができる場合がある。また、s-channel構造を有するトランジスタは、高い遮光性を有するため、画素に用いるトランジスタの光に起因した劣化を抑制することができる場合がある。一方、画素の別の一部においては、s-channel構造を有さないトランジスタのほうが、より寄生容量を低減できるため好ましい場合がある。特に、発光装置において、画素がしきい値補正機能を有する場合、寄生容量を低減することで、その効果を高くすることができる場合がある。

30

【0313】

また、例えば、駆動回路の一部にはs-channel構造を有するトランジスタを用い、駆動回路の別の一部にはs-channel構造を有さないトランジスタを用いても構わない。s-channel構造を有するトランジスタは、高いオン電流と低いオフ電流を有するため、高いオン電流または／および低いオフ電流の求められる駆動回路の一部に用いるトランジスタとして好ましい場合がある。また、s-channel構造を有するトランジスタは、s-channel構造を有さないトランジスタと同程度のオン電流を得たい場合に占有面積を小さくできる場合がある。したがって、駆動回路の面積を小さくし、表示装置の額縁を小さくすることができる場合がある。具体的には、額縁の幅を、それぞれ3mm以下、好ましくは1mm以下、さらに好ましくは0.8mm以下とすることができる場合がある。一方、駆動回路の別の一部においては、s-channel構造を

40

50

有さないトランジスタのほうが、寄生容量を低減できて好ましい場合がある。

【0314】

アクティブマトリクス型表示装置の上面図の一例を図19(A)に示す。表示装置の基板5000上には、画素部5001、第1の走査線駆動回路5002、第2の走査線駆動回路5003、信号線駆動回路5004が配置される。画素部5001は、複数の信号線によって信号線駆動回路5004と電氣的に接続され、複数の走査線によって第1の走査線駆動回路5002、および第2の走査線駆動回路5003と電氣的に接続される。なお、走査線と信号線とによって区切られる領域には、それぞれ表示素子を有する画素が配置されている。また、表示装置の基板5000は、FPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に電氣的に接続されている。

10

【0315】

第1の走査線駆動回路5002、第2の走査線駆動回路5003および信号線駆動回路5004は、画素部5001と同じ基板5000上に形成される。そのため、駆動回路を別途作製する場合と比べて、表示装置を作製するコストを低減することができる。また、駆動回路を別途作製した場合、配線間の接続数が増える。したがって、同じ基板5000上に駆動回路を設けることで、配線間の接続数を減らすことができ、信頼性の向上、または／および歩留まりの向上を図ることができる。

【0316】

<液晶表示装置>

20

また、画素の回路構成の一例を図19(B)に示す。ここでは、VA型液晶表示装置の画素などに適用することができる画素回路を示す。

【0317】

この画素回路は、一つの画素に複数の画素電極を有する構成に適用できる。それぞれの画素電極は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極に印加する信号を、独立して制御できる。

【0318】

トランジスタ5016のゲート配線5012と、トランジスタ5017のゲート配線5013には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極またはドレイン電極5014は、トランジスタ5016とトランジスタ5017で共通に用いられている。トランジスタ5016とトランジスタ5017は上述したトランジスタ150などを適宜用いることができる。また、容量素子5023Aおよび容量素子5023Bは、上述した容量素子160を適宜用いることができる。これにより、表示品位が高い、または／および信頼性の高い液晶表示装置を提供することができる。

30

【0319】

トランジスタ5016のゲート電極はゲート配線5012と電氣的に接続され、トランジスタ5017のゲート電極はゲート配線5013と電氣的に接続されている。ゲート配線5012とゲート配線5013に異なるゲート信号を与えてトランジスタ5016とトランジスタ5017の動作タイミングを異ならせ、液晶の配向を制御することができる。

40

【0320】

また、容量配線5010と、誘電体として機能するゲート絶縁体と、第1の画素電極または第2の画素電極と電氣的に接続する容量電極とで容量素子を形成してもよい。

【0321】

マルチドメイン構造は、一画素に第1の液晶素子5018と第2の液晶素子5019を備える。第1の液晶素子5018は第1の画素電極と対向電極とその間の液晶層とで構成され、第2の液晶素子5019は第2の画素電極と対向電極とその間の液晶層とで構成される。

【0322】

50

なお、本発明の一態様に係る表示装置は、図19(B)に示す画素回路に限定されない。例えば、図19(B)に示す画素回路に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサー、または論理回路などを追加してもよい。

【0323】

＜発光装置＞

画素の回路構成の他の一例を図19(C)に示す。ここでは、有機EL素子に代表される発光素子を用いた表示装置（発光装置ともいう。）の画素構造を示す。

【0324】

有機EL素子は、発光素子に電圧を印加することにより、有機EL素子が有する一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0325】

図19(C)は、画素回路の一例を示す図である。ここでは1つの画素にnチャンネル型のトランジスタを2つ用い、容量素子を1つ用いる例を示す。なお、nチャンネル型のトランジスタには、上述したトランジスタ150などを用いることができる。また、容量素子には、上述した容量素子160などを用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0326】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0327】

画素5020は、スイッチング用トランジスタ5021、駆動用トランジスタ5022、発光素子5024および容量素子5023を有する。スイッチング用トランジスタ5021は、ゲート電極が走査線5026に接続され、第1電極（ソース電極、ドレイン電極の一方）が信号線5025に接続され、第2電極（ソース電極、ドレイン電極の他方）が駆動用トランジスタ5022のゲート電極に接続されている。駆動用トランジスタ5022は、ゲート電極が容量素子5023を介して電源線5027に接続され、第1電極が電源線5027に接続され、第2電極が発光素子5024の第1電極（画素電極）に接続されている。発光素子5024の第2電極は共通電極5028に相当する。共通電極5028は、同一基板上に形成される共通電位線と電氣的に接続される。

【0328】

スイッチング用トランジスタ5021および駆動用トランジスタ5022は上述したトランジスタ150などを用いることができる。また、容量素子5023は上述した容量素子160などを用いることができる。これにより、表示品位の高い、または／および信頼性の高い有機EL表示装置となる。

【0329】

発光素子5024の第2電極（共通電極5028）の電位は低電源電位に設定する。なお、低電源電位とは、電源線5027に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子5024の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子5024に印加することにより、発光素子5024に電流を流して発光させる。なお、発光素子5024の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0330】

なお、容量素子5023は駆動用トランジスタ5022のゲート容量を代用することにより省略できる場合がある。駆動用トランジスタ5022のゲート容量については、チャネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0331】

次に、駆動用トランジスタ5022に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ5022がオンまたはオフの二つの状態となるようなビデオ信号を、駆動用トランジスタ5022に入力する。なお、駆動用トランジスタ5022を線形領域で動作させるために、電源線5027の電圧よりも高い電圧を駆動用トランジスタ5022のゲート電極に与える。また、信号線5025には、電源線電圧に駆動用トランジスタ5022のしきい値電圧 V_{th} を加えた値以上の電圧をかける。

【0332】

アナログ階調駆動を行う場合、駆動用トランジスタ5022のゲート電極に発光素子5024の順方向電圧に駆動用トランジスタ5022のしきい値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ5022が飽和領域で動作するようにビデオ信号を入力し、発光素子5024に電流を流す。また、駆動用トランジスタ5022を飽和領域で動作させるために、電源線5027の電位を、駆動用トランジスタ5022のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子5024にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

10

【0333】

なお、本発明の一態様に係る表示装置は、図19(C)に示す画素構成に限定されない。例えば、図19(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサー、トランジスタまたは論理回路などを追加してもよい。

【0334】

<発光装置の変形例1>

20

例えば、図20(A)は、画素回路の一例を示す図である。ここでは1つの画素にnチャネル型のトランジスタを3つ用い、容量素子を1つ用いる例を示す。

【0335】

図20(A)に、画素5111の回路図の一例を示す。画素5111は、トランジスタ5155と、トランジスタ5156と、トランジスタ5157と、容量素子5158と、発光素子5154と、を有する。

【0336】

発光素子5154の画素電極は、画素5111に入力される画像信号 S_{ig} にしたがって電位が制御される。また、発光素子5154の輝度は、画素電極と共通電極の間の電位差によって定まる。

30

【0337】

トランジスタ5156は、配線 S_L と、トランジスタ5155のゲートとの間の導通状態を制御する機能を有する。トランジスタ5155は、ソースおよびドレインの一方が、発光素子5154の陽極に電氣的に接続され、ソースおよびドレインの他方が配線 V_L に電氣的に接続されている。トランジスタ5157は、配線 M_L と、トランジスタ5155のソースおよびドレインの一方の間の導通状態を制御する機能を有する。容量素子5158の一对の電極のうち、一方はトランジスタ5155のゲートに電氣的に接続され、他方は発光素子5154の陽極に電氣的に接続されている。

【0338】

また、トランジスタ5156のスイッチングは、トランジスタ5156のゲートに電氣的に接続された配線 G_L の電位にしたがって行われる。トランジスタ5157のスイッチングは、トランジスタ5157のゲートに電氣的に接続された配線 G_L の電位にしたがって行われる。

40

【0339】

なお、トランジスタ5155、トランジスタ5156およびトランジスタ5157の少なくともいずれかに、上述したトランジスタ150などを用いることができる。また、容量素子5158は、上述した容量素子160などを用いることができる。

【0340】

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（または介さず）、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）

50

が、Z 2を介して（または介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（または第1の端子など）が、Z 1の一部と直接的に接続され、Z 1の別の一部がXと直接的に接続され、トランジスタのドレイン（または第2の端子など）が、Z 2の一部と直接的に接続され、Z 2の別の一部がYと直接的に接続されている場合では、以下のように表現することができる。

【0341】

例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0342】

次に、図20（A）に示す画素5111の動作例について説明する。

【0343】

図20（B）に、図20（A）に示す画素5111に電氣的に接続される配線GLの電位と、配線SLに供給される画像信号Sigの電位のタイミングチャートを例示する。なお、図20（B）に示すタイミングチャートは、図20（A）に示す画素5111に含まれるトランジスタが全てnチャンネル型である場合を例示するものである。

【0344】

まず、期間t1では、配線GLにハイレベルの電位が与えられる。よって、トランジスタ5156およびトランジスタ5157がオンとなる。そして、配線SLには、画像信号Sigの電位Vdataが与えられており、電位Vdataは、トランジスタ5156を介してトランジスタ5155のゲートに与えられる。

【0345】

また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。電位Vanoは、電位Vcatに発光素子5154のしきい値電圧Vtheとトランジスタ5155のしきい値電圧Vthを加算した電位よりも高くすることが好ましい。配線VLと配線CLとの間に上記電位差が設けられることにより、電位Vdataにしたがって、トランジスタ5155のドレイン電流の値が定められる。そして、当該ドレイン電流が発光素子5154に供給されることで、発光素子5154の輝度が定められる。

【0346】

また、トランジスタ5155がnチャンネル型である場合、期間t1では、配線MLの電位が、配線CLの電位に発光素子5154のしきい値電圧Vtheを加算した電位よりも低く、配線VLの電位が、配線MLの電位にトランジスタ5155のしきい値電圧Vthを加算した電位よりも高いことが好ましい。上記構成により、トランジスタ5157がオンであっても、トランジスタ5155のドレイン電流を、発光素子5154ではなく配線MLの方に優先的に流すことができる。

【0347】

次に、期間 t_2 では、配線 GL にローレベルの電位が与えられる。よって、トランジスタ 5156 およびトランジスタ 5157 がオフとなる。トランジスタ 5156 がオフになることで、トランジスタ 5155 のゲートにおいて、電位 V_{data} が保持される。また、配線 VL には電位 V_{ano} が与えられ、配線 CL には電位 V_{cat} が与えられる。よって、発光素子 5154 では、期間 t_1 において定められた輝度にしたがって発光する。

【0348】

次に、期間 t_3 では、配線 GL にハイレベルの電位が与えられる。よって、トランジスタ 5156 およびトランジスタ 5157 がオンとなる。また、配線 SL には、トランジスタ 5155 のゲート電圧がしきい値電圧 V_{th} よりも大きくなるような電位が与えられる。また、配線 CL には電位 V_{cat} が与えられる。そして、配線 ML の電位は、配線 CL の電位に発光素子 5154 のしきい値電圧 V_{the} を加算した電位よりも低くなり、配線 VL の電位は、配線 ML の電位にトランジスタ 5155 のしきい値電圧 V_{th} を加算した電位よりも高くなる。上記構成により、トランジスタ 5155 のドレイン電流を、発光素子 5154 ではなく配線 ML の方に優先的に流すことができる。

【0349】

そして、トランジスタ 5155 のドレイン電流は、配線 ML を介してモニター回路に供給される。モニター回路は、配線 ML に流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る発光装置では、上記信号を用いて、画素 5111 に供給される画像信号 Sig の電位 V_{data} の値を、補正することができる。

【0350】

なお、図 20 (A) に示す画素 5111 を有する発光装置では、期間 t_2 の動作の後に期間 t_3 の動作を行わなくてもよい。例えば、画素 5111 において、期間 t_1 から期間 t_2 の動作を複数回繰り返した後に、期間 t_3 の動作を行うようにしてもよい。また、1 行の画素 5111 において期間 t_3 の動作を行った後、最小の階調値 0 に対応する画像信号を、当該動作を行った 1 行の画素 5111 に書き込むことで、発光素子 5154 を非発光の状態にした後、次の行の画素 5111 において、期間 t_3 の動作を行うようにしてもよい。

【0351】

< 発光装置の変形例 2 >

また、例えば、図 21 (A) は、画素回路の一例を示す図である。ここでは 1 つの画素に n チャンネル型のトランジスタを 4 つ用い、容量素子を 1 つ用いる例を示す。

【0352】

図 21 (A) に、画素 5211 の回路図の一例を示す。画素 5211 は、トランジスタ 5215 と、トランジスタ 5216 と、トランジスタ 5217 と、容量素子 5218 と、発光素子 5214 と、トランジスタ 5219 と、を有する。

【0353】

発光素子 5214 の画素電極は、画素 5211 に入力される画像信号 Sig にしたがって電位が制御される。また、発光素子 5214 の輝度は、画素電極と共通電極の間の電位差によって定まる。

【0354】

トランジスタ 5219 は、配線 SL と、トランジスタ 5215 のゲートとの間の導通状態を制御する機能を有する。トランジスタ 5215 は、ソースおよびドレインの一方が、発光素子 5214 の陽極に接続されている。トランジスタ 5216 は、配線 VL と、トランジスタ 5215 のソースおよびドレインの他方との間の導通状態を制御する機能を有する。トランジスタ 5217 は、配線 ML と、トランジスタ 5215 のソースおよびドレインの他方との間の導通状態を制御する機能を有する。容量素子 5218 の一対の電極のうち、一方はトランジスタ 5215 のゲートに接続され、他方は発光素子 5214 の陽極に接続されている。

【0355】

10

20

30

40

50

また、トランジスタ5219のスイッチングは、トランジスタ5219のゲートに接続された配線GLaの電位にしたがって行われる。トランジスタ5216のスイッチングは、トランジスタ5216のゲートに接続された配線GLbの電位にしたがって行われる。トランジスタ5217のスイッチングは、トランジスタ5217のゲートに接続された配線GLcの電位にしたがって行われる。

【0356】

なお、トランジスタ5215、トランジスタ5216、トランジスタ5217およびトランジスタ5219の少なくともいずれかに、上述したトランジスタ150などを用いることができる。また、容量素子5218は、上述した容量素子160などを用いることができる。

10

【0357】

次に、図21(A)に示す画素5211の、外部補正の動作例について説明する。

【0358】

図21(B)に、図21(A)に示す画素5211に接続される配線GLa、配線GLb、配線GLcの電位と、配線SLに供給される画像信号Sigの電位のタイミングチャートを例示する。なお、図21(B)に示すタイミングチャートは、図21(A)に示す画素5211に含まれるトランジスタが全てnチャンネル型である場合を例示するものである。

【0359】

まず、期間t1では、配線GLaにハイレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにローレベルの電位が与えられる。よって、トランジスタ5219およびトランジスタ5216がオンとなり、トランジスタ5217はオフとなる。そして、配線SLには、画像信号Sigの電位Vdataが与えられており、電位Vdataは、トランジスタ5219を介してトランジスタ5215のゲートに与えられる。

20

【0360】

また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。電位Vanoは、電位Vcatに発光素子5214のしきい値電圧Vtheを加算した電位よりも高くすることが好ましい。配線VLの電位Vanoは、トランジスタ5216を介して、トランジスタ5215のソースおよびドレインの他方に与えられる。よって、電位Vdataにしたがって、トランジスタ5215のドレイン電流の値が定められる。そして、当該ドレイン電流が発光素子5214に供給されることで、発光素子5214の輝度が定められる。

30

【0361】

次に、期間t2では、配線GLaにローレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにローレベルの電位が与えられる。よって、トランジスタ5216がオンとなり、トランジスタ5219、およびトランジスタ5217がオフとなる。トランジスタ5219がオフになることで、トランジスタ5215のゲートにおいて、電位Vdataが保持される。また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。よって、発光素子5214では、期間t1において定められた輝度が保持される。

40

【0362】

次に、期間t3では、配線GLaにローレベルの電位が与えられ、配線GLbにローレベルの電位が与えられ、配線GLcにハイレベルの電位が与えられる。よって、トランジスタ5217がオンとなり、トランジスタ5219およびトランジスタ5216がオフとなる。また、配線CLには電位Vcatが与えられる。そして、配線MLには電位Vanoが与えられ、なおかつモニター回路に接続される。

【0363】

上記動作により、トランジスタ5217を介して、トランジスタ5215のドレイン電流は、配線MLに供給される。なおかつ、当該ドレイン電流は、配線MLを介してモニター

50

回路にも供給される。モニター回路は、配線MLに流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る発光装置では、上記信号を用いて、画素5211に供給される画像信号Sigの電位Vdataの値を、補正することができる。

【0364】

なお、図21(A)に示す画素5211を有する発光装置では、期間t2の動作の後に期間t3の動作を行わなくてもよい。例えば、発光装置において、期間t1から期間t2の動作を複数回繰り返した後に、期間t3の動作を行うようにしてもよい。また、1行の画素5211において期間t3の動作を行った後、最小の階調値0に対応する画像信号を、当該動作を行った1行の画素5211に書き込むことで、発光素子5214を非発光の状態にした後、次の行の画素5211において、期間t3の動作を行うようにしてもよい。

10

【0365】

<発光装置の変形例3>

また、例えば、図22(A)は、画素回路の一例を示す図である。ここでは1つの画素にnチャンネル型のトランジスタを5つ用い、容量素子を1つ用いる例を示す。

【0366】

図22(A)に、画素5311の回路図の一例を示す。図22(A)に示す画素5311は、トランジスタ5315と、トランジスタ5316と、トランジスタ5317と、容量素子5318と、発光素子5314と、トランジスタ5319と、トランジスタ5320と、を有する。

20

【0367】

トランジスタ5320は、配線RLと、発光素子5314の陽極との間の導通状態を制御する機能を有する。トランジスタ5319は、配線SLと、トランジスタ5315のゲートとの間の導通状態を制御する機能を有する。トランジスタ5315は、ソースおよびドレインの一方が、発光素子5314の陽極に接続されている。トランジスタ5316は、配線VLと、トランジスタ5315のソースおよびドレインの他方との間の導通状態を制御する機能を有する。トランジスタ5317は、配線MLと、トランジスタ5315のソースおよびドレインの他方との間の導通状態を制御する機能を有する。容量素子5318の一对の電極のうち、一方はトランジスタ5315のゲートに接続され、他方は発光素子5314の陽極に接続されている。

30

【0368】

また、トランジスタ5319のスイッチングは、トランジスタ5319のゲートに接続された配線GLaの電位にしたがって行われる。トランジスタ5316のスイッチングは、トランジスタ5316のゲートに接続された配線GLbの電位にしたがって行われる。トランジスタ5317のスイッチングは、トランジスタ5317のゲートに接続された配線GLcの電位にしたがって行われる。トランジスタ5320のスイッチングは、トランジスタ5320のゲートに接続された配線GLdの電位にしたがって行われる。

【0369】

なお、トランジスタ5315、トランジスタ5316、トランジスタ5317、トランジスタ5319およびトランジスタ5320の少なくともいずれかに、上述したトランジスタ150などを用いることができる。また、容量素子5318は、上述した容量素子160などを用いることができる。

40

【0370】

次に、図22(A)に示す画素5311の、外部補正の動作例について説明する。

【0371】

図22(B)に、図22(A)に示す画素5311に接続される配線GLa、配線GLb、配線GLc、配線GLdの電位と、配線SLに供給される画像信号Sigの電位のタイミングチャートを例示する。なお、図22(B)に示すタイミングチャートは、図22(A)に示す画素5311に含まれるトランジスタが全てnチャンネル型である場合を例示するものである。

50

【0372】

まず、期間 t_1 では、配線 GLa にハイレベルの電位が与えられ、配線 GLb にハイレベルの電位が与えられ、配線 GLc にローレベルの電位が与えられ、配線 GLd にハイレベルの電位が与えられる。よって、トランジスタ 5319 、トランジスタ 5316 、およびトランジスタ 5320 がオンとなり、トランジスタ 5317 はオフとなる。また、配線 SL には、画像信号 Sig の電位 $Vdata$ が与えられており、電位 $Vdata$ は、トランジスタ 5319 を介してトランジスタ 5315 のゲートに与えられる。よって、電位 $Vdata$ にしたがって、トランジスタ 5315 のドレイン電流の値が定められる。そして、配線 VL には電位 $Vano$ が与えられ、配線 RL には電位 $V1$ が与えられるため、当該ドレイン電流は、トランジスタ 5316 およびトランジスタ 5320 を介して、配線 VL と配線 RL の間に流れる。

10

【0373】

電位 $Vano$ は、電位 $Vcat$ に発光素子 5314 のしきい値電圧 $Vthe$ を加算した電位よりも高くすることが好ましい。配線 VL の電位 $Vano$ は、トランジスタ 5316 を介して、トランジスタ 5315 のソースおよびドレインの他方に与えられる。また、配線 RL に与えられた電位 $V1$ は、トランジスタ 5320 を介してトランジスタ 5315 のソースおよびドレインの一方に与えられる。配線 CL には電位 $Vcat$ が与えられる。

【0374】

なお、電位 $V1$ は、電位 $V0$ からトランジスタ 5315 のしきい値電圧 Vth を差し引いた電位よりも、十分低いことが好ましい。期間 t_1 では、電位 $V1$ を、電位 $Vcat$ から発光素子 5314 のしきい値電圧 $Vthe$ を差し引いた電位よりも十分低くすることができるので、発光素子 5314 は発光しない。

20

【0375】

次に、期間 t_2 では、配線 GLa にローレベルの電位が与えられ、配線 GLb にハイレベルの電位が与えられ、配線 GLc にローレベルの電位が与えられ、配線 GLd にローレベルの電位が与えられる。よって、トランジスタ 5316 がオンとなり、トランジスタ 5319 、トランジスタ 5317 およびトランジスタ 5320 がオフとなる。トランジスタ 5319 がオフになることで、トランジスタ 5315 のゲートにおいて、電位 $Vdata$ が保持される。

【0376】

また、配線 VL には電位 $Vano$ が与えられ、配線 CL には電位 $Vcat$ が与えられる。よって、期間 t_1 において値が定められたトランジスタ 5315 のドレイン電流は、トランジスタ 5320 がオフになることで、発光素子 5314 に供給される。そして、発光素子 5314 に当該ドレイン電流が供給されることで、発光素子 5314 の輝度が定められ、当該輝度は期間 t_2 において保持される。

30

【0377】

次に、期間 t_3 では、配線 GLa にローレベルの電位が与えられ、配線 GLb にローレベルの電位が与えられ、配線 GLc にハイレベルの電位が与えられ、配線 GLd にローレベルの電位が与えられる。よって、トランジスタ 5317 がオンとなり、トランジスタ 5319 、トランジスタ 5316 およびトランジスタ 5320 がオフとなる。また、配線 CL には電位 $Vcat$ が与えられる。そして、配線 ML には電位 $Vano$ が与えられ、なおかつモニター回路に接続される。

40

【0378】

上記動作により、トランジスタ 5317 を介して、トランジスタ 5315 のドレイン電流は、配線 ML に供給される。なおかつ、当該ドレイン電流は、配線 ML を介してモニター回路にも供給される。モニター回路は、配線 ML に流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る発光装置では、上記信号を用いて、画素 5311 に供給される画像信号 Sig の電位 $Vdata$ の値を、補正することができる。

【0379】

50

なお、図 2 2 (A) に示す画素 5 3 1 1 を有する発光装置では、期間 t 2 の動作の後に期間 t 3 の動作を行わなくてもよい。例えば、発光装置において、期間 t 1 から期間 t 2 の動作を複数回繰り返した後に、期間 t 3 の動作を行うようにしてもよい。また、1 行の画素 5 3 1 1 において期間 t 3 の動作を行った後、最小の階調値 0 に対応する画像信号を、当該動作を行った 1 行の画素 5 3 1 1 に書き込むことで、発光素子 5 3 1 4 を非発光の状態にした後、次の行の画素 5 3 1 1 において、期間 t 3 の動作を行うようにしてもよい。

【0380】

また、図 2 2 (A) に示す画素 5 3 1 1 では、発光素子 5 3 1 4 の劣化などにより、発光素子 5 3 1 4 の陽極と陰極間の抵抗値が画素間でばらついても、電位 V_{data} をトランジスタ 5 3 1 5 のゲートに与える際に、トランジスタ 5 3 1 5 のソースの電位を所定の電位 V_1 に設定することができる。よって、画素間において発光素子 5 3 1 4 の輝度にばらつきが生じるのを、防ぐことができる。

【0381】

<発光装置の変形例 4>

また、例えば、図 2 3 (A) は、画素回路の一例を示す図である。ここでは 1 つの画素に n チャンネル型のトランジスタを 6 つ用い、容量素子を 1 つ用いる例を示す。

【0382】

図 2 3 (A) に、画素 5 4 1 1 の回路図の一例を示す。画素 5 4 1 1 は、トランジスタ 5 4 1 5 と、トランジスタ 5 4 1 6 と、トランジスタ 5 4 1 7 と、容量素子 5 4 1 8 と、発光素子 5 4 1 4 と、トランジスタ 5 4 4 0 と、トランジスタ 5 4 4 1 と、トランジスタ 5 4 4 2 と、を有する。

【0383】

発光素子 5 4 1 4 の画素電極は、画素 5 4 1 1 に入力される画像信号 S_{ig} にしたがって電位が制御される。また、発光素子 5 4 1 4 の輝度は、画素電極と共通電極の間の電位差によって定まる。

【0384】

トランジスタ 5 4 4 0 は、配線 S_L と、容量素子 5 4 1 8 の一対の電極のうちの一方との間の導通状態を制御する機能を有する。容量素子 5 4 1 8 の一対の電極のうちの他方は、トランジスタ 5 4 1 5 のソースおよびドレインの一方に接続される。トランジスタ 5 4 1 6 は、配線 V_L1 と、トランジスタ 5 4 1 5 のゲートとの間の導通状態を制御する機能を有する。トランジスタ 5 4 4 1 は、容量素子 5 4 1 8 の一対の電極のうちの一方と、トランジスタ 5 4 1 5 のゲートとの間の導通状態を制御する機能を有する。トランジスタ 5 4 4 2 は、トランジスタ 5 4 1 5 のソースおよびドレインの一方と、発光素子 5 4 1 4 の陽極との間の導通状態を制御する機能を有する。トランジスタ 5 4 1 7 は、トランジスタ 5 4 1 5 のソースおよびドレインの一方と、配線 M_L との間の導通状態を制御する機能を有する。

【0385】

さらに、図 2 3 (A) では、トランジスタ 5 4 1 5 のソースおよびドレインの他方は配線 V_L に接続されている。

【0386】

また、トランジスタ 5 4 4 0 におけるオンまたはオフの選択は、トランジスタ 5 4 4 0 のゲートに接続された配線 G_La の電位にしたがって行われる。トランジスタ 5 4 1 6 におけるオンまたはオフの選択は、トランジスタ 5 4 1 6 のゲートに接続された配線 G_La の電位にしたがって行われる。トランジスタ 5 4 4 1 におけるオンまたはオフの選択は、トランジスタ 5 4 4 1 のゲートに接続された配線 G_Lb の電位にしたがって行われる。トランジスタ 5 4 4 2 におけるオンまたはオフの選択は、トランジスタ 5 4 4 2 のゲートに接続された配線 G_Lb の電位にしたがって行われる。トランジスタ 5 4 1 7 におけるオンまたはオフの選択は、トランジスタ 5 4 1 7 のゲートに接続された配線 G_Lc の電位にしたがって行われる。

【0387】

図23(B)に、図23(A)に示す画素5411に接続される配線GLa、配線GLb、配線GLcの電位と、配線SLに供給される画像信号Sigの電位のタイミングチャートを例示する。なお、図23(B)に示すタイミングチャートは、図23(A)に示す画素5411に含まれるトランジスタが全てnチャンネル型である場合を例示するものである。

【0388】

まず、期間t1では、配線GLaにローレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにハイレベルの電位が与えられる。よって、トランジスタ5441、トランジスタ5442およびトランジスタ5417がオンとなり、トランジスタ5440およびトランジスタ5416はオフとなる。トランジスタ5442およびトランジスタ5417がオンになることで、トランジスタ5415のソースおよびドレインの一方および容量素子5418の一对の電極のうちの他方（ノードAとして図示する。）に、配線MLの電位V0が与えられる。

10

【0389】

また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。電位Vanoは、電位V0に発光素子5414のしきい値電圧Vtheを加算した電位よりも高くすることが好ましい。また、電位V0は、電位Vcatに発光素子5414のしきい値電圧Vtheを加算した電位よりも、低いことが好ましい。電位V0を上記値に設定することで、期間t1において発光素子5414に電流が流れるのを防ぐことができる。

20

【0390】

次に、配線GLbにローレベルの電位が与えられることで、トランジスタ5441およびトランジスタ5442がオフになり、ノードAは電位V0に保持される。

【0391】

次に、期間t2では、配線GLaにハイレベルの電位が与えられ、配線GLbにローレベルの電位が与えられ、配線GLcにローレベルの電位が与えられる。よって、トランジスタ5440およびトランジスタ5416がオンとなり、トランジスタ5441、トランジスタ5442およびトランジスタ5417がオフとなる。

【0392】

なお、期間t1から期間t2に移行する際、配線GLaに与える電位をローレベルからハイレベルに切り替えた後に、配線GLcに与える電位をハイレベルからローレベルに切り替えることが好ましい。このような動作を行うことによって、配線GLaに与えられる電位の切り替えによる、ノードAの電位の変動を防ぐことができる。

30

【0393】

また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。そして、配線SLには画像信号Sigの電位Vdataが与えられ、配線VL1には電位V1が与えられる。電位V1は、電位Vcatにトランジスタ5415のしきい値電圧Vthを加算した電位よりも高く、電位Vanoにトランジスタ5415のしきい値電圧Vthを加算した電位より低いことが好ましい。

【0394】

なお、図23(A)に示す画素構成では、電位V1を、発光素子5414のしきい値電圧Vtheを電位Vcatに加算した値より高くしても、トランジスタ5442がオフである限り、発光素子5414は発光しない。そのため、電位V0として設定できる値の幅を広げることが可能となり、V1-V0として取りうる値の幅も広げることが可能となる。したがって、V1-V0の値の設定の自由度が上がるため、トランジスタ5415のしきい値電圧の取得に要する時間を短縮した場合、またはしきい値電圧の取得期間に制限がある場合においても、正確にトランジスタ5415のしきい値電圧の取得を行うことができる。

40

【0395】

上記動作により、トランジスタ5415のゲート（ノードBとして図示する。）に、ノー

50

ドAの電位にしきい値電圧を加算した電位よりも、高い電位 V_1 が入力され、トランジスタ5415がオンとなる。よって、トランジスタ5415を介して容量素子5418の電荷が放出され、電位 V_0 だったノードAの電位が上昇を始める。そして、最終的にはノードAの電位が $V_1 - V_{th}$ に収束し、トランジスタ5415のゲート電圧がしきい値電圧 V_{th} に収束すると、トランジスタ5415がオフになる。

【0396】

また、容量素子5418の一对の電極のうち的一方（ノードCとして図示する。）には、配線SLに与えられた画像信号Sigの電位Vdataが、トランジスタ5440を介して与えられる。

【0397】

次に、期間 t_3 では、配線GLaにローレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにローレベルの電位が与えられる。よって、トランジスタ5441およびトランジスタ5442がオンとなり、トランジスタ5440、トランジスタ5416およびトランジスタ5417がオフとなる。

【0398】

なお、期間 t_2 から期間 t_3 に移行する際、配線GLaに与える電位がハイレベルからローレベルに切り替えられてから、配線GLbに与える電位をローレベルからハイレベルに切り替えることが好ましい。上記構成により、配線GLaに与える電位の切り替えによるノードAにおける電位の変動を防ぐことができる。

【0399】

また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。

【0400】

上記動作により、ノードBに電位Vdataが与えられるため、トランジスタ5415のゲート電圧が $V_{data} - V_1 + V_{th}$ となる。よって、トランジスタ5415のゲート電圧を、しきい値電圧 V_{th} が加味された値に設定することができる。上記構成により、トランジスタ5415のしきい値電圧 V_{th} のばらつきを抑制することができる。よって、発光素子5414に供給する電流値のばらつきを抑えることができ、発光装置の輝度ムラを低減することができる。

【0401】

なお、配線GLbに与える電位の変動を大きくしておくことで、トランジスタ5442のしきい値電圧のばらつきが発光素子5414に供給する電流値に影響を及ぼすことを防ぐことができる。つまり、配線GLbに与えるハイレベルの電位をトランジスタ5442のしきい値電圧よりも十分大きく、また、配線GLbに与えるローレベルの電位をトランジスタ5442のしきい値電圧よりも十分小さくしてやることで、トランジスタ5442のオンとオフの切り替えを確実にを行い、トランジスタ5442のしきい値電圧のばらつきが発光素子5414の電流値に影響を及ぼすことを防ぐことができる。

【0402】

次に、期間 t_4 では、配線GLaにローレベルの電位が与えられ、配線GLbにローレベルの電位が与えられ、配線GLcにハイレベルの電位が与えられる。よって、トランジスタ5417がオンとなり、トランジスタ5416、トランジスタ5440、トランジスタ5441およびトランジスタ5442がオフとなる。

【0403】

また、配線VLには電位Vanoが与えられ、配線MLは、モニター回路に接続される。

【0404】

上記動作により、トランジスタ5415のドレイン電流Idが、発光素子5414ではなく、トランジスタ5417を介して配線MLに流れる。モニター回路は、配線MLに流れたドレイン電流Idを用いて、当該ドレイン電流Idの値を情報として含む信号を生成する。このドレイン電流Idは、トランジスタ5415の移動度やトランジスタ5415のサイズ（チャネル長、チャネル幅）などに依存した大きさとなっている。そして、本発明の一態様に係る発光装置では、上記信号を用いて、画素5411に供給される画像信号S

10

20

30

40

50

igの電位Vdataの値を、補正することができる。つまり、トランジスタ5415の移動度のばらつきの影響を低減することができる。

【0405】

なお、図23(A)に示す画素5411を有する発光装置では、期間t3の動作の後に期間t4の動作を行わなくてもよい。例えば、発光装置において、期間t1から期間t3の動作を複数回繰り返した後に、期間t4の動作を行うようにしてもよい。また、一行の画素5411において期間t4の動作を行った後、最小の階調値0に対応する画像信号を、当該動作を行った一行の画素5411に書き込むことで、発光素子5414を非発光の状態にした後、次の行の画素5411において、期間t4の動作を行うようにしてもよい。

【0406】

図23(A)に示した画素5411を有する発光装置では、トランジスタ5415のソースおよびドレインの他方と、トランジスタ5415のゲートとが電氣的に分離しているので、それぞれの電位を個別に制御することができる。よって、期間t2において、トランジスタ5415のソースおよびドレインの他方の電位を、トランジスタ5415のゲートの電位に、しきい値電圧Vthを加算した電位よりも高い値に設定することができる。そのため、トランジスタ5415がノーマリオンである場合に、すなわちしきい値電圧Vthがマイナスの値を有している場合に、トランジスタ5415において、ソースの電位がゲートの電位V1よりも高くなるまで、容量素子5418に電荷を蓄積することができる。よって、本発明の一態様に係る発光装置では、トランジスタ5415がノーマリオンであっても、期間t2においてしきい値電圧Vthを取得することができ、期間t3において、取得したしきい値電圧Vthに応じたゲート電圧を設定することができる。

【0407】

したがって、本発明の一態様に係る発光装置では、トランジスタ5415がノーマリオンとなっても、表示ムラを低減でき、高い画質の表示を行うことができる。

【0408】

なお、トランジスタ5415の特性だけでなく、発光素子5414の特性もモニターしてもよい。このとき、画像信号Sigの電位Vdataの電位の制御することなどにより、トランジスタ5415には、電流が流れないようにしておくことが好ましい。これにより、発光素子5414の電流を取り出すことができる。その結果、発光素子5414の電流特性の劣化やばらつきの状態を取得することができる。

【0409】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、EL素子（有機物および無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイパネル（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェアレックス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらのほかにも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視

10

20

30

40

50

型液晶ディスプレイ、投射型液晶ディスプレイ) などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部または全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、消費電力をさらに低減することができる。

【0410】

なお、バックライト(有機EL素子、無機EL素子、LED、蛍光灯など)に白色光(W)を用いて表示装置をフルカラー表示させるために、着色層(カラーフィルターともいう。)を用いてもよい。着色層は、例えば、レッド(R)、グリーン(G)、ブルー(B)、イエロー(Y)などを適宜組み合わせて用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、Wを、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。

【0411】

＜発光装置の画素の構造＞

以下では、本発明の一態様に係る発光装置の画素の構造の一例について説明する。

【0412】

図24(A)では、基板502上に複数のトランジスタ500(FETとも表記する。)が形成されており、各トランジスタ500は、発光装置の画素に含まれる各発光素子(504R、504G、504B、504W)と電氣的に接続されている。具体的には、各トランジスタ500と発光素子が有する導電体506と電氣的に接続されている。なお、各発光素子は、導電体506、導電体507、発光層510および導電体512によって構成される。なお、各発光素子のうち、発光素子504Wを有さなくても構わない。なお、図24(B)は、図24(A)における領域520を拡大した断面図である。

【0413】

また、各発光素子上には、着色層(514R、514G、514B、514W)がそれぞれ配置されている。なお、図24(A)では、着色層が、基板516上に設けられる構造を示したが、この構造に限定されない。例えば、着色層が、基板502上に設けられていても構わない場合がある。また、基板502と基板516との間には封止膜518が配置されている。封止膜518としては、例えば、ガラスフリットなどや、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などを用いることができる。

【0414】

また、隣り合う発光素子間には、導電体506および導電体507の端部を覆うように隔壁508が設けられている。また、隔壁508上には、スペーサ509が設けられている。なお、導電体506は、反射電極として機能する領域、および発光素子の陽極として機能する領域を有する。また、導電体507は、各発光素子の光路長を調整に寄与する領域を有する。また、導電体507上には、発光層510が形成されており、発光層510上には、導電体512が形成されている。また、導電体512は、半透過・半反射電極として機能する領域、および発光素子の陰極として機能する領域を有する。また、スペーサ509は、発光素子と着色層の間に配置される。

【0415】

また、発光層510が、各発光素子で共通していてもよい。ただし、発光層510が、各

発光素子で異なっているとしてもよい。なお、各発光素子は、導電体506と導電体512によって発光層510からの発光を共振させる微小光共振器（マイクロキャビティともいう）構造を有しており、同じ発光層510を有している異なる波長の光を狭線化して取り出すことができる。具体的には、各発光素子は、発光層510の下方に設けられる導電体507の厚さをそれぞれ調整することによって、発光層510から得られるスペクトルを所望の発光スペクトルとし、色純度の高い発光を得ることができる。したがって、図24（A）に示す構成とすることにより、例えば、塗りわけの工程が不要となり、高精細化を実現することが容易となる場合がある。ただし、本発明の一態様に係る発光装置は、各発光素子で発光層を塗りわけて作製しても構わない。

【0416】

また、図24（A）に示す発光装置は、マイクロキャビティ構造によって狭線化された異なる波長の光を、着色層を通過させることによって、さらに狭線化させ、所望の発光スペクトルのみが射出される構成である。したがって、マイクロキャビティ構造と着色層とを組み合わせることで、さらに色純度の高い発光を得ることができる。具体的には、発光素子504Rは、赤色発光が得られるように発光素子の光路長が調整されており、着色層514Rを通して矢印の方向に赤色の光が射出される。また、発光素子504Gは、緑色発光が得られるように発光素子の光路長が調整されており、着色層514Gを通して矢印の方向に緑色の光が射出される。また、発光素子504Bは、青色発光が得られるように発光素子の光路長が調整されており、着色層514Bを通して矢印の方向に青色の光が射出される。また、発光素子504Wは、白色発光が得られるように発光素子の光路長が調整されており、着色層514Wを通して矢印の方向に白色の光が射出される。

【0417】

なお、各発光素子の光路長の調整方法については、これに限定されない。例えば、各発光素子において、発光層510の厚さを調整して光路長を調整してもよい。

【0418】

また、着色層（514R、514G、514B）としては、特定の波長帯域の光を透過する機能を有していればよく、例えば、赤色の波長帯域の光を透過する赤色（R）の着色層、緑色の波長帯域の光を透過する緑色（G）の着色層、青色の波長帯域の光を透過する青色（B）の着色層などを用いることができる。また、着色層514Wとしては、例えば、顔料等を含まないアクリル系の樹脂材料等を用いればよい。また、着色層514Wを有さなくも構わない。着色層は、印刷法、インクジェット法、フォトリソグラフィ工程を用いた方法などで所望の形状に形成することができる。

【0419】

導電体506としては、例えば、反射率が高い（可視光の反射率が40%以上100%以下、好ましくは70%以上100%以下）金属を用いることができる。導電体506としては、アルミニウム、銀、または、これらの金属材料を含む合金（例えば、銀とパラジウムと銅の合金）を、単層または積層して用いることができる。

【0420】

また、導電体507としては、例えば、導電性の金属酸化物を用いて形成することができる。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、インジウムスズ酸化物、インジウム亜鉛酸化物、またはこれらの金属酸化物にシリコンもしくはタングステンを含ませたものを用いることができる。導電体507を設けることによって、後に形成される発光層510と導電体506との間に形成される絶縁体の生成を抑制することができるので好適である。また、導電体506の下層に、導電体507として用いる導電性の金属酸化物を形成してもよい。

【0421】

また、導電体512としては、反射性を有する導電性材料と透光性を有する導電性材料とにより形成され、可視光の反射率が20%以上80%以下、好ましくは40%以上70%以下であると好ましい。導電体512としては、例えば、銀、マグネシウム、またはこれらの金属材料を含む合金等を薄く（例えば、1nm以上10nm以下）形成し、その後、

導電体 507 に用いることのできる導電性の金属酸化物を形成すればよい。

【0422】

以上に説明した構成においては、基板 516 側に発光を取り出す構造（トップエミッション構造）の発光装置となるが、トランジスタ 500 が形成されている基板 501 側に光を取り出す構造（ボトムエミッション構造）、または基板 501 および基板 516 の双方に光を取り出す構造（デュアルエミッション構造）の発光装置としてもよい。ボトムエミッション構造の場合、例えば、着色層（514R、514G、514B、514W）を導電体 506 の下方に形成する構成とすればよい。なお、光を射出する側の基板には、透光性の基板を用いればよく、光を射出しない側の基板には、透光性の基板および遮光性の基板を用いることができる。

10

【0423】

<モジュール>

以下では、本発明の一態様に係る半導体装置を適用した表示モジュールについて、図 25 を用いて説明を行う。

【0424】

図 25 に示す表示モジュール 8000 は、上部カバー 8001 と下部カバー 8002 との間に、FPC 8003 に接続されたタッチパネル 8004、FPC 8005 に接続されたセル 8006、バックライトユニット 8007、フレーム 8009、プリント基板 8010、バッテリー 8011 を有する。なお、バックライトユニット 8007、バッテリー 8011、タッチパネル 8004 などをも有さない場合もある。

20

【0425】

本発明の一態様に係る半導体装置は、例えば、セル 8006 に用いることができる。

【0426】

上部カバー 8001 および下部カバー 8002 は、タッチパネル 8004 およびセル 8006 のサイズに合わせて、形状や寸法を適宜変更することができる。

【0427】

タッチパネル 8004 は、抵抗膜方式または静電容量方式のタッチパネルをセル 8006 に重畳して用いることができる。また、セル 8006 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、セル 8006 の各画素内に光センサーを設け、光学式のタッチパネルとすることも可能である。または、セル 8006 の各画素内にタッチセンサー用電極を設け、静電容量方式のタッチパネルとすることも可能である。

30

【0428】

バックライトユニット 8007 は、光源 8008 を有する。光源 8008 をバックライトユニット 8007 の端部に設け、光拡散板を用いる構成としてもよい。

【0429】

フレーム 8009 は、セル 8006 の保護機能の他、プリント基板 8010 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有してもよい。またフレーム 8009 は、放熱板としての機能を有していてもよい。

【0430】

プリント基板 8010 は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であってもよいし、別途設けたバッテリー 8011 による電源であってもよい。商用電源を用いる場合には、バッテリー 8011 を有さなくてもよい。

40

【0431】

また、表示モジュール 8000 には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0432】

<回路>

以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説

50

明する。

【0433】

図26(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。なお、トランジスタ2200およびトランジスタ2100としては、上述したトランジスタ150を用いても構わない。

【0434】

また図26(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるCMOSアナログスイッチとして機能させることができる。

10

【0435】

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図27に示す。

【0436】

図27(A)に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述したトランジスタ150を用いることができる。

【0437】

トランジスタ3300は、例えば、酸化物半導体を用いたトランジスタである。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

20

【0438】

図27(A)において、第1の配線3001はトランジスタ3200のソースと電氣的に接続され、第2の配線3002はトランジスタ3200のドレインと電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲートと電氣的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。なお、容量素子3400としては、上述した容量素子160を用いることができる。

30

【0439】

図27(A)に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0440】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電氣的に接続するノードFGに与えられる。すなわち、トランジスタ3200のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

40

【0441】

トランジスタ3300のオフ電流は極めて小さいため、ノードFGの電荷は長期間にわたって保持される。

50

【0442】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャンネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

10

【0443】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。ほかのメモリセルの情報を読み出さないためには、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えればよい。または、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えればよい。

20

【0444】

図27（B）に示す半導体装置は、トランジスタ3200を有さない点で図27（A）に示した半導体装置と異なる。この場合も図27（A）に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0445】

図27（B）に示す半導体装置における、情報の読み出しについて説明する。トランジスタ3300が導通状態になると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位（または容量素子3400に蓄積された電荷）によって、異なる値をとる。

30

【0446】

例えば、容量素子3400の電極の一方の電位を V 、容量素子3400の容量を C 、第3の配線3003が有する容量成分を CB 、電荷が再分配される前の第3の配線3003の電位を $VB0$ とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の電極の一方の電位が $V1$ と $V0$ （ $V1 > V0$ ）の2つの状態をとるとすると、電位 $V1$ を保持している場合の第3の配線3003の電位（ $= (CB \times VB0 + C \times V1) / (CB + C)$ ）は、電位 $V0$ を保持している場合の第3の配線3003の電位（ $= (CB \times VB0 + C \times V0) / (CB + C)$ ）よりも高くなることがわかる。

40

【0447】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0448】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ3300として第2の半導体が適用されたトランジスタを

50

駆動回路上に積層して配置する構成とすればよい。

【0449】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0450】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。すなわち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

【0451】

<RFタグ>

以下では、上述したトランジスタ、または記憶装置を含むRFタグについて、図28を用いて説明する。

【0452】

本発明の一態様に係るRFタグは、内部に記憶回路を有し、記憶回路に情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには高い信頼性が要求される。

【0453】

RFタグの構成について図28を用いて説明する。図28は、RFタグの構成例を示すブロック図である。

【0454】

図28に示すようにRFタグ800は、通信器801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタの半導体には、逆方向電流を十分に抑制することが可能な、例えば、酸化物半導体を用いてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。RFタグ800は、そのいずれの方式に用いることも可能である。

【0455】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段の容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を有してもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【0456】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0457】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

【0458】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力を行うための回路である。

【0459】

なお、上述の各回路は、適宜、取捨することができる。

【0460】

ここで、上述した記憶装置を、記憶回路810に用いることができる。本発明の一態様に係る記憶装置は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適である。さらに本発明の一態様に係る記憶装置は、データの書き込みに必要な電力(電圧)が従来の不揮発性メモリに比べて低いため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0461】

また、本発明の一態様に係る記憶装置は、不揮発性メモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【0462】

<RFタグの使用例>

以下では、本発明の一態様に係るRFタグの使用例について図29を用いて説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図29(A)参照。)、包装用容器類(包装紙やボトル等、図29(C)参照。)、記録媒体(DVDやビデオテープ等、図29(B)参照。)、乗り物類(自転車等、図29(D)参照。)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、もしくは各物品に取り付ける荷札(図29(E)および図29(F)参照。)等に設けて使用することができる。

【0463】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000により、認証機能を付与することができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒

10

20

30

40

50

体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグ4000を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグ4000を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【0464】

以上のように、本発明の一態様に係るRFタグは、上述したような各用途に用いることができる。

【0465】

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

【0466】

図30は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

【0467】

図30に示すCPUは、基板1190上に、ALU1191（ALU：Arithmetic logic unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198（Bus I/F）、書き換え可能なROM1199、およびROMインターフェース1189（ROM I/F）を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図30に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図30に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0468】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0469】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0470】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0471】

図30に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ

10

20

30

40

50

1196のメモリセルとして、上述したトランジスタ150、容量素子160などを用いることができる。

【0472】

図30に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

10

【0473】

図31は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

【0474】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

20

【0475】

スイッチ1203は、一導電型（例えば、nチャネル型）のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型（例えば、pチャネル型）のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1213の導通状態または非導通状態）が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1214の導通状態または非導通状態）が選択される。

30

【0476】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうちの一方、およびトランジスタ1210のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電気的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電気的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方

40

50

）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。容量素子1208の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

10

【0477】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0478】

トランジスタ1209のゲートには、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0479】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図31では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

20

【0480】

なお、図31では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

30

【0481】

また、図31において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコンまたはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体で形成されるトランジスタを含んでもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

40

【0482】

図31における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0483】

50

本発明の一態様に係る半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

【0484】

また、酸化物半導体にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく小さい。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

10

【0485】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

【0486】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（導通状態、または非導通状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

20

【0487】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0488】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP（Digital Signal Processor）、カスタムLSI、PLD（Programmable Logic Device）等のLSI、RF-ID（Radio Frequency Identification）にも応用可能である。

30

【0489】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図32に示す。

40

【0490】

図32（A）は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図32（A）に示した携帯型ゲーム機は、2つの表示部903と表示

50

部 904 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0491】

図 32 (B) は携帯データ端末であり、第 1 筐体 911、第 2 筐体 912、第 1 表示部 913、第 2 表示部 914、接続部 915、操作キー 916 等を有する。第 1 表示部 913 は第 1 筐体 911 に設けられており、第 2 表示部 914 は第 2 筐体 912 に設けられている。そして、第 1 筐体 911 と第 2 筐体 912 とは、接続部 915 により接続されており、第 1 筐体 911 と第 2 筐体 912 の間の角度は、接続部 915 により変更が可能である。第 1 表示部 913 における映像を、接続部 915 における第 1 筐体 911 と第 2 筐体 912 との間の角度にしたがって、切り替える構成としてもよい。また、第 1 表示部 913 および第 2 表示部 914 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサーとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【0492】

図 32 (C) はノート型パーソナルコンピュータであり、筐体 921、表示部 922、キーボード 923、ポインティングデバイス 924 等を有する。

【0493】

図 32 (D) は電気冷凍冷蔵庫であり、筐体 931、冷蔵室用扉 932、冷凍室用扉 933 等を有する。

20

【0494】

図 32 (E) はビデオカメラであり、第 1 筐体 941、第 2 筐体 942、表示部 943、操作キー 944、レンズ 945、接続部 946 等を有する。操作キー 944 およびレンズ 945 は第 1 筐体 941 に設けられており、表示部 943 は第 2 筐体 942 に設けられている。そして、第 1 筐体 941 と第 2 筐体 942 とは、接続部 946 により接続されており、第 1 筐体 941 と第 2 筐体 942 の間の角度は、接続部 946 により変更が可能である。表示部 943 における映像を、接続部 946 における第 1 筐体 941 と第 2 筐体 942 との間の角度にしたがって切り替える構成としてもよい。

【0495】

30

図 32 (F) は普通自動車であり、車体 951、車輪 952、ダッシュボード 953、ライト 954 等を有する。

【0496】

＜表示領域または発光領域に曲面を有する電子機器＞

以下では、本発明の一態様に係る電子機器の一例である表示領域または発光領域に曲面を有する電子機器について、図 33 を参照しながら説明する。なお、ここでは、電子機器の一例として、情報機器、特に携帯性を有する情報機器（携帯機器）について説明する。携帯性を有する情報機器としては、例えば、携帯電話機（ファブレット、スマートフォン（スマホ））、タブレット端末（スレート PC）なども含まれる。

【0497】

40

図 33 (A-1) は、携帯機器 1300A の外形を説明する斜視図である。図 33 (A-2) は、携帯機器 1300A の上面図である。図 33 (A-3) は、携帯機器 1300A の使用状態を説明する図である。

【0498】

図 33 (B-1) および図 33 (B-2) は、携帯機器 1300B の外形を説明する斜視図である。

【0499】

図 33 (C-1) および図 33 (C-2) は、携帯機器 1300C の外形を説明する斜視図である。

【0500】

50

＜携帯機器＞

携帯機器 1300A は、例えば電話、電子メール作成閲覧、手帳または情報閲覧などの機能から選ばれた一つまたは複数の機能を有する。

【0501】

携帯機器 1300A は、筐体の複数の面に沿って表示部が設けられている。例えば、可とう性を有する表示装置を、筐体の内側に沿うように配置することで表示部を設ければよい。これにより、文字情報や画像情報などを第1の領域1311または／および第2の領域1312に表示することができる。

【0502】

例えば、3つの操作の用に供する画像を第1の領域1311に表示することができる（図33（A-1）参照。）。また、図中に破線の矩形で示すように文字情報などを第2の領域1312に表示することができる（図33（A-2）参照。）。 10

【0503】

携帯機器 1300A の上部に第2の領域1312を配置した場合、携帯機器 1300A を洋服の胸ポケットに収納したままの状態、携帯機器 1300A の第2の領域1312に表示された文字や画像情報を、使用者は容易に確認することができる（図33（A-3）参照。）。例えば、着信した電話の発信者の電話番号または氏名などを、携帯機器 1300A の上方から観察できる。

【0504】

なお、携帯機器 1300A は、表示装置と筐体との間、表示装置内または筐体上に入力装置などを有してもよい。入力装置は、例えば、タッチセンサー、光センサー、超音波センサーなどを用いればよい。入力装置を表示装置と筐体との間または筐体上に配置する場合、マトリクススイッチ方式、抵抗膜方式、超音波表面弾性波方式、赤外線方式、電磁誘導方式、静電容量方式などのタッチパネルを用いればよい。また、入力装置を表示装置内に配置する場合、インセルタイプのセンサー、またはオンセルタイプのセンサーなどを用いればよい。 20

【0505】

なお、携帯機器 1300A は、振動センサーなどと、当該振動センサーなどに検知された振動に基づいて、着信を拒否するモードに移行するプログラムを記憶した記憶装置を備えることができる。これにより、使用者は携帯機器 1300A を洋服の上から軽く叩いて振動を与えることにより着信を拒否するモードに移行させることができる。 30

【0506】

携帯機器 1300B は、第1の領域1311および第2の領域1312を有する表示部と、表示部を支持する筐体1310を有する。

【0507】

筐体1310は複数の屈曲部を備え、筐体1310が備える最も長い屈曲部が、第1の領域1311と第2の領域1312に挟まれる。

【0508】

携帯機器 1300B は、最も長い屈曲部に沿って設けられた第2の領域1312を側面に向けて使用することができる。 40

【0509】

携帯機器 1300C は、第1の領域1311および第2の領域1312を有する表示部と、表示部を支持する筐体1310を有する。

【0510】

筐体1310は複数の屈曲部を備え、筐体1310が備える二番目に長い屈曲部が、第1の領域1311と第2の領域1312に挟まれる。

【0511】

携帯機器 1300C は、第2の領域1312を上部に向けて使用することができる。

【0512】

なお、実施の形態中で述べる内容は、その一部と別の一部とに対して、適用、組み合わせ 50

、または置き換えなどを行うことができる。また、実施の形態中で述べる内容とは、様々な図を用いて述べる内容、または明細書に記載される文を用いて述べる内容のことである。

【0513】

また、ある図の一部と、その図の別の一部と、別の図の一部と、を適宜組み合わせることにより、さらに多くの図を構成させることができる。

【0514】

また、図や文において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することができる。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

10

【0515】

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

20

【0516】

別の具体例としては、ある値について、例えば、「ある電圧が3V以上10V以下であることが好ましい」と記載されているとする。その場合、例えば、ある電圧が-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が13V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、その電圧が5V以上8V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9Vであると発明を規定することも可能である。なお、例えば、その電圧が3V以上10V以下であるが、9Vである場合を除くと発明を規定することも可能である。なお、ある値について、「ある範囲であることが好ましい」などと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」などと記載されていたとしても、それらの記載には限定されない。

30

【0517】

別の具体例としては、ある値について、例えば、「ある電圧が10Vであることが好ましい」と記載されているとする。その場合、例えば、ある電圧が-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が13V以上である場合を除く、と発明の一態様を規定することが可能である。

40

【0518】

別の具体例としては、ある物質の性質について、例えば、「ある膜は絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が有機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その絶縁膜が無機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が導電膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が半導体膜である場合を除く、と発明の一態様を規定することが可能である。

【0519】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積

50

層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

【0520】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定しなくてもよい。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

10

【0521】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

20

【0522】

なお、本明細書等においては、実施の形態のある項目において述べる図または文において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文が記載されている場合、その一部分の図または文を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であるといえる。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電体、絶縁体、半導体、有機物、無機物、部品、装置、動作方法、製造方法などが記載された図または文において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個（Nは自然数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M個（Mは自然数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個（Nは自然数）の層を有して構成される断面図から、M個（Mは自然数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個（Nは自然数）の要素を有して構成されるフローチャートから、M個（Mは自然数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「Aは、B、C、D、EまたはFを有する」と記載されている文から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

30

40

【0523】

なお、本明細書等においては、実施の形態において述べる図または文において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、実施の形態において述べる図または文において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発

50

明の一態様は、明確であるといえる。

【0524】

なお、本明細書等においては、少なくとも図に記載した内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であるといえる。

【実施例1】

10

【0525】

本実施例では、本発明の一態様に係る半導体装置の断面形状について、断面TEM像によって評価した。

【0526】

以下では、図37を用いて試料の作製方法を説明する。なお、図37(A)、図37(B)、図37(C)および図37(D)には試料の断面TEM像を示す。また、図37(E)には、試料の作製方法のフローチャートを示す。

【0527】

まずは、ガラス基板を準備した。次に、該ガラス基板上にPECVD法によって厚さが100nmの窒化シリコンを成膜した。次に、該窒化シリコン上にPECVD法によって厚さが400nmの酸化窒化シリコンを成膜した。次に、該酸化窒化シリコン上にスパッタリング法によって厚さが50nmの酸化物半導体(OSとも表記する。)を成膜した。次に、該酸化物半導体上にPECVD法によって厚さが100nmの酸化窒化シリコン(SiONとも表記する。)を成膜した。次に、該酸化窒化シリコン上にスパッタリング法によって厚さが30nmの窒化タンタルを成膜した。次に、該窒化タンタル上にスパッタリング法によって厚さが150nmのタングステンを成膜した。

20

【0528】

なお、酸化物半導体の成膜は、In:Ga:Zn=5:5:6[原子数比]のターゲットを用いて行った。

【0529】

30

次に、該タングステン上にレジストマスクを形成した(図37(E)ステップS101参照。)。ここで抜き出した試料の断面TEM像を図37(A)に示す。

【0530】

次に、レジストマスクを用いてタングステンおよび窒化タンタルの一部をエッチングした(図37(E)ステップS102参照。)。ここで抜き出した試料の断面TEM像を図37(B)に示す。

【0531】

なお、エッチングは、3段階に分けて行った。まず、第1段階として、160sccmの塩素ガス、320sccmの六フッ化硫黄ガスおよび80sccmの酸素ガスを用い、圧力を0.6Paとして、試料側に250W(13.56MHz)を印加し、かつ試料と向かい合うコイル型電極に9000W(13.56MHz)を印加することで、タングステンをエッチングした。このとき、タングステンを完全にエッチングせず、窒化タンタルが露出しない程度に時間を調整した。

40

【0532】

次に、第2段階として、320sccmの塩素ガス、160sccmの六フッ化硫黄ガスおよび240sccmの酸素ガスを用い、圧力を0.6Paとして、試料側に1000W(13.56MHz)を印加し、かつ試料と向かい合うコイル型電極に9000W(13.56MHz)を印加することで、残りのタングステンをエッチングした。第2段階は、タングステンのエッチング速度に対して窒化タンタルのエッチング速度が遅い条件であることから、第2段階を有することで試料面内におけるエッチング量のばらつきを低減する

50

ことができる。

【0533】

次に、第3段階として、540 s c c mの塩素ガスおよび540 s c c mの六フッ化硫黄ガスを用い、圧力を3.0 Paとして、試料と向かい合うコイル型電極に3000 W (13.56 MHz)を印加することで、窒化タンタルをエッチングした。第3段階は、窒化タンタルのエッチング速度に対して酸化窒化シリコンのエッチング速度が遅い条件であることから、試料面内におけるエッチング量のばらつきを低減することができる。なお、3段階のエッチングは、試料側電極の温度を80℃として行った。

【0534】

以上のようにして、タングステンおよび窒化タンタルの一部をエッチングした。

10

【0535】

次に、レジストマスク、ならびにタングステンおよび窒化タンタルをマスクに用い、酸化窒化シリコンの一部をエッチングするとともに、タングステンおよび窒化タンタルの端部がテーパ角を有するように加工した(図37(E)ステップS103参照。)。ここで抜き出した試料の断面TEM像を図37(C)に示す。

【0536】

なお、エッチングの条件は、240 s c c mの四フッ化炭素ガスおよび160 s c c mの酸素ガスを用い、圧力を0.8 Paとして、試料側に1000 W (13.56 MHz)を印加し、かつ試料と向かい合うコイル型電極に7000 W (13.56 MHz)を印加することで、酸化窒化シリコンをエッチングした。この条件は、酸化窒化シリコンのエッチング速度に対して酸化物半導体のエッチング速度が遅い条件であることから、試料面内におけるエッチング量のばらつきを低減することができる。なお、エッチングは、試料側電極の温度を10℃として行った。

20

【0537】

図37(C)より、窒化タンタルの上面と、タングステンの側面と、の為すテーパ角はおよそ40°であった。また、酸化窒化シリコンの上面と、窒化タンタルの側面と、の為すテーパ角はおよそ31°であった。また、酸化物半導体の上面と、酸化窒化シリコンの側面と、の為すテーパ角はおよそ84°であった。

【0538】

図37(C)に示した断面形状は、図16に示した断面形状に相当する。具体的には、図37(C)に示す酸化窒化シリコンが図16に示す絶縁体112に相当する。また、図37(C)に示す窒化タンタルが図16に示す導電体114aに相当する。また、図37(C)に示すタングステンが図16に示す導電体114bに相当する。

30

【0539】

図37(C)の試料に対し、さらに60秒間、240 s c c mの四フッ化炭素ガスおよび160 s c c mの酸素ガスを用い、圧力を0.8 Paとして、試料側に1000 W (13.56 MHz)を印加し、かつ試料と向かい合うコイル型電極に7000 W (13.56 MHz)を印加することで、酸化窒化シリコンをエッチングした。この条件は、酸化窒化シリコンのエッチング速度に対して酸化物半導体のエッチング速度が遅い条件であることから、試料面内におけるエッチング量のばらつきを低減することができる。なお、エッチングは、試料側電極の温度を10℃として行った。

40

【0540】

酸化窒化シリコンと、窒化タンタルと、タングステンと、のエッチング速度の関係から、酸化窒化シリコンの端部が円弧状になり、かつ窒化タンタルがタングステンから迫り出した形状となる(図37(E)ステップS104参照。)。

【0541】

その後、厚さが100 nmの窒化シリコンと、厚さが300 nmの酸化窒化シリコンを成膜した試料の断面TEM像は図37(D)に示す。

【0542】

図37(D)より、窒化タンタルの上面と、タングステンの側面と、の為すテーパ角は

50

およそ 82° であった。また、酸化窒化シリコンの上面と、窒化タンタルの側面と、の為すテーパー角はおよそ 23° であった。また、酸化物半導体の上面と、酸化窒化シリコンの側面と、の為すテーパー角はおよそ 55° であった。

【符号の説明】

【0543】

100	基板	
101	絶縁体	
102	絶縁体	
102a	絶縁体	
102b	絶縁体	10
104	導電体	
104a	導電体	
104a1	導電体	
104a2	導電体	
104b	導電体	
104b1	導電体	
104b2	導電体	
104c	導電体	
104d	導電体	
104e	導電体	20
104f	導電体	
106	半導体	
106a	半導体	
106b	半導体	
106c	半導体	
107a	領域	
107a1	領域	
107a2	領域	
107a3	領域	
107b	領域	30
107b1	領域	
107b2	領域	
107b3	領域	
107c	領域	
107d	領域	
107e	領域	
107f	領域	
108	絶縁体	
112	絶縁体	
113	保護膜	40
114	導電体	
114a	導電体	
114b	導電体	
115a	導電体	
115b	導電体	
116a	導電体	
116a1	導電体	
116a2	導電体	
116b	導電体	
116b1	導電体	50

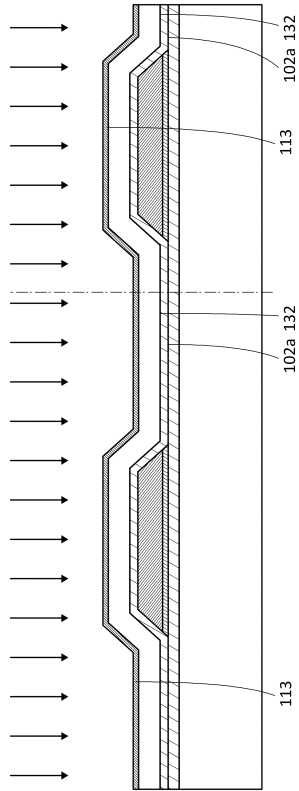
1 1 6 b 2	導電体	
1 1 6 c	導電体	
1 1 6 c 1	導電体	
1 1 6 c 2	導電体	
1 1 6 d	導電体	
1 1 6 e	導電体	
1 1 6 f	導電体	
1 1 8	絶縁体	
1 2 8	絶縁体	
1 3 2	絶縁体	10
1 3 8	絶縁体	
1 4 8	絶縁体	
1 5 0	トランジスタ	
1 6 0	容量素子	
2 0 0	ペレット	
2 0 0 a	ペレット	
2 0 0 b	ペレット	
2 0 1	イオン	
2 2 0	基板	
2 3 0	ターゲット	20
5 0 0	トランジスタ	
5 0 1	基板	
5 0 2	基板	
5 0 4 B	発光素子	
5 0 4 G	発光素子	
5 0 4 R	発光素子	
5 0 4 W	発光素子	
5 0 6	導電体	
5 0 7	導電体	
5 0 8	隔壁	30
5 0 9	スペーサ	
5 1 0	発光層	
5 1 2	導電体	
5 1 4 B	着色層	
5 1 4 G	着色層	
5 1 4 R	着色層	
5 1 4 W	着色層	
5 1 6	基板	
5 1 8	封止膜	
5 2 0	領域	40
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	50

8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカ	
9 0 7	操作キー	
9 0 8	スタイラス	10
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	20
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	30
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	40
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	50

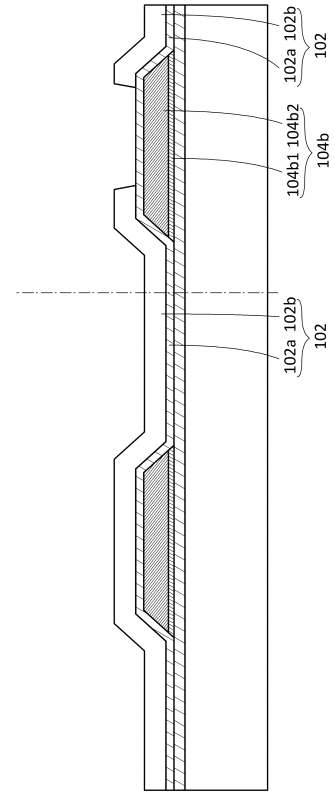
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
1 3 0 0 A	携帯機器	
1 3 0 0 B	携帯機器	
1 3 0 0 C	携帯機器	10
1 3 1 0	筐体	
1 3 1 1	領域	
1 3 1 2	領域	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	20
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F タグ	
5 0 0 0	基板	
5 0 0 1	画素部	
5 0 0 2	走査線駆動回路	
5 0 0 3	走査線駆動回路	
5 0 0 4	信号線駆動回路	
5 0 1 0	容量配線	30
5 0 1 2	ゲート配線	
5 0 1 3	ゲート配線	
5 0 1 4	ソース電極またはドレイン電極	
5 0 1 6	トランジスタ	
5 0 1 7	トランジスタ	
5 0 1 8	液晶素子	
5 0 1 9	液晶素子	
5 0 2 0	画素	
5 0 2 1	スイッチング用トランジスタ	
5 0 2 2	駆動用トランジスタ	40
5 0 2 3	容量素子	
5 0 2 3 A	容量素子	
5 0 2 3 B	容量素子	
5 0 2 4	発光素子	
5 0 2 5	信号線	
5 0 2 6	走査線	
5 0 2 7	電源線	
5 0 2 8	共通電極	
5 1 0 0	ペレット	
5 1 1 1	画素	50

5 1 2 0	基板	
5 1 5 4	発光素子	
5 1 5 5	トランジスタ	
5 1 5 6	トランジスタ	
5 1 5 7	トランジスタ	
5 1 5 8	容量素子	
5 1 6 1	領域	
5 2 1 1	画素	
5 2 1 4	発光素子	
5 2 1 5	トランジスタ	10
5 2 1 6	トランジスタ	
5 2 1 7	トランジスタ	
5 2 1 8	容量素子	
5 2 1 9	トランジスタ	
5 3 1 1	画素	
5 3 1 4	発光素子	
5 3 1 5	トランジスタ	
5 3 1 6	トランジスタ	
5 3 1 7	トランジスタ	
5 3 1 8	容量素子	20
5 3 1 9	トランジスタ	
5 3 2 0	トランジスタ	
5 4 1 1	画素	
5 4 1 4	発光素子	
5 4 1 5	トランジスタ	
5 4 1 6	トランジスタ	
5 4 1 7	トランジスタ	
5 4 1 8	容量素子	
5 4 4 0	トランジスタ	
5 4 4 1	トランジスタ	30
5 4 4 2	トランジスタ	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	
8 0 0 4	タッチパネル	
8 0 0 5	F P C	
8 0 0 6	セル	
8 0 0 7	バックライトユニット	
8 0 0 8	光源	40
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	

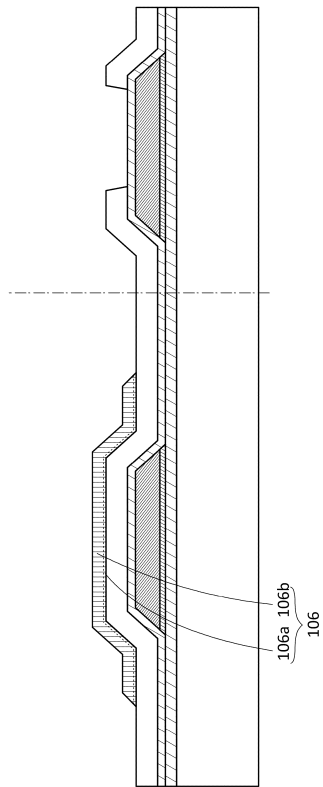
【図 5】



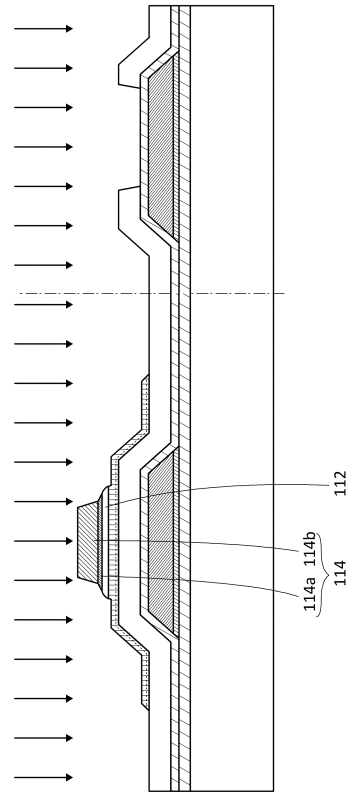
【図 6】



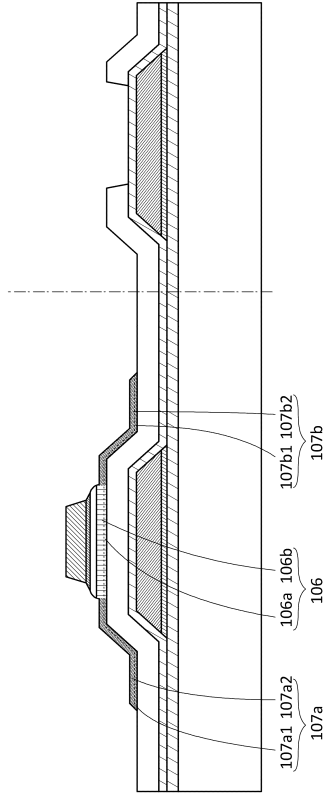
【図 7】



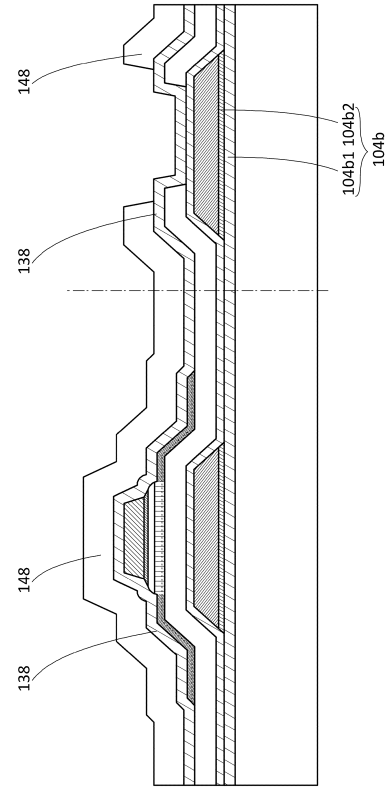
【図 8】



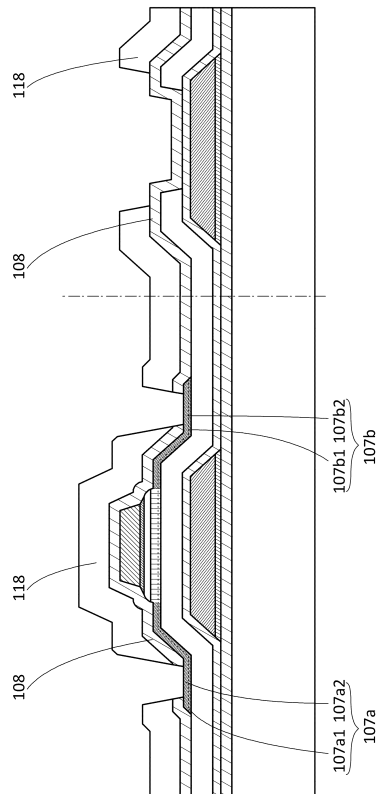
【図 9】



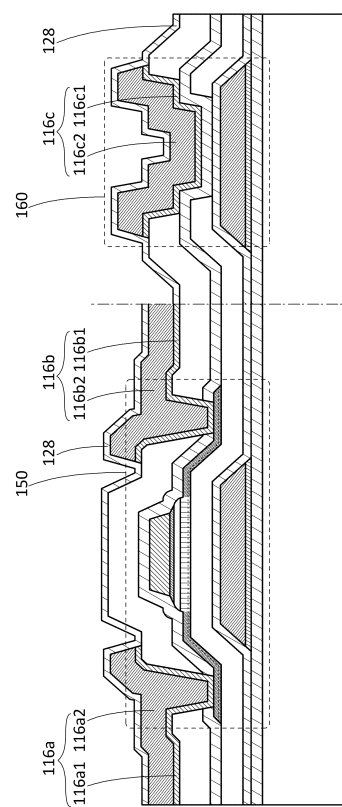
【図 10】



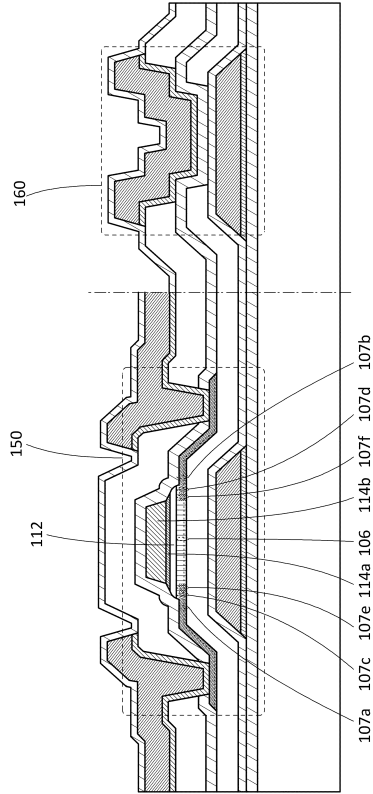
【図 11】



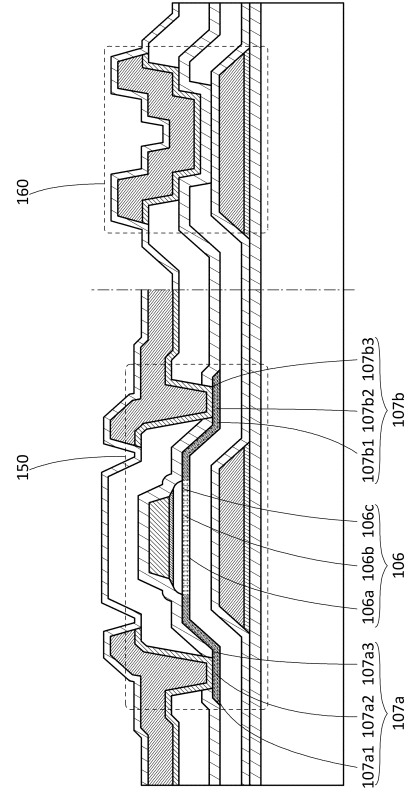
【図 12】



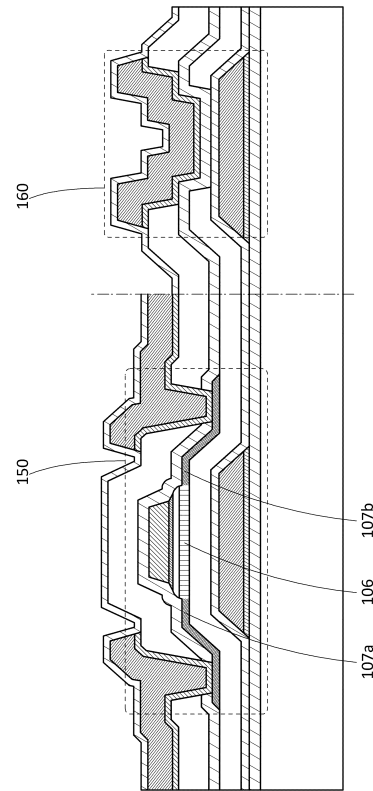
【図 13】



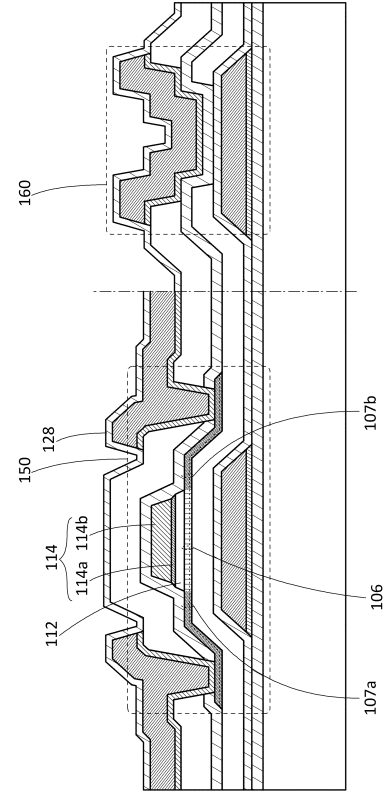
【図 14】



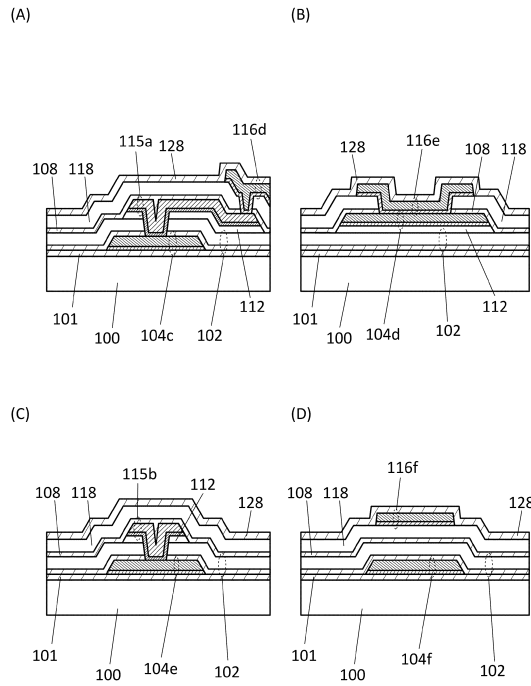
【図 15】



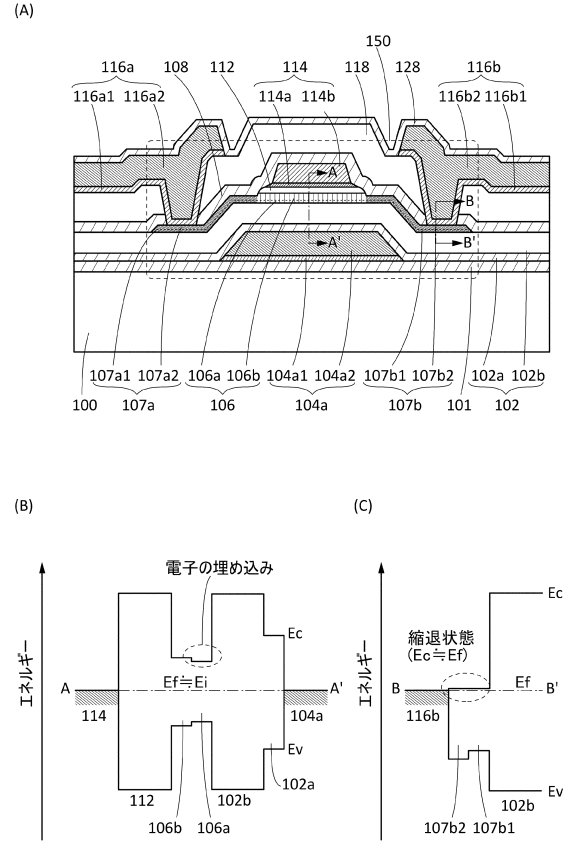
【図 16】



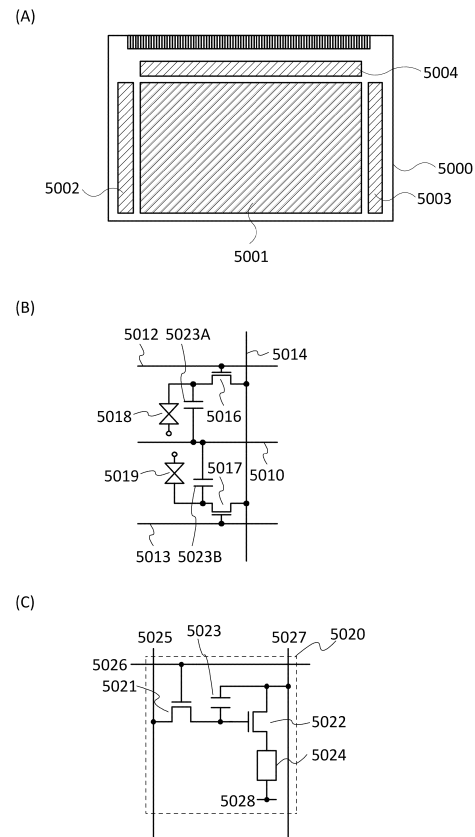
【図 17】



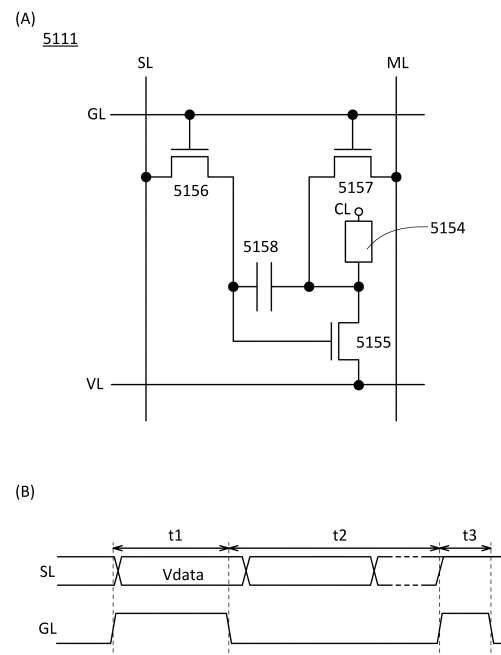
【図 18】



【図 19】

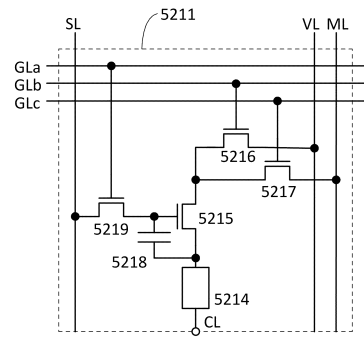


【図 20】

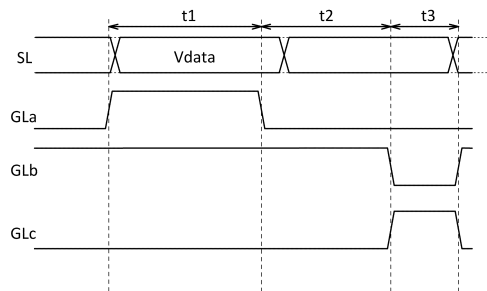


【図 2 1】

(A)

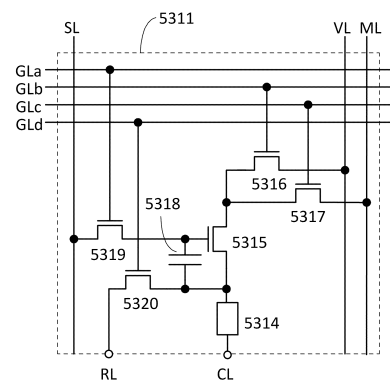


(B)

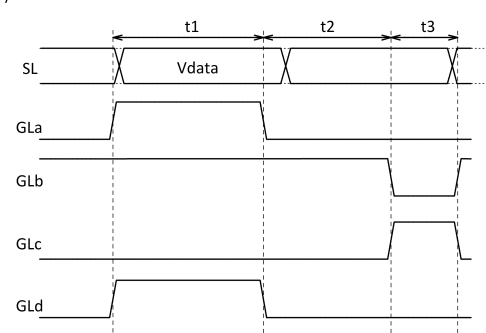


【図 2 2】

(A)

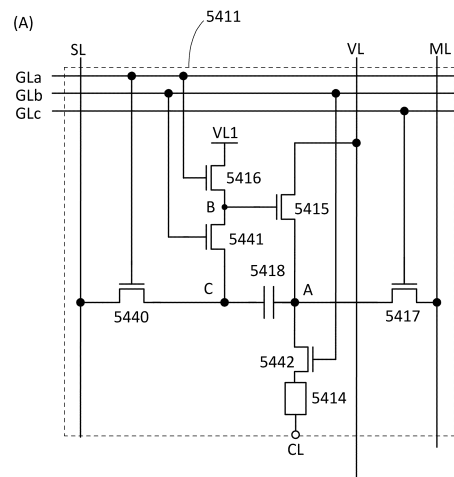


(B)

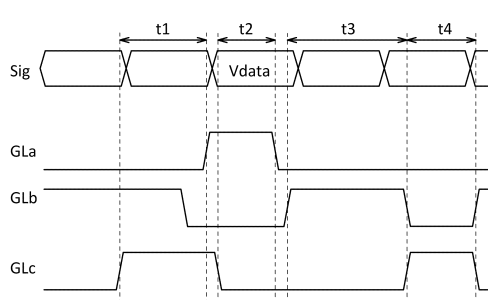


【図 2 3】

(A)

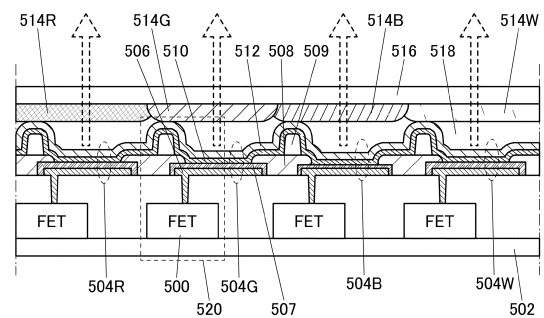


(B)

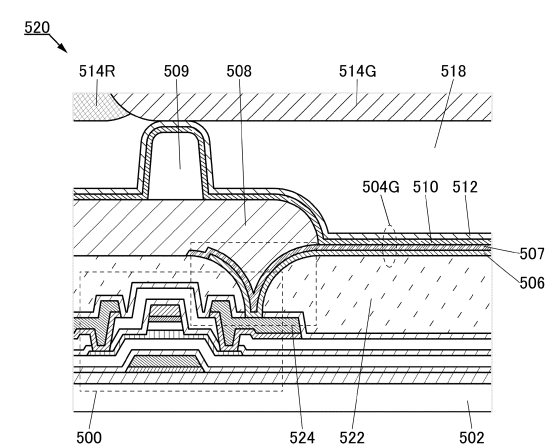


【図 2 4】

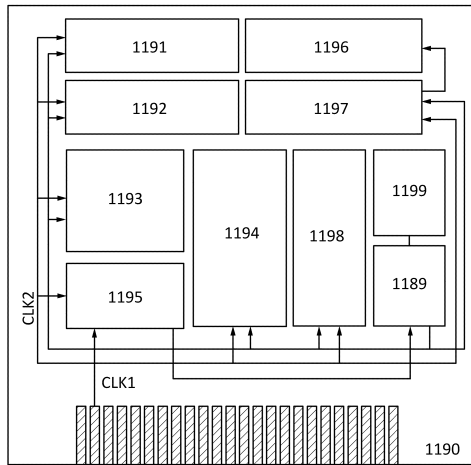
(A)



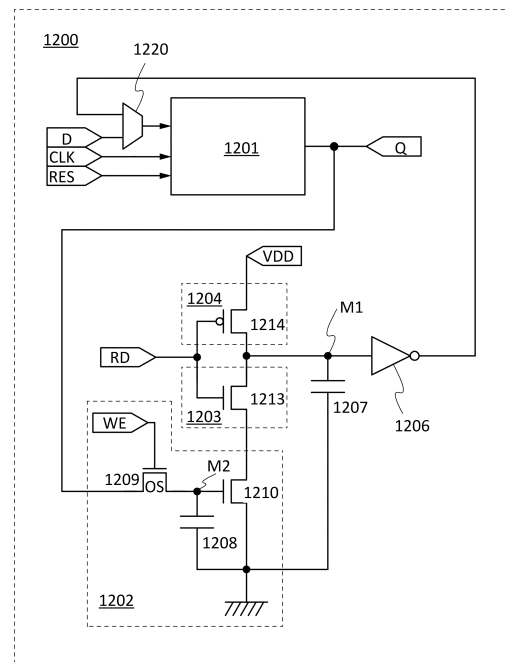
(B)



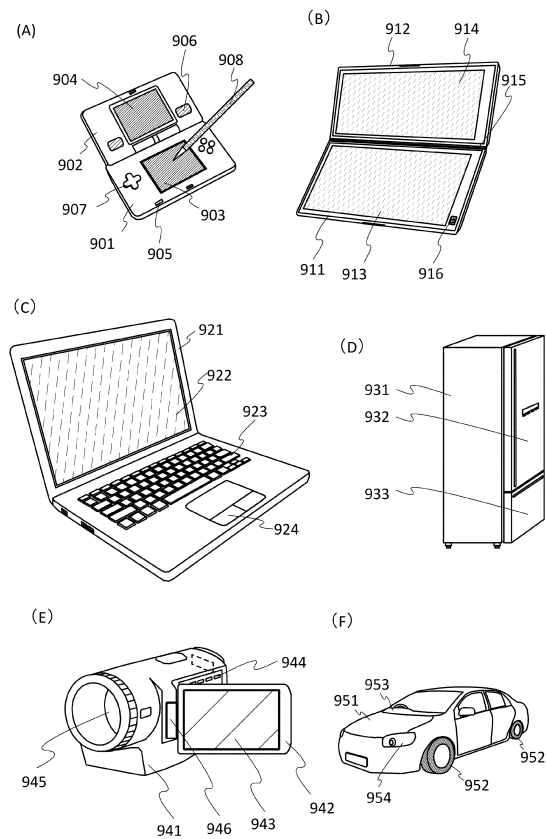
【図 30】



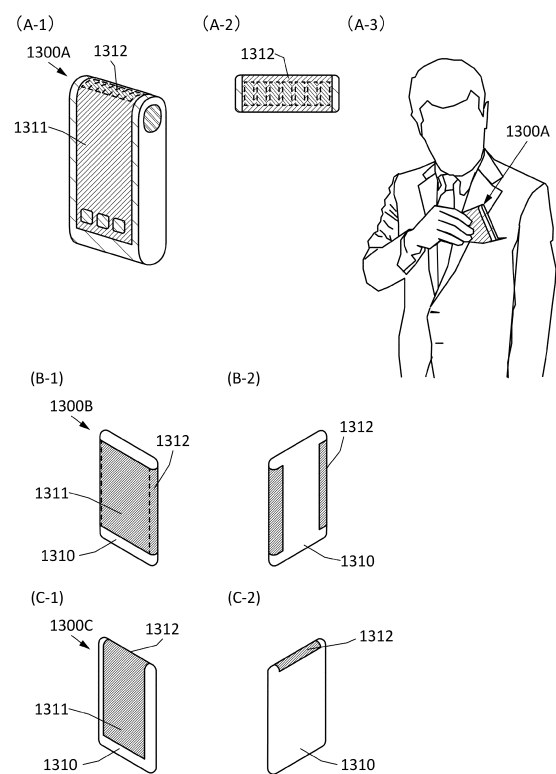
【図 31】



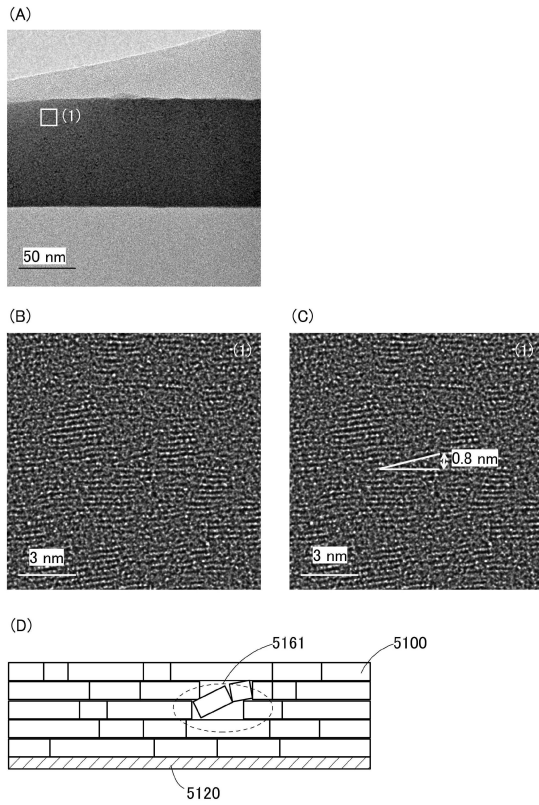
【図 32】



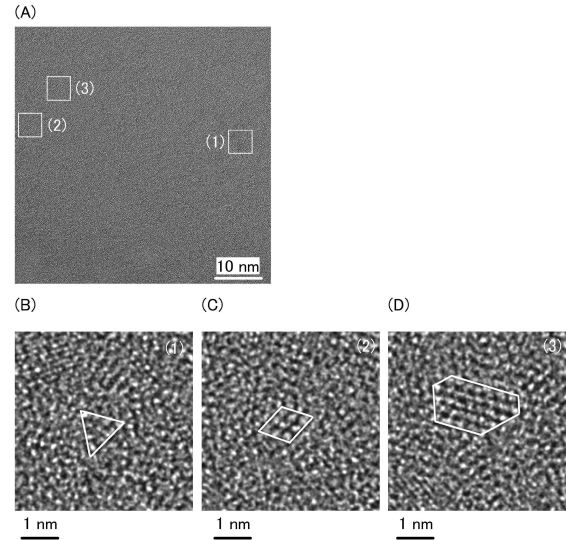
【図 33】



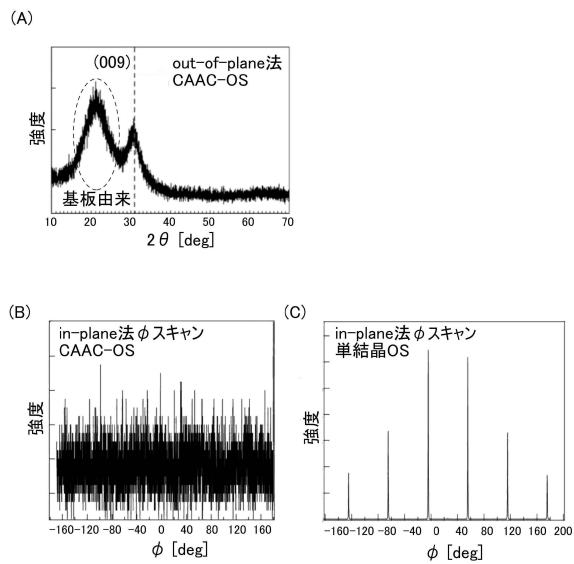
【図 3 4】



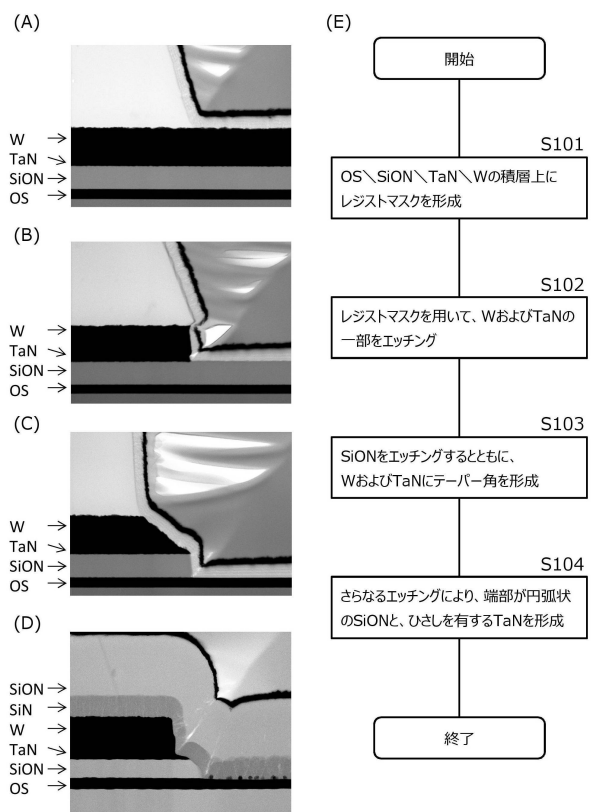
【図 3 5】



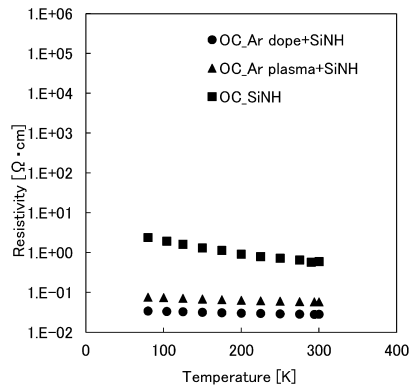
【図 3 6】



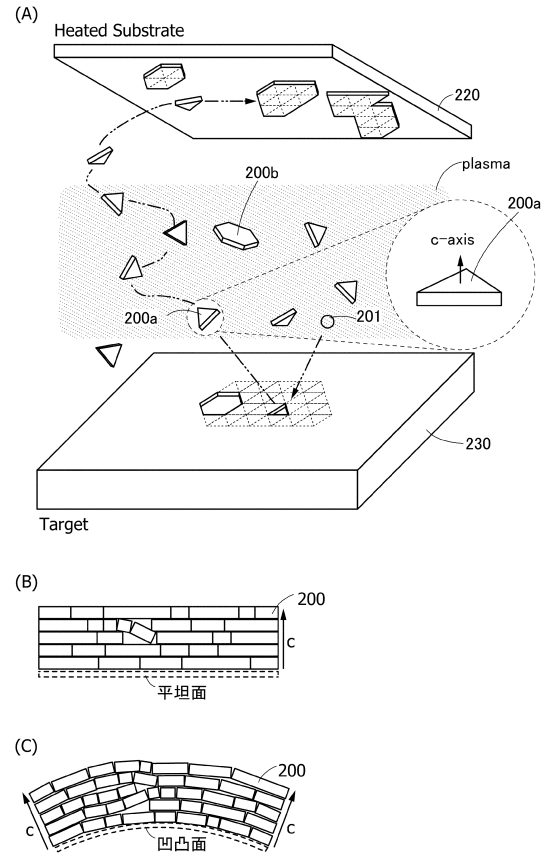
【図 3 7】



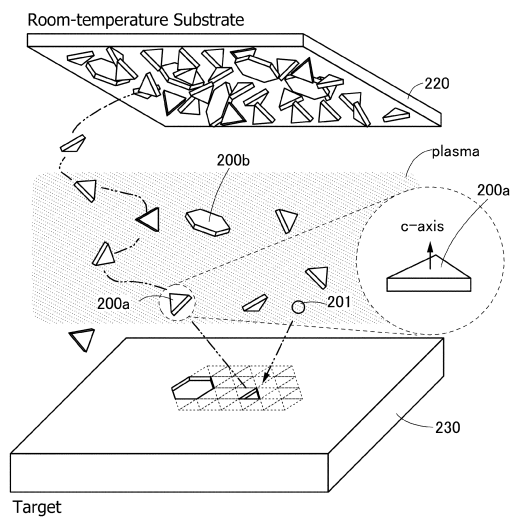
【図 38】



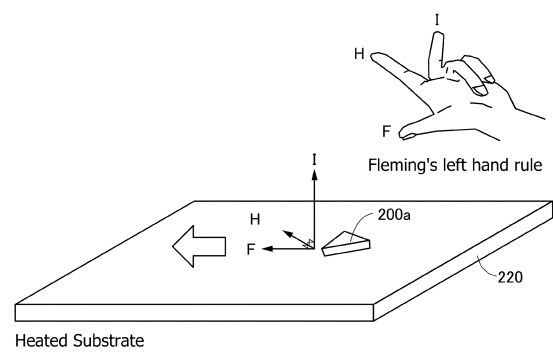
【図 39】



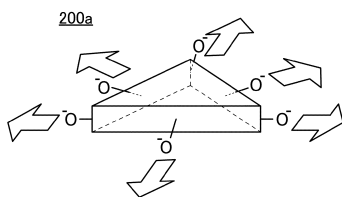
【図 40】



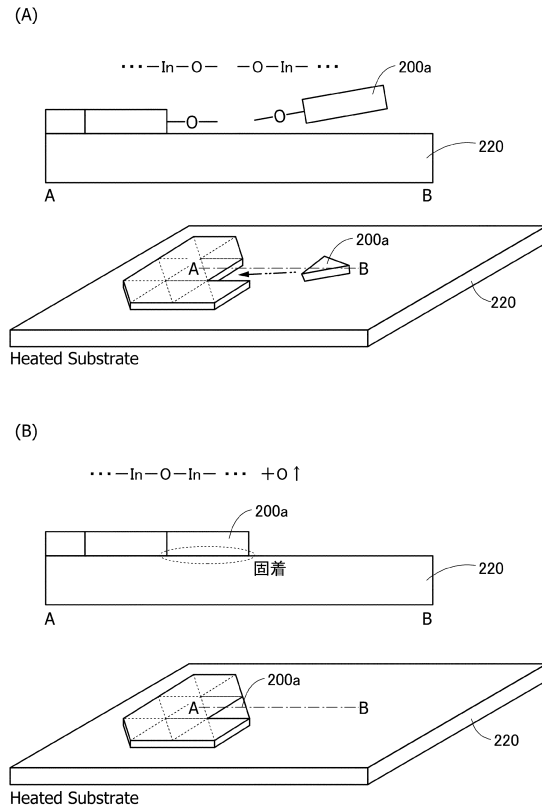
【図 42】



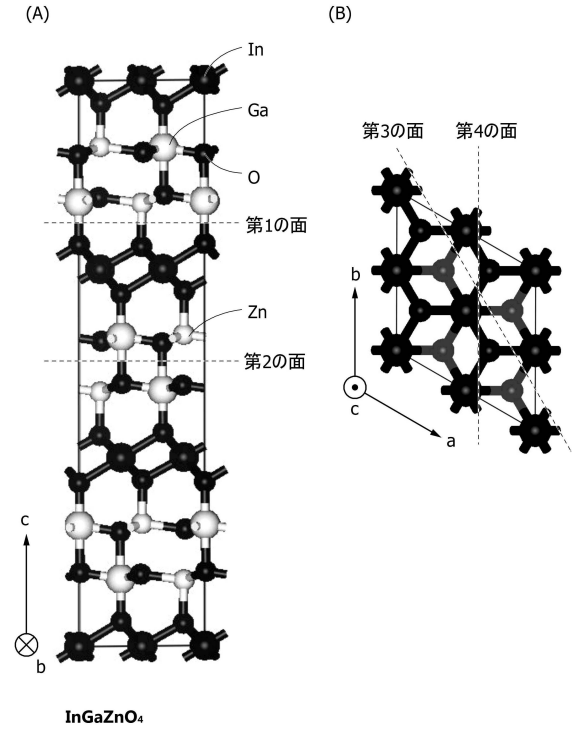
【図 41】



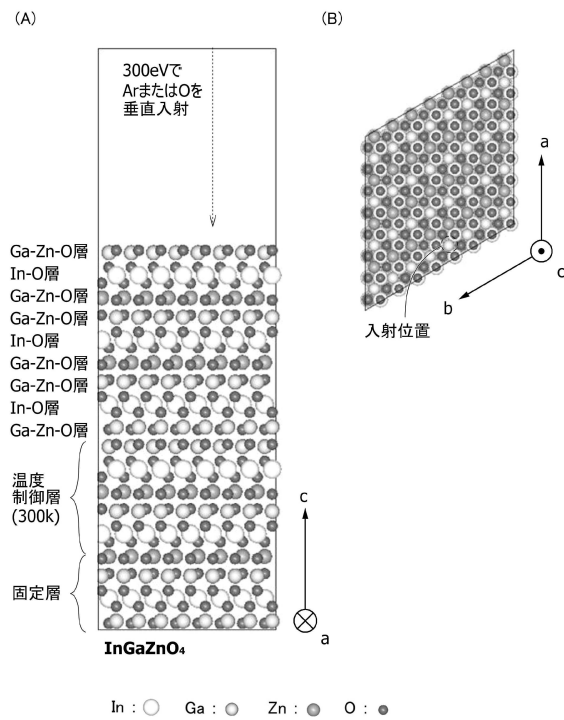
【図 4 3】



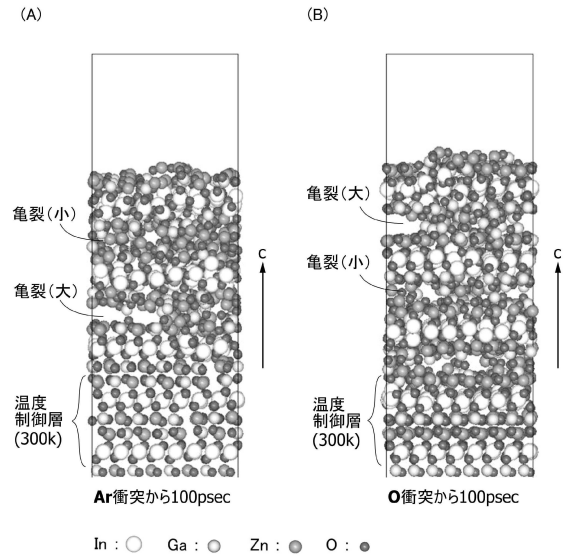
【図 4 4】



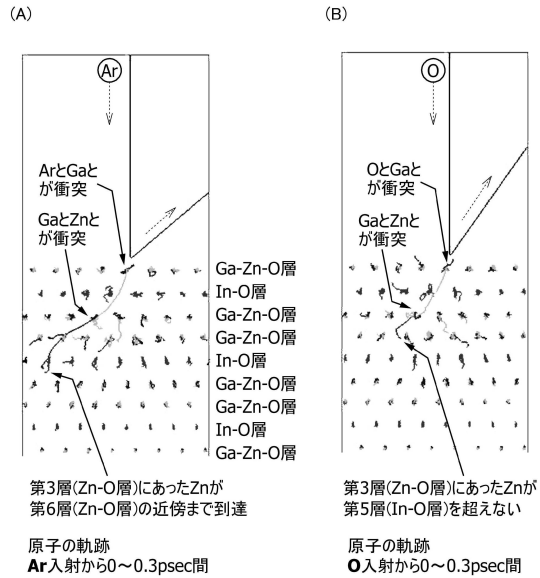
【図 4 5】



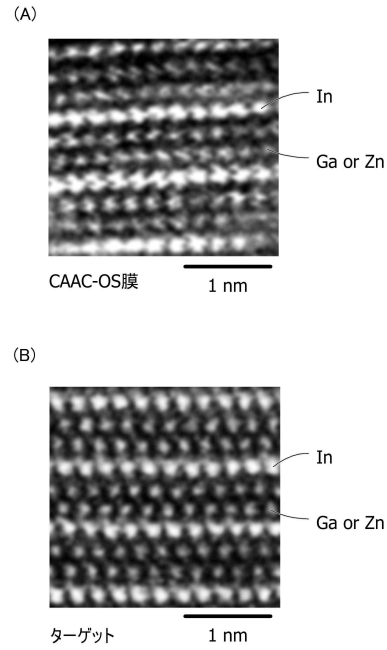
【図 4 6】



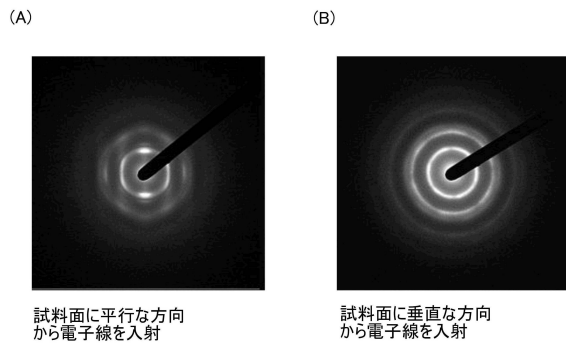
【図 4 7】



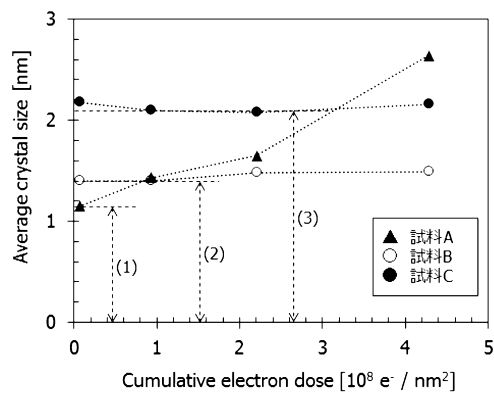
【図 4 8】



【図 4 9】



【図 5 0】



フロントページの続き

(51)Int.Cl.		F I	
H 0 5 B	33/02	(2006.01)	H 0 5 B 33/02
H 0 1 L	21/336	(2006.01)	H 0 1 L 29/78 6 1 6 S
			H 0 1 L 29/78 6 1 7 N
			H 0 1 L 29/78 6 1 7 S

審査官 岩本 勉

(56)参考文献 特開平 1 1－1 0 3 0 6 6 (J P, A)
 特開 2 0 1 2－0 3 3 8 3 6 (J P, A)
 特開 2 0 0 7－3 1 6 1 1 0 (J P, A)
 特開 2 0 0 7－2 9 3 0 7 1 (J P, A)
 特開 2 0 0 2－3 5 9 3 7 6 (J P, A)
 特開 2 0 1 1－0 7 1 4 7 6 (J P, A)
 特開 2 0 0 2－0 5 0 6 3 6 (J P, A)
 国際公開第 2 0 1 0／0 2 4 0 5 0 (W O, A 1)
 米国特許出願公開第 2 0 1 2／0 0 3 2 1 7 3 (U S, A 1)
 米国特許出願公開第 2 0 1 1／0 1 4 9 1 7 9 (U S, A 1)
 米国特許出願公開第 2 0 0 1／0 0 1 9 8 5 9 (U S, A 1)
 米国特許出願公開第 2 0 0 7／0 2 7 2 9 8 2 (U S, A 1)
 米国特許出願公開第 2 0 0 7／0 2 6 2 3 5 2 (U S, A 1)
 米国特許出願公開第 2 0 1 2／0 0 4 4 4 3 4 (U S, A 1)
 米国特許出願公開第 2 0 0 2／0 1 7 5 3 2 8 (U S, A 1)
 米国特許出願公開第 2 0 0 1／0 0 4 1 3 9 2 (U S, A 1)
 中国特許出願公開第 1 0 2 1 3 2 2 0 2 (C N, A)
 韓国公開特許第 1 0－2 0 1 1－0 0 4 5 0 8 0 (K R, A)
 韓国公開特許第 1 0－2 0 0 5－0 0 9 5 8 1 6 (K R, A)
 韓国公開特許第 1 0－2 0 1 2－0 0 1 7 7 0 1 (K R, A)

(58)調査した分野(Int.Cl., D B名)

H 0 1 L	2 9／7 8 6
G 0 2 F	1／1 3 6 8
G 0 9 F	9／3 0
H 0 1 L	2 1／3 3 6
H 0 1 L	5 1／5 0
H 0 5 B	3 3／0 2
H 0 5 B	3 3／1 4