

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/11

(11) 공개번호 특1997-0077683
(43) 공개일자 1997년 12월 12일

(21) 출원번호	특1997-0022379
(22) 출원일자	1997년 05월 31일
(30) 우선권주장	96-138584 1996년 05월 31일 일본(JP)
(71) 출원인	닛폰 덴키 가부시기가이샤 가네코 히사시
	일본국 도쿄도 미나토구 시바 5-7-1
(72) 발명자	다카하시 도시무미
	일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴키 가부시기가이샤 내
(74) 대리인	이병호, 최달용

심사청구 : 있음

(54) 반도체 메모리 장치

요약

고속 동작, 낮은 전압 동작, 및 낮은 전력 소모가 가능한 반도체 메모리 장치. 제1 및 제2구동기 트랜지스터는 제1 및 제2구동기 트랜지스터의 채널 영역이 제1 및 제2워드 라인과 경사진 방향으로 연장되도록 배치된다. 제1 및 제2트랜스퍼 트랜지스터는 제1 및 제2트랜스퍼 트랜지스터(transfer transistor)의 채널 영역이 제1 및 제2워드 라인에 수직인 방향으로 연장되도록 배치된다. 제1 및 제2트랜스퍼 트랜지스터의 채널 영역과 제1 및 제2비트 접점(bit contacts)의 접점 저항(contact resistance)은 각각 허용 오버레이 오차(allowable overlay error)에 무관하게 실질적으로 일정하므로, 허용 오버레이 오차에 무관하게, 제1 및 제2트랜스퍼 트랜지스터의 성능과 비트 접점저항을 같게 유지시킨다.

대표도

도3

명세서

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제3도는 본 발명의 제1실시예에 따른 반도체 메모리 장치의 메모리 셀의 레이아웃을 도시한 도면.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 기판 상에 규칙적으로 배치된 메모리 셀을 갖는 반도체 메모리 장치에 있어서, 상기 반도체 메모리 장치의 각각은 (a) 상기 기판의 표면 영역에 형성된 제1활성 영역; (b) 상기 제1활성 영역으로부터 멀리 떨어진 상기 기판의 표면 영역에 형성된 제2활성 영역; (c) 제1활성 영역과 중첩되어, 제1활성 영역의 제1중첩된 영역과 제1워드 라인의 중첩된 영역(여기서, 제1워드 라인의 중첩된 영역은 제1트랜스퍼 트랜지스터의 게이트 전극으로서 역할을 한다)을 형성하고, 제1방향으로 연장되도록 제1레벨에 형성된 제1워드 라인; 제1방향에 수직인 제2방향으로 연장되도록 제1활성 영역의 제1중첩된 영역에 형성된 제1트랜스퍼 트랜지스터의 채널 영역; 제1활성 영역의 제1중첩된 영역의 각 측에 제1활성의 제1중첩된 영역에 형성된 제1트랜스퍼 트랜지스터의 채널 영역; 제1활성 영역의 제1중첩된 영역의 각 측에 제1활성의 제1중첩된 영역에 형성된 제1트랜스퍼 트랜지스터의 채널 영역; (d) 제2활성 영역과 중첩되어, 제2활성 영역의 제2중첩된 영역과 제2워드 라인의 중첩된 영역(여기서, 제2워드 라인의 중첩된 영역은 제2트랜스퍼 트랜지스터의 게이트 전극으로서 역할을 한다)을 형성하고, 제2방향으로 연장되도록 제2레벨에 형성된 제2워드 라인; 제1방향에 수직인 제2방향으로 연장되도록 제2활성 영역의 제2중첩된 영역에 형성된 제2트랜스퍼 트랜지스터의 채널 영역; 제2활성 영역의 제2중첩된 영역에 각 측에 제2활성의 제2중첩된 영역에 형성된 제2트랜스퍼 트랜지스터의 채널 영역; (e) 상기 제1활성 영역과 중첩되도록 상기 제1레벨에 형성됨으로써, 상기 제1활성층의 제2중첩된 영역과 상기 제1도전층의 중첩된 영역(여기서, 제1도전층의 중첩된 영역은 제1구동기 트랜지스터의 게이트 전극으로서 역할을 한다)을 형성하는 제1패턴된 도전층; 상기 제1방향으로 비스듬한 제3방향으로 연장되도록 상기 제1활성 영역의 제2중첩된 영역에 형성된 제1

구동기 트랜지스터의 채널 영역; 상기 제1활성 영역의 제2중첩된 영역의 각 측에 있는 제1활성 영역에 형성된 제1구동기 트랜지스터의 한 쌍의 소스/드레인; (f) 상기 제2활성 영역과 중첩되도록 상기 제2레벨에 형성됨으로써, 상기 제2활성층의 제2중첩된 영역과 상기 제2도전층의 중첩된 영역(여기서, 제2도전층의 중첩된 영역은 제2구동기 트랜지스터의 게이트 전극으로서 역할을 한다)을 형성하는 제2패턴된 도전층; 상기 제3방향으로 연장되도록 상기 제2활성 영역의 제2중첩된 영역에 형성된 제2구동기 트랜지스터의 채널 영역; 상기 제2활성 영역의 제2중첩된 영역의 각 측에 있는 제2활성 영역에 형성된 제2구동기 트랜지스터의 한 쌍의 소스/드레인; (g) 상기 제2방향으로 연장되도록 제2레벨에 형성된 제1비트 라인; 및 (h) 상기 제3방향으로 연장되도록 제2레벨에 형성된 제2비트 라인을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, (i) 상기 제1트랜스퍼 트랜지스터의 상기 소스/드레인 쌍 영역 중의 하나와 중첩되도록 배치된 제1비트 접점; 및 (j) 상기 제2트랜스퍼 트랜지스터의 상기 소스/드레인 쌍 영역 중의 하나와 중첩되도록 배치된 제2비트 접점을 포함하는 소자로서, 상기 제1트랜스퍼 트랜지스터의 상기 소스/드레인 쌍 영역중의 제2비트 접점과 중첩된 것은 제2방향으로 연장되고, 상기 제2트랜스퍼 트랜지스터의 상기 소스/드레인 쌍 영역중의 제2비트 접점과 중첩된 것은 제2방향으로 연장되고, 상기 제2트랜스퍼 트랜지스터의 상기 소스/드레인 쌍 영역중의 제2비트 접점과 중첩된 것은 제2방향으로 연장되고, 제1활성 영역의 제1중첩된 영역은 제1활성 영역과 제1워드 라인 사이의 허용 오버레이 오차에 무관하게 실질적으로 일정한 크기를 갖도록 설계된 것이고, 제2활성 영역의 제1중첩된 영역은 제2활성 영역과 제2워드 라인 사이의 허용 오버레이 오차에 무관하게 실질적으로 일정한 크기를 갖도록 설계된 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제2항에 있어서, 메모리 셀의 각각은 중심점을 가지며, 상기 제1 및 제2활성 영역은 상기 중심점에 대해 대칭으로 형성되고, 상기 제1 및 제2워드 라인은 상기 중심점에 대해 대칭으로 형성되고, 상기 제1 및 제2패턴된 도전층은 상기 중심점에 대해 대칭으로 형성되고, 상기 제1 및 제2비트 접점은 상기 중심점에 대해 대칭으로 형성된 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제1항에 있어서, 상기 제1도전층은 제2활성 영역과 중첩되어 있고, 상기 제1도전층은 제1공유 접점을 통해서 제2활성 영역에 전기적으로 연결되어 있고, 상기 제2도전층은 제1활성층과 중첩되어 있고, 상기 제2도전층은 제2공유 접점을 통해서 제1활성 영역에 전기적으로 연결되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제1항에 있어서, 상기 제1활성 영역은 상기 제1공유 접점 가까이에 제1돌출 영역을 포함하고, 상기 제1돌출 영역은 상기 제1트랜스퍼 트랜지스터의 채널의 방향과 다른 방향으로 돌출되고, 상기 제2활성 영역은 상기 제2공유 접점 가까이에 제2돌출 영역을 포함하고, 상기 제2돌출 영역은 상기 제2트랜스퍼 트랜지스터의 채널의 방향과 다른 방향으로 돌출되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제1항에 있어서, 상기 제1도전층은 제1공유 접점 가까이에 제1방향과 수직으로 연장되는 부분을 갖고, 상기 제1도전층의 일부는 제2활성 영역과 중첩되고, 상기 제2도전층은 제2공유 접점 가까이에 제1방향과 수직으로 연장되는 부분을 갖고, 상기 제2도전층의 일부는 제1활성 영역과 중첩되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제1항에 있어서, 상기 메모리 셀의 각각은 제1구동기 트랜지스터를 위한 제1부하 요소와 제2구동기 트랜지스터를 위한 제2부하 요소를 갖고, 상기 제1 및 제2부하 소자들은 각각 제1방향으로 연장되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제7항에 있어서, 제1비트 접점과 전기적으로 연결된 제3비트 접점; 및 제2비트 접점과 전기적으로 연결된 제4비트 접점을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제1항에 있어서, 제1 및 제2비트 접점의 것과 같은 레벨에 위치한 제1 및 제2접지 접점; 및 제1 및 제2비트 라인의 것과 같은 레벨에 위치한 접지 라인을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면3

