

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7683252号
(P7683252)

(45)発行日 令和7年5月27日(2025.5.27)

(24)登録日 令和7年5月19日(2025.5.19)

(51)国際特許分類	F I
H 0 1 S 5/42 (2006.01)	H 0 1 S 5/42
H 0 1 S 5/183(2006.01)	H 0 1 S 5/183
G 0 1 C 3/06 (2006.01)	G 0 1 C 3/06 1 2 0 Q
G 0 1 S 7/481(2006.01)	G 0 1 C 3/06 1 4 0
G 0 1 S 17/42 (2006.01)	G 0 1 S 7/481 A
請求項の数 9 (全21頁) 最終頁に続く	

(21)出願番号	特願2021-40536(P2021-40536)	(73)特許権者	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日	令和3年3月12日(2021.3.12)	(74)代理人	100107766 弁理士 伊東 忠重
(65)公開番号	特開2022-139943(P2022-139943 A)	(74)代理人	100070150 弁理士 伊東 忠彦
(43)公開日	令和4年9月26日(2022.9.26)	(72)発明者	泉谷 一磨 東京都大田区中馬込1丁目3番6号 株 式会社リコー内
審査請求日	令和6年1月19日(2024.1.19)	(72)発明者	軸谷 直人 東京都大田区中馬込1丁目3番6号 株 式会社リコー内
		(72)発明者	原坂 和宏 東京都大田区中馬込1丁目3番6号 株 式会社リコー内
		最終頁に続く	

(54)【発明の名称】 面発光レーザアレイ、光源モジュール及び測距装置

(57)【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板上に設けられ、前記半導体基板を通して光を出射し、互いに電氣的に並列に接続された複数の面発光レーザ素子を含む複数のサブアレイと、
を有し、
前記面発光レーザ素子は、それぞれ、前記半導体基板側から順に、
第1導電型の第1半導体層と、
共振器と、
第2導電型の第2半導体層と、
を有し、
隣り合う前記サブアレイは、一方の前記サブアレイに含まれる複数の前記面発光レーザ素子内の前記第1半導体層と、他方の前記サブアレイに含まれる複数の前記面発光レーザ素子内の前記第2半導体層とを共通に接続する電極を有しており、
前記複数のサブアレイが電氣的に直列に接続され、
前記複数のサブアレイが配列する配列方向に関して、前記複数のサブアレイのうちの1つのサブアレイ内で該配列方向に2つ以上の前記面発光レーザ素子が並び、該2つ以上の面発光レーザ素子の各々の前記第2半導体層に電氣的に接続される領域が、前記1つのサブアレイ上に配置されており、
前記電極は、前記2つ以上の面発光レーザ素子の各々の前記第2半導体層に電氣的に接

続され、

前記電極を覆い、かつ、前記サブアレイ上の前記電極の一部を露出する開口が設けられた誘電体層を備えることを特徴とする面発光レーザーアレイ。

【請求項 2】

複数の前記サブアレイのうちの 1 以上に、実装基板に実装される実装パッドが設けられ、前記実装パッドは、前記第 2 半導体層に電氣的に接続される領域である導通パッドと、前記第 2 半導体層に電氣的に接続されない非導通パッドと、を含み、

前記導通パッドは、前記電極の前記開口から露出した部分又は前記開口内に設けられたはんだ膜であり、

前記非導通パッドは、前記誘電体層上のはんだ膜であることを特徴とする請求項 1 に記載の面発光レーザーアレイ。

10

【請求項 3】

前記配列方向に関して、前記実装パッドの大きさは、前記実装パッドの設けられた前記サブアレイの大きさよりも小さいことを特徴とする請求項 2 に記載の面発光レーザーアレイ。

【請求項 4】

複数の前記サブアレイのうちの 2 以上に、前記実装パッドが設けられ、

隣り合う前記サブアレイの間における前記面発光レーザー素子の発光点の間隔は、隣り合う前記実装パッドの間隔よりも小さいことを特徴とする請求項 2 又は 3 に記載の面発光レーザーアレイ。

【請求項 5】

前記実装パッドの数は、前記サブアレイの数以下であることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の面発光レーザーアレイ。

20

【請求項 6】

隣り合う前記サブアレイの間における前記面発光レーザー素子の発光点の間隔と、前記サブアレイ内における前記面発光レーザー素子の発光点の間隔とが等しいことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の面発光レーザーアレイ。

【請求項 7】

面発光レーザーアレイと、

前記面発光レーザーアレイが実装された実装基板と、

を有し、

前記面発光レーザーアレイは、

半導体基板と、

前記半導体基板上に設けられ、前記半導体基板を通して光を出射し、互いに電氣的に並列に接続された複数の面発光レーザー素子を含む複数のサブアレイと、

を有し、

前記面発光レーザー素子は、それぞれ、前記半導体基板側から順に、

第 1 導電型の第 1 半導体層と、

共振器と、

第 2 導電型の第 2 半導体層と、

を有し、

隣り合う前記サブアレイは、一方の前記サブアレイに含まれる複数の前記面発光レーザー素子内の前記第 1 半導体層と、他方の前記サブアレイに含まれる複数の前記面発光レーザー素子内の前記第 2 半導体層とを共通に接続する電極を有しており、

前記複数のサブアレイが電氣的に直列に接続され、

前記複数のサブアレイが配列する配列方向に関して、前記複数のサブアレイのうちの 1 つのサブアレイ内で該配列方向に 2 つ以上の前記面発光レーザー素子が並び、該 2 つ以上の面発光レーザー素子の各々の前記第 2 半導体層に電氣的に接続される領域が、前記 1 つのサブアレイ上に配置されており、

前記電極は、前記 2 つ以上の面発光レーザー素子の各々の前記第 2 半導体層に電氣的に接続され、

30

40

50

前記電極を覆い、かつ、前記サブアレイ上の前記電極の一部を露出する開口が設けられた誘電体層を備え、

前記サブアレイ上の前記第 2 半導体層に電氣的に接続される領域と前記実装基板の電極とが接合材により接合されていることを特徴とする光源モジュール。

【請求項 8】

複数の前記サブアレイのうちの 1 以上に、前記実装基板に実装される実装パッドが設けられ、

前記実装パッドは、前記第 2 半導体層に電氣的に接続される領域である導通パッドと、前記第 2 半導体層に電氣的に接続されない非導通パッドと、を含み、

前記導通パッドは、前記電極の前記誘電体層の開口から露出した部分又は前記開口内に設けられたはんだ膜であり、

前記非導通パッドは、前記誘電体層上のはんだ膜であり、

前記実装基板は、前記実装パッドと同一の平面形状の第 2 実装パッドを有することを特徴とする請求項 7 に記載の光源モジュール。

【請求項 9】

請求項 7 又は 8 に記載の光源モジュールと、

前記光源モジュールから出射された光が入射される光学素子と、

を有することを特徴とする測距装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、面発光レーザアレイ、光源モジュール及び測距装置に関する。

【背景技術】

【0002】

近年、LiDAR等をはじめとした、TOF (Time Of Flight) 技術を活用した測距センサの普及が急速に進んでいる。このような測距センサのキーデバイスとして、2次元アレイ化が可能のため光源の配置設計が容易、かつ波長の温度変動が小さい垂直共振器型面発光レーザ (Vertical Cavity Surface Emitting Laser: VCSEL) アレイが期待されている。

【0003】

従来、VCSELアレイの駆動電流の低減を目的として、面発光レーザ素子を直列に接続した構成が提案されている。

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来のVCSELアレイには、小型化に改善の余地がある。

【0005】

本発明は、小型化できる面発光レーザアレイ、光源モジュール及び測距装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

開示の技術の一態様によれば、面発光レーザアレイは、半導体基板と、前記半導体基板上に設けられ、前記半導体基板を通して光を出射し、互いに電氣的に並列に接続された複数の面発光レーザ素子を含む複数のサブアレイと、を有し、前記面発光レーザ素子は、それぞれ、前記半導体基板側から順に、第 1 導電型の第 1 半導体層と、共振器と、第 2 導電型の第 2 半導体層と、を有し、隣り合う前記サブアレイは、一方の前記サブアレイに含まれる複数の前記面発光レーザ素子内の前記第 1 半導体層と、他方の前記サブアレイに含まれる複数の前記面発光レーザ素子内の前記第 2 半導体層とを共通に接続する電極を有しており、前記複数のサブアレイが電氣的に直列に接続され、前記複数のサブアレイが配列する配列方向に関して、前記複数のサブアレイのうちの 1 つのサブアレイ内で該配列方向に

10

20

30

40

50

2つ以上の前記面発光レーザ素子が並び、該2つ以上の面発光レーザ素子の各々の前記第2半導体層に電氣的に接続される領域が、前記1つのサブアレイ上に配置されており、前記電極は、前記2つ以上の面発光レーザ素子の各々の前記第2半導体層に電氣的に接続され、前記電極を覆い、かつ、前記サブアレイ上の前記電極の一部を露出する開口が設けられた誘電体層を備える。

【発明の効果】

【0007】

開示の技術によれば、小型化できる。

【図面の簡単な説明】

【0008】

【図1】第1実施形態に係る面発光レーザアレイを示す断面図である。

【図2】第1実施形態に係る面発光レーザアレイを示す等価回路図である。

【図3】第1実施形態に係る面発光レーザアレイを示す平面図である。

【図4】第1実施形態に係る面発光レーザアレイを含む光源モジュールの第1例を示す断面図である。

【図5】第1実施形態に係る面発光レーザアレイを含む光源モジュールの第2例を示す断面図である。

【図6】第1実施形態に係る面発光レーザアレイの変形例を示す平面図である。

【図7】第2実施形態に係る面発光レーザアレイを示す断面図である。

【図8】第2実施形態に係る面発光レーザアレイを示す等価回路図である。

【図9】第2実施形態に係る面発光レーザアレイを含む光源モジュールを示す断面図である。

【図10】第3実施形態に係る面発光レーザアレイを示す断面図である。

【図11】第3実施形態に係る面発光レーザアレイの製造方法を示す断面図（その1）である。

【図12】第3実施形態に係る面発光レーザアレイの製造方法を示す断面図（その2）である。

【図13】第3実施形態に係る面発光レーザアレイの製造方法を示す断面図（その3）である。

【図14】第3実施形態に係る面発光レーザアレイの製造方法を示す断面図（その4）である。

【図15】第3実施形態に係る面発光レーザアレイの製造方法を示す断面図（その5）である。

【図16】第3実施形態に係る面発光レーザアレイの製造方法を示す断面図（その6）である。

【図17】第3実施形態に係る面発光レーザアレイの製造方法を示す断面図（その7）である。

【図18】第3実施形態に係る面発光レーザアレイの製造方法を示す断面図（その8）である。

【図19】第3実施形態に係る面発光レーザアレイの製造方法を示す平面図（その1）である。

【図20】第3実施形態に係る面発光レーザアレイの製造方法を示す平面図（その2）である。

【図21】第4実施形態に係る面発光レーザアレイを示す断面図である。

【図22】第4実施形態に係る面発光レーザアレイを示す等価回路図である。

【図23】第4実施形態に係る面発光レーザアレイを含む光源モジュールを示す断面図である。

【図24】第5実施形態に係る測距装置を示す図である。

【発明を実施するための形態】

【0009】

10

20

30

40

50

以下、本開示の実施形態について添付の図面を参照しながら説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。

【0010】

(第1実施形態)

まず、第1実施形態について説明する。第1実施形態は、垂直共振器型面発光レーザ (Vertical Cavity Surface Emitting Laser: VCSEL) アレイに関する。図1は、第1実施形態に係る面発光レーザアレイを示す断面図である。図2は、第1実施形態に係る面発光レーザアレイを示す等価回路図である。図3は、第1実施形態に係る面発光レーザアレイを示す平面図である。

10

【0011】

第1実施形態に係るVCSELアレイ100は、図1に示されるように、基板101と、基板101の上の第1サブアレイ121、第2サブアレイ122と、カソードパッド部129とを有する。図2に示されるように、第1サブアレイ121及び第2サブアレイ122は互いに直列に接続されている。第1サブアレイ121及び第2サブアレイ122は、それぞれ、基板101を通して光Lを出射する2個のVCSEL素子124を含む。第1サブアレイ121内で2個のVCSEL素子124は互いに電氣的に並列に接続され、第2サブアレイ122内で2個のVCSEL素子124は互いに電氣的に並列に接続されている。カソードパッド部129は、疑似VCSEL素子125を含む。図1及び図3に示されるように、第2サブアレイ122は、第1サブアレイ121とカソードパッド部129との間にある。基板101は、例えばノンドープの半絶縁性のGaAs基板である。

20

【0012】

VCSEL素子124は、第1導電型を有する第1コンタクト層102と、第1導電型を有する第1多層膜反射鏡103と、共振器104と、第2導電型を有する第2多層膜反射鏡106と、第2導電型を有する第2コンタクト層107とを有する。

【0013】

第1コンタクト層102は基板101の上にある。第1コンタクト層102は、例えば高ドープのGaAs層である。第1サブアレイ121に含まれる2個のVCSEL素子124は1個の第1コンタクト層102を共有し、第2サブアレイ122に含まれる2個のVCSEL素子124は1個の第1コンタクト層を共有する。第1コンタクト層102は第1半導体層の一例である。

30

【0014】

第1多層膜反射鏡103は第1コンタクト層102の上にある。第1多層膜反射鏡103は、屈折率の異なる2種類の層を交互に含む。例えば、一方の層(高屈折率層)はAl_{0.2}Ga_{0.8}As層であり、他方の層(低屈折率層)はAl_{0.9}Ga_{0.1}As層である。図示を省略するが、第1多層膜反射鏡103は、高屈折率層と低屈折率層との間に、組成が連続的に変化する組成傾斜層を含み、組成傾斜層の中心までを含む各層の光学厚さは、レーザの発振波長を λ として $\lambda/4$ である。

【0015】

共振器104は第1多層膜反射鏡103の上にある。共振器104は、下スペーサ層と、下スペーサ層の上の活性層と、活性層の上の上スペーサ層とを含む。共振器104の光学長は L である。例えば、発振波長 λ は940nmである。

40

【0016】

第2多層膜反射鏡106は共振器104の上にある。第2多層膜反射鏡106は、屈折率の異なる2種類の層を交互に含む。例えば、一方の層(高屈折率層)はAl_{0.2}Ga_{0.8}As層であり、他方の層(低屈折率層)はAl_{0.9}Ga_{0.1}As層である。図示を省略するが、第2多層膜反射鏡106は、高屈折率層と低屈折率層との間に、組成が連続的に変化する組成傾斜層を含み、組成傾斜層の中心までを含む各層の光学厚さは、レーザの発振波長を λ として $\lambda/4$ である。第2多層膜反射鏡106における高屈折率層及び低屈折率層のペア数は、第1多層膜反射鏡103における高屈折率層及び低屈折率層のペア

50

数よりも多い。これにより、VCSEL素子124は基板101を通して光Lを出射することができる。

【0017】

第2多層膜反射鏡106は選択酸化層105を含む。選択酸化層105は、酸化領域105a及び非酸化領域105bを含む。選択酸化層105のAl組成は周辺の層と比べて高く、例えば、選択酸化層105はAlAs層である。

【0018】

第2コンタクト層107は第2多層膜反射鏡106の上にある。第2コンタクト層107は、例えば高ドープのGaAs層である。第2コンタクト層107は第2半導体層の一例である。

【0019】

疑似VCSEL素子125はVCSEL素子124と同様の積層構造を有する。

【0020】

VCSELアレイ100は、VCSEL素子124及び疑似VCSEL素子125を覆う絶縁層108を有する。絶縁層108は、例えば、SiN層又はSiO₂層等である。絶縁層108は、第1サブアレイ121に含まれる2個のVCSEL素子124の第2コンタクト層107を露出する開口108aと、第2サブアレイ122に含まれる2個のVCSEL素子124の第2コンタクト層107を露出する開口108bとを有する。絶縁層108は、疑似VCSEL素子125の第2コンタクト層107を露出する開口を有しない。絶縁層108は、第1サブアレイ121に含まれる第1コンタクト層102を露出する開口108sと、第2サブアレイ122に含まれる第1コンタクト層102を露出する開口108tとを有する。

【0021】

VCSELアレイ100は、絶縁層108の上の電極109aと、電極109bと、電極109xとを有する。電極109aは、開口108aを通じて、第1サブアレイ121に含まれる2個のVCSEL素子124の第2コンタクト層107に接触する。電極109bは、開口108bを通じて、第2サブアレイ122に含まれる2個のVCSEL素子124の第2コンタクト層107に接触する。電極109bは、コンタクト領域126（図3参照）において、第1サブアレイ121に含まれる第1コンタクト層102にも接触する。電極109xは、カソードパッド部129において絶縁層108の上にあるが、疑似VCSEL素子125の第2コンタクト層107に接触しない。電極109xは、コンタクト領域127（図3参照）において、第2サブアレイ122に含まれる第1コンタクト層102に接触する。コンタクト領域126は開口108sに相当し、コンタクト領域127は開口108tに相当する。電極109a、109b及び109xは、例えばTi膜と、Ti膜の上のPt膜と、Pt膜の上のAu膜とを備えた積層体等である。なお、第1コンタクト層102とのオーミック接続のための下地層と、第2コンタクト層107とのオーミック接続のための下地層とが相違していてもよい。

【0022】

VCSELアレイ100は、基板101の出射側の面（裏面）に反射防止膜110を有する。反射防止膜110の光学厚さは $\lambda/4$ である。

【0023】

第1実施形態に係るVCSELアレイ100では、第1サブアレイ121における第1コンタクト層102と、第2サブアレイ122における第2コンタクト層107とは、基板101を介して導通していない。電極109bが、第1サブアレイ121における第1コンタクト層102と、第2サブアレイ122における第2コンタクト層107とを接続する。従って、第1サブアレイ121と第2サブアレイ122とが直列に接続される。このため、第1実施形態によれば、すべてのVCSEL素子124が並列に接続されている場合と比較して、駆動電流を凡そ半分に低減することができる。

【0024】

また、電極109aと電極109xとの間に電位差を与えれば、VCSELアレイ10

10

20

30

40

50

0を駆動させることができる。従って、第1サブアレイ121、第2サブアレイ122の各々に実装用のアノードパッド及びカソードパッドを設ける必要がない。このため、小型化に好適である。また、VCSEL素子124の間での発光部の間隔を小さくし、発光むらを抑制することができる。

【0025】

次に、VCSELアレイ100を含む光源モジュールについて説明する。図4は、VCSELアレイ100を含む光源モジュールの第1例を示す断面図である。図5は、VCSELアレイ100を含む光源モジュールの第2例を示す断面図である。

【0026】

光源モジュールの第1例は、図4に示されるように、VCSELアレイ100が実装されたサブマウント150を有する。サブマウント150は、AlNからなる絶縁性基板151と、絶縁性基板151の上の電極152及び153とを有する。電極152は電極109aに対向し、電極153は電極109xに対向する。光源モジュールは、電極152と電極109aとの間と、電極153と電極109xとの間に接合材154を有する。サブマウント150は実装基板の一例である。

【0027】

光源モジュールの製造の際には、VCSELアレイ100は、位置合わせされた状態でジャンクションダウンされて接合される。接合材154は、例えば導電性ペースト、はんだ材料等を用いて形成される。熱や超音波を用いた金属接合により、接合材を用いずに接合面が形成されてもよい。

【0028】

このような第1例では、VCSELアレイ100の電極109aと電極109xとの間に、電極152及び153から電位差が与えられる。

【0029】

光源モジュールの第2例では、図5に示されるように、サブマウント150が、第1例の構成に加えて、電極155を有する。電極155は電極109bに対向する。光源モジュールは、電極155と電極109bとの間にも接合材154を有する。他の構成は第1例と同様である。

【0030】

このような第2例でも、VCSELアレイ100の電極109aと電極109xとの間に、電極152及び153から電位差が与えられる。電極155は電流経路に含まれないが、第2サブアレイ122に含まれるVCSEL素子124内で発生した熱が、電極155と、その上の接合材154とを介して効率的にサブマウント150に放出される。

【0031】

第1例、第2例のいずれにおいても、光源モジュールの製造の際には、接合材154の間での短絡を防止することが重要である。本実施形態では、2個のVCSEL素子124に1個の電極109a又は109bが対応するため、接合材154の間隔を比較的大きくすることができ、短絡を防止しやすい。

【0032】

(第1実施形態の変形例)

ここで、第1実施形態の変形例について説明する。図6は、第1実施形態に係る面発光レーザアレイの変形例を示す平面図である。

【0033】

この変形例では、コンタクト領域126が、第1サブアレイ121と第2サブアレイ122との間ではなく、第1サブアレイ121と第2サブアレイ122とが並ぶ方向に垂直な方向で第1サブアレイ121の側方にある。従って、第1実施形態と比較して、第1サブアレイ121内のVCSEL素子124と第2サブアレイ122内のVCSEL素子124との間の距離が小さい。このため、VCSELアレイ100内のVCSEL素子124の間隔のばらつきが小さくなり、発光むらをより抑制することができる。また、更なる小チップ化が可能となる。

10

20

30

40

50

【 0 0 3 4 】

(第 2 実施形態)

次に、第 2 実施形態について説明する。第 2 実施形態は、V C S E L アレイに関する。図 7 は、第 2 実施形態に係る面発光レーザアレイを示す断面図である。図 8 は、第 2 実施形態に係る面発光レーザアレイを示す等価回路図である。

【 0 0 3 5 】

第 2 実施形態に係る V C S E L アレイ 2 0 0 では、図 7 に示されるように、第 1 サブアレイ 1 2 1 及び第 2 サブアレイ 1 2 2 は、それぞれ、基板 1 0 1 を通して光 L を出射する 3 個の V C S E L 素子 1 2 4 を含む。図 8 に示されるように、第 1 サブアレイ 1 2 1 内で 3 個の V C S E L 素子 1 2 4 は互いに電氣的に並列に接続され、第 2 サブアレイ 1 2 2 内で 3 個の V C S E L 素子 1 2 4 は互いに電氣的に並列に接続されている。

10

【 0 0 3 6 】

V C S E L アレイ 2 0 0 は、電極 1 0 9 a、1 0 9 b 及び 1 0 9 x を覆う誘電体層 1 1 1 を有する。誘電体層 1 1 1 は、第 1 サブアレイ 1 2 1 内で電極 1 0 9 a を露出する開口 1 1 1 a と、第 2 サブアレイ 1 2 2 内で電極 1 0 9 b を露出する開口 1 1 1 b と、カソードパッド部 1 2 9 内で電極 1 0 9 x を露出する開口 1 1 1 x とを有する。開口 1 1 1 a は凡そ第 1 サブアレイ 1 2 1 内の 3 個の V C S E L 素子 1 2 4 のうち中央に位置するものの上方にある。開口 1 1 1 b は凡そ第 2 サブアレイ 1 2 2 内の 3 個の V C S E L 素子 1 2 4 のうち中央に位置するものの上方にある。開口 1 1 1 x は疑似 V C S E L 素子 1 2 5 の上方にある。電極 1 0 9 a の開口 1 1 1 a から露出した部分、電極 1 0 9 b の開口 1 1 1 b から露出した部分及び電極 1 0 9 x の開口 1 1 1 x から露出した部分が実装パッドとして機能する。誘電体層 1 1 1 は、例えば、S i N 層又は S i O₂ 層等である。

20

【 0 0 3 7 】

他の構成は第 1 実施形態と同様である。

【 0 0 3 8 】

第 2 実施形態では、設計者は、実装パッドの位置を V C S E L 素子 1 2 4 の発光点から独立して設計することができる。例えば、隣り合う第 1 サブアレイ 1 2 1、第 2 サブアレイ 1 2 2 の間における V C S E L 素子 1 2 4 の発光点の間隔は、隣り合う実装パッドの間隔よりも小さい。このため、発光むらがより抑制される。

【 0 0 3 9 】

次に、V C S E L アレイ 2 0 0 を含む光源モジュールについて説明する。図 9 は、V C S E L アレイ 2 0 0 を含む光源モジュールを示す断面図である。

30

【 0 0 4 0 】

光源モジュールは、図 9 に示されるように、V C S E L アレイ 2 0 0 が実装されたサブマウント 1 5 0 を有する。サブマウント 1 5 0 は、絶縁性基板 1 5 1 と、絶縁性基板 1 5 1 の上の電極 1 5 2、1 5 3 及び 1 5 5 と、誘電体層 1 5 6 とを有する。電極 1 5 2、1 5 3 及び 1 5 5 の誘電体層 1 5 6 から露出した部分が第 2 実装パッドとして機能する。例えば、第 1 サブアレイ 1 2 1 の実装パッドと電極 1 5 2 の第 2 実装パッドとは同一の平面形状を有する。例えば、第 2 サブアレイ 1 2 2 の実装パッドと電極 1 5 5 の第 2 実装パッドとは同一の平面形状を有する。例えば、カソードパッド部 1 2 9 の実装パッドと電極 1 5 3 の第 2 実装パッドとは同一の平面形状を有する。接合材 1 5 4 は、例えば S n - A g - C u 等のはんだである。

40

【 0 0 4 1 】

このような光源モジュールでは、V C S E L アレイ 2 0 0 とサブマウント 1 5 0 とが接合される接合領域は、誘電体層 1 1 1 及び 1 5 6 に依存し、V C S E L 素子 1 2 4 の発光部は接合領域の影響を受けない。上記のように、例えば、隣り合う第 1 サブアレイ 1 2 1、第 2 サブアレイ 1 2 2 の間における V C S E L 素子 1 2 4 の発光点の間隔は、隣り合う実装パッドの間隔よりも小さい。この場合、接合材 1 5 4 同士の短絡が防止され、かつ発光点の間隔が狭くされ得る。このため、発光むらがより抑制される。また、上記の第 2 例と同様に、良好な放熱特性が得られる。

50

【0042】

一般に、VCSEL素子124はリソグラフィ技術と半導体プロセスによって形成され、接合材154の間隔はVCSEL素子124の間隔よりも大きくなりやすい。本実施形態によれば、実装パッドの間隔に制限されることなくVCSEL素子124の発光部が配置され得る。

【0043】

(第3実施形態)

次に、第3実施形態について説明する。第3実施形態は、VCSELアレイに関する。図10は、第3実施形態に係る面発光レーザアレイを示す断面図である。

【0044】

第3実施形態に係るVCSELアレイ300は、図10に示されるように、開口111a内、開口111b内及び開口111x内にはんだ膜112を有する。はんだ膜112は、例えば蒸着又はスパッタリング等により成膜される。第3実施形態では、はんだ膜112が実装パッドとして機能する。

【0045】

他の構成は第2実施形態と同様である。

【0046】

第3実施形態によっても第2実施形態と同様の効果が得られる。また、サブマウント150への実装が簡易になる。

【0047】

次に、第3実施形態に係るVCSELアレイ300の製造方法について説明する。図11～図18は、第3実施形態に係る面発光レーザアレイの製造方法を示す断面図である。図19～図20は、第3実施形態に係る面発光レーザアレイの製造方法を示す平面図である。図12は、図19中のXII-XII線に沿った断面図に相当し、図14は、図20中のXIV-XIV線に沿った断面図に相当する。

【0048】

まず、図11に示されるように、基板101上に、第1コンタクト層102、第1多層膜反射鏡103、共振器104、第2多層膜反射鏡106及び第2コンタクト層107が順次成長される。第1コンタクト層102、第1多層膜反射鏡103、共振器104、第2多層膜反射鏡106及び第2コンタクト層107の半導体積層構造体は、例えば、有機金属気相成長(Metal Organic Chemical Vapor Deposition: MOCVD)法又は分子線エピタキシャル成長(Molecular Beam Epitaxy: MBE)法による結晶成長によって作製される。ここでは、MOCVD法を用いた例が示される。一例として、III族の原料に、トリメチルアルミニウム(TMA)、トリメチルガリウム(TMg)、トリメチルインジウム(TMI)等が用いられ、V族の原料に、アルシン(AsH₃)、フォスフィン(PH₃)が用いられる。一例として、p型ドーパントの原料には四臭化炭素(CBr₄)が用いられ、n型ドーパントの原料にはモノシラン(SiH₄)が用いられる。

【0049】

基板101としては、例えば、半絶縁性GaAs基板が用いられる。

【0050】

第1コンタクト層102は、例えば厚さが3μmのn型GaAs層である。第1コンタクト層102のオーバーエッチを防止するために、第1コンタクト層102と第1多層膜反射鏡103との間にAlGaInP層又はGaInP層等のエッチストップ層が形成されてもよい。

【0051】

第1多層膜反射鏡103は2.4.5ペアの高屈折率層及び低屈折率層を含む。例えば、高屈折率層はn型のAl_{0.2}Ga_{0.8}As層であり、低屈折率層はn型のAl_{0.9}Ga_{0.1}As層である。高屈折率層と低屈折率層との間には、電気抵抗を低減するため、厚さが20nmの組成傾斜層が形成される。高屈折率層及び低屈折率層の光学厚さは、発振波長をとしたとき、隣接する組成傾斜層の1/2を含んで1/4である。光学厚さが1/4

10

20

30

40

50

4 のとき、その層の実際の厚さ D は、 $D = \lambda / 4n$ (但し、 n はその層の媒質の屈折率) である。

【0052】

共振器 104 は、下スペーサ層と、下スペーサ層の上の活性層と、活性層の上の上スペーサ層とを含む。共振器 104 の光学長は $\lambda/4$ である。例えば、発振波長 λ は 940 nm である。下スペーサ層及び上スペーサ層は、例えば $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層である。活性層は 3 重量量子井戸構造からなる。各量子井戸層は InGaAs 層であり、各障壁層は $\text{Al}_{0.1}\text{GaAs}$ 層である。活性層は、共振器 104 の中央に形成される。例えば、発振波長 λ は 940 nm である。

【0053】

第 2 多層膜反射鏡 106 は 38 ペアの高屈折率層及び低屈折率層を含む。例えば、高屈折率層は p 型の $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層であり、低屈折率層は p 型の $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ 層である。高屈折率層と低屈折率層との間には、電気抵抗を低減するため、厚さが 20 nm の組成傾斜層が形成される。高屈折率層及び低屈折率層の光学厚さは、発振波長 λ をとしたとき、隣接する組成傾斜層の $1/2$ を含んで $\lambda/4$ である。

【0054】

第 2 多層膜反射鏡 106 は、例えば p - AlAs からなる選択酸化層 105 (図示せず) を含む。選択酸化層 105 の位置は、第 2 多層膜反射鏡 106 と共振器 104 との界面から光学的距離が $\lambda/4$ の位置である。選択酸化層 105 が上下に組成傾斜層又は中間層等を含んでもよい。

【0055】

第 2 コンタクト層 107 は、例えば p 型 GaAs 層である。

【0056】

半導体積層構造体の形成後、写真製版技術を用いて、例えば一辺の長さが 30 μm の正方形のレジストパターンと、80 μm × 200 μm の長方形のレジストパターンが、第 2 コンタクト層 107 の上に形成される。正方形のレジストパターンは VCSEL 素子 124 の形成予定領域に形成され、長方形のレジストパターンは疑似 VCSEL 素子 125 の形成予定領域に形成される。次に、これらレジストパターンをマスクとし、 Cl_2 ガスを用いた電子サイクロトロン (Electron Cyclotron Resonance : ECR) エッチング法により、図 12 及び図 19 に示されるように、第 1 コンタクト層 102 が底面として露出するように半導体積層構造体がエッチングされる。この結果、メサ構造体が形成される。メサ構造体は、少なくとも選択酸化層 105 (図示せず) が露出するように形成される。エッチング後、レジストパターンが除去される。

【0057】

次に、メサ構造体が形成された半導体積層構造体を酸化対象物として、水蒸気中で熱処理 (酸化処理) が行われる。この結果、メサ構造体の外周部から選択酸化層 105 中の Al が選択的に酸化される。そして、図 13 に示すように、メサ構造体の中央部に、 Al の酸化領域 101a によって囲まれた酸化されていない非酸化領域 105b が残留する。これにより、発光部の駆動電流の経路をメサ構造体の中央部だけに制限する、酸化狭窄構造体が形成される。非酸化領域 105b が電流通過領域 (電流注入領域) である。このようにして、例えば一片の長さが 10 μm の正形状の電流通過領域が形成される。

【0058】

次に、写真製版技術を用いてレジストパターンが第 1 コンタクト層 102 及び第 2 コンタクト層 107 の上に形成される。レジストパターンは、第 1 サブアレイ 121 の形成予定領域と第 2 サブアレイ 122 の形成予定領域との間と、第 2 サブアレイ 122 の形成予定領域とカソードパッド部 129 の形成予定領域との間とに開口を有する。開口の幅は、例えば 20 μm である。次に、これらレジストパターンをマスクとし、 Cl_2 ガスを用いた ECR エッチング法により、図 14 及び図 20 に示されるように、基板 101 が底面として露出するように第 1 コンタクト層 102 がエッチングされる。この結果、第 1 コンタクト層 102 に幅が 20 μm の溝が形成される。溝により、第 1 サブアレイ 121 内の第

10

20

30

40

50

1 コンタクト層 102 と、第2サブアレイ 122 内の第1コンタクト層 102 と、カソードパッド部 129 内の第1コンタクト層 102 とが電氣的に絶縁される。溝は、溶剤を用いたウェットエッチング法により形成されてもよい。

【0059】

次に、図15に示されるように、例えばプラズマ化学気相成長 (Chemical Vapor Deposition: CVD) 法を用いて、メサ構造体を覆う光学的に透明な絶縁層 108 が形成される。絶縁層 108 は、例えば SiN 層である。次に、写真製版技術を用い、BHF (バッファードフッ酸) 等を用いたエッチングによって絶縁層 108 に、開口 108a 及び 108b と、開口 108s 及び 108t とが形成される。

【0060】

次に、写真製版技術によるレジストパターンの形成、金属膜の形成及びリフトオフが行われ、図16に示されるように、電極 109a、109b 及び 109x が形成される。金属膜は、例えば Ti 膜と、Ti 膜の上の Pt 膜と、Pt 膜の上の Au 膜とを備えた積層体等である。第1コンタクト層 102 とのオーミック接続のための下地層と、第2コンタクト層 107 とのオーミック接続のための下地層とが相違していてもよい。この場合、蒸着及びリフトオフが2回又は3回に分けて行われてもよい。

【0061】

次に、図17に示されるように、例えばプラズマ CVD 法を用いて、電極 109a、109b 及び 109x を覆う光学的に透明な誘電体層 111 が形成される。誘電体層 111 は、例えば SiN 層である。次に、写真製版技術を用い、BHF (バッファードフッ酸) 等を用いたエッチングによって誘電体層 111 に、開口 111a、111b 及び 111x が形成される。

【0062】

次に、図18に示されるように、次に、はんだ膜 112 が形成される。はんだ膜 112 の形成では、まず、シード層 (図示せず) がスパッタリング法等により形成される。シード層は、例えば、Ti 膜と、Ti 膜の上の Cu 膜とを含む。次に、シード層の上に、写真製版技術を用いてレジストパターンが形成される。レジストパターンはサブマウント 150 との実装に用いる実装領域のみを開口する。隣り合う開口の間の距離は、例えば 200 μm である。この距離は、隣り合う実装パッドの間での短絡が生じないように、その後の実装工程を考慮して設定されることが望ましい。次に、電解めっき法により開口内に選択的にはんだ膜 112 が形成される。はんだ膜 112 の材料は、例えば SnAg、SnAgCu、SuAu 等である。シード層とはんだ膜 112 との間に Ni 層又は Cr 層等の密着層が形成されてもよい。はんだ膜 112 の形成後、レジストパターンが除去され、全面の逆スパッタリング等によるエッチバックが行われ、露出したシード層が除去される。

【0063】

次に、基板 101 の出射側の面 (裏面) が化学機械的研磨 (Chemical Mechanical Polishing: CMP) 法等により鏡面化される。次に、基板 101 の出射側の面に反射防止膜 110 が形成される。反射防止膜 110 は、例えばプラズマ CVD 法により形成される。反射防止膜 110 は、例えば光学厚さが $\lambda/4$ の SiN 膜である。

【0064】

このようにして、第3実施形態に係る VCSEL アレイ 300 が製造される。

【0065】

(第4実施形態)

次に、第4実施形態について説明する。第4実施形態は、VCSEL アレイに関する。図21は、第4実施形態に係る面発光レーザーアレイを示す断面図である。図22は、第4実施形態に係る面発光レーザーアレイを示す等価回路図である。

【0066】

第4実施形態に係る VCSEL アレイ 400 は、図21に示されるように、基板 101 と、基板 101 の上の第1サブアレイ 121、第2サブアレイ 122 と、第3サブアレイ 123 と、カソードパッド部 129 とを有する。図22に示されるように、第1サブアレ

10

20

30

40

50

イ 1 2 1、第 2 サブアレイ 1 2 2 及び第 3 サブアレイ 1 2 3 は互いに直列に接続されている。第 1 サブアレイ 1 2 1、第 2 サブアレイ 1 2 2 及び第 3 サブアレイ 1 2 3 は、それぞれ、基板 1 0 1 を通して光 L を出射する 2 個の V C S E L 素子 1 2 4 を含む。第 1 サブアレイ 1 2 1 内で 2 個の V C S E L 素子 1 2 4 は互いに電氣的に並列に接続され、第 2 サブアレイ 1 2 2 内で 2 個の V C S E L 素子 1 2 4 は互いに電氣的に並列に接続され、第 3 サブアレイ 1 2 3 内で 2 個の V C S E L 素子 1 2 4 は互いに電氣的に並列に接続されている。図 2 1 に示されるように、第 3 サブアレイ 1 2 3 は、第 2 サブアレイ 1 2 2 とカソードパッド部 1 2 9 との間にある。

【 0 0 6 7 】

絶縁層 1 0 8 は、開口 1 0 8 a 及び 1 0 8 b に加えて、第 3 サブアレイ 1 2 3 に含まれる 2 個の V C S E L 素子 1 2 4 の第 2 コンタクト層 1 0 7 を露出する開口 1 0 8 c を有する。絶縁層 1 0 8 は、開口 1 0 8 s 及び 1 0 8 t に加えて、第 3 サブアレイ 1 2 3 に含まれる第 1 コンタクト層 1 0 2 を露出する開口 1 0 8 u を有する。

10

【 0 0 6 8 】

V C S E L アレイ 1 0 0 は、電極 1 0 9 a、1 0 9 b 及び 1 0 9 x に加えて、絶縁層 1 0 8 の上の電極 1 0 9 c を有する。電極 1 0 9 c は、開口 1 0 8 c を通じて、第 3 サブアレイ 1 2 3 に含まれる 2 個の V C S E L 素子 1 2 4 の第 2 コンタクト層 1 0 7 に接触する。

【 0 0 6 9 】

誘電体層 1 1 1 は、開口 1 1 1 a 及び 1 1 1 x を有するが、開口 1 1 1 b を有しない。従って、誘電体層 1 1 1 は、電極 1 0 9 b 及び 1 0 9 c の全体を覆う。V C S E L アレイ 4 0 0 は、開口 1 1 1 a 内及び開口 1 1 1 x 内にはんだ膜 1 1 2 を有する。V C S E L アレイ 4 0 0 は、更に、第 2 サブアレイ 1 2 2 及び第 3 サブアレイ 1 2 3 にわたって広がるはんだ膜 1 1 2 c を有する。はんだ膜 1 1 2 c は、第 2 サブアレイ 1 2 2 と第 3 サブアレイ 1 2 3 との間の誘電体層 1 1 1 の隙間の内側に入り込んでよい。第 4 実施形態では、はんだ膜 1 1 2 及び 1 1 2 c が実装パッドとして機能する。

20

【 0 0 7 0 】

他の構成は第 3 実施形態と同様である。

【 0 0 7 1 】

次に、V C S E L アレイ 4 0 0 を含む光源モジュールについて説明する。図 2 3 は、V C S E L アレイ 4 0 0 を含む光源モジュールを示す断面図である。

30

【 0 0 7 2 】

光源モジュールは、図 2 3 に示されるように、V C S E L アレイ 4 0 0 が実装されたサブマウント 1 5 0 を有する。サブマウント 1 5 0 は、絶縁性基板 1 5 1 と、絶縁性基板 1 5 1 の上の電極 1 5 2、1 5 3 及び 1 5 5 と、誘電体層 1 5 6 とを有する。電極 1 5 2、1 5 3 及び 1 5 5 の誘電体層 1 5 6 から露出した部分が第 2 実装パッドとして機能する。例えば、第 1 サブアレイ 1 2 1 の実装パッドと電極 1 5 2 の第 2 実装パッドとは同一の平面形状を有する。例えば、第 2 サブアレイ 1 2 2 及び第 3 サブアレイ 1 2 3 の実装パッド（はんだ膜 1 1 2 c）と電極 1 5 5 の第 2 実装パッドとは同一の平面形状を有する。例えば、カソードパッド部 1 2 9 の実装パッドと電極 1 5 3 の第 2 実装パッドとは同一の平面形状を有する。

40

【 0 0 7 3 】

第 4 実施形態によっても第 3 実施形態と同様の効果が得られる。また、第 2 サブアレイ 1 2 2 と第 3 サブアレイ 1 2 3 とを電氣的に短絡させることなく、実装パッドが 1 つに纏められる。従って、サブアレイの数と実装パッドの数とが等しい。電極 1 5 5 は電流経路に含まれないが、第 2 サブアレイ 1 2 2 に含まれる V C S E L 素子 1 2 4 内で発生した熱及び第 3 サブアレイ 1 2 3 に含まれる V C S E L 素子 1 2 4 内で発生した熱が、電極 1 5 5 と、その上の接合材 1 5 4 とを介して効率的にサブマウント 1 5 0 に放出される。第 4 実施形態では、第 2 サブアレイ 1 2 2 と第 3 サブアレイ 1 2 3 との間に実装パッドの隙間が必要とされず、大きな面積の接合領域が得られ、より優れた放熱特性が得られる。

【 0 0 7 4 】

50

なお、第4実施形態に係るVCSELアレイ400は、3個のサブアレイを有するが、サブアレイの数が4個以上であっても、実装パッドの数を3個とすることができる。例えば、サブアレイの数が4個又は5個であっても、VCSELアレイが、第1サブアレイ121の実装パッドと、カソードパッド部129の実装パッドと、電流経路に含まれない放熱用の実装パッドとを有してもよい。このような場合、実装パッドの数はサブアレイの数よりも少ない。また、例えば、サブアレイの数が5個である場合に、電流経路に含まれず、電氣的に接続されない実装パッドが2つの領域に分割され、実装パッドの数が4個になってもよい。

【0075】

なお、隣り合う第1コンタクト層102の間の絶縁分離が、エッチングによる溝の形成に代えて、水素等のイオン注入により行われてもよい。

10

【0076】

また、上記の実施形態では、半導体積層構造体と基板101とを電氣的に絶縁するために、基板101が半絶縁性GaAs基板であるが、基板101は半絶縁性GaAs基板に限定されない。例えば、基板101と第1コンタクト層102との間にノンドープのGaAs層があれば、基板101がn型GaAs基板であってもよい。

【0077】

(第5実施形態)

次に、第5実施形態について説明する。第5実施形態は測距装置に関する。測距装置は光学装置の一例である。図24は、第5実施形態に係る測距装置を示す図である。

20

【0078】

第5実施形態に係る測距装置500は、投光部510、受光部520、時間計測回路530及び制御回路540を有する。

【0079】

投光部510は、例えば、光源511と、光源駆動回路512と、光スキャナ513と、光スキャナ駆動回路514と、走査角モニタ515と、投射レンズ516とを有する。光源511は、第1～第4実施形態に係るVCSELアレイを有する光源モジュールを含む。光源駆動回路512は制御回路540から出力された駆動信号に基づいて光源511を駆動する。光スキャナ513はMEMS(Micro Electro Mechanical System)ミラー又はポリゴンミラー等を含む。光スキャナ駆動回路514は制御回路540から出力された駆動信号に基づいて光スキャナ513を駆動する。光源511の光源モジュールは複数のサブアレイを有する。各サブアレイは、それぞれが1個以上のVCSEL素子を含み、各サブアレイ内のVCSEL素子は電氣的に並列に接続されている。また、各サブアレイは、光スキャナ513の走査方向(副走査方向に)1次元的に配置されている。光源511の光源モジュールは光源駆動回路512によって、例えばナノ秒オーダーのパルス電流で駆動される。そして、VCSEL素子が出射したレーザ光は必要に応じて投射レンズ516等によって所望のビームプロファイルに変換され、その後、光スキャナ513によって照射方向が決められ、測距装置500の外部へ照射される。光スキャナ513の走査角が走査角モニタ515により測定され、この結果が制御回路540に出力される。光スキャナ513及び投射レンズ516は光学素子の一例である。

30

40

【0080】

測距装置500の外部へと照射されたレーザ光は、対称物によって反射されて測距装置500に戻り、受光部520に到達する。

【0081】

受光部520は、例えば、受光素子521と、受光レンズ522と、バンドパスフィルタ523とを有する。受光素子521はシリコンのAPD(Avalanche Photo Diode)素子を含む。受光レンズ522は受光部520に到達した光を受光素子521に収束させる。バンドパスフィルタ523は誘電体多層膜を含み、光源511の発振波長の領域の光のみを透過するように設計されている。バンドパスフィルタ523により、信号のS/N比を向上させることができる。

50

【 0 0 8 2 】

受光素子 5 2 1 に到達した光は、受光素子 5 2 1 により電気信号に変換され、必要に応じて増幅器 5 3 1 やコンパレータ 5 3 2 を通して時間計測回路 5 3 0 に入力される。

【 0 0 8 3 】

時間計測回路 5 3 0 には、制御回路 5 4 0 が出力した光源 5 1 1 の駆動信号と、受光素子 5 2 1 からの信号が入力される。時間計測回路 5 3 0 は、これら 2 信号の間の遅延時間を計測し、この結果を制御回路 5 4 0 に出力する。

【 0 0 8 4 】

制御回路 5 4 0 は、時間計測回路 5 3 0 からの遅延時間を光波長へと変換する。

【 0 0 8 5 】

このような測距装置 5 0 0 によれば、対象物までの距離を計測し、光源モジュールのサブ発光領域及び光スキャナ 5 1 3 によって分解された空間領域に対して、順次レーザ光を照射することで、2 次元的な距離情報を得ることができる。この測距装置 5 0 0 は、例えば L i D A R (Light Detection and Ranging) に用いることができる。

【 0 0 8 6 】

本開示の光源モジュールは、測距装置の光源の他にも、固体レーザの励起光源に用いることもできる。また、面発光レーザモジュールを、蛍光体等の、面発光レーザモジュールからの出射光の波長変換を行う光学素子と組み合わせてプロジェクタ等の光源装置として利用することもできる。面発光レーザモジュールを、レンズ、ミラー、回折格子等の、面発光レーザモジュールからの出射光を発散又は収束させる光学素子と組み合わせてセンシング用の光源装置として利用することもできる。

【 0 0 8 7 】

以上、好ましい実施の形態等について詳説したが、上述した実施の形態等に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態等に種々の変形及び置換を加えることができる。

【 符号の説明 】

【 0 0 8 8 】

1 0 0、2 0 0、3 0 0、4 0 0、 面発光レーザアレイ (V C S E L アレイ)

1 0 1 基板

1 0 2、1 0 7 コンタクト層

1 0 3、1 0 6 多層膜反射鏡

1 0 4 共振器

1 0 5 選択酸化層

1 0 9 a、1 0 9 b、1 0 9 c、1 0 9 x 電極

1 2 1、1 2 2、1 2 3 サブアレイ

1 2 4 V C S E L 素子

1 2 5 疑似 V C S E L 素子

1 2 9 カソードパッド部

1 5 0 サブマウント

5 0 0 測距装置

【 先行技術文献 】

【 特許文献 】

【 0 0 8 9 】

【 文献 】 特開 2 0 2 0 - 1 2 3 7 1 0 号 公 報

【 文献 】 米国特許出願公開第 2 0 1 9 / 0 0 3 6 3 0 8 号 明 細 書

【 文献 】 特表 2 0 1 5 - 5 1 0 2 7 9 号 公 報

10

20

30

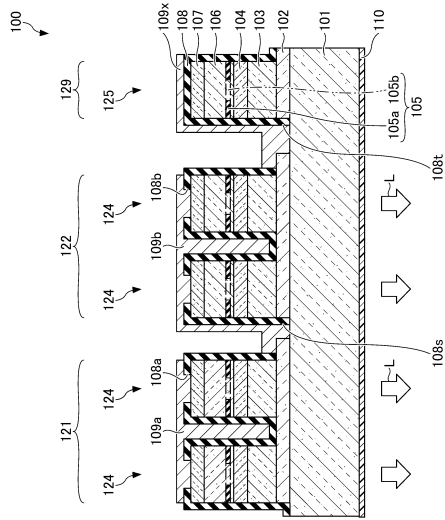
40

50

【図面】

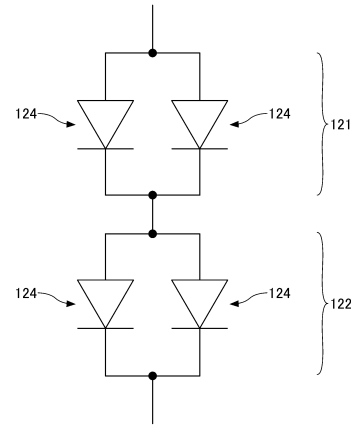
【図 1】

第1実施形態に係る面発光レーザーアレイを示す断面図



【図 2】

第1実施形態に係る面発光レーザーアレイを示す等価回路図

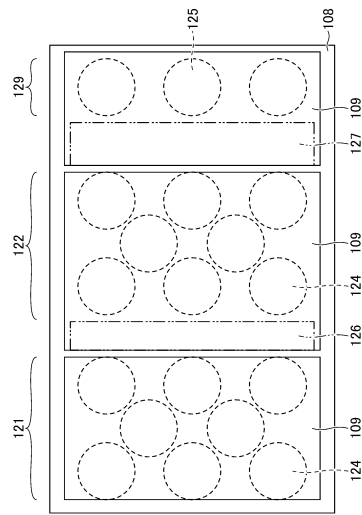


10

20

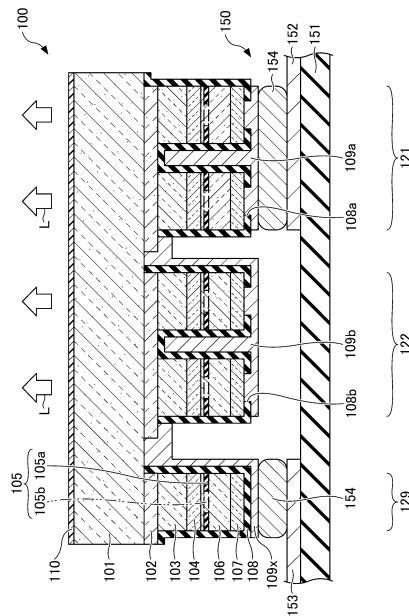
【図 3】

第1実施形態に係る面発光レーザーアレイを示す平面図



【図 4】

第1実施形態に係る面発光レーザーアレイを含む光源モジュールの第1例を示す断面図

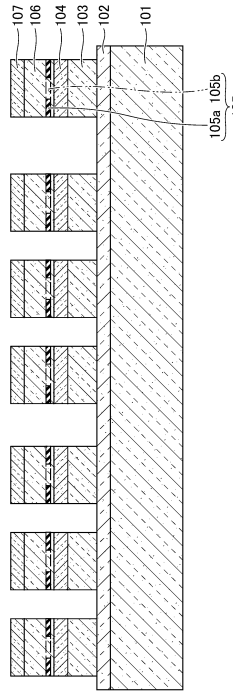


30

40

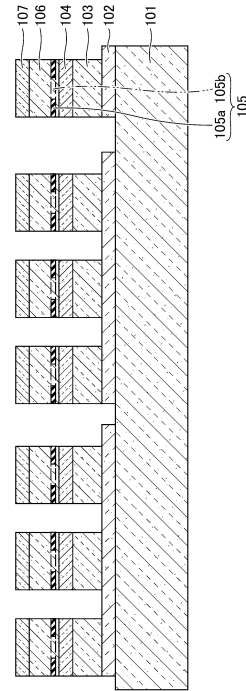
【図13】

第3実施形態に係る面発光レーザーレイの製造方法を示す断面図(その3)



【図14】

第3実施形態に係る面発光レーザーレイの製造方法を示す断面図(その4)

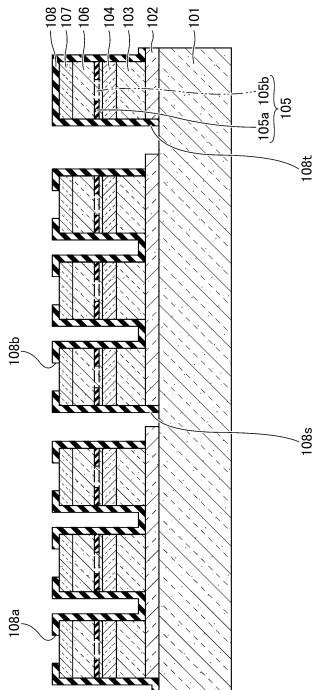


10

20

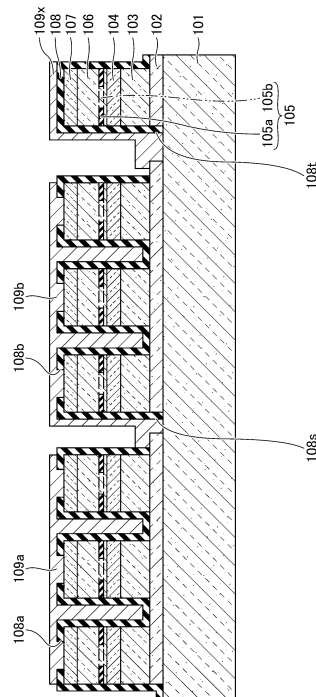
【図15】

第3実施形態に係る面発光レーザーレイの製造方法を示す断面図(その5)



【図16】

第3実施形態に係る面発光レーザーレイの製造方法を示す断面図(その6)



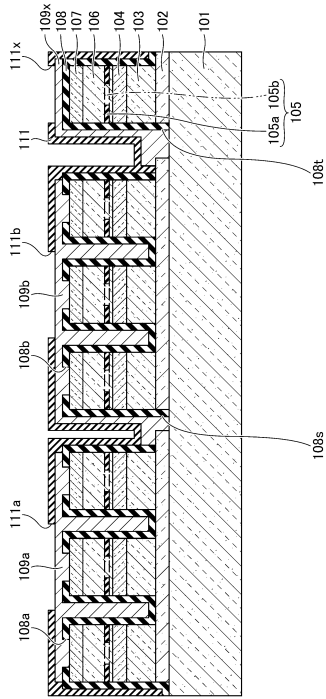
30

40

50

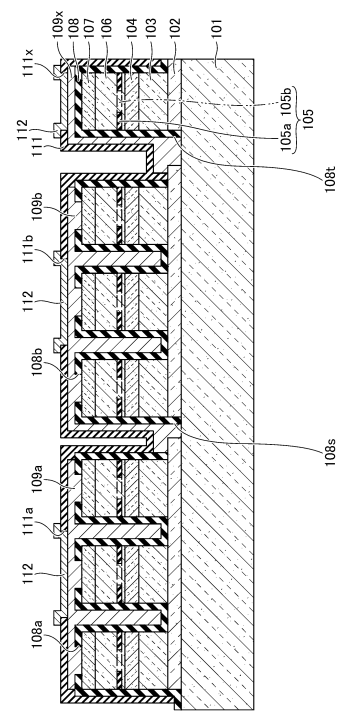
【図17】

第3実施形態に係る面発光レーザーレイの製造方法を示す断面図(その7)



【図18】

第3実施形態に係る面発光レーザーレイの製造方法を示す断面図(その8)

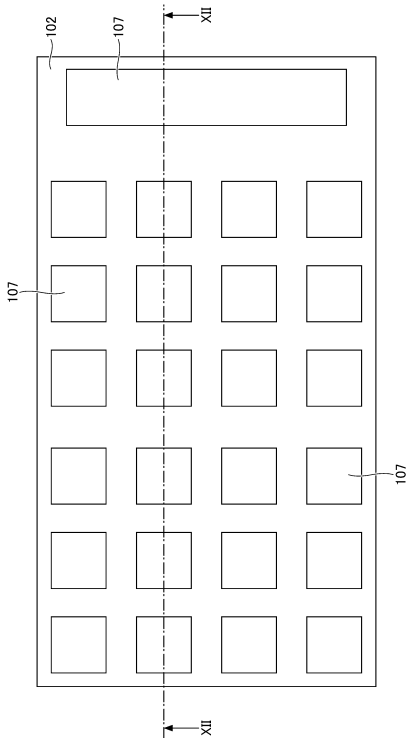


10

20

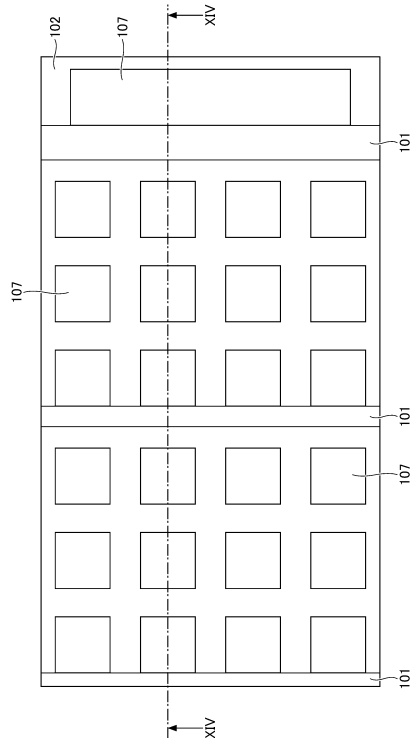
【図19】

第3実施形態に係る面発光レーザーレイの製造方法を示す平面図(その1)



【図20】

第3実施形態に係る面発光レーザーレイの製造方法を示す平面図(その2)



30

40

50

フロントページの続き

(51)国際特許分類

F I
G 0 1 S 17/42

式会社リコー内

審査官 佐竹 政彦

(56)参考文献 特開 2 0 1 4 - 0 9 3 4 6 3 (J P , A)
米国特許出願公開第 2 0 2 0 / 0 3 1 3 4 0 1 (U S , A 1)
特表 2 0 1 5 - 5 1 0 2 7 9 (J P , A)
特開 2 0 1 6 - 0 1 8 9 4 3 (J P , A)
米国特許出願公開第 2 0 1 3 / 0 1 6 3 6 2 6 (U S , A 1)
特開 2 0 1 4 - 1 5 0 2 2 5 (J P , A)
特表 2 0 2 0 - 5 2 9 1 2 8 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)
H 0 1 S 5 / 0 0 - 5 / 5 0