(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2011 年 7 月 7 日 (07.07.2011)

PCT

(10) 国际公布号
WO 2011/079586 A1

(51) 国际专利分类号:
H01L 21/8238 (2006.01)

(21) 国际申请号: PCT/CN2010/074234

(22) 国际申请日: 2010 年 6 月 22 日 (22.06.2010)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
200910244632.1 2009 年 12 月 31 日 (31.12.2009) CN

(71) 申请人 (对除美国外的所有指定国): **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **朱慧珑 (ZHU, Huilong)** [US/US]; 美国纽约州波基普西市奥特姆街 93 号, New York 12603 (US)。 **骆志炯 (LUO, Zhijiong)** [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11 号, New York 12603 (US)。 **尹海洲 (YIN, Haizhou)** [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11 号, New York 12603 (US)。

(74) 代理人: **北京市立方律师事务所 (LIFANG & PARTNERS LAW FIRM)**; 中国北京市东四十条甲 22 号南新仓国际大厦 A1105 室, Beijing 100007 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: FIELD EFFECT TRANSISTOR DEVICE WITH IMPROVED CARRIER MOBILITY AND METHOD FOR FABRICATING THE SAME

(54) 发明名称 : 具有改善的载流子迁移率的场效应晶体管器件及其制造方法

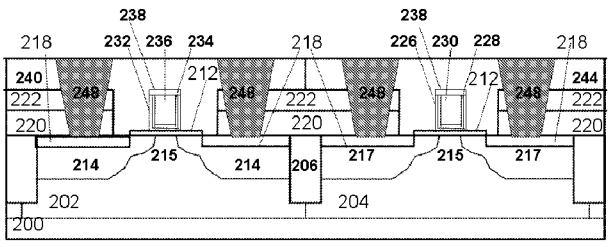


图 15 / FIG. 15

(57) Abstract: A field effect transistor device with improved carrier mobility and a method for fabricating the same are provided. The method for fabricating the field effect transistor device comprises: forming a first stress layer(236) with compresstion stress in the gate stacking of NMOS, and forming a second stress layer(230) with tensile stress in the gate stacking of PMOS, after forming stress layers, removing the sidewalls(216) of the gate stackings of the PMOS and the NMOS, so as to release the stress to channel regions(215), thereby the tensile stress of the NMOS channel region and the compression stress of the PMOS channel region are improved. And, sidewalls(240, 244) with opposite stress can be formed on the sidewalls of the gate stackings of the NMOS and the PMOS and part of the source and drain regions, so as to improve the tensile stress of the NMOS and the compression stress of PMOS.

[见续页]

WO 2011/079586 A1

(57) 摘要:

提供了一种具有改善的载流子迁移率的场效应晶体管器件及其制造方法。场效应晶体管器件制造方法包括：在 NMOS 栅堆叠层中形成具有压应力的第一应力层（236），和在 PMOS 的栅堆叠中形成具有拉应力的第二应力层（230），在形成应力层之后去除 PMOS 和 NMOS 的栅堆叠的侧墙（216）以便释放所述应力到沟道区（215），从而提升 NMOS 沟道区的拉应力和 PMOS 沟道区的压应力。而且，可以在 NMOS 和 PMOS 的栅堆叠侧壁和部分源极区和漏极区上方形成具有相反应力的侧墙（240，244），以便提高 NMOS 的拉应力和 PMOS 的压应力。

具有改善的载流子迁移率的场效应晶体管器件及其制造方法

技术领域

本发明涉及通过应变工程来改善场效应晶体管器件的性能，更具体地，本发明涉及通过引起沟道区的应力改变，来提高载流子的迁移率。

背景技术

随着半导体技术的发展，具有更高性能和更强功能的集成电路要求更大的元件密度，而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小。

然而，当集成电路元件的尺寸缩小时，不可避免地损害了晶体管和其他元件运转的恒定材料特性和物理效应。因此，已经对晶体管的设计进行了很多新的创新，以便把这些元件的性能保持到合适的水平。

场效应晶体管中保持性能的重要因素是载流子迁移率，在通过非常薄的栅介质来与沟道隔离的栅极上施加的电压的情况下，载流子迁移率可以影响掺杂半导体沟道中流动的电流或电荷量。

已经知道，根据载流子的类型和应力方向，FET 的沟道区中的机械应力可以显著地提高或降低载流子的迁移率。在通常沟道延 110 晶向形成的 FET 中，源/漏区方向上的拉应力能够提高电子迁移率，降低空穴迁移率，可以有利地提高 NMOS 的性能; 而源/漏区方向上的压应力可以提高空穴迁移率，降低电子迁移率，可以有利地提高 PMOS 的性能。现有技术中已经提出了大量的结构和材料用于在半导体材料中包含拉力或者压力，例如在 US2006/0160317 中，就提出了一种在 MOSFET 器件上通过沉积应力层，并选择性地刻蚀全部或者部分栅极层，来提高沟道中的载流子迁移率的方案。

然而，现有技术通常通过应力层或者应力界面来改变载流子的迁移率，这将不利于器件尺寸的持续缩小，并且导致复杂的制造工艺。而且随着目前半导体器件尺寸的减小，相应的沟道区域也随之减小。因此，当应力材料膨胀时，对于施加在沟道区域两侧的源极和/或漏极区域应力材料，其相应增加的应力非常有限，从而不能够很好地改善 MOSFET 晶体管（例如开

关电流比），这样，其对应构成的 COMS 电路的性能也相应地较差。因此，需要提供一种新的半导体器件的制造方法，能够同时提高 NMOS 和/或 PMOS 器件的沟道区的载流子迁移率，和减小器件的尺寸并简化制造工艺。

发明内容

鉴于上述问题，本发明提供一种具有改善的载流子迁移率的栅替代工艺场效应晶体管器件，所述器件包括：具有 NMOS 区域和 PMOS 区域的半导体衬底，其中所述 NMOS 区域与所述 PMOS 区域相互隔离；形成于所述 NMOS 区域上的第一栅堆叠和形成于所述 PMOS 区域上的第二栅堆叠，其中，所述第一栅堆叠包括：第一栅介质层；在所述第一栅介质层上的第一金属栅极层和具有压应力性质的第一应力层，所述第一应力层填充所述第一栅堆叠中间的间隙；所述第二栅堆叠包括：第二栅介质层；在所述第二栅介质层上的第二金属栅极层和具有拉应力性质的第二应力层，所述第二应力层填充所述第二栅堆叠中间的间隙；在所述第一栅堆叠侧壁的具有拉应力性质的第三应力侧墙；以及在所述第二栅堆叠的侧壁形成的具有压应力性质的第四应力侧墙。

此外，本发明还提供一种具有改善的载流子迁移率的栅替代工艺的 N 型场效应晶体管器件，所述器件包括：半导体衬底；在所述半导体衬底中形成的源极区和漏极区；在所述半导体衬底上的层间介质层和在所述层间介质层中形成的开口；在所述开口中形成的栅堆叠，其中，所述栅堆叠包括：栅介质层；在所述栅介质层上的金属栅极层和具有压应力性质的应力层，所述应力层填充所述栅堆叠中间的间隙；在所述栅堆叠侧壁的具有拉应力性质的应力侧墙。以及一种具有改善的载流子迁移率的栅替代工艺的 P 型场效应晶体管器件，所述器件包括：半导体衬底；在所述半导体衬底中形成的源极区和漏极区；在所述半导体衬底上的层间介质层和在所述层间介质层中形成的开口；在所述开口中形成的栅堆叠，其中，所述栅堆叠包括：栅介质层；在所述栅介质层上的金属栅极层和具有拉应力性质的应力层，所述应力层填充所述栅堆叠中间的间隙；在所述栅堆叠侧壁的具有压应力性质的应力侧墙。

根据本发明的另一个方面还提供一种具有改善的载流子迁移率的后栅工艺场效应晶体管器件的制造方法，包括如下步骤：a、提供具有 NMOS 区域和 PMOS 区域的半导体衬底；b、在所述半导体衬底上形成属于 NMOS 区域的第一界面层、第一伪栅极层和第一栅堆叠侧墙和属于 PMOS 区域的第二界面层、第二伪栅极层和第二栅堆叠侧墙，以及在所述半导体衬底中分别形成属于NMOS 区域和PMOS 区域的源极区和漏极区和覆盖所述器件的层间介质层；c、移除所述 PMOS 区域的第二伪栅极层以形成第二开口，在所述第二开口中形成第二栅堆叠，所述第二栅堆叠包括第二栅介质层、第二金属栅极层和填充所述第二栅堆叠中间的间隙的第二应力层，所述第二栅介质层和第二金属栅极层覆盖所述第二开口的侧壁和所述第二界面层，所述第二应力层为具有拉应力性质的应力材料；d、移除所述 NMOS 区域的第一伪栅极层以形成第一开口，在所述第一开口中形成第一栅堆叠，所述第一栅堆叠包括第一栅介质层、第一金属栅极层和填充所述第一栅堆叠中间的间隙的第一应力层，所述第一栅介质层和第一金属栅极层覆盖所述第一开口的侧壁和所述第一界面层，所述第一应力层为具有压应力性质的应力材料；e、移除所述第一栅堆叠侧墙，以提高所述 NMOS 区域的沟道区的拉应力，移除所述第二栅堆叠侧墙，以提高所述 PMOS 区域的沟道区的压应力；f、在所述 NMOS 区域的第一栅堆叠侧壁形成具有拉应力性质的第三应力侧墙；在所述 PMOS 区域的第二栅堆叠侧壁形成具有压应力性质的第四应力侧墙。

此外，本发明还提供一种具有改善的载流子迁移率的后栅工艺 N 型场效应晶体管器件的制造方法，包括如下步骤：a、提供半导体衬底；b、在所述半导体衬底上形成界面层、伪栅极层和栅堆叠侧墙，以及在所述半导体衬底中形成源极区和漏极区和覆盖所述器件的层间介质层；c、移除所述伪栅极层以形成开口，在所述开口中形成栅堆叠，所述栅堆叠包括栅介质层、金属栅极层和填充所述栅堆叠中间的间隙的应力层，所述应力层为具有压应力性质的应力材料；d、移除所述栅堆叠侧墙，以提高所述器件的沟道区的拉应力；e、在所述栅堆叠侧壁形成具有拉应力性质的应力侧墙。

以及一种具有改善的载流子迁移率的后栅工艺 P 型场效应晶体管器件的制造方法，包括如下步骤：a、提供半导体衬底；b、在所述半导体衬底

上形成界面层、伪栅极层和栅堆叠侧墙，以及在所述半导体衬底中形成源极区和漏极区和覆盖所述器件的层间介质层；c、移除所述伪栅极层以形成开口，在所述开口中形成栅堆叠，所述栅堆叠包括栅介质层、金属栅极层和填充所述栅堆叠中间的间隙的应力层，所述栅介质层和金属栅极层覆盖所述开口的侧壁和所述界面层，所述应力层为具有拉应力性质的应力材料；d、移除所述栅堆叠侧墙，以提高所述器件的沟道区的拉应力；e、在所述栅堆叠侧壁形成具有压应力性质的应力侧墙。

通过本发明的器件和制造方法，可以在器件尺寸持续缩小的情况下，将应力最大限度地施加到 NMOS 器件和/或 PMOS 器件的沟道中来提高器件性能。

附图说明

图 1-15 示出了根据本发明的实施例的场效应晶体管器件的不同阶段的示意性截面图；

图 16 示出了根据本发明的实施例的场效应晶体管的制造方法的流程图；

图 17-24 示出了根据本发明的另一实施例的场效应晶体管器件的不同阶段的示意性截面图；

图 25 示出了根据本发明的另一实施例的场效应晶体管的制造方法的流程图。

具体实施方式

下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。应当注意，在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和处理技术及工艺的描述以

避免不必要地限制本发明。

如上所述，沟道区被置于拉应力下时，能够改进 N 型场效应晶体管（NMOS）器件的性能；而沟道区被置于压应力下时，能够改进 P 型场效应晶体管（PMOS）器件的性能。在本发明的实施例中，利用栅替代工艺通过分别在NMOS的栅堆叠中间的间隙中形成具有压应力性质的第一应力层和在 PMOS 的栅堆叠中间的间隙中形成具有拉应力性质的第二应力层；并且在形成所述应力层后，移除 PMOS 和 NMOS 器件的栅堆叠的侧墙以便释放所述应力到沟道区，进而提升 NMOS 器件沟道区的拉应力和 PMOS 器件沟道区的压应力。特别地，可以在 NMOS 器件和 PMOS 器件的所述栅堆叠侧壁以及部分源极区和漏极区的上方形成具有相反应力性质的应力层，以便进一步提高NMOS器件的拉应力和PMOS器件的压应力。即，对于NMOS器件可以沉积具有拉应力性质的第三应力侧墙和对于 PMOS 器件沉积具有压应力性质的第四应力侧墙。通过本发明的器件和制造方法，可以在器件尺寸持续缩小的情况下，将应力最大限度地施加到 NMOS 器件和 PMOS 器件的沟道中来提高器件性能。

参考图 15，图 15 示出了根据本发明的实施例的半导体器件的结构图。所述器件通过栅替代和侧墙替代工艺制成。所谓栅替代工艺是指先形成伪栅极，并对所述器件进行源/漏注入和源/漏退火，以激活源漏掺杂，在形成源极区和漏极区后去除所述伪栅极并形成新的属于NMOS区域和PMOS区域的栅堆叠。所谓侧墙替代工艺是指，先在所述 NMOS 区域和 PMOS 区域的栅堆叠侧壁形成伪侧墙，并在适当的时候去除所述伪侧墙，根据器件的设计需要形成新的侧墙。

下面将详细描述根据本发明的实施例的半导体器件的结构。所述器件具有包括 NMOS 区域 202 和 PMOS 区域 204 的半导体衬底 200，其中所述 NMOS 区域 202 与所述 PMOS 区域 204 由隔离区 206 相互隔离。

在本实施例中，衬底 200 包括位于晶体结构中的硅衬底（例如晶片）。根据现有技术公知的设计要求（例如 p 型衬底或者 n 型衬底），衬底 200 可以包括各种掺杂配置。其他例子的衬底 200 还可以包括其他基本半导体，例如锗和金刚石。或者，衬底 200 可以包括化合物半导体，例如碳化硅、

砷化镓、砷化铟或者磷化铟。此外，衬底 200 可以可选地包括外延层，可以被应力改变以增强性能，以及可以包括绝缘体上硅（SOI）结构。

在本实施方式中示意性给出一个隔离区 206，具有多个隔离区 206 的器件结构可以根据本发明提供的结构周期性重复而成。在本实施例中，隔离区 206 按照本领域内的常规方法形成，可以是例如利用光刻技术在半导体衬底 200 的待形成器件的表面上形成掩膜，通过掩膜的开口刻蚀衬底以形成沟槽，然后利用 SiO_2 介质材料填充该沟槽，如图 1 所示。

所述器件还包括属于 NMOS 区域的源/漏极区 214 和属于 PMOS 区域的源/漏极区 217，以及在所述源极区和漏极区中间的沟道区 215。所述源/漏极区 214、217 可以通过根据期望的晶体管结构，注入 n 型或 p 型掺杂物或杂质到衬底 200 中而形成，源/漏极区 214 可以是 N 型掺杂，例如 Si:C，其中 C%为 0.2-2%，源/漏极区 217 可以是 P 型掺杂，例如 SiGe，其中 Ge 为 20-70%。源/漏极区 214、217 可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。由于本发明应用栅替代工艺，因此源极和漏极 214、217 先于所述 NMOS 和 PMOS 区域的栅堆叠而形成，可以利用通常的半导体加工工艺和步骤，对所述器件进行热退火，以激活源极和漏极 214、217 中的掺杂，热退火可以采用包括快速热退火、尖峰退火等本领域技术人员所知晓的工艺进行。

所述器件还包括形成于所述 NMOS 区域 202 上的第一栅堆叠和形成于所述 PMOS 区域 204 上的第二栅堆叠，其中，所述第一栅堆叠包括：第一栅介质层 232；在所述第一栅介质层 232 上的第一金属栅极层 234 和具有压应力性质的第一应力层 236，所述第一应力层 236 填充所述第一栅堆叠中间的间隙；所述第二栅堆叠包括：第二栅介质层 226；在所述第二栅介质层上的第二金属栅极层 228 和具有拉应力性质的第二应力层 230，所述第二应力层 230 填充所述第二栅堆叠中间的间隙。

其中，所述第一栅介质层 232 可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅，也可为高 K 介质，例如 HfO_2，TiO2，ZrO2，La2O3，厚度优选为大约 1－5nm。所述第一金属栅极层 234 可以为 N 型金属，包括但不限于 TaC, TiN, TaTbN, TaErN, TaYbN, TaSiN, HfSiN, MoSiN, $RuTa_x$,

$NiTa_X$。优选地，所述第一金属栅极层 234 的功函数接近 Si 的导带边沿，例如距 Si 导带边的距离小于 0.2eV，厚度优选为大约 1－5nm。所述第一应力层 236 填充所述第一栅堆叠中间的间隙，所述第一应力层 236 包括具有压应力性质的材料，例如 TiAl，可以通过溅射 TiAl 来形成。

所述第二栅介质层 226 可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅，也可为高 K 介质，例如 HfO_2，TiO2，ZrO2，Al2O3，厚度优选为大约 1－5nm。所述第二金属栅极层 228 可以为 P 型金属，包括但不限于 MoN_X, TiSiN, TiCN, TaAlC, TiAlN, TaN, $PtSi_X$, Ni_3Si, Pt, Ru, Ir, Mo, HfRu, RuO_X。优选地，所述金属栅极层 228 的功函数接近 Si 的价带边沿，例如距 Si 价带边的距离小于 0.2eV，厚度优选为大约 1－5nm。所述第二应力层 230 填充所述第二栅堆叠中间的间隙，所述第二应力层 230 包括具有拉应力性质的材料，例如可以通过在所述栅堆叠中间的间隙中沉积 Ti 和 Al，并在大约 300－500℃下进行大约 1-20s 秒热退火来形成拉应力性质的 TiAl。

如图 2-4 所示，所述第一栅堆叠通过首先在衬底上形成属于 NMOS 区域的第一伪栅极层 208，例如多晶硅和第一侧墙 216，例如氮化物，如氮化硅。而后去除所述伪栅极层 208 以形成开口，并在所述开口中形成第一栅介质层 232、第一金属栅极层 234 和第一应力层 236 来形成。相同地，所述第二栅堆叠通过首先在衬底上形成属于 PMOS 区域的第二伪栅极介质层 208 和第二侧墙 216，而后去除所述伪栅极层 208 以形成开口，并在所述开口中形成第二栅介质层 226、第二金属栅极层 228 和第二应力层 230 来形成，如图 7-8 所示。

所述第一和第二伪栅极层 208 和侧墙 216 可以例如首先在 NMOS 区域 202 和 PMOS 区域 204 的衬底表面沉积例如 1-3nm 的界面层 212，所述界面层可以是例如氧化物层，如 SiO_2。之后在所述界面层上沉积伪栅极层 208，例如多晶硅，厚度大约为 50-120nm，再沉积刻蚀保护层，进行栅光刻以形成第一伪栅极层和第二伪栅极层 208。所述第一侧墙和第二侧墙 216 可以通过在所述界面层 212 上沉积氮化物层，而后进行反应离子刻蚀来形成。所述界面层 212 可以在后续的加工过程同为器件的源漏极及其扩展区提供刻蚀保护。

特别地，所述器件还包括在所述衬底上和所述第一栅堆叠和第二栅堆叠之间的层间介质层，如图 5-6 所示。所述层间介质包括氮化物层 220，例如 10-30nm 和氧化物层 222，例如 10-30nm。可以通过分别沉积(CVD, PECVD)氮化物层 220 以及氧化物层 222，再进行化学机械平坦化工序来暴露所述第一伪栅极层和第二伪栅极层的上表面来形成所述层间介质层。

特别地，所述第二栅堆叠可以先于所述第一栅堆叠形成，以避免所述第二应力层 230 的热退火过程致使第一栅堆叠中的材料和层导致劣化。即首先利用刻蚀保护层将 NMOS 区域保护起来并暴露 PMOS 区域，对 PMOS 区域的伪栅极层 208 进行刻蚀以形成开口，并在所述开口中形成第二栅介质层 226、金属栅极层 228 和应力层 230，进行热退火以反映形成具有拉应力性质的 TiAl。而后，利用刻蚀保护层将 PMOS 区域保护起来并暴露 NMOS 区域，对 NMOS 区域的伪栅极层 208 进行刻蚀以形成开口，并在所述开口中形成第一栅介质层 232、金属栅极层 234 和具有压应力性质的第一应力层 236。

所述器件还包括在所述第一栅堆叠侧壁的具有拉应力性质的第三应力侧墙 240；以及在所述第二栅堆叠的侧壁形成的具有压应力性质的第四应力侧墙 244。所述第三应力侧墙 240 为与所述第一应力 236 层具有相反应力性质的材料形成，即具有拉应力性质的材料，例如拉应力氮化物层，如 Si3N4。所述第四应力侧墙 244 为与所述第二应力层 230 具有相反应力性质的材料形成，即具有压应力性质的材料，例如压应力氮化物层，如 Si3N4。

所述第三应力侧墙 240 和第四应力侧墙 244 通过去除所述第一侧墙 216 和第二侧墙 216 后在所述第一栅堆叠和第二栅堆叠的侧壁分别沉积拉应力性质的材料和压应力性质的材料来形成，如图 9-15 所示。可以通过例如反应离子刻蚀（RIE）来去除所述第一侧墙和第二侧墙 216，如图 9 所示。特别地，在所述反应离子刻蚀之前可以在第一和第二栅堆叠的表面沉积刻蚀保护层，例如氧化物层 238，以保护所述第一和第二栅堆叠。

由于在 NMOS 区域的第一栅堆叠中包含具有压应力性质的第一应力层 236，例如 TiAl 层。因此，当去除 NMOS 区域的第一侧墙 216 后，侧墙 216 施加的反作用力得以去除，压应力性质的 TiAl 层得以释放，致使 NMOS

区域的沟道区 215 的拉应力将得以提升，从而改善电子的迁移率，提高器件性能。相同地，当去除 PMOS 区域的第二侧墙 216 后，侧墙 216 施加的反作用力得以去除，拉应力性质的 TiAl 层得以释放，致使 PMOS 区域的沟道区 215 的压应力将得以提升，从而改善空穴的迁移率，提高器件性能。

在所述第一栅堆叠的侧壁形成具有拉应力性质的第三应力侧墙 240，例如具有拉应力性质的氮化物。特别地，所述第三应力侧墙还包括位于所述 NMOS 区域的源极区和漏极区的上方覆盖所述层间介质层和所述第一栅堆叠的部分。在所述第二栅堆叠的侧壁形成具有压应力性质的第四应力侧墙 244，例如具有压应力性质的氮化物。特别地，所述第四应力侧墙 244 还包括位于所述 PMOS 区域的源极区和漏极区的上方覆盖所述层间介质层和所述第二栅堆叠的部分。

例如，可以通过如下方式形成第三和第四应力侧墙 240、244。首先如图 10 所示，在 NMOS 和 PMOS 区域上沉积具有拉应力性质的第三应力侧墙 240，厚度大约为 10-30nm，所述第三应力侧墙覆盖整个器件，即包括在所述 NMOS 和 PMOS 区域的源极区和漏极区之上，覆盖所述层间介质层和第一、第二栅堆叠的上表面的部分。后在所述第三应力侧墙 240 上沉积刻蚀保护层 242，例如可以为氧化物层，如氧化硅，厚度大约为 5-15nm。而后如图 11 所示，进行光刻以便在 NMOS 区域上形成光刻保护层。而后进行刻蚀，例如 RIE 以去除 PMOS 区域上的刻蚀保护层 242，保留 NMOS 区域上的刻蚀保护层 242。之后去除 NMOS 区域上残留的光刻保护层。如图 12 所示，进行 RIE 以选择性去除未被刻蚀保护层 242 覆盖的第三应力侧墙 240，例如拉应力性质的氮化物层。

可以采用与上述方法相同的方式来形成第四应力侧墙 244。即首先在 NMOS 和 PMOS 区域上沉积具有压应力性质的第四应力侧墙 244，厚度大约为 10-30nm，所述第四应力侧墙覆盖整个器件，即包括在所述 NMOS 和 PMOS 区域的源极区和漏极区之上，覆盖所述层间介质层和第一、第二栅堆叠的上表面的部分，如图 13 所示。后在所述第四应力侧墙 244 上沉积刻蚀保护层 246，例如可以为氧化物层，如氧化硅，厚度大约为 5-15nm。而后进行光刻以便在 PMOS 区域上形成光刻保护层。而后进行刻蚀，例如 RIE

以去除 NMOS 区域上的刻蚀保护层 246，保留 PMOS 区域上的刻蚀保护层 246，如图 14 所示。之后去除 NMOS 区域上残留的光刻保护层。进行 RIE 以选择性去除未被刻蚀保护层 246 覆盖的第四应力侧墙 244，例如压应力性质的氮化物层。

所述第三应力侧墙 240 与通常的拉应力帽作用一样相同，可以进一步提高所述 NMOS 器件沟道区的拉应力，从而改善电子的迁移率，提高器件性能。同理，所述四应力侧墙 244 与通常的压应力帽作用相同一样，可以进一步提高所述 PMOS 器件沟道区的压应力，从而改善空穴的迁移率，提高器件性能。

进行化学机械平坦化工艺（CMP）以平坦化所述半导体衬底的表面。

所述器件还可以包括在所述 NMOS 区域和 PMOS 区域的源极区和漏极区上方的层间介质层中形成的接触孔 248。可以覆盖所述器件的上表面、在所述 NMOS 和 PMOS 区域的源极区和漏极区的上方进行光刻，以形成光刻保护层。进行 RIE 来形成接触孔 248。所述接触孔 248 可以设置在距离 NMOS 和 PMOS 区域的栅堆叠或所述第三/第四侧墙大约 10-50nm 的范围内。在所述接触孔中形成的 TiN 层和钨接触材料。

特别地，可以在进行 NMOS 和 PMOS 区域的源极区和漏极区的掺杂和退火后，在所述源极区和漏极区中形成金属硅化物，例如 NiPtSi 或者 CoSi2。举例来说可以通过在衬底上沉积大约 3-12nm 的 NiPt，在大约 300-500℃下进行热退火，并在退火后将未反应的 NiPt 刻蚀掉来形成，以便调节随后形成的接触孔的接触电阻。

以上已经描述了根据本发明的具有改善的载流子迁移率的栅替代工艺场效应晶体管器件的结构。

下面将根据图 16 所示的流程图描述本发明的场效应晶体管器件的制造方法。

在步骤 a，提供具有 NMOS 区域和 PMOS 区域的半导体衬底。

如图 1 所示，在半导体衬底 200 上形成有 NMOS 区域 202 和 PMOS 区域 204，其中所述 NMOS 区域 202 与所述 PMOS 区域 204 由隔离区 206 相互隔离。

在本实施例中，衬底 200 包括位于晶体结构中的硅衬底（例如晶片）。根据现有技术公知的设计要求（例如 p 型衬底或者 n 型衬底），衬底 200 可以包括各种掺杂配置。其他例子的衬底 200 还可以包括其他基本半导体，例如锗和金刚石。或者，衬底 200 可以包括化合物半导体，例如碳化硅、砷化镓、砷化铟或者磷化铟。此外，衬底 200 可以可选地包括外延层，可以被应力改变以增强性能，以及可以包括绝缘体上硅（SOI）结构。

在本实施方式中示意性给出一个隔离区 206，具有多个隔离区 206 的器件结构可以根据本发明提供的结构周期性重复而成。在本实施例中，隔离区 206 按照本领域内的常规方法形成，可以是例如利用光刻技术在半导体衬底 200 的待形成器件的表面上形成掩膜，通过掩膜的开口刻蚀衬底以形成沟槽，然后利用 SiO_2 介质材料填充该沟槽。

而后在步骤 b、在所述半导体衬底 200 上形成属于 NMOS 区域 202 的第一界面层 212、第一伪栅极层 208 和第一栅堆叠侧墙 216 和属于 PMOS 区域的第二界面层 212、第二伪栅极层 208 和第二栅堆叠侧墙 216，以及在所述半导体衬底中分别形成属于 NMOS 区域的源极区 214 和漏极区 214 以及属于 PMOS 区域的源极区 217 和漏极区 217 以及在所述源极区和漏极区中间的沟道区 215 和覆盖所述器件的层间介质层。

所述第一和第二界面层 212、第一和第二伪栅极层 208 和侧墙 216 可以例如图 2 所示首先在 NMOS 区域 202 和 PMOS 区域 204 的衬底表面沉积例如 1-3nm 的界面层 212，所述界面层可以是例如氧化物层，如 SiO_2。所述界面层 212 可以在后续的加工过程同为器件的源漏极及其扩展区提供刻蚀保护。之后在所述界面层上沉积伪栅极层 208，例如多晶硅，厚度大约为 50-120nm，再沉积刻蚀保护层，进行栅光刻以形成第一伪栅极层和第二伪栅极层 208，如图 3 所示。所述第一侧墙和第二侧墙 216 可以通过在所述界面层 212 上沉积氮化物层，而后进行反应离子刻蚀来形成，如图 4 所示。

所述源/漏极区 214、217 可以通过根据期望的晶体管结构，注入 p 型或 n 型掺杂物或杂质到衬底 200 中而形成。源/漏极区 214 可以是 N 型掺杂，例如 Si:C，其中 C%为 0.2-2%，源/漏极区 217 可以是 P 型掺杂，例如 SiGe，

其中 Ge 为 20-70%。源/漏极区 214、217 可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。可以利用通常的半导体加工工艺和步骤，对所述器件进行热退火，以激活源极和漏极 214、217 中的掺杂，热退火可以采用包括快速热退火、尖峰退火等本领域技术人员所知晓的工艺进行，优选地，可以使用尖峰退火，例如大约 1000-1100℃或者激光退火，来激活源极和漏极 214、217 中的掺杂，如图 4 所示。

特别地，可以在进行 NMOS 和 PMOS 区域的源极区和漏极区的掺杂和退火后，在所述源极区和漏极区中形成金属硅化物，例如 NiPtSi。举例来说可以通过在衬底上沉积大约 3-12nm 的 NiPt，在大约 300-500℃下进行热退火，并在退火后将未反应的 NiPt 刻蚀掉来形成，以便调节随后形成的接触孔的接触电阻。

可以在所述衬底上和所述第一栅堆叠和第二栅堆叠之间的层间介质层，如图 5-6 所示。所述层间介质包括氮化物层 220，例如 10-30nm 和氧化物层 222，例如 10-30nm。可以通过分别沉积氮化物层 220 以及氧化物层 222，再进行化学机械平坦化工序来暴露所述第一伪栅极层和第二伪栅极层的上表面来形成所述层间介质层。

而后进入步骤 c、移除所述 PMOS 区域的第二伪栅极层 208 以形成第二开口，在所述第二开口中形成第二栅堆叠，所述第二栅堆叠包括第二栅介质层 226、第二金属栅极层 228 和填充所述第二栅堆叠中间的间隙的第二应力层 230，所述第二栅介质层 226 和第二金属栅极层 228 覆盖所述第二开口的侧壁和所述第二界面层 212，所述第二应力层 230 为具有拉应力性质的应力材料。

如图 7 所示，首先在器件上沉积一层刻蚀保护层 224，例如氧化物层，如氧化硅，厚度大约为 5-20nm，进行光刻在 NMOS 区域上形成掩膜保护层（图中未示出）。而后进行刻蚀以去除 PMOS 区域上的刻蚀保护层 224，从而暴露 PMOS 区域，再去除所述 NMOS 区域上的掩模保护层。进行例如反应离子刻蚀 RIE 来去除第二伪栅极层 208，以形成开口。在所述开口中形成第二栅介质层 226、金属栅极层 228 和应力层 230。

所述第二栅介质层 226 可以为热氧化层，包括氧化硅、氮化硅，例如

二氧化硅，也可为高 K 介质，例如 HfO_2，TiO2，ZrO2，Al2O3，厚度优选为大约 1－5nm。所述第二金属栅极层 228 可以为 P 型金属，包括但不限于 MoN_x, TiSiN, TiCN, TaAlC, TiAlN, TaN, $PtSi_x$, Ni_3Si, Pt, Ru, Ir, Mo, HfRu, RuO_x。优选地，所述金属栅极层 228 的功函数接近 Si 的价带边沿，例如距 Si 价带边的距离小于 0.2eV，厚度优选为大约 1－5nm。所述第二应力层 230 填充所述第二栅堆叠中间的间隙，所述第二应力层 230 包括具有拉应力性质的材料，例如可以通过在所述栅堆叠中间的间隙中沉积 Ti 和 Al，并在大约 300－500℃下进行大约 1-20 秒热退火来形成拉应力性质的 TiAl。

而后在步骤 d: 移除所述 NMOS 区域的第一伪栅极层以形成第一开口，在所述第一开口中形成第一栅堆叠，所述第一栅堆叠包括第一栅介质层、第一金属栅极层和填充所述第一栅堆叠中间的间隙的第一应力层，所述第一栅介质层和第一金属栅极层覆盖所述第一开口的侧壁和所述第一界面层，所述第一应力层为具有压应力性质的应力材料。

如图 8 所示，在器件上沉积一层刻蚀保护层 224，例如氧化物层，如氧化硅，厚度大约为 5-20nm，进行光刻在 PMOS 区域上形成掩膜保护层（图中未示出）。而后进行刻蚀以去除 NMOS 区域上的刻蚀保护层 224，从而暴露 NMOS 区域，再去除所述 PMOS 区域上的掩模保护层。进行例如反应离子刻蚀 RIE 来去除第一伪栅极层 208，以形成开口。在所述开口中形成第一栅介质层 232、金属栅极层 234 和应力层 236。

所述第一栅介质层 232 可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅，也可为高 K 介质，例如 HfO_2，TiO2，ZrO2，La2O3，厚度优选为大约 1－5nm。所述第一金属栅极层 234 可以为 N 型金属，包括但不限于 TaC, TiN, TaTbN, TaErN, TaYbN, TaSiN, HfSiN, MoSiN, $RuTa_x$, $NiTa_x$。优选地，所述第一金属栅极层 234 的功函数接近 Si 的导带边沿，例如小于距 Si 导带边的距离 0.2eV，厚度优选为大约 1－5nm。所述第一应力层 236 填充所述第一栅堆叠中间的间隙，所述第一应力层 236 包括具有压应力性质的材料，例如 TiAl，可以通过溅射 TiAl 来形成。

特别地，所述第二栅堆叠可以先于所述第一栅堆叠形成，以避免所述第二应力层 230 的热退火过程致使第一栅堆叠中的材料和层导致劣化。

而后进入步骤 e、移除所述第一栅堆叠侧墙 216，以提高所述 NMOS 区域的沟道区的拉应力，移除所述第二栅堆叠侧墙 216，以提高所述 PMOS 区域的沟道区的压应力。

可以通过例如反应离子刻蚀（RIE）来可选择地去除所述第一侧墙和第二侧墙 216，如图 9 所示。特别地，在所述反应离子刻蚀之前可以在第一和第二栅堆叠的表面沉积刻蚀保护层，例如氧化物层 238，以保护所述第一和第二栅堆叠。这样可以设置反应离子刻蚀来刻蚀第一侧墙和第二侧墙的材料，如氮化物层而不会刻蚀堆叠表面的刻蚀保护层，如氧化物层 238。

由于在 NMOS 区域的第一栅堆叠中包含具有压应力性质的第一应力层 236，例如 TiAl 层。因此，当去除 NMOS 区域的第一侧墙 216 后，侧墙 216 施加的反作用力得以去除，压应力性质的 TiAl 层得以释放，致使 NMOS 区域的沟道区 215 的拉应力将得以提升，从而改善电子的迁移率，提高器件性能。相同地，当去除 PMOS 区域的第二侧墙 216 后，侧墙 216 施加的反作用力得以去除，拉应力性质的 TiAl 层得以释放，致使 PMOS 区域的沟道区 215 的压应力将得以提升，从而改善空穴的迁移率，提高器件性能。

此后，方法进入步骤 f: 在所述 NMOS 区域的第一栅堆叠侧壁形成具有拉应力性质的第三应力侧墙；在所述 PMOS 区域的第二栅堆叠侧壁形成具有压应力性质的第四应力侧墙。

例如，可以通过如下方式形成第三和第四应力侧墙 240、244。首先如图 10 所示，在 NMOS 和 PMOS 区域上沉积具有拉应力性质的第三应力侧墙 240，厚度大约为 10-30nm，所述第三应力侧墙覆盖整个器件，即包括在所述 NMOS 和 PMOS 区域的源极区和漏极区之上，覆盖所述层间介质层和第一、第二栅堆叠的上表面的部分。后在所述第三应力侧墙 240 上沉积刻蚀保护层 242，例如可以为氧化物层，如氧化硅，厚度大约为 5-15nm。而后如图 11 所示，进行光刻以便在 NMOS 区域上形成光刻保护层。而后进行刻蚀，例如 RIE 以去除 PMOS 区域上的刻蚀保护层 242，保留 NMOS 区域上的刻蚀保护层 242。之后去除 NMOS 区域上残留的光刻保护层。如图 12 所示，进行 RIE 以选择性去除未被刻蚀保护层 242 覆盖的第三应力侧墙 240，例如拉应力性质的氮化物层，而选择性地不刻蚀栅堆叠上的氧化物层

和源极区、漏极区上方的金属硅化物。

可以采用与上述方法相同的方式来形成第四应力侧墙 244。即首先在 NMOS 和 PMOS 区域上沉积具有压应力性质的第四应力侧墙 244，厚度大约为 10-30nm，所述第四应力侧墙覆盖整个器件，即包括在所述 NMOS 和 PMOS 区域的源极区和漏极区之上，覆盖所述层间介质层和第一、第二栅堆叠的上表面的部分，如图 13 所示。后在所述第四应力侧墙 244 上沉积刻蚀保护层 246，例如可以为氧化物层，如氧化硅，厚度大约为 5-15nm。而后进行光刻以便在 PMOS 区域上形成光刻保护层。而后进行刻蚀，例如 RIE 以去除 NMOS 区域上的刻蚀保护层 246，保留 PMOS 区域上的刻蚀保护层 246，如图 14 所示。之后去除 NMOS 区域上残留的光刻保护层。进行 RIE 以选择性去除未被刻蚀保护层 246 覆盖的第四应力侧墙 244，例如压应力性质的氮化物层，而选择性地不刻蚀栅堆叠上的氧化物层和源极区、漏极区上方的金属硅化物。

可选择地，可以在沉积第三应力侧墙 240 之前沉积刻蚀停止层，例如厚度大约为 3-5nm 的氧化物层（图中未示出），以便在刻蚀第三应力侧墙时作为刻蚀停止层。可选择地，也可以在后续的接触孔 248 形成之前进行化学机械平坦化工艺以便将第三应力侧墙 240 和第四应力侧墙 244 中相重叠的部分去除，如图 14 所示。

所述第三应力侧墙 240 与通常的拉应力帽层作用相同，可以进一步提高所述 NMOS 器件沟道区的拉应力，从而改善电子的迁移率，提高器件性能。所述四应力侧墙 244 与通常的压应力帽层作用相同，可以进一步提高所述 PMOS 器件沟道区的压应力，从而改善空穴的迁移率，提高器件性能。

进行化学机械平坦化工艺（CMP）以平坦化所述半导体衬底的表面。

而后，可选择地，所述方法还可以包括在所述 NMOS 区域和 PMOS 区域的源极区和漏极区上方的层间介质层中形成接触孔 248 的步骤。可以覆盖所述器件的上表面、在所述 NMOS 和 PMOS 区域的源极区和漏极区的上方进行光刻，以形成光刻保护层。进行 RIE 来形成接触孔 248。所述接触孔 248 可以设置在距离 NMOS 和 PMOS 区域的栅堆叠或所述第三/第四侧墙大约 10-50nm 的范围内。在所述接触孔中形成的 TiN 层和钨接触材料。

以上已经根据本发明的实施例描述了应用本发明的CMOS器件的结构和形成方法。然而在一些应用中，需要使用特定类型的MOSFET器件，例如N型场效应晶体管器件或P型场效应晶体管器件。例如，在NAND栅门电路中会使用到N型场效应晶体管。

本发明的实施例也可以提供特定类型的MOSFET及其形成方法，以便在这些特定应用中提供具有改善的载流子迁移率的MOSFET器件及其形成方法。这些方案本领域的技术人员可以通过阅读上面的具体实施方式的内容而容易地获得。

下面将结合附图以N型场效应晶体管器件为例详细介绍其构造其形成方法的说明。其中相同的附图标记代表相同或者相似的器件或者步骤。以下的器件及其形成方法的描述也适用于P型场效应晶体管器件及其形成方法，除非特别声明。

如图23所示，所述场效应晶体管包括衬底300。在本实施例中，衬底300包括位于晶体结构中的硅衬底（例如晶片）。根据现有技术公知的设计要求（例如p型衬底或者n型衬底），衬底300可以包括各种掺杂配置。其他例子的衬底300还可以包括其他基本半导体，例如锗和金刚石。或者，衬底300可以包括化合物半导体，例如碳化硅、砷化镓、砷化铟或者磷化铟。此外，衬底300可以可选地包括外延层，可以被应力改变以增强性能，以及可以包括绝缘体上硅（SOI）结构。

所述器件还包括在衬底中的源极区和漏极区314，以及在所述源极区和漏极区中间的沟道区315。对于NMOS而言，所述源/漏极区314为N型掺杂，例如Si:C，其中C%为0.2-2%。对于PMOS而言，所述源/漏极区314为P型掺杂，例如SiGe，其中Ge为20-70%。源/漏极区314可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。由于本发明应用栅替代工艺，因此源极和漏极314先于所述栅堆叠而形成，可以利用通常的半导体加工工艺和步骤，对所述器件进行热退火，以激活源极和漏极314中的掺杂，热退火可以采用包括快速热退火、尖峰退火等本领域技术人员所知晓的工艺进行。

所述器件还包括形成于衬底300上的栅堆叠，其中，所述栅堆叠包括:

栅介质层 332；在所述栅介质层 332 上的金属栅极层 334 和具有应力性质的应力层 336，所述应力层 336 填充所述栅堆叠中间的间隙。

对于 NMOS 而言，所述栅介质层 332 可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅，也可为高 K 介质，例如 HfO_2，TiO2，ZrO2，La2O3，厚度优选为大约 1－5nm。所述金属栅极层 334 可以为 N 型金属，包括但不限于 TaC，TiN，TaTbN，TaErN，TaYbN，TaSiN，HfSiN，MoSiN，$RuTa_x$，$NiTa_x$。优选地，所述金属栅极层 334 的功函数接近 Si 的导带边沿，例如距 Si 导带边的距离小于 0.2eV，厚度优选为大约 1－5nm。所述应力层 336 填充所述栅堆叠中间的间隙，所述应力层 336 包括具有压应力性质的材料，例如 TiAl，可以通过溅射 TiAl 来形成。

对于 PMOS 而言，栅介质层 332 可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅，也可为高 K 介质，例如 HfO_2，TiO2，ZrO2，Al2O3，厚度优选为大约 1－5nm。所述金属栅极层 334 可以为 P 型金属，包括但不限于 MoN_x，TiSiN，TiCN，TaAlC，TiAlN，TaN，$PtSi_x$，Ni_3Si，Pt，Ru，Ir，Mo，HfRu，RuO_x。优选地，所述金属栅极层 334 的功函数接近 Si 的价带边沿，例如距 Si 价带边的距离小于 0.2eV，厚度优选为大约 1－5nm。所述应力层 336 填充所述栅堆叠中间的间隙，所述应力层 336 包括具有拉应力性质的材料，例如可以通过在所述栅堆叠中间的间隙中沉积 Ti 和 Al，并在大约 300－500℃下进行大约 1-20s 秒热退火来形成拉应力性质的 TiAl。

如图 17 所示，所述栅堆叠通过首先在衬底上形成伪栅极层 308，例如多晶硅和侧墙 316，例如氮化物，如氮化硅。而后去除所述伪栅极层 308 以形成开口，并在所述开口中形成栅介质层 332、金属栅极层 334 和应力层 336 来形成。

所述伪栅极层 308 和侧墙 316 可以例如首先衬底表面沉积例如 1-3nm 的界面层 312，所述界面层可以是例如氧化物层，如 SiO_2。之后在所述界面层上沉积伪栅极层 308，例如多晶硅，厚度大约为 50-120nm，再沉积刻蚀保护层，进行栅光刻以形成伪栅极层 308。所述侧墙 316 可以通过在所述界面层 312 上沉积氮化物层，而后进行反应离子刻蚀来形成。所述界面层 312 可以在后续的加工过程同为器件的源漏极及其扩展区提供刻蚀保

护。

特别地，所述器件还包括在所述衬底上的层间介质层，如图 18-19 所示。所述层间介质包括氮化物层 320，例如 10-30nm 和氧化物层 322，例如 10-30nm。可以通过分别沉积(CVD, PECVD)氮化物层 320 以及氧化物层 322，再进行化学机械平坦化工序来暴露所述伪栅极层的上表面来形成所述层间介质层。

对于 NMOS 而言，所述器件还包括在所述栅堆叠侧壁的具有拉应力性质的应力侧墙 340。所述应力侧墙 340 为与所述应力层 336 具有相反应力性质的材料形成，即具有拉应力性质的材料，例如拉应力氮化物层，如 Si3N4。

对于 PMOS 而言，所述器件还包括在所述栅堆叠侧壁的具有压应力性质的应力侧墙 340。所述应力侧墙 340 为与所述应力层 336 具有相反应力性质的材料形成，即具有压应力性质的材料，例如压应力氮化物层，如 Si3N4。

所述应力侧墙 340 通过去除所述侧墙 316 后在所述栅堆叠的侧壁分别沉积拉应力性质的材料和压应力性质的材料来形成，如图 20-22 所示。可以通过例如反应离子刻蚀（RIE）来去除所述侧墙 316，如图 21 所示。特别地，在所述反应离子刻蚀之前可以在栅堆叠的表面沉积刻蚀保护层，例如氧化物层 338，以保护所述栅堆叠。

对于 NMOS 而言，由于栅堆叠中包含具有压应力性质的应力层 336，例如 TiAl 层。因此，当去除侧墙 316 后，侧墙 316 施加的反作用力得以去除，压应力性质的 TiAl 层得以释放，致使 NMOS 的沟道区 315 的拉应力将得以提升，从而改善电子的迁移率，提高器件性能。

对于 PMOS 而言，当去除侧墙 316 后，侧墙 316 施加的反作用力得以去除，拉应力性质的 TiAl 层得以释放，致使 PMOS 的沟道区 315 的压应力将得以提升，从而改善空穴的迁移率，提高器件性能。

特别地，所述应力侧墙还包括覆盖所述层间介质层和栅堆叠的部分。

对于 NMOS 而言，所述应力侧墙 340 与通常的拉应力帽作用相同，可以进一步提高所述 NMOS 器件沟道区的拉应力，从而改善电子的迁移率，

提高器件性能。同理，对于 PMOS 而言，所述应力侧墙 340 与通常的压应力帽作用相同，可以进一步提高所述 PMOS 器件沟道区的压应力，从而改善空穴的迁移率，提高器件性能。

进行化学机械平坦化工艺（CMP）以平坦化所述半导体衬底的表面。

所述器件还可以包括在源极区和漏极区上方的层间介质层中形成的接触孔 348。可以覆盖所述器件的上表面、在所述源极区和漏极区的上方进行光刻，以形成光刻保护层。进行 RIE 来形成接触孔 348。所述接触孔 348 可以设置在距离栅堆叠或所述侧墙大约 10-50nm 的范围内。在所述接触孔中形成的 TiN 层和钨接触材料。

特别地，可以在进行源极区和漏极区的掺杂和退火后，在所述源极区和漏极区中形成金属硅化物，例如 NiPtSi 或者 CoSi2。举例来说可以通过在衬底上沉积大约 3-12nm 的 NiPt，在大约 300-500℃下进行热退火，并在退火后将未反应的 NiPt 刻蚀掉来形成，以便调节随后形成的接触孔的接触电阻。

以上已经描述了根据本发明的具有改善的载流子迁移率的栅替代工艺场效应晶体管器件的结构。

下面将根据图 25 所示的流程图描述本发明的场效应晶体管器件的制造方法。

在步骤 a，提供半导体衬底。

如图 17 所示，所述场效应晶体管包括衬底 300。在本实施例中，衬底 300 包括位于晶体结构中的硅衬底（例如晶片）。根据现有技术公知的设计要求（例如 p 型衬底或者 n 型衬底），衬底 300 可以包括各种掺杂配置。其他例子的衬底 300 还可以包括其他基本半导体，例如锗和金刚石。或者，衬底 300 可以包括化合物半导体，例如碳化硅、砷化镓、砷化铟或者磷化铟。此外，衬底 300 可以可选地包括外延层，可以被应力改变以增强性能，以及可以包括绝缘体上硅（SOI）结构。

而后在步骤 b、在所述半导体衬底上形成界面层、伪栅极层和栅堆叠侧墙，以及在所述半导体衬底中形成源极区和漏极区和覆盖所述器件的层间介质层。

在所述半导体衬底 300 上形成界面层 312、伪栅极层 308、栅堆叠侧墙 316 以及在所述半导体衬底中 300 形成源极区和漏极区 314、覆盖所述器件的层间介质层以及在所述源极区和漏极区中间的沟道区 215。

所述界面层 312、伪栅极层 308 和侧墙 316 可以例如图 17 所示首先衬底 300 表面沉积例如 1-3nm 的界面层 312，所述界面层 312 可以是例如氧化物层，如 SiO_2。所述界面层 312 可以在后续的加工过程同为器件的源漏极及其扩展区提供刻蚀保护。之后在所述界面层上沉积伪栅极层 308，例如多晶硅，厚度大约为 50-120nm，再沉积刻蚀保护层，进行栅光刻以形成伪栅极层 308。

所述源/漏极区 314 可以通过根据期望的晶体管结构，注入 p 型或 n 型掺杂物或杂质到衬底 300 中而形成。对于 NMOS 而言，所述源/漏极区 314 为 N 型掺杂，例如 Si:C，其中 C%为 0.2-2%。对于 PMOS 而言，所述源/漏极区 314 为 P 型掺杂，例如 SiGe，其中 Ge 为 20-70%。源/漏极区 314 可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。由于本发明应用栅替代工艺，因此源极和漏极 314 先于所述栅堆叠而形成，可以利用通常的半导体加工工艺和步骤，对所述器件进行热退火，以激活源极和漏极 314 中的掺杂，热退火可以采用包括快速热退火、尖峰退火等本领域技术人员所知晓的工艺进行。优选地，可以使用尖峰退火，例如大约 1000-1100℃或者激光退火，来激活源极和漏极 314 中的掺杂。

特别地，可以在源极区和漏极区的掺杂和退火后，在所述源极区和漏极区中形成金属硅化物，例如 NiPtSi。举例来说可以通过在衬底上沉积大约 3-12nm 的 NiPt，在大约 300-500℃下进行热退火，并在退火后将未反应的 NiPt 刻蚀掉来形成，以便调节随后形成的接触孔的接触电阻。

可以在所述衬底上形成层间介质层，如图 18-19 所示。所述层间介质包括氮化物层 320，例如 10-30nm 和氧化物层 322，例如 10-30nm。可以通过分别沉积氮化物层 320 以及氧化物层 322，再进行化学机械平坦化工序来暴露所述伪栅极层的上表面来形成所述层间介质层。

而后进入步骤 c、移除所述伪栅极层 308 以形成开口，在所述开口中形成栅堆叠，所述栅堆叠包括栅介质层 332、金属栅极层 334 和填充所述栅

堆叠中间的间隙的应力层 336。所述应力层 336 为具有应力性质的应力材料。

其中所述栅介质层 332 和金属栅极层 334 可以覆盖所述开口的侧壁和所述界面层 312。对于 NMOS 而言，所述栅介质层 332 可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅，也可为高 K 介质，例如 HfO_2，TiO2，ZrO2，La2O3，厚度优选为大约 1－5nm。所述金属栅极层 334 可以为 N 型金属，包括但不限于 TaC, TiN, TaTbN, TaErN, TaYbN, TaSiN, HfSiN, MoSiN, $RuTa_x$, $NiTa_x$。优选地，所述金属栅极层 334 的功函数接近 Si 的导带边沿，例如距 Si 导带边沿的距离小于 0.2eV，厚度优选为大约 1－5nm。所述应力层 336 填充所述栅堆叠中间的间隙，所述应力层 336 包括具有压应力性质的材料，例如 TiAl，可以通过溅射 TiAl 来形成。

对于 PMOS 而言，栅介质层 332 可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅，也可为高 K 介质，例如 HfO_2，TiO2，ZrO2，Al2O3，厚度优选为大约 1－5nm。所述金属栅极层 334 可以为 P 型金属，包括但不限于 MoN_x, TiSiN, TiCN, TaAlC, TiAlN, TaN, $PtSi_x$, Ni_3Si, Pt, Ru, Ir, Mo, HfRu, RuO_x。优选地，所述金属栅极层 334 的功函数接近 Si 的价带边沿，例如距 Si 价带边沿的距离小于 0.2eV，厚度优选为大约 1－5nm。所述应力层 336 填充所述栅堆叠中间的间隙，所述应力层 336 包括具有拉应力性质的材料，例如可以通过在所述栅堆叠中间的间隙中沉积 Ti 和 Al，并在大约 300－500℃下进行大约 1-20s 秒热退火来形成拉应力性质的 TiAl。

而后进入步骤 d、移除所述栅堆叠侧墙 316，以提高所述器件沟道区的应力。

可以通过例如反应离子刻蚀（RIE）来可选择地去除侧墙 316，如图 21 所示。特别地，在所述反应离子刻蚀之前可以在栅堆叠的表面沉积刻蚀保护层，例如氧化物层 338，以保护所述栅堆叠。这样可以设置反应离子刻蚀来刻蚀侧墙的材料，如氮化物层而不会刻蚀堆叠表面的刻蚀保护层，如氧化物层 338。

对于 NMOS 而言，由于栅堆叠中包含具有压应力性质的应力层 336，例如 TiAl 层。因此，当去除侧墙 316 后，侧墙 316 施加的反作用力得以去

除，压应力性质的 TiAl 层得以释放，致使 NMOS 的沟道区 315 的拉应力将得以提升，从而改善电子的迁移率，提高器件性能，如图 21 所示。

对于 PMOS 而言，当去除侧墙 316 后，侧墙 316 施加的反作用力得以去除，拉应力性质的 TiAl 层得以释放，致使 PMOS 的沟道区 315 的压应力将得以提升，从而改善空穴的迁移率，提高器件性能，如图 24 所示。

此后，方法进入步骤 e: 在所述栅堆叠侧壁形成与所述应力层具有相反应力性质的应力侧墙。

对于 NMOS 而言，在所述栅堆叠侧壁形成具有拉应力性质的应力侧墙 340。所述应力侧墙 340 为与所述应力层 336 具有相反应力性质的材料形成，即具有拉应力性质的材料，例如拉应力氮化物层，如 Si3N4。

对于 PMOS 而言，在所述栅堆叠侧壁形成具有压应力性质的应力侧墙 340。所述应力侧墙 340 为与所述应力层 336 具有相反应力性质的材料形成，即具有压应力性质的材料，例如压应力氮化物层，如 Si3N4。

特别地，所述应力侧墙还包括覆盖所述层间介质层和栅堆叠的部分。

对于 NMOS 而言，所述应力侧墙 340 与通常的拉应力帽作用相同，可以进一步提高所述 NMOS 器件沟道区的拉应力，从而改善电子的迁移率，提高器件性能。同理，对于 PMOS 而言，所述应力侧墙 340 与通常的压应力帽作用相同，可以进一步提高所述 PMOS 器件沟道区的压应力，从而改善空穴的迁移率，提高器件性能。

进行化学机械平坦化工艺（CMP）以平坦化所述半导体衬底的表面。

而后，可选择地，所述方法还可以包括在层间介质层中形成接触孔 348 的步骤。可以覆盖所述器件的上表面、在所述源极区和漏极区的上方进行光刻，以形成光刻保护层。进行 RIE 来形成接触孔 348。所述接触孔 348 可以设置在距离栅堆叠或所述侧墙大约 10-50nm 的范围内。在所述接触孔中形成的 TiN 层和钨接触材料。

以上已经根据本发明的实施例详细地描述了本发明的场效应晶体管器件及其制造方法。本发明利用栅替代工艺通过分别在 NMOS 的栅堆叠中间的间隙中形成具有压应力性质的第一应力层和在 PMOS 的栅堆叠中间的间隙中形成具有拉应力性质的第二应力层；并且在形成所述应力层后，通过

侧墙替代工艺移除PMOS和NMOS器件的栅堆叠的侧墙以便释放所述应力到沟道区，进而提升NMOS器件沟道区的拉应力和PMOS器件沟道区的压应力。特别地，可以在NMOS器件和PMOS器件的所述栅堆叠侧壁以及部分源极区和漏极区的上方形成具有相反应力性质的应力层，以便进一步提高NMOS器件的拉应力和PMOS器件的压应力。即，对于NMOS器件可以沉积具有拉应力性质的第三应力侧墙和对于PMOS器件沉积具有压应力性质的第四应力侧墙。通过本发明的器件和制造方法，可以在器件尺寸持续缩小的情况下，将应力最大限度地施加到NMOS器件和/或PMOS器件的沟道中来提高器件性能。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权 利 要 求

1. 一种具有改善的载流子迁移率的栅替代工艺场效应晶体管器件，所述器件包括:

具有 NMOS 区域和 PMOS 区域的半导体衬底，其中所述 NMOS 区域与所述 PMOS 区域相互隔离;

在所述半导体衬底中形成的属于NMOS区域的源极区和漏极区以及属于 PMOS 区域的源极区和漏极区;

在所述半导体衬底上的层间介质层和在所述层间介质层中形成的分别属于 NMOS 区域和 PMOS 区域的第一开口和第二开口;

形成于所述第一开口中的第一栅堆叠和形成于所述第二开口中的第二栅堆叠，其中，所述第一栅堆叠包括: 第一栅介质层; 在所述第一栅介质层上的第一金属栅极层和具有压应力性质的第一应力层，所述第一应力层填充所述第一栅堆叠中间的间隙; 所述第二栅堆叠包括: 第二栅介质层; 在所述第二栅介质层上的第二金属栅极层和具有拉应力性质的第二应力层，所述第二应力层填充所述第二栅堆叠中间的间隙;

在所述第一栅堆叠侧壁的具有拉应力性质的第三应力侧墙; 以及在所述第二栅堆叠的侧壁形成的具有压应力性质的第四应力侧墙。

2、根据权利要求 1 所述的场效应晶体管器件，其中所述第三应力侧墙后于所述第一栅堆叠形成，所述第四应力侧墙后于所述第二栅堆叠形成。

3、根据权利要求 1 所述的场效应晶体管器件，其中，所述第一栅堆叠中的第一应力层包括压应力性质的 TiAl。

4、根据权利要求 3 所述的场效应晶体管器件，其中所述压应力性质的 TiAl 通过溅射 TiAl 来形成。

5、根据权利要求 1 所述的场效应晶体管器件，其中所述第二栅堆叠中的第二应力层包括拉应力性质的 TiAl。

6、根据权利要求 5 所述的场效应晶体管器件，其中所述拉应力性质的 TiAl 通过在第二栅堆叠中间的间隙中沉积 Ti 和 Al，并进行热退火来形成。

7、根据权利要求 6 所述的场效应晶体管器件，其中所述热退火温度为

300-500℃。

8、根据权利要求 1 所述的场效应晶体管器件，其中所述第三应力侧墙包括具有拉应力性质的氮化物。

9、根据权利要求 1 所述的场效应晶体管器件，其中所述第四应力侧墙包括具有压应力性质的氮化物。

10、根据权利要求 1 所述的场效应晶体管器件，其中所述层间介质层包括氮化物层和氧化物层。

11、根据权利要求 1 所述的场效应晶体管器件，其中所述第三应力侧墙还包括位于所述 NMOS 区域的源极区和漏极区的上方覆盖所述层间介质层和所述第一栅堆叠的部分；所述第四应力侧墙还包括位于所述 PMOS 区域的源极区和漏极区的上方覆盖所述层间介质层和所述第二栅堆叠的部分。

12、根据权利要求 1 所述的场效应晶体管器件，还包括在所述 NMOS 区域和 PMOS 区域的源极区和漏极区上方的衬底表面形成的金属硅化物。

13、根据权利要求 12 所述的场效应晶体管器件，还包括在所述 NMOS 区域和 PMOS 区域的源极区和漏极区上方的层间介质层中形成的接触孔。

14、根据权利要求 13 所述的场效应晶体管器件，还包括在所述接触孔中形成的 TiN 层和钨接触材料。

15、一种具有改善的载流子迁移率的栅替代工艺的 N 型场效应晶体管器件，所述器件包括：

半导体衬底；

在所述半导体衬底中形成的源极区和漏极区；

在所述半导体衬底上的层间介质层和在所述层间介质层中形成的开口；

在所述开口中形成的栅堆叠，其中，所述栅堆叠包括：栅介质层；在所述栅介质层上的金属栅极层和具有压应力性质的应力层，所述应力层填充所述栅堆叠中间的间隙；

在所述栅堆叠侧壁的具有拉应力性质的应力侧墙。

16、根据权利要求 15 所述的 N 型场效应晶体管器件，其中所述应力侧

墙后于所述栅堆叠形成。

17、根据权利要求 16 所述的 N 型场效应晶体管器件，其中，所述栅堆叠中的应力层包括压应力性质的 TiAl。

18、根据权利要求 17 所述的 N 型场效应晶体管器件，其中所述压应力性质的 TiAl 通过溅射 TiAl 来形成。

19、根据权利要求 15 所述的 N 型场效应晶体管器件，其中所述应力侧墙包括具有拉应力性质的氮化物。

20、根据权利要求 15 所述的 N 型场效应晶体管器件，其中所述应力侧墙还包括覆盖所述层间介质层和所述栅堆叠的部分。

21、根据权利要求 15 所述的 N 型场效应晶体管器件，还包括在器件的源极区和漏极区上方的衬底表面形成的金属硅化物。

22、根据权利要求 21 所述的 N 型场效应晶体管器件，还包括在器件的源极区和漏极区上方的层间介质层中形成的接触孔。

23、根据权利要求 24 所述的 N 型场效应晶体管器件，还包括在所述接触孔中形成的 TiN 层和钨接触材料。

24、一种具有改善的载流子迁移率的栅替代工艺的 P 型场效应晶体管器件，所述器件包括:

半导体衬底;

在所述半导体衬底中形成的源极区和漏极区;

在所述半导体衬底上的层间介质层和在所述层间介质层中形成的开口;

在所述开口中形成的栅堆叠，其中，所述栅堆叠包括：栅介质层；在所述栅介质层上的金属栅极层和具有拉应力性质的应力层，所述应力层填充所述栅堆叠中间的间隙;

在所述栅堆叠侧壁的具有压应力性质的应力侧墙。

25、根据权利要求 24 所述的 P 型场效应晶体管器件，其中所述应力侧墙后于所述栅堆叠形成。

26、根据权利要求 25 所述的 P 型场效应晶体管器件，其中，所述栅堆叠中的应力层包括拉应力性质的 TiAl。

27、根据权利要求 26 所述的 P 型场效应晶体管器件，其中所述拉应力性质的 TiAl 通过在栅堆叠中间的间隙中沉积 Ti 和 Al，并进行热退火来形成。

28、根据权利要求 27 所述的 P 型场效应晶体管器件，其中所述热退火温度为 300-500℃。

29、根据权利要求 24 所述的 P 型场效应晶体管器件，其中所述应力侧墙包括具有压应力性质的氮化物。

30、根据权利要求 24 所述的 P 型场效应晶体管器件，其中所述应力侧墙还包括覆盖所述层间介质层和所述栅堆叠的部分。

31、根据权利要求 24 所述的 P 型场效应晶体管器件，还包括在器件的源极区和漏极区上方的衬底表面形成的金属硅化物。

32、根据权利要求 31 所述的 P 型场效应晶体管器件，还包括在器件的源极区和漏极区上方的层间介质层中形成的接触孔。

33、根据权利要求 32 所述的 P 型场效应晶体管器件，还包括在所述接触孔中形成的 TiN 层和钨接触材料。

34、一种具有改善的载流子迁移率的后栅工艺场效应晶体管器件的制造方法，包括如下步骤：

a、提供具有 NMOS 区域和 PMOS 区域的半导体衬底；

b、在所述半导体衬底上形成属于 NMOS 区域的第一界面层、第一伪栅极层和第一栅堆叠侧墙和属于 PMOS 区域的第二界面层、第二伪栅极层和第二栅堆叠侧墙，以及在所述半导体衬底中分别形成属于 NMOS 区域和 PMOS 区域的源极区和漏极区和覆盖所述器件的层间介质层；

c、移除所述 PMOS 区域的第二伪栅极层以形成第二开口，在所述第二开口中形成第二栅堆叠，所述第二栅堆叠包括第二栅介质层、第二金属栅极层和填充所述第二栅堆叠中间的间隙的第二应力层，所述第二应力层为具有拉应力性质的应力材料；

d、移除所述 NMOS 区域的第一伪栅极层以形成第一开口，在所述第一开口中形成第一栅堆叠，所述第一栅堆叠包括第一栅介质层、第一金属栅极层和填充所述第一栅堆叠中间的间隙的第一应力层，所述第一应力层

为具有压应力性质的应力材料;

e、移除所述第一栅堆叠侧墙，以提高所述 NMOS 区域的沟道区的拉应力，移除所述第二栅堆叠侧墙，以提高所述 PMOS 区域的沟道区的压应力;

f、在所述 NMOS 区域的第一栅堆叠侧壁形成具有拉应力性质的第三应力侧墙; 在所述 PMOS 区域的第二栅堆叠侧壁形成具有压应力性质的第四应力侧墙。

35、根据权利要求 34 所述的方法，其中所述第一栅堆叠中的第一应力层包括压应力性质的 TiAl。

36、根据权利要求 35 所述的方法，其中所述压应力性质的 TiAl 通过溅射 TiAl 来形成。

37、根据权利要求 34 所述的方法，其中所述第二栅堆叠中的第二应力层包括拉应力性质的 TiAl。

38、根据权利要求 37 所述的方法，其中所述拉应力性质的 TiAl 通过在第二栅堆叠中间的间隙中沉积 Ti 和 Al，并进行热退火来形成。

39、根据权利要求 38 所述的方法，其中所述热退火温度为 300-500℃。

40、根据权利要求 34 所述的方法，其中所述第三应力侧墙包括具有拉应力性质的氮化物。

41、根据权利要求 34 所述的方法，其中所述第四应力侧墙包括具有压应力性质的氮化物。

42、根据权利要求 34 所述的方法，还包括在步骤 b 和 c 之间的如下步骤:

g、对所述层间介质层进行化学机械抛光以暴露所述第一伪栅极层和第二伪栅极层的上表面。

43、根据权利要求 34 所述的方法，所述层间介质层包括氮化物层和氧化物层。

44、根据权利要求 34 所述的方法，其中形成所述第三应力侧墙的步骤包括在所述NMOS区域的第一栅堆叠侧壁和所述NMOS区域的源极区和漏极区的上方覆盖所述层间介质层和所述第一栅堆叠的上表面沉积所述第三

应力侧墙，形成所述第四应力侧墙的步骤包括在所述 PMOS 区域的第二栅堆叠侧壁和所述 PMOS 区域的源极区和漏极区的上方覆盖所述层间介质层和所述第二栅堆叠的上表面沉积所述第四应力侧墙。

45、根据权利要求 34 所述的方法，还包括在形成所述 NMOS 区域和 PMOS 的源极区和漏极区后在所述源极区和漏极区的衬底表面形成金属硅化物的步骤。

46、根据权利要求 45 所述的方法，还包括在所述 NMOS 区域和 PMOS 区域的源极区和漏极区上方的层间介质层和中形成接触孔的步骤。

47、根据权利要求 46 所述的方法，还包括在所述接触孔中形成的 TiN 层和钨接触材料的步骤。

48、一种具有改善的载流子迁移率的后栅工艺 N 型场效应晶体管器件的制造方法，包括如下步骤:

a、提供半导体衬底;

b、在所述半导体衬底上形成界面层、伪栅极层和栅堆叠侧墙，以及在所述半导体衬底中形成源极区和漏极区和覆盖所述器件的层间介质层;

c、移除所述伪栅极层以形成开口，在所述开口中形成栅堆叠，所述栅堆叠包括栅介质层、金属栅极层和填充所述栅堆叠中间的间隙的应力层，所述应力层为具有压应力性质的应力材料;

d、移除所述栅堆叠侧墙，以提高所述器件的沟道区的拉应力;

e、在所述栅堆叠侧壁形成具有拉应力性质的应力侧墙。

49、根据权利要求 48 所述的方法，其中所述栅堆叠中的应力层包括压应力性质的 TiAl。

50、根据权利要求 49 所述的方法，其中所述压应力性质的 TiAl 通过溅射 TiAl 来形成。

51、根据权利要求 48 所述的方法，其中所述应力侧墙包括具有拉应力性质的氮化物。

52、根据权利要求 48 所述的方法，还包括在步骤 b 和 c 之间的如下步骤:

f、对所述层间介质层进行化学机械抛光以暴露所述伪栅极层的上表

面。

53、根据权利要求 48 所述的方法，所述层间介质层包括氮化物层和氧化物层。

54、根据权利要求 48 所述的方法，其中形成所述应力侧墙的步骤包括在所述栅堆叠侧壁和源极区和漏极区的上方覆盖所述层间介质层和所述栅堆叠的上表面沉积所述应力侧墙。

55、根据权利要求 48 所述的方法，还包括在形成所述源极区和漏极区后在所述源极区和漏极区的衬底表面形成金属硅化物的步骤。

56、根据权利要求 55 所述的方法，还包括在所述器件的源极区和漏极区上方的层间介质层和中形成接触孔的步骤。

57、根据权利要求 56 所述的方法，还包括在所述接触孔中形成的 TiN 层和钨接触材料的步骤。

58、一种具有改善的载流子迁移率的后栅工艺 P 型场效应晶体管器件的制造方法，包括如下步骤:

a、提供半导体衬底;

b、在所述半导体衬底上形成界面层、伪栅极层和栅堆叠侧墙，以及在所述半导体衬底中形成源极区和漏极区和覆盖所述器件的层间介质层;

c、移除所述伪栅极层以形成开口，在所述开口中形成栅堆叠，所述栅堆叠包括栅介质层、金属栅极层和填充所述栅堆叠中间的间隙的应力层，所述栅介质层和金属栅极层覆盖所述开口的侧壁和所述界面层，所述应力层为具有拉应力性质的应力材料;

d、移除所述栅堆叠侧墙，以提高所述器件的沟道区的拉应力;

e、在所述栅堆叠侧壁形成具有压应力性质的应力侧墙。

59、根据权利要求 58 所述的方法，其中所述栅堆叠中的应力层包括拉应力性质的 TiAl。

60、根据权利要求 59 所述的方法，其中所述拉应力性质的 TiAl 通过在栅堆叠中间的间隙中沉积 Ti 和 Al，并进行热退火来形成。

61、根据权利要求 58 所述的方法，其中所述应力侧墙包括具有压应力性质的氮化物。

62、根据权利要求 58 所述的方法，还包括在步骤 b 和 c 之间的如下步骤：

f、对所述层间介质层进行化学机械抛光以暴露所述伪栅极层的上表面。

63、根据权利要求 58 所述的方法，所述层间介质层包括氮化物层和氧化物层。

64、根据权利要求 58 所述的方法，其中形成所述应力侧墙的步骤包括在所述栅堆叠侧壁和源极区和漏极区的上方覆盖所述层间介质层和所述栅堆叠的上表面沉积所述应力侧墙。

65、根据权利要求 58 所述的方法，还包括在形成所述源极区和漏极区后在所述源极区和漏极区的衬底表面形成金属硅化物的步骤。

66、根据权利要求 65 所述的方法，还包括在所述器件的源极区和漏极区上方的层间介质层和中形成接触孔的步骤。

67、根据权利要求 66 所述的方法，还包括在所述接触孔中形成的 TiN 层和钨接触材料的步骤。

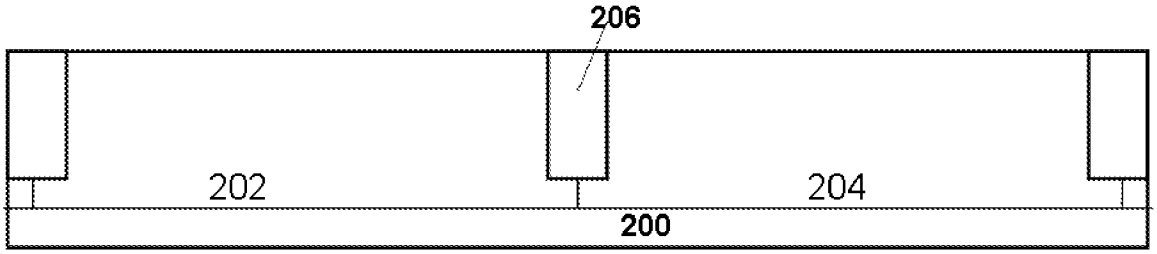


图 1

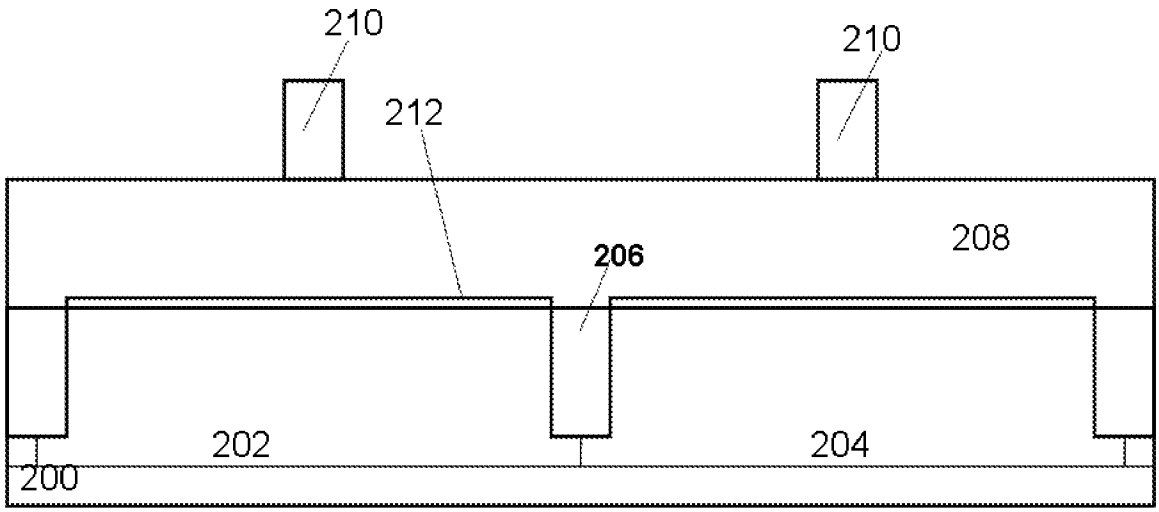


图 2

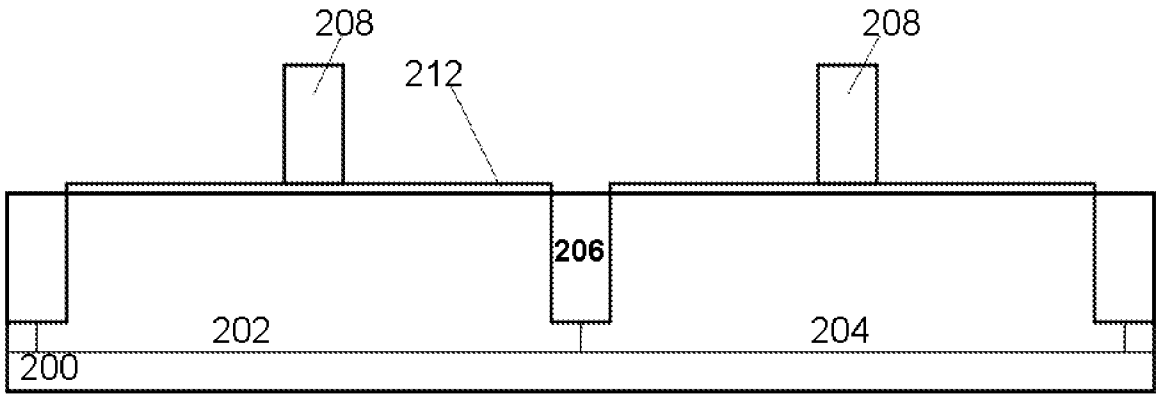

208
212
208
206
202
204
200

图 3

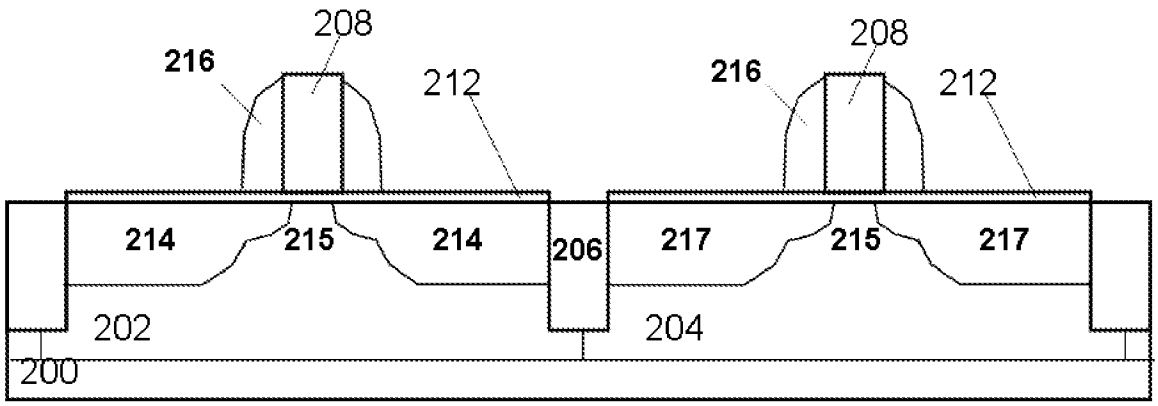

208
216
212
208
216
212
214
215
214
206
217
215
217
202
204
200

图 4

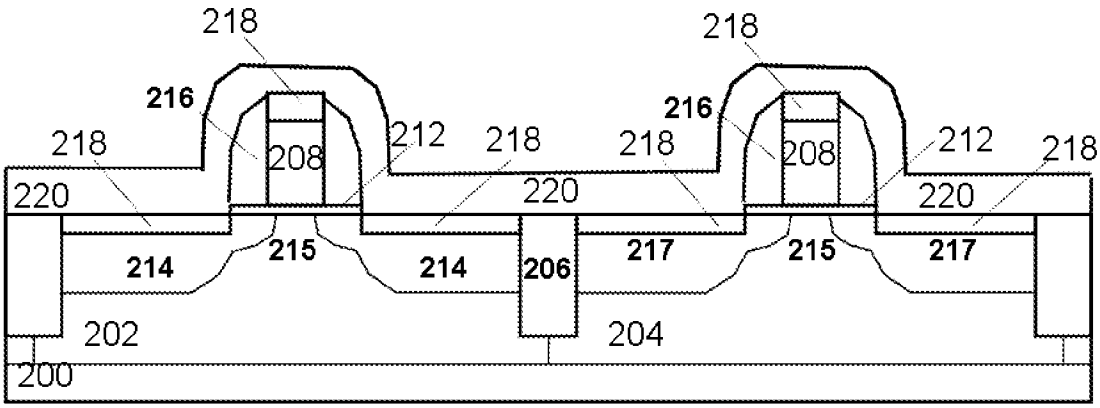

218
218
216
216
218
208
212
218
218
208
212
218
220
220
220
214
215
214
206
217
215
217
202
204
200

图 5

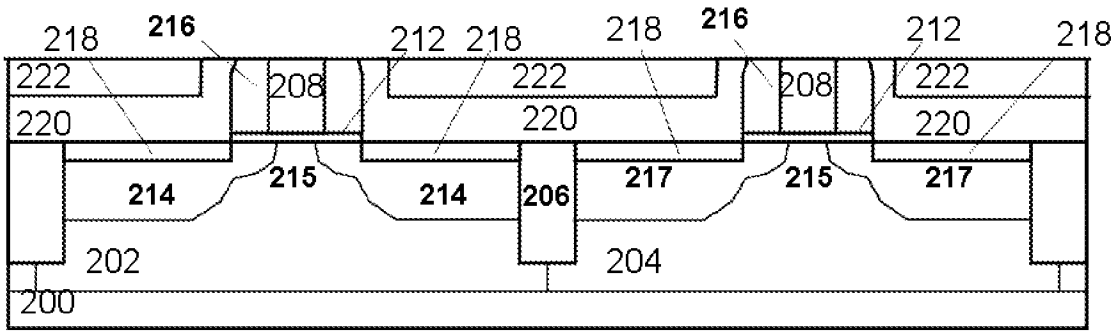

218
216
212
218
218
216
212
218
222
208
222
208
222
220
220
220
214
215
214
206
217
215
217
202
204
200

图 6

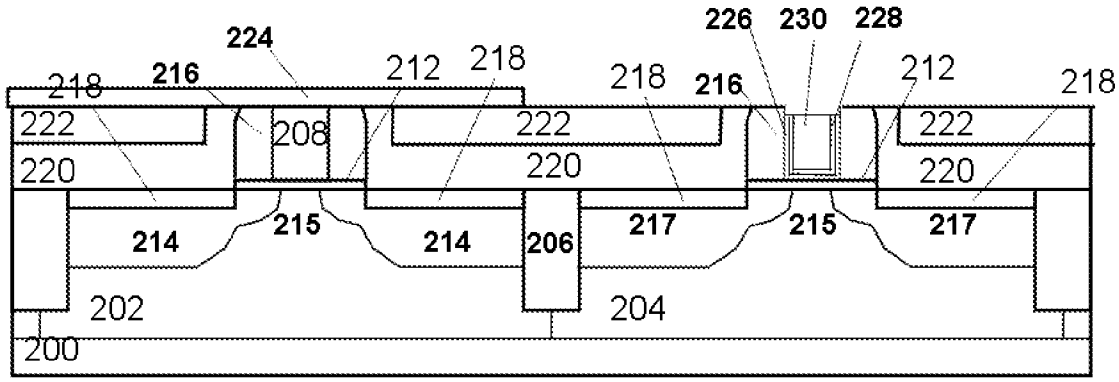

226
230
228
224
218
216
212
218
218
216
212
218
222
208
222
222
220
220
220
214
215
214
206
217
215
217
202
204
200

图 7

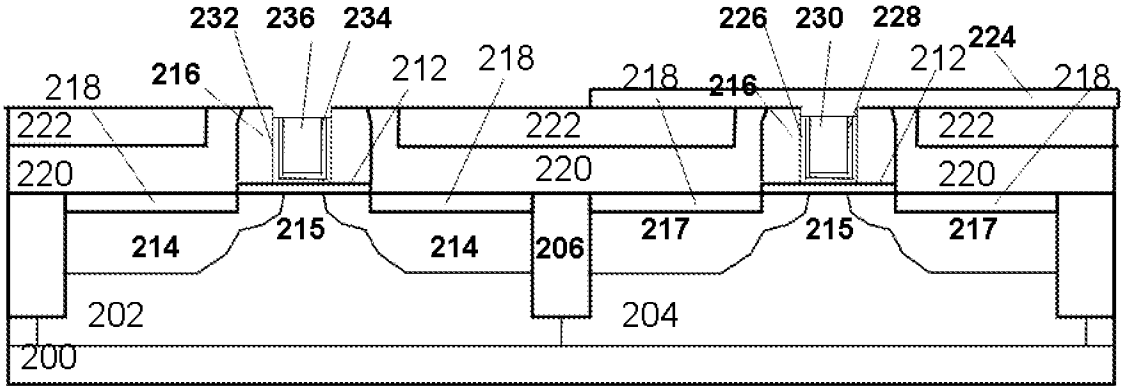

232
236
234
226
230
228
224
216
212
218
222
220
214
215
206
217
202
204
200

图 8

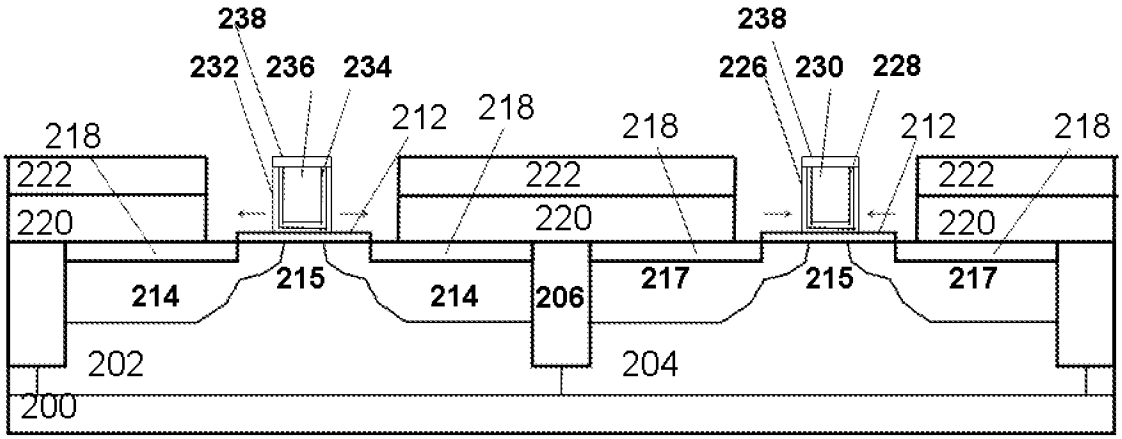

238
232
236
234
226
230
228
218
212
222
220
214
215
206
217
202
204
200

图 9

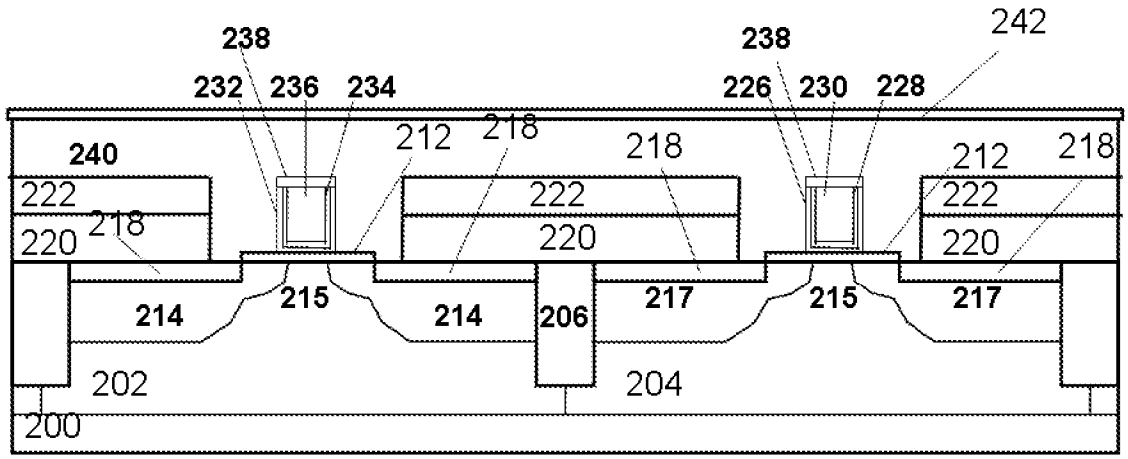

238
232
236
234
238
226
230
228
242
240
222
220
218
212
218
218
222
220
212
218
222
220
214
215
214
206
217
215
217
202
204
200

图 10

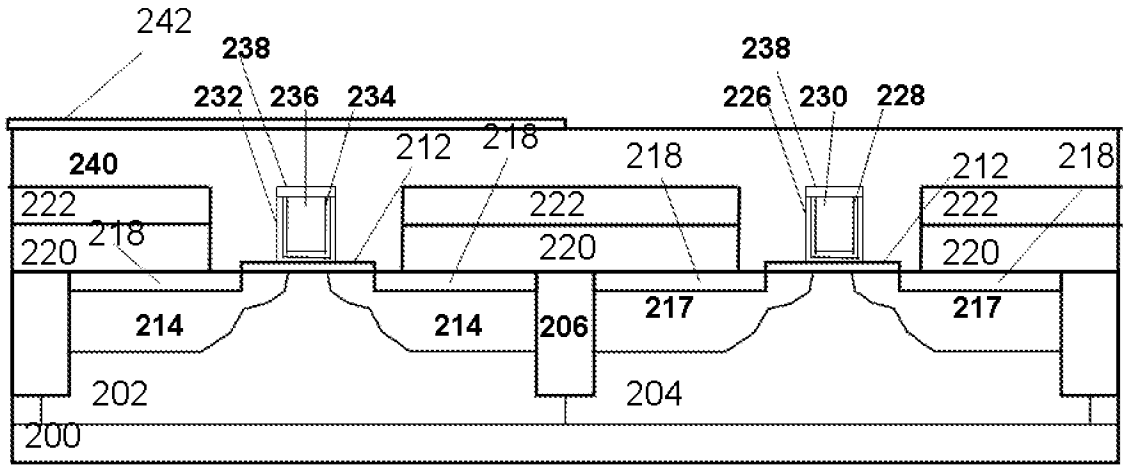

242
238
232
236
234
238
226
230
228
240
222
220
218
212
218
218
222
220
212
218
222
220
214
214
206
217
217
202
204
200

图 11

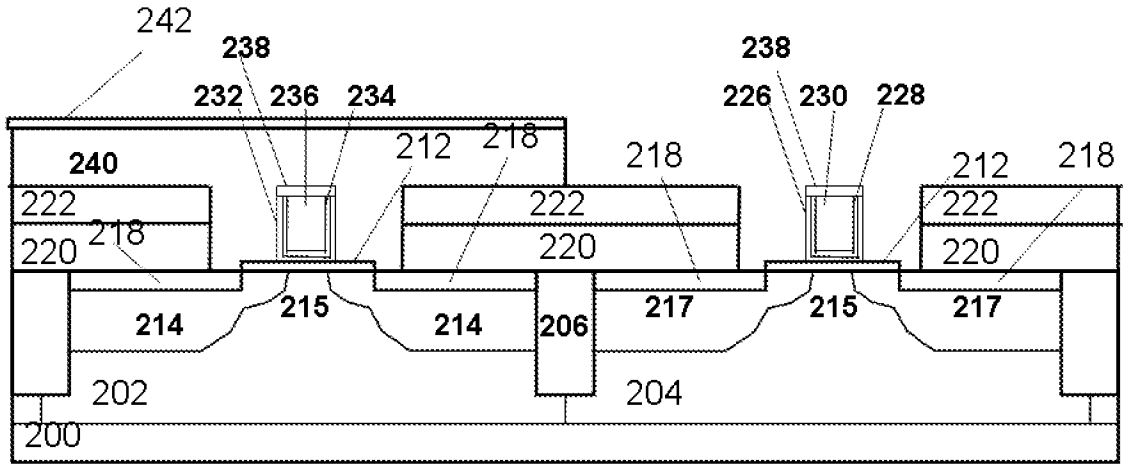

242
238
232
236
234
238
226
230
228
240
212
218
218
212
218
222
222
222
220
218
220
220
214
215
214
206
217
215
217
202
204
200

图 12

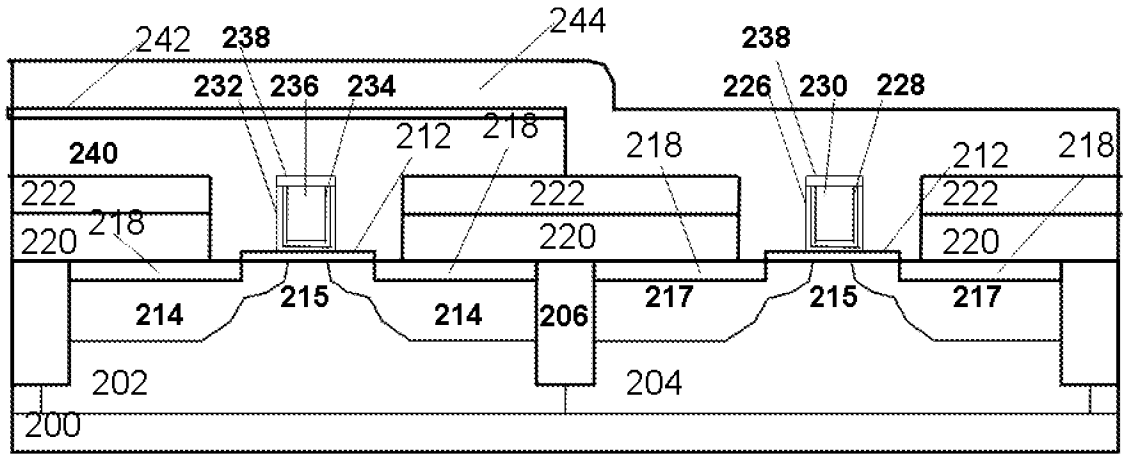

242
238
244
238
232
236
234
226
230
228
240
212
218
218
212
218
222
222
222
220
218
220
220
214
215
214
206
217
215
217
202
204
200

图 13

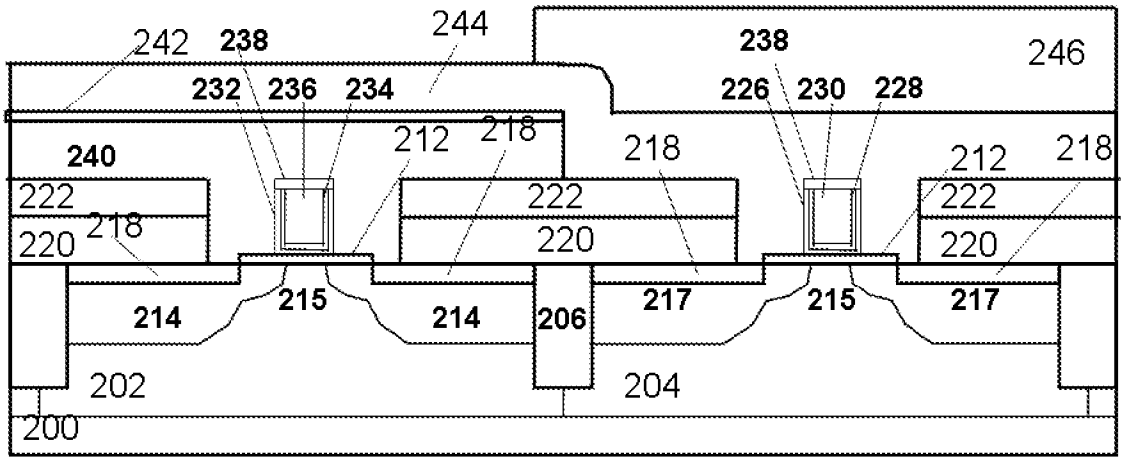

242
238
244
238
246
232
236
234
226
230
228
240
212
218
218
212
218
222
222
222
220
218
220
220
214
215
214
206
217
215
217
202
204
200

图 14

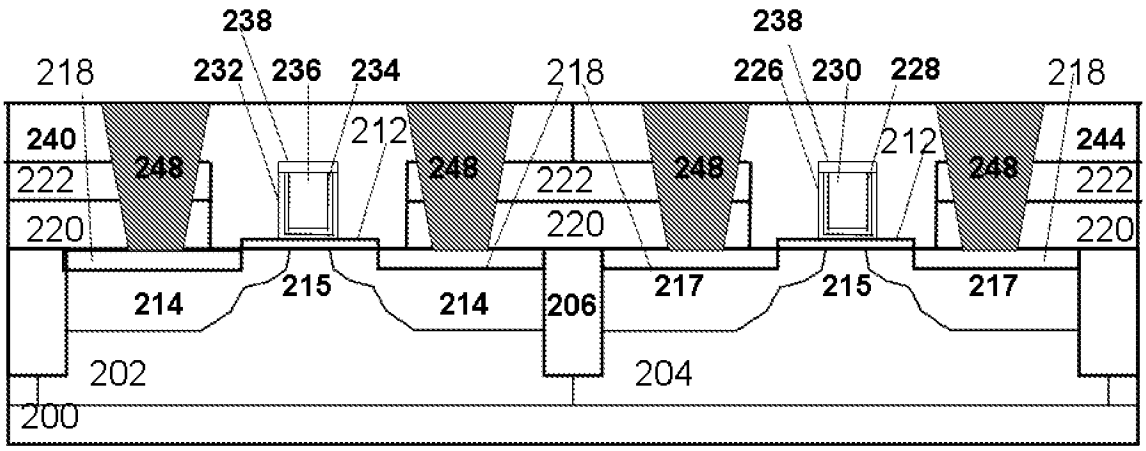

238
238
218
232
236
234
218
226
230
228
218
240
248
212
248
248
212
248
244
222
222
222
222
220
220
220
220
214
215
214
206
217
215
217
202
204
200

图 15

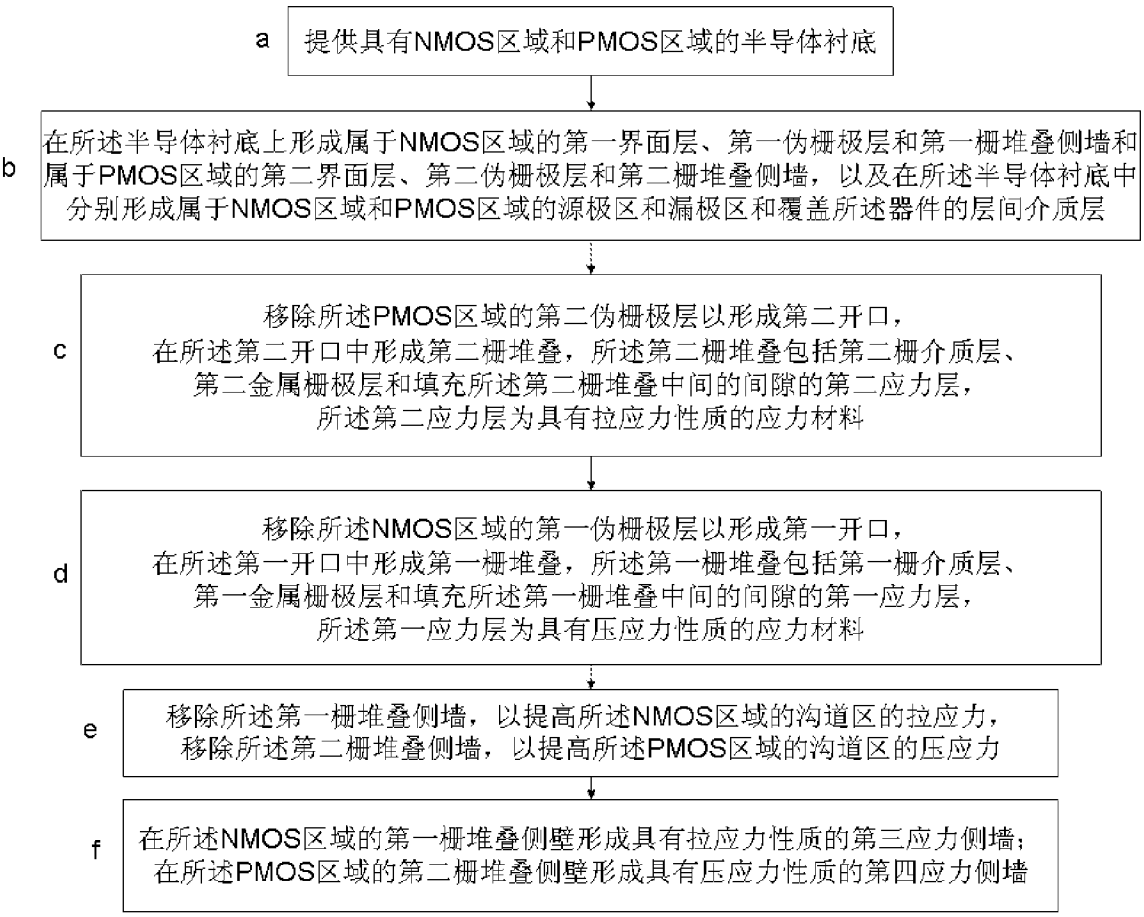

a
提供具有NMOS区域和PMOS区域的半导体衬底
b
在所述半导体衬底上形成属于NMOS区域的第一界面层、第一伪栅极层和第一栅堆叠侧墙和属于PMOS区域的第二界面层、第二伪栅极层和第二栅堆叠侧墙，以及在所述半导体衬底中分别形成属于NMOS区域和PMOS区域的源极区和漏极区和覆盖所述器件的层间介质层
c
移除所述PMOS区域的第二伪栅极层以形成第二开口，
在所述第二开口中形成第二栅堆叠，所述第二栅堆叠包括第二栅介质层、第二金属栅极层和填充所述第二栅堆叠中间的间隙的第二应力层，
所述第二应力层为具有拉应力性质的应力材料
d
移除所述NMOS区域的第一伪栅极层以形成第一开口，
在所述第一开口中形成第一栅堆叠，所述第一栅堆叠包括第一栅介质层、第一金属栅极层和填充所述第一栅堆叠中间的间隙的第一应力层，
所述第一应力层为具有压应力性质的应力材料
e
移除所述第一栅堆叠侧墙，以提高所述NMOS区域的沟道区的拉应力，
移除所述第二栅堆叠侧墙，以提高所述PMOS区域的沟道区的压应力
f
在所述NMOS区域的第一栅堆叠侧壁形成具有拉应力性质的第三应力侧墙；
在所述PMOS区域的第二栅堆叠侧壁形成具有压应力性质的第四应力侧墙

图 16

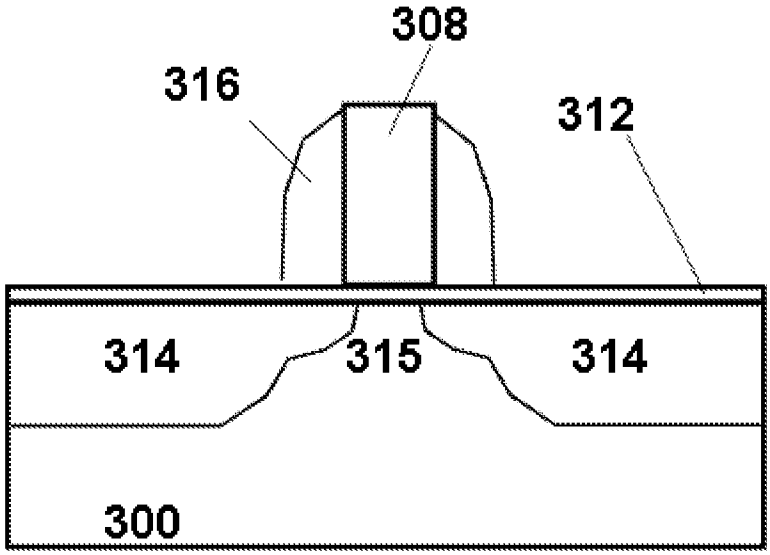

308
316
312
314
315
314
300

图 17

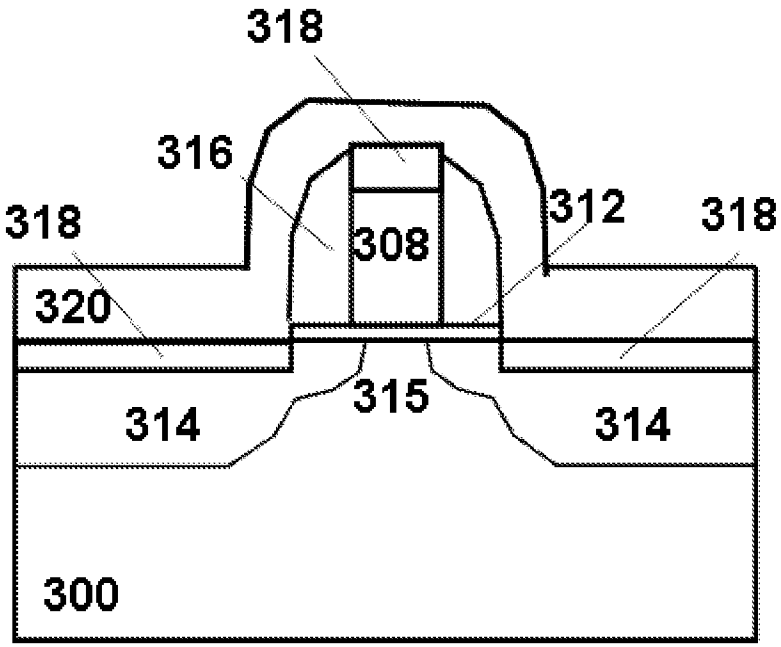

318
316
312
318
318
308
320
315
314
314
300

图 18

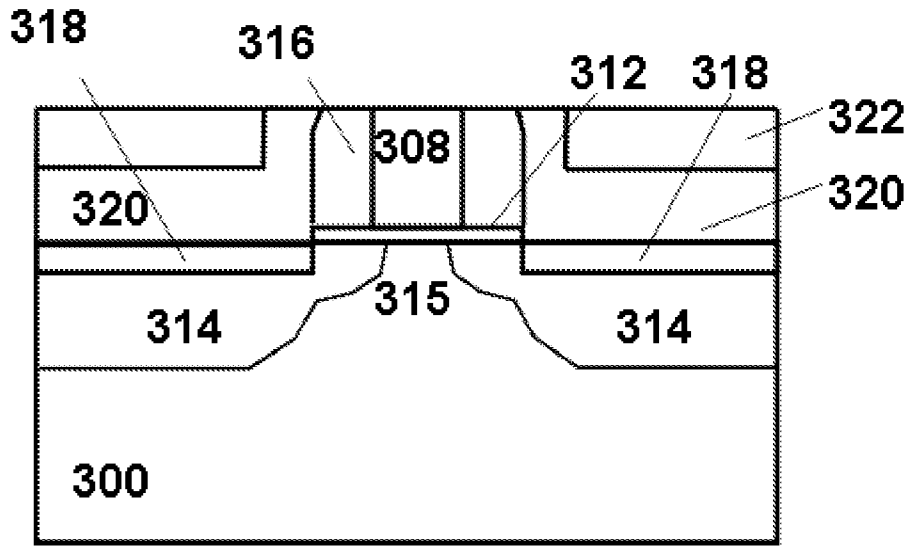

318
316
312
318
322
308
320
320
315
314
314
300

图 19

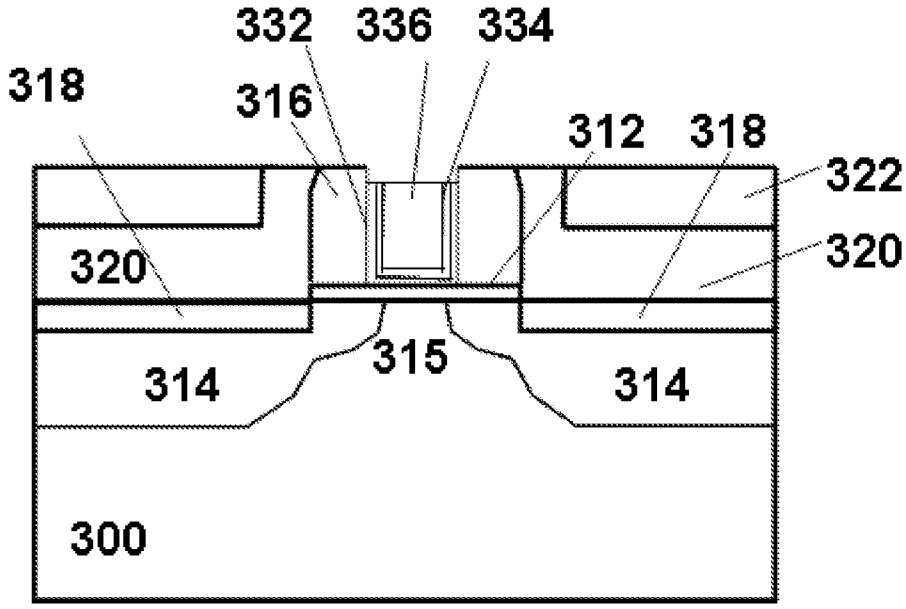

332
336
334
318
316
312
318
322
320
320
315
314
314
300

图 20

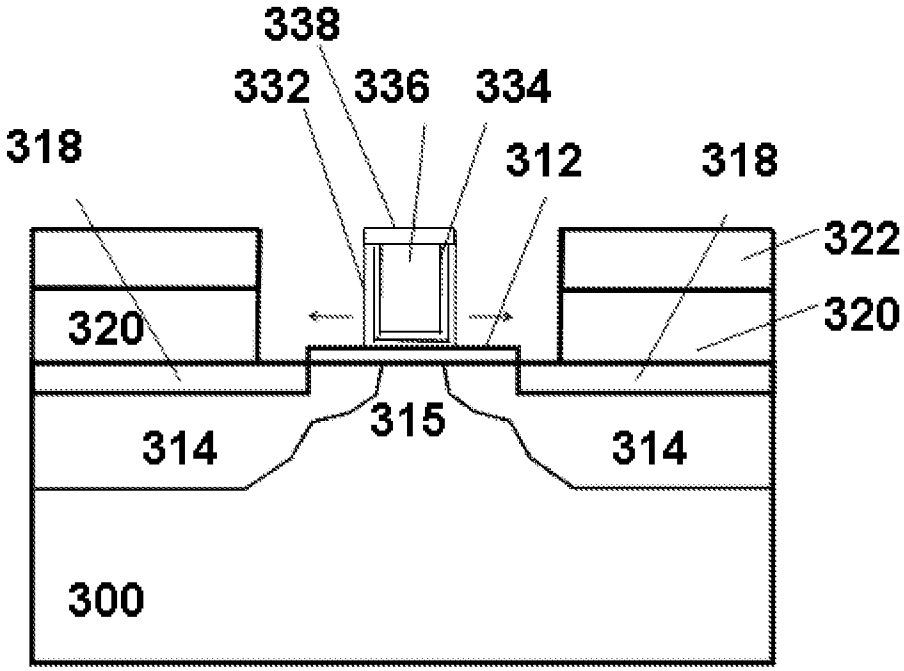

338
332
336
334
318
312
318
322
320
320
315
314
314
300

图 21

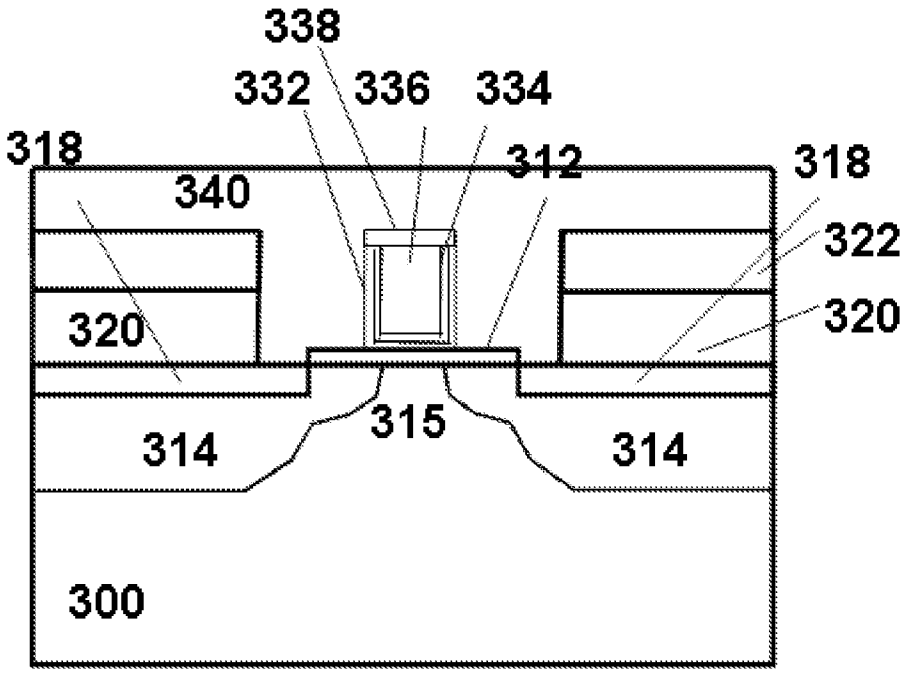

338
332
336
334
318
312
318
340
322
320
320
315
314
314
300

图 22

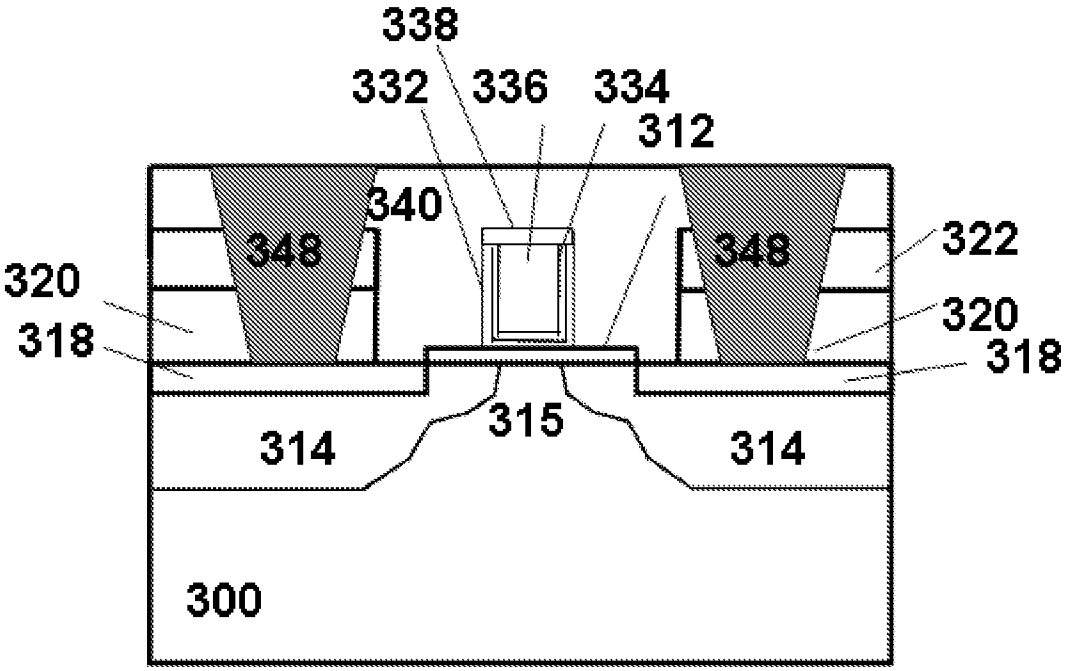

338
332
336
334
312
340
348
348
322
320
320
318
318
315
314
314
300

图 23

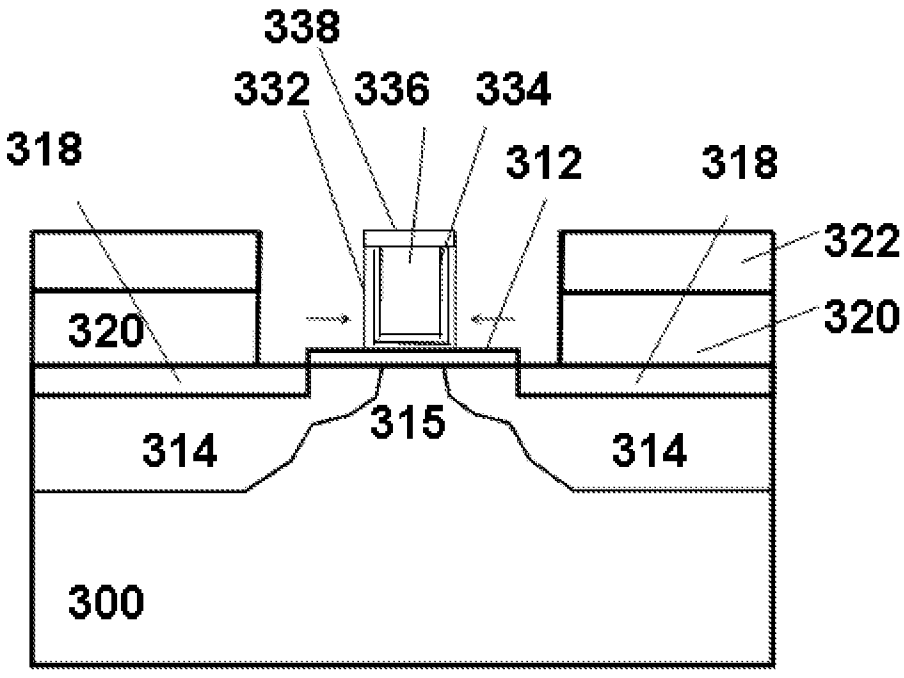

338
332
336
334
318
312
318
322
320
320
315
314
314
300

图 24

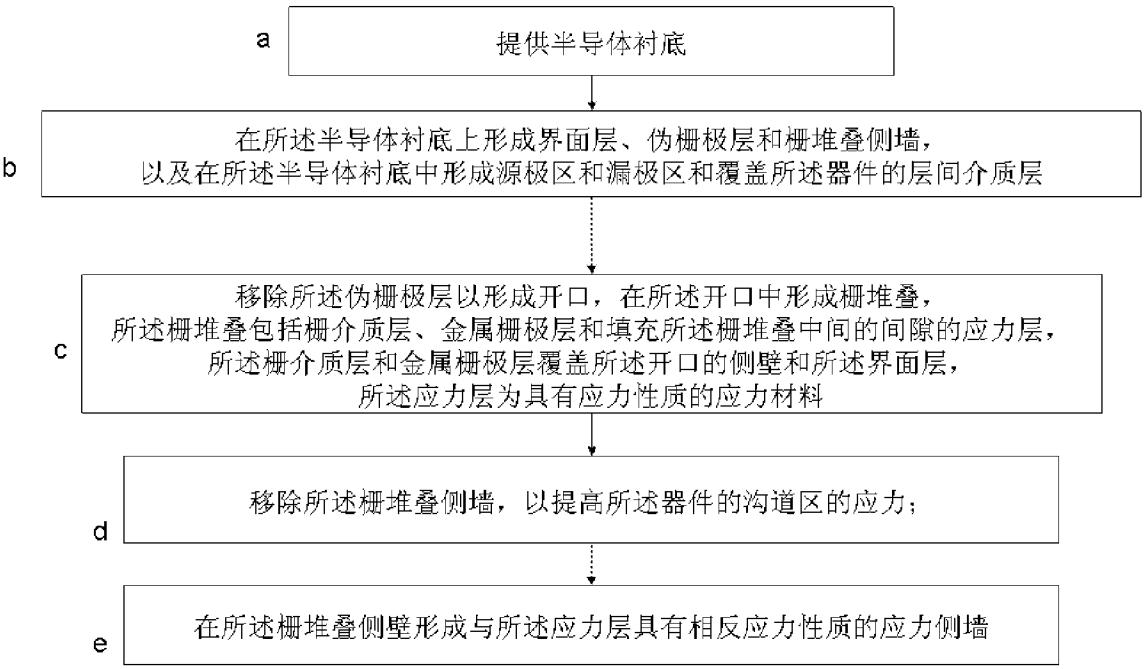

a
提供半导体衬底
b
在所述半导体衬底上形成界面层、伪栅极层和栅堆叠侧墙，
以及在所述半导体衬底中形成源极区和漏极区和覆盖所述器件的层间介质层
c
移除所述伪栅极层以形成开口，在所述开口中形成栅堆叠，
所述栅堆叠包括栅介质层、金属栅极层和填充所述栅堆叠中间的间隙的应力层，
所述栅介质层和金属栅极层覆盖所述开口的侧壁和所述界面层，
所述应力层为具有应力性质的应力材料
d
移除所述栅堆叠侧墙，以提高所述器件的沟道区的应力；
e
在所述栅堆叠侧壁形成与所述应力层具有相反应力性质的应力侧墙

图 25

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2010/074234

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L21/-,H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI,CPRS,WPI,EPODOC:gate, mobility, charge, stress, dielectric, spacer, sidewall

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN101226900A(IBM CORP)23 Jul. 2008(23.07.2008)specification: page 4,line 15-page 7,line 10,Figs.1-9	1-33
A		34-67
Y	CN1532912A (IBM CORP) 29 Sep. 2004 (29.09.2004) specification: page 8,line 20-page 9,line 4, Figs.1-5G	1-33
A		34-67
A	US2009/0309166A1 (FUJITSU LTD) 17 Dec. 2009 (17.12.2009) the whole document	1-67
Y	CN101226900A(IBM CORP)23 Jul. 2008(23.07.2008)specification: page 4,line 15-page 7,line 10,Figs.1-9	1-33
A		34-67

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 Sep. 2010 (20.09.2010)	**04 Nov. 2010 (04.11.2010)**
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer Zhi,Yue Telephone No. (86-10)62411788

Form PCT/ISA /210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/074234

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101226900A	23.07.2008	US2008173950A1	24.07.2008
CN1532912A	29.09.2004	US2004113217A1	17.06.2004
		US6825529B2	30.11.2004
		TW200425525A	16.11.2004
		TW230463B1	01.04.2005
		CN1866528A	22.11.2006
		CN1306585C	21.03.2007
		CN100481468C	22.04.2009
US2009/0309166A1	17.12.2009	WO2008114392A1	25.09.2008
		KR20100004948A	13.01.2010
		CN101636835A	27.01.2010

国际检索报告

国际申请号
PCT/CN2010/074234

A. 主题的分类

H01L21/8238(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21/-,H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI,CPRS,WPI,EPODOC:栅极，迁移率，电荷，CMOS，应力，介电，侧壁，gate，mobility，charge，stress，dielectric，spacer，sidewall

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN101226900A（国际商业机器公司）23.7 月 2008（23.07.2008）说明书第 4 页第 15 行－第 7 页第 10 行，图 1－9	1－33
A		34－67
Y	CN1532912A（国际商业机器公司）29.9 月 2004（29.09.2004）说明书第 8 页第 20 行－第 9 页第 4 行，图 1－5G	1－33
A		34－67
A	US2009/0309166A1（富士通微电子株式会社）17.12 月 2009（17.12.2009）全文	1－67
Y	CN101226900A（国际商业机器公司）23.7 月 2008（23.07.2008）说明书第 4 页第 15 行－第 7 页第 10 行，图 1－9	1－33
A		34－67

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
20.9 月 2010（20.09.2010）	**04.11 月 2010 (04.11.2010)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 智月 电话号码：(86-10) **62411788**

国际检索报告

关于同族专利的信息

国际申请号
PCT/CN2010/074234

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN101226900A	23.07.2008	US2008173950A1	24.07.2008
CN1532912A	29.09.2004	US2004113217A1	17.06.2004
		US6825529B2	30.11.2004
		TW200425525A	16.11.2004
		TW230463B1	01.04.2005
		CN1866528A	22.11.2006
		CN1306585C	21.03.2007
		CN100481468C	22.04.2009
US2009/0309166A1	17.12.2009	WO2008114392A1	25.09.2008
		KR20100004948A	13.01.2010
		CN101636835A	27.01.2010