

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5111882号
(P5111882)

(45) 発行日 平成25年1月9日 (2013.1.9)

(24) 登録日 平成24年10月19日 (2012.10.19)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 4 1

G 1 1 C 17/00 6 1 1 G

G 1 1 C 17/00 6 2 2 E

請求項の数 6 (全 42 頁)

(21) 出願番号	特願2007-30408 (P2007-30408)	(73) 特許権者	000003078
(22) 出願日	平成19年2月9日 (2007.2.9)		株式会社東芝
(65) 公開番号	特開2008-198265 (P2008-198265A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年8月28日 (2008.8.28)	(74) 代理人	110000408
審査請求日	平成21年8月4日 (2009.8.4)		特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	神田 和重
			東京都港区芝浦1丁目1番1号 株式会社東芝内
		審査官	外山 毅

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的に書き換え可能な複数のメモリセルトランジスタが直列に接続されたメモリセルユニットを複数有するメモリセルアレイと、

前記複数のメモリセルトランジスタの制御ゲートにそれぞれ接続された複数のワード線と、

複数の前記メモリセルユニットのそれぞれの一端に接続された複数のビット線と、

前記複数のビット線ごとに一つずつ接続されたセンスアンプと、を備え、

前記複数のメモリセルトランジスタは2つの記憶状態数を持つように制御回路によってワード線単位で制御され、

前記複数のメモリセルトランジスタが記憶する前記記憶状態数は、m番目（mは1以上の整数）のワード線に接続されたメモリセルトランジスタとm-1番目のワード線に接続されたメモリセルトランジスタ及びm+1番目のワード線に接続されたメモリセルトランジスタとで異なり、且つ前記m番目のワード線に接続されたメモリセルトランジスタとm+2番目のワード線に接続されたメモリセルトランジスタとで同一であり、

同一のワード線に接続された前記複数のメモリセルトランジスタの書込みは、前記制御回路がレジスタに格納された前記記憶状態数に基づく電圧設定レベルに従って出力する前記記憶状態数に応じた電圧設定信号に基づいて、前記複数のビット線のすべてが選択されて書込まれることを特徴とする不揮発性半導体記憶装置。

【請求項2】

電氣的に書き換え可能な複数のメモリセルトランジスタが直列に接続されたメモリセルユニットを複数有するメモリセルアレイと、

前記複数のメモリセルトランジスタの制御ゲートにそれぞれ接続された複数のワード線と、

複数の前記メモリセルユニットのそれぞれの一端に接続された複数のビット線と、

前記複数のビット線ごとに一つずつ接続されたセンスアンプと、を備え、

前記複数のメモリセルトランジスタは2つの記憶状態数を持つように制御回路によってワード線単位で制御され、

前記複数のメモリセルトランジスタが記憶する前記記憶状態数は、 m 番目 (m は1以上の整数) のワード線に接続されたメモリセルトランジスタと $m - 1$ 番目のワード線に接続されたメモリセルトランジスタ及び $m + 1$ 番目のワード線に接続されたメモリセルトランジスタとで異なり、且つ前記 m 番目のワード線に接続されたメモリセルトランジスタと $m + 2$ 番目のワード線に接続されたメモリセルトランジスタとで同一であり、

前記複数のメモリセルトランジスタは、それぞれ、第1のアドレスとビット線方向に隣接する2個のメモリセルトランジスタに共通して割り当てられる第2のアドレスと、を有し、

前記複数のセンスアンプは、入出力されるデータをラッチして前記第2のアドレスに基づいて前記入出力されるデータを所定の信号に変換する演算機能を備え、

前記複数のメモリセルトランジスタの書込みは、前記制御回路がレジスタに格納された前記記憶状態数に基づく電圧設定レベルに従って出力する前記記憶状態数に応じた電圧設定信号に基づいて、前記第2のアドレスに基づいて前記複数のビット線のすべてが選択されて書込まれることを特徴とする不揮発性半導体記憶装置。

【請求項3】

前記メモリセルトランジスタの記憶状態数は、外部入力によって動作モードを切替えることができ、前記動作モードの切替えによって全てのメモリセルトランジスタが同一の記憶状態数を持つように設定することができる請求項1又は請求項2に記載の不揮発性半導体記憶装置。

【請求項4】

前記メモリセルアレイはメモリセル領域とROM領域とを有し、

前記メモリセル領域内の前記メモリセルトランジスタの記憶状態数は、前記ROM領域内の前記メモリセルトランジスタにヒューズデータとして記憶されて同一のメモリセル構成で所望の記憶状態数に設定でき、且つ、

前記ROM領域内の前記メモリセルトランジスタは前記ヒューズデータを前記2つの記憶状態数で記憶することを特徴とする請求項1又は請求項2に記載の不揮発性半導体記憶装置。

【請求項5】

前記不揮発性半導体記憶装置は、NAND型フラッシュメモリであることを特徴とする請求項1又は請求項2に記載の不揮発性半導体記憶装置。

【請求項6】

前記メモリセルトランジスタの記憶状態は、所定のデータ量を有する第1の記憶状態と前記第1の記憶状態よりも大きなデータ量を有する第2の記憶状態を有し、

前記複数のメモリセルトランジスタは、前記第1の状態、前記第2の状態の順で前記各ワード線に接続されているメモリセルトランジスタ毎に書き込まれることを特徴とする請求項1又は請求項2に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に関し、特にNAND型フラッシュメモリに関する。

【背景技術】

【0002】

近年、NAND型フラッシュメモリ等の不揮発性半導体記憶装置においてビットあたりの単価を下げるため、また、記憶容量を増やすために、一つのメモリセルに複数ビットデータを記憶させる、いわゆる2値を超える情報量フラッシュメモリが開発されている。1つのメモリセルに4値(2ビット)データを記憶させる場合、そのメモリセルの閾値分布は、4値のデータに対応して4つ存在することになる。

【0003】

かかるNAND型フラッシュメモリを含めて、一般にメモリセルの閾値分布の形状は、電源電圧の低下や製造ばらつきを考慮して幅が狭くシャープな形状とされる。ここで、メモリセルは隣接メモリセルと容量結合しているため、隣接メモリセルが書込まれることで、いわゆる隣接メモリセル干渉が発生し、閾値分布の幅が広がってしまう。この影響は微細化に伴って顕著になってきており、多値データを記憶するために、より閾値分布の形状を幅が狭くシャープな形状とする場合の障害となる。

10

【0004】

そこで、書込み電圧 V_{pgm} のステップアップ幅を狭くして書き込むことで、前記閾値分布の広がりを抑制することが行われる。しかし、ステップアップ幅を狭くすると書込み電圧 V_{pgm} 印加回数が増加し、書込み時間を長くしてしまい、書込みスピードの低下に繋がり、高速化の要求に反することになる。従って、多値化による大容量化を図りながら、且つ高速な書込みスピードを確保することが求められている。

【特許文献1】特開2005 - 267687号公報

【特許文献2】特開2005 - 267821号公報

20

【特許文献3】特開2004 - 152405号公報

【特許文献4】特開2004 - 327865号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、不揮発性半導体記憶装置、特に高速化を優先して全てのビット線に各1個ずつセンスアンプが設けられたNAND型フラッシュメモリにおいて、容量結合による影響を抑制し、記憶容量を上げつつ書込みスピードを向上させることを目的とする。

【課題を解決するための手段】

【0006】

30

本発明の一実施形態によれば、電氣的に書き換え可能な複数のメモリセルトランジスタが直列に接続されたメモリセルユニットを複数有するメモリセルアレイと、前記複数のメモリセルトランジスタの制御ゲートにそれぞれ接続された複数のワード線と、複数の前記メモリセルユニットのそれぞれの一端に接続された複数のビット線と、前記複数のビット線ごとに一つずつ接続されたセンスアンプと、を備え、前記複数のメモリセルトランジスタは2つの記憶状態数を持つように制御回路によってワード線単位で制御され、前記複数のメモリセルトランジスタが記憶する前記記憶状態数は、 m 番目(m は1以上の整数)のワード線に接続されたメモリセルトランジスタと $m-1$ 番目のワード線に接続されたメモリセルトランジスタ及び $m+1$ 番目のワード線に接続されたメモリセルトランジスタとで異なり、且つ前記 m 番目のワード線に接続されたメモリセルトランジスタと $m+2$ 番目のワード線に接続されたメモリセルトランジスタとで同一であり、同一のワード線に接続された前記複数のメモリセルトランジスタの書込みは、前記制御回路がレジスタに格納された前記記憶状態数に基づく電圧設定レベルに従って出力する前記記憶状態数に応じた電圧設定信号に基づいて、前記複数のビット線のすべてが選択されて書込まれることを特徴とする不揮発性半導体記憶装置が提供される。

40

【発明の効果】

【0007】

本発明によって、不揮発性半導体記憶装置、特に高速化を優先して全てのビット線に各1個ずつセンスアンプが設けられたNAND型フラッシュメモリにおいて、容量結合による影響を抑制し、記憶容量を上げつつ書込みスピードを向上させることが可能となる。

50

【発明を実施するための最良の形態】

【0008】

以下、本発明の一実施形態に係る不揮発性半導体記憶装置について、NAND型フラッシュメモリを例に、図面を参照しながら詳細に説明する。なお、実施形態においては、本発明の不揮発性半導体記憶装置の例を示しており、本発明の不揮発性半導体記憶装置は、それら実施形態に限定されるわけではない。

【0009】

図1に、本発明の一実施形態に係る不揮発性半導体記憶装置10の概略構成図を示す。図1においては、不揮発性半導体記憶装置10としてNAND型フラッシュメモリを例に説明する。図1に示す不揮発性半導体記憶装置10は、複数の電氣的に書き換え可能なメモリセル111がマトリクス状に配置されたメモリセルアレイ100、ロウデコーダ20、カラムデコーダ30、センスアンプ40、入出力バッファ50、アドレスバッファ60、電圧生成回路70、パワーオンリセット回路80、制御回路90、ラッチ回路200を有している。また、更にステートマシン、コマンド・インターフェース、選択回路等を備えているが、図1においては図示を省略している。本実施形態に係る不揮発性半導体記憶装置10は、外部I/Oパッド210とデータ及び制御信号(コマンド)の送受信を行う。

【0010】

本発明の一実施形態に係る不揮発性半導体記憶装置10においては、外部I/Oパッド210からデータ入出力バッファ50を通して、データ及び制御信号がコマンド・インターフェース及びカラムデコーダ30に入力される。ステートマシンは、制御信号及びデータに基づき、カラムデコーダ30、ロウデコーダ20を制御する。ステートマシンは、カラムデコーダ30及びロウデコーダ20に対してメモリセルアレイ100のメモリセル111に対するアクセス情報を出力する。ロウデコーダ20は、前記アクセス情報及びデータに基づき、選択回路を制御し、メモリセル111をアクティブにする。カラムデコーダ30は、センスアンプ40とデータバス間に設けられる。カラムデコーダ30は、選択されたアドレスのセンスアンプ40のラッチから8ビット或いは16ビット単位のデータを読み出してデータバスに転送し、データ入出力バッファ50を通して外部I/Oパッド210へ出力する。また、カラムデコーダ30は、書き込み時にはセンスアンプ40のラッチにデータをロードする。メモリセルアレイ100の各ビット線140に接続されたセンスアンプ40は、読み出しデータや書き込みデータを記憶するラッチ機能を有し、ページ読み出し時にビット線140の電位をセンス増幅して読み出しデータをラッチする。センスアンプ40は書き込み時には外部から入力された書き込みデータをラッチし、ビット線140に書き込みデータをロードする。

【0011】

ここで、メモリセルアレイの構成を図2に示す。図2に示すとおり、本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルアレイ100は、合計m個のブロック(BLOCK0、BLOCK1、BLOCK2、・・・、BLOCKi、・・・、BLOCKm)に分割されている。ここでは、「ブロック」とはデータ消去の最小単位である。また、前記メモリセルアレイ100は、データを格納する通常のメモリセル領域110の他に、タイマ調整や各種電圧調整のためのトリミングデータ等、電源投入後に読み出す必要のある各種データ(ヒューズデータ)及びメモリセルアレイ110に存在する不良セルを他の冗長用セルに置き換えるための置換アドレスデータを格納するROM領域120を有している。

【0012】

前記ROM領域120に格納されているヒューズデータは、センスアンプ40及びカラムデコーダ30を介してラッチ回路200に送られて保持される。このROM領域120に格納されているヒューズデータを読み出してラッチ回路200にセットする動作をROMリード動作という。

【0013】

各ブロックBLOCK0~BLOCKmは、それぞれ、図3に代表的に示すブロックBL

10

20

30

40

50

OCK iのように、6個のNAND列0～5で構成される。図3は、本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルブロックBLOCK iの構成図である。ここで、NAND列とは、メモリセルを直列に接続し両端を選択ゲートトランジスタSTで挟んだ構成を指す。本実施形態では、各NAND列は5個のメモリセルMC0～MC4(111)が直列に接続されて構成され、その一端はドレイン側選択ゲート線SGD150に接続された選択ゲートトランジスタST0(113)を介してビット線140(BL0～BL5)に、他端はソース側選択ゲート線SGS150に接続された選択ゲートトランジスタST1(113)を介して共通ソース線CELSRC160に接続されている。各々のメモリセル111の制御ゲートは、ワード線130(WL0～WL4)に接続されている。図3においては、例としてワード線130が5本の場合を示しているが、これに限定されるわけではない。

10

【0014】

ここで、1本のワード線130に接続される前記6個のメモリセル111は、各メモリセル111が電子注入量に応じた複数ビットのデータ(多値ビットデータ)を記憶する。これら6個のメモリセル111が「ページ」という単位を構成する。

【0015】

また、本実施形態では、メモリセルアレイを構成するブロックの数をm個とし、且つ1つのブロックが、5個のメモリセルでなるNAND列を6個含むようにしたが、これに限定されるわけではなく、所望の容量に応じてブロックの数、メモリセルの数及びNAND列の数を変更すればよい。また、本実施形態においては、1つのNAND列が1つのビット線140に接続されたNAND型フラッシュメモリの例について説明しているが、複数のNAND列が1つのビット線140に接続されていてもよい。

20

【0016】

図4は、本発明の一実施形態に係る不揮発性半導体記憶装置10のNANDセルのレイアウトを模式的に示す図である。各NAND列は、ビット線コンタクトを中心に線対称の向きで配置される。選択ゲート線SGD150b、SGS150aは、読出し時のアクセスに関わる重要な配線なので、配線メタル層(図示せず)によってシャントされている。また、前記配線メタル層(図示せず)によってシャントするのは、選択ゲート線SGD150は高抵抗であるため、低抵抗の配線層と電氣的に接続することで抵抗を下げるためである。ドレイン側選択ゲート線SGD150bは、シャント線の抵抗をできるだけ小さくする関係で十分な面積がないため、隣のNAND列ユニットと共通配線としてある。メモリセルのチャネルを形成する拡散層114は、図4に向かって縦方向に直線で並び、選択ゲート線SGD150bで挟まれた領域で拡散層-M0間コンタクト(以下、CBコンタクト115という。)によりM0と接続され、更に拡散層と同じ縦方向に直線で走るビット線140のM1とM0-M1間コンタクト(以下、V1レイヤーという。)により接続される(図示せず)。一方、選択ゲート線SGS150aで囲まれた領域ではCBコンタクト115によりM0と接続され、共通接続されたM0レイヤー(図示せず)のセルソース線によってセルアレイ領域のソース線160に接続される。

30

【0017】

センスアンプ40は、読出しデータや書込みデータを記憶するラッチ機能を有する。センスアンプ40は、ページ読出し時にビット線140の電位をセンス増幅して読出しデータをラッチし、外部から入力された書込みデータをラッチし、書込み時にビット線140に書込みデータをロードする。ところで近年、微細化技術の進行に伴って、センスアンプ40についても面積の縮小が求められるようになってきた。

40

【0018】

この対策として、読出しをプリチャージしてビット線140をフローティングにしてからセル電流によってビット線140電位を放電させる、いわゆるフリーランニング方式の読出しが採用され、センスアンプ40について面積の縮小が図られた。しかし、フリーランニング方式は、ビット線140をフローティングにするためビット線ノイズに弱い。従って、ビット線ノイズを防止するため、読出し時に選択していない側のビット線140をV

50

SSに接続してシールドさせるビット線シールド技術が必要になる。即ち、相補するビット線140二本に対してセンスアンプ1個を設けてビット線140を偶数ビット線140eと奇数ビット線140oとに区分し、偶数、奇数の2回に分けて読出し、書込みを行い、読出し時に選択していない側のビット線140をVSSに接続してシールドさせてノイズを防止するのである。これによって貫通電流が流れないため、配線層を多く取ることなくセルアレイ領域を大きく取ることができ、大容量、低コストが可能となる。

【0019】

ところが一方で、かかるビット線シールドを行うと、一つのワード線に対して偶数と奇数の2回の書込みが入ることになり、余計に書き込みストレスが掛かってしまう。また、書込み処理時間が掛かり、高速処理の要求に応えられないという問題が発生する。そこで、高速処理を優先する場合、図3に示したようにビット線140一本おきに互いに異なる側にセンスアンプ40を設けセンスアンプ40の面積縮小の要請に応えながら高速化を図る対策がある。この場合、ビット線140を偶数、奇数に分ける必要がなく、一度に書込みできるため高速化を図れるというメリットがある。また、電流を多く流すことでビット線140ノイズを低減できるメリットもある。しかし一方で、読出し時にソース線電圧の浮きを気にして読出しを小まめに行う必要があること、及びチップサイズが大きくなってしまふというデメリットがある。

【0020】

以上より現在は、上述した2つの対策が、高速化を目的とする場合と大容量かつチップサイズ縮小化を目的とする場合とに分けて用いられている。本発明は、上記2つの対策のうち、高速化を目的としてセンスアンプ40を全てのビット線140に各1個ずつ設けた不揮発性半導体記憶装置10に関し、かかる不揮発性半導体記憶装置10における隣接メモリセルとの容量結合による影響を軽減し、大容量化を図りつつ書込みスピードを向上させることを目的とする。従って、本発明の一実施形態に係る不揮発性半導体記憶装置10は、ビット線140ごとにセンスアンプ40が1個接続されている。

【0021】

アドレスバッファ60は、外部から入力されたアドレス情報をエンコードし、ロウデコーダ20やカラムデコーダ30に伝達する。エンコードされたアドレス情報は、ロウデコーダ20やカラムデコーダ30によってデコードされ、ロウデコーダ20やカラムデコーダ30が、アクセスすべきワード線130、ビット線140を選択する。

【0022】

電圧生成回路70は、制御回路90からのモード信号、電圧生成タイミング制御信号及び電圧レベル設定信号を受けて、外部から供給された電源電圧VCCを用いて参照用の基準電圧Vrefやプログラム電圧Vpgm等の種々のモードに必要な内部電圧を生成し、ロウデコーダ20、センスアンプ40等のその電圧を必要とする回路に出力する。

【0023】

パワーオンリセット回路80は、電源が投入されたことを検知して、制御回路90のレジスタをリセットして初期化動作を行うための信号を出力する。前記パワーオンリセット回路80は、電源が投入されて電源電圧が所定の電圧レベルに達するまでの間はLowレベルとなり、所定の電圧レベルに達した後はHighレベルとなるパワーオンリセット信号を発生し、制御回路90に出力する。

【0024】

制御回路90は、外部から入力されたコマンドを受けて、読出し動作、書込み動作、消去動作等のモード信号を生成するとともに、モードごとに必要な電圧を生成するためのタイミング制御信号を出力する。また、制御回路90は、電圧の設定レベルを格納しているレジスタにしたがって電圧設定信号を出力し、更に、アドレス制御信号及びメモリセルへのアクセス制御信号を出力する。

【0025】

また、前記制御回路90は、パワーオンリセット回路80から出力されたパワーオンリセット信号に基づいて、図1中のアドレスバッファ60、カラムデコーダ30、ロウデコー

10

20

30

40

50

ダ 2 0、センスアンプ 4 0、ラッチ回路 2 0 0 及び電圧生成回路 7 0 のそれぞれを初期化するための制御信号を出力する。従って、制御回路 9 0 は、上述したアドレスバッファ 6 0 等を初期化するための制御信号を出力する初期化制御回路 9 1 と、ROM リード動作を制御するための制御信号を出力する ROM リード制御回路 9 2 を持つ。

【 0 0 2 6 】

パワーオンリセット回路 8 0 と制御回路 9 0 の動作は、概略以下の動作となる。即ち、電源電圧 V_{CC} が立ち上がり、その値がパワーオン検知レベルに達すると、パワーオンリセット回路 8 0 は、パワーオンリセット信号を出力する。前記パワーオンリセット信号を受信した制御回路 9 0 は、該制御回路 9 0 内の ROM リード制御回路 9 2 から ROM リード動作を制御するための制御信号を出力し、ROM リード動作が起動される。

10

【 0 0 2 7 】

かかる構成による本発明の一実施形態に係る不揮発性半導体記憶装置 1 0 における、多値データの書込み、読出しの動作について説明する。

【 0 0 2 8 】

図 5 は、図 3 に示したメモリセルブロック $BLOCK_i$ における書込み時の電位関係を示す図である。図 6 は、4 値データと閾値電位との関係を示す図である。図 5 において、多値データの書込み、消去及び読出しの動作について、ワード線 WL_2 及び BL_2 が選択される場合について説明する。ここではメモリセルに 4 値データ (2 ビットデータ) が記憶される場合を例として説明する。書込みデータを「0 (書き込む)」と「1 (書き込まない)」とし、4 値データを前記書込みデータの組合せ「1 1」、「1 0」、「0 1」、「0 0」とする。「1 1」は消去状態であり、「1 0」、「0 1」「0 0」は書込み状態である。これを、図 6 に示すように、「1 1」を E 状態、「1 0」を A 状態、「0 1」を B 状態、「0 0」を C 状態と表現する。4 値データ (2 ビットデータ) のうちの 1 ビットは Lower Page データとして、また、他の 1 ビットは Upper Page データとして、同一のメモリセルに記憶される。

20

【 0 0 2 9 】

4 値データの書込み、読出しを制御する場合、消去状態とする負の閾値電圧を一つ割り当て、書込み、読出し状態とする正の閾値電圧を 3 つ割り当てる。正の閾値電圧は、通常 0 V ~ 5 V の間で割り当てられ、相互にマージンをとつつ、一般的には一定の割合を持ってステップアップされる。ここでは例として、書込み状態「1 0」に対して 0 V、「0 1」に対して 1 V、「0 0」に対して 2 V を割り当てる。

30

【 0 0 3 0 】

初期状態では、メモリセルは、「1 1」状態になっている。また、消去動作において、セル p ウェル $C - p - well$ を 2 0 V、選択されたブロック内の全てのワード線 WL_0 、 WL_1 、 WL_2 、 WL_3 及び WL_4 (1 3 0) を 0 V にすることで、その選択されたブロック内のメモリセルでは、フローティングゲートから電子が放出され、「1 1」状態になる。

【 0 0 3 1 】

消去動作時、非選択ブロック内のワード線 1 3 0、全てのビット線 1 4 0 及びコントロールゲート線並びにソース線 1 6 0 は、フローティング状態 (floating) にされる。このため、コントロールゲート線の電位はセル p ウェル $C - p - well$ との容量結合により、2 0 V 近辺まで上昇する。ビット線 1 4 0 及びソース線 1 6 0 は、拡散層の PN ジャンクションで、 p ウェルと N^+ でフォワードバイアスになるため、 p ウェルから電圧供給されて 2 0 V 近辺まで電位が上昇する。

40

【 0 0 3 2 】

書込みは、選択されたワード線 WL_2 (1 3 0) に、書込み電位 V_{pgm} として 1 4 V ~ 2 0 V を与えることにより行われる。選択されたビット線 BL_2 (1 4 0) は 0 V に設定されるため、これら選択されたワード線 WL_2 (1 3 0) 及び選択されたビット線 BL_2 (1 4 0) に接続される選択されたメモリセルでは、フローティングゲート電極内に電子が注入され、閾値電圧が高速に上昇する (第 1 段階書込み)。

50

【 0 0 3 3 】

選択されたメモリセルの閾値電圧が目標値の近くまで上昇したら、その選択されたメモリセルの閾値電圧を目標値近傍に留めるため、閾値電圧の上昇速度を抑えるべく、選択されたビット線 B L 2 (1 4 0) を 0 . 4 V 程度まで上げる (第 2 段階書込み) 。

【 0 0 3 4 】

非選択メモリセルに対しては、その閾値電圧の上昇を禁止するため、ビット線 B L 0 、 B L 1 、 B L 3 及び B L 4 を電源電位 (例えば、約 3 V) V d d にする (書込み禁止) 。

【 0 0 3 5 】

読出しは、選択されたワード線 W L 2 に、読出し電位として、0 V、1 V、又は、2 V を与えることにより行われる。この時、選択されたメモリセルの閾値電圧が読出し電位よりも低いと、ビット線 B L 2 (1 4 0) とソース線 1 6 0 が短絡され、ビット線 B L 2 (1 4 0) の電位は低レベル「 L 」になる。これに対し、選択されたメモリセルの閾値電圧が読出し電位を越えていると、ビット線 B L 2 (1 4 0) とソース線 1 6 0 は非導通であるため、ビット線 B L 2 (1 4 0) の電位は高レベル「 H 」になる。

10

【 0 0 3 6 】

メモリセルが、「 1 1 」状態にあるか、又はそれ以外の状態にあるかを読出し電位を 0 V に設定することによって判断する (1 0 読出し) 。次に、「 1 1 」以外の状態であると判断されたメモリセルに対し、読出し電位を 1 V に設定する。これによって「 1 0 」状態にあるメモリセルと、それ以外の「 0 1 」状態又は「 0 0 」状態にあるメモリセルが判別できる (0 1 読出し) 。さらに、「 0 1 」状態又は「 0 0 」状態と判断されたメモリセルに対し、読出し電位を 2 V に設定することによって、「 0 1 」状態のメモリセルを判別できる (0 0 読出し) 。以上の結果判別されずに残ったメモリセルは「 0 0 」状態と判断される。

20

【 0 0 3 7 】

「 1 0 」状態のメモリセルの閾値分布の下限は、例えば、「 1 0 読出し」の読出し電位 0 V に対して 0 . 4 V 以上の読出しマージンを持たせる。「 1 0 」状態の全てのメモリセルの閾値電圧が 0 . 4 V 以上であるか否かは、「 1 0 書込みベリファイ」により、選択されたワード線 1 3 0 にベリファイ電位として V c g v 1 0 (= 0 . 4 V) を与えることにより検証する。そして、閾値電圧が 0 . 4 V に達したメモリセルに対しては、その後、書込み禁止にして閾値電圧の上昇を禁止する。

30

【 0 0 3 8 】

同様に、「 0 1 」状態のメモリセルの閾値分布の下限は、本例では 1 . 4 V に、「 0 0 」状態のメモリセルの閾値分布の下限は、本例では 2 . 4 V に設定される。また、「 0 1 書込みベリファイ」及び「 0 0 書込みベリファイ」により検証し、閾値電圧が目標値以上に達したメモリセルに対して、書込み禁止にして閾値電圧の上昇を禁止する点も同様である。

【 0 0 3 9 】

ここで、閾値分布の幅を狭小にするには、2 段階の書込みベリファイを行うことが有効である。2 段階の書込みベリファイとは、ベリファイ電位を正規の値とそれよりも低い値の 2 種類用意し、この 2 種類のベリファイ電位を用いて、書込みベリファイを実行するベリファイのことである。例えば、「 1 0 書込みベリファイ」では、まず、選択されたワード線 W L 2 に、ベリファイ電位 V c g v 1 0 として、0 . 2 V を与え、1 0 第 1 段階書込みベリファイを行う。そして、1 0 第 1 段階書込みベリファイが完了したメモリセルについては、この後、個別に、ベリファイ電位 V c g v 1 0 として、0 . 4 V を与え、1 0 第 2 段階書込みベリファイを行う。

40

【 0 0 4 0 】

同様に、「 0 1 書込みベリファイ」では、ベリファイ電位 V c g v 0 1 として、1 . 2 V (0 1 第 1 段階書込みベリファイ) 及び 1 . 4 V (0 1 第 2 段階書込みベリファイ) を用い、「 0 0 書込みベリファイ」では、ベリファイ電位 V c g v 0 0 として、2 . 2 V (0 0 第 1 段階書込みベリファイ) 及び 2 . 4 V (0 0 第 2 段階書込みベリファイ) を用いる

50

。

【0041】

メモリセルの閾値電圧がベリファイ電位に達していない場合には、ビット線BL2(140)とソース線160とが短絡するため、ビット線BL2(140)の電位は、低レベル「L」になる。メモリセルの閾値電圧がベリファイ電位を越えると、ビット線BL2(140)とソース線160とが非導通になるため、ビット線BL2(140)の電位は、高レベル「H」になる。

【0042】

多値フラッシュメモリでは、1つのメモリセルにn(nは複数)ビット又は 2^n 値のデータを記憶させる。従って、メモリセルの閾値分布としては、急峻かつ狭小であることが望まれる。このような急峻かつ狭小な閾値分布を得るため、本発明の一実施形態に係る半導体記憶装置においては、以下のような書込み及び閾値電圧の制御方法がとられている。

10

【0043】

書込み電位Vpgmは、初期値から一定の割合Dvpgm(例えば、0.2V)でステップアップされる。書込み電位Vpgmは、パルス信号(書込みパルス)としてメモリセルに印加され、パルス信号がメモリセルに与えられる度に、その高さ(書込み電位Vpgm)が上昇していく。

【0044】

書込みの対象となるメモリセルに接続されるビット線に0Vを与えると、数個のパルス信号が与えられた後、そのメモリセルの閾値電圧は、書込み電位Vpgmの上昇率と同じ上昇率(0.2V/パルス)で上昇していく。

20

【0045】

パルス信号を用いて書込みを実行した後に書込みベリファイが行われる。書込みベリファイでは、閾値電圧が書込みベリファイ電位に達したメモリセルについては、それに接続されるビット線の電位がVdd(電源電位)に設定される。つまり、メモリセルごとに、書込みが完了したか否かが検証され、書込みが完了したメモリセルについては、個別に、書込み禁止状態に設定される。このような書込み及び閾値電圧の制御方法によれば、閾値分布の幅は、1パルス当りの閾値電圧の上昇率と同じ程度、即ち、0.2Vに抑えることができる。

【0046】

30

前記書込みを一連のシーケンスとして表すと図7のようになる。図7は、本発明の一実施形態に係る不揮発性半導体記憶装置の書込みシーケンス(図7a)と、読出し方法(図7b)とを示す図である。また、図8はNAND型セルの容量結合の影響を示す閾値分布の模式図である。書込み方としては何通りもあるが、説明を単純化するためにE状態からE又はA状態に、また、E状態をB状態に或いはA状態をC状態に順番に書くものとする。この場合、前者の書込み(EからE又はA)を「Lower Page書込み」といい、後者の書込み(EからB或いはAからC)を「Upper Page書込み」という。

【0047】

まず書き込むか(0データ)書き込まないか(1データ)の書込みデータを全ビット線BL0~BL4(140)に印加する。2ビット多値の場合、状態としては図8に示すように4通りのVth分布の状態がある。

40

【0048】

まず、書込みのために、全ビット線BL0~BL4(140)を選択する。前記ビット線BL0~BL4(140)に書込み電圧0V又は非書込み電圧VDDを印加する。その後Lower Page書込みを行い、次いでUpper Page書込みを行う。以上が書込みの一連のシーケンスである。読出しは、ビット線BL0~BL4(140)をプリチャージし、第1センス、第1リカバリ、第2センス、第2リカバリ、更に第3センスを行う。このようにリカバリを複数回行うのは、全てのビット線140が各1個のセンスアンプ40を有し常にセル電流を流しているため、貫通電流によるソース線160ノイズの影響をなくすためである。但し、リカバリの回数はこれに限られる訳でなく、基本的には1回

50

でもよい。

【 0 0 4 9 】

2ビット多値書込みの場合は、上述の書込みシーケンスとなるが、ここで問題となるのが隣接セルの容量結合の影響である。図9は、NAND型セルの容量結合の影響を示す模式図である。

【 0 0 5 0 】

各メモリセル111のフローティングゲートは、それぞれビット線方向、ワード線方向、斜め方向の隣接メモリセル111のフローティングゲートと容量結合している。図9に示すメモリセルMC2-2のフローティングゲートは、隣接メモリセルMC1-1、MC1-2、MC1-3、MC2-1、MC2-3、MC3-1、MC3-2及びMC3-3と容量結合している。しかし、特にビット線方向の前記隣接メモリセルMC2-1、MC2-3及びワード線方向の前記隣接メモリセルMC1-2、MC3-2との容量結合は、斜め方向の前記隣接メモリセルとの容量結合よりも大きい。従って、これらの方向における容量結合の影響は大きくなる。一方、斜め方向のメモリセルMC1-1、MC1-3、MC3-1及びMC3-3とも容量結合しているが、その影響は小さい。

10

【 0 0 5 1 】

図7に示す一連の書込みシーケンスを想定した場合、前記容量結合の影響は、図8に示すような形で現れる。図8は、一のワード線130に接続されたメモリセルを例にとり、同一ワード線上WL130上で隣接するメモリセル及び同一ビット線140上で隣接するメモリセルが書込まれた場合の、閾値電圧の分布を示した模式図である。説明をわかり易くするために、図9のメモリセルMC2-2を例にとって説明する。

20

【 0 0 5 2 】

本発明の一実施形態に係る不揮発性半導体記憶装置10においては、書込みはワード線WL0(130)からワード線WL1(130)、ワード線WL2(130)と順にページ書込みされる。ワード線WL1(130)が選択され、全ビット線BL0~BL4(140)が選択されて書込み電圧が印加されると、メモリセルMC2-2に隣接するメモリセルMC2-1が書込まれる。メモリセルMC2-2は、メモリセルMC2-1と容量結合しているが、メモリセルMC2-2は、まだ書込みが行われていないので影響はない。次に、ワード線WL2(130)が選択され、全ビット線BL0~BL4(140)が選択されて書込み電圧が印加される。このとき、メモリセルMC2-2の閾値分布は、図8の上段の状態となる。この際、メモリセルMC2-2は、メモリセルMC1-2及びMC3-2と同一ワード線WL2(130)上で隣接しており、容量結合している。しかし、同時に書込まれるため、同一ワード線130方向のメモリセル間の容量結合の影響は同一ビット線140方向のメモリセル間の容量結合の影響に比して小さくなる。次に、ワード線WL3(130)が選択され、全ビット線BL0~BL4(140)が選択されて書込み電圧が印加される。このとき、メモリセルMC2-2と隣接するメモリセルMC3-2が書込まれる。メモリセルMC2-2はメモリセルMC3-2と容量結合しているため、メモリセルMC2-2の閾値分布は、図8の下段に示す状態となる。容量結合の影響によって、閾値分布が広がることとなる。

30

【 0 0 5 3 】

即ち、当該メモリセルがページ書込みされた後に隣接ページが書込まれると、同一ビット線140上で隣接するメモリセルが書込まれることによって、フローティングゲートの電荷量の変動による影響により読出し時のメモリセルの閾値電圧が変動して見えるからである。この影響は、隣接セルに書き込まれた閾値電圧に依存するので、厳密には図のように一律閾値分布が広がるわけではないが、隣接メモリセルが書き込まれた場合には、元のメモリセルの閾値分布に比して必ず分布幅は広がるのである。

40

【 0 0 5 4 】

多値で記憶する不揮発性半導体記憶装置においては、一つのメモリセルに複数の値を書き込むことから、書込み回数が相乗的に増加する。従って、できるだけ閾値分布を狭くしてData Retention(データ保持特性)やRead Disturb(読出し電圧

50

印加によるストレス変動)等の信頼性におけるメモリセル変動のマージンを取っている。しかし、上述したように隣接メモリセルの容量結合によって閾値分布が広がってしまい、微細化によって信頼性に対するマージンが減少してしまうことが発生するようになってきている。

【0055】

前記閾値分布の広がり、書き込み電圧のステップ幅を小さくして書き込みすることで抑制できる。しかし、単純にステップ幅を小さくした場合、書き込み電圧印加回数が増加して全体の書き込み時間を長くしてしまい、書き込みスピードの低下に繋がり現実的ではない。従って、書き込みスピードの低下を抑えながら、一方でかかる閾値分布の広がりを抑制することが、多値化を推進する上で重要な技術的課題となっているのである。

10

【0056】

本発明は、高速処理が要求される、全てのビット線140に各1個のセンスアンプ40が接続されている不揮発性半導体記憶装置10において、メモリセルに記憶するデータの情報量を、ワード線130単位で、ワード線130一本置きに割り当てることを特徴とする。そして、記憶するデータの情報量の割り当てを行った上で、メモリセルへの書き込みをワード線単位で順にページ書き込みで行うことを特徴とする。即ち、メモリセルのアドレスを基に、それぞれのメモリセルを、情報量の少ないデータを記憶するメモリセルと前記データよりも大きな情報量を記憶するメモリセルとにワード線130単位で一本置きに割り当て動作させる。従って、ワード線130単位では、同一ワード線130に接続された全てのメモリセルは、全て同じ情報量を記憶する。不揮発性半導体記憶装置10全体として、メモリセルに記憶させる情報量がROW方向(ワード線WL方向)にストライプ状に割り当てられるため、以下、かかる割り当て方式を「ロウ・ストライプ状」割り当て方式という。

20

【0057】

図10は、本発明の一実施形態に係る不揮発性半導体記憶装置10における、記憶する情報量のメモリセルへの割り当ての模式図である。本実施形態は、それぞれのメモリセルを、ワード線130単位で、2値データを記憶するメモリセルと4値データを記憶するメモリセルとに割り当てる例である。具体的には、ある特定のワード線130に接続された全てのメモリセルが2値データを記憶するように割り当てられた場合、該ワード線130の両側に隣接するワード線130に接続された全てのメモリセルは4値データを記憶するよう

30

【0058】

具体的に図10において、第1のメモリセル群に含まれるメモリセルMC2-2が2値データを記憶するように割り当てられた場合、同一ワード線WL2(130e)上の他のメモリセルMC0-2、MC1-2、MC3-2、MC4-2及びMC5-2も全て2値データを記憶するように割り当てられる。同一ビット線BL2(140)上で隣接するメモリセルMC2-1及びMC2-3について見ると、いずれも4値データを記憶するように割り当てられ、それぞれのメモリセルが接続されたワード線WL1(130o)及びWL3(130o)上の他のメモリセルも、全て4値データを記憶するように割り当てられる。

40

【0059】

この割り当ては、上述したようにメモリセルのアドレスによって予め決定され、図1に示したメモリセルアレイ100のROM領域120にヒューズデータとして格納される。かかるヒューズデータをROM領域に格納するものを、ROMヒューズという。前記ヒューズデータは、ROMリード動作によって、ROM領域120から読み出され、ラッチ回路

50

200にセットされる。従って、本発明の一実施形態においては、セットされるヒューズデータによって、全てのメモリセルを2値データを記憶するメモリセル（以下、かかる取り扱いとする動作モードを2値セルモードといい、かかる取り扱いが割り当てられたメモリセルを、2値セルという。）としたり、4値データを記憶するメモリセル（以下、かかる取り扱いとする動作モードを4値セルモードといい、かかる取り扱いが割り当てられたメモリセルを、4値セルという。）とすることもできる。動作モード切替えて、2値セルモード、4値セルモード及び2値アンド4値ロウ・ストライプ状混在モードで 사용할 ことができる。

【0060】

なお、本実施形態においては、前記ROMヒューズによって、メモリ全体のメモリセルにデータを割り当てるが、パワーオンリセット回路80内に、2個のヒューズ回路を設け、それぞれのアドレスに応じてヒューズデータをプログラムし、パワーオン直後にこのヒューズデータを读出して遅延回路（図示せず）に供給するようにしても良い。また、外部入力によって制御されるようにしても良い。

【0061】

ここで、ROM領域120は、データ化けが生じるとチップの動作に大きな影響を及ぼしてしまうため高い信頼性が要求される。このため、メモリセル領域110が、4値データや8値データの多値データを取り扱う場合又は4値データや8値データを混在して取り扱う場合であっても、ROM領域120については、信頼性を確保するために基本的に2値データ領域として設定される。

【0062】

本発明の一実施形態における書込みシーケンスについて、図10を基に詳細に説明する。まず、ワード線WL0（130e）を選択する。次に、全てのビット線140を選択して、ページ書込みを行う。この場合ワード線WL0（130e）に接続された全てのメモリセルは第一のメモリセル群であるので、2値データを記憶するように設定されているため、2値データの書込みが行われる。

【0063】

前記の書込みが終了すると、次のワード線WL1（130o）が選択され、全てのビット線140を選択してページ書込みが行われる。ワード線WL1（130o）に接続されたメモリセルは第二のメモリセル群であるので、4値データを記憶するように割り当てられており、4値データの書込みが行われる。まず、Lower Pageデータ書込みが行われた後、続いてUpper Pageデータ書込みが行われる。

【0064】

ワード線WL1（130o）に接続されたメモリセルへの書込みにより、容量結合の影響が隣接するワード線WL0（130e）及びWL2（130e）に接続されたメモリセルに及ぶ。ここで、隣接するワード線WL0（130e）に接続された全てのメモリセルはすでに2値データ書込みが行われている。2値データの閾値分布は間隔が広いので、容量結合の影響が及び分布の幅が若干広がっても、変動に対するマージンを吸収することができる。従って、ワード線WL0（130e）に接続されたメモリセルに対する容量結合の影響は吸収される。一方、ワード線WL2（130e）に接続された全てのメモリセルはまだ書込みがされていないので影響が発生しない。

【0065】

続いて、ワード線WL2（130e）に接続されたメモリセルに対する書込みが行われる。ワード線WL2（130e）を選択し、全てのビット線140を選択して書込みを行う。この場合ワード線WL2（130e）に接続されているメモリセルは第1のメモリセル群であるため、2値データの書込みが行われる。

【0066】

前記書込みにおいても、隣接するワード線WL1（130o）に接続された全てのメモリセルに容量結合の影響が及ぶが、それぞれのメモリセルは既に4値データが書き込まれており、また、2値データの閾値電圧は、4値データの閾値電圧に比べ低いので、隣接メモ

10

20

30

40

50

リセルに与える容量結合の影響が少ない。従って、それぞれのメモリセルは容量結合の影響を吸収することができる。

【0067】

以下順に、ワード線WL3(130o)、ワード線WL4(130e)と選択されて書込みが行われるが、隣接するワード線130同士では、必ず2値データ書込みと4値データ書込みとになる。従って、上述のとおり、4値セルに対して、容量結合の大きいビット線方向で隣接するメモリセルを2値セルとする(即ち、該メモリセルに2値データを記憶するように割り当てる。)ことで、4値セルについて容量結合による変動影響を抑制することができる。即ち、2値セルの書込み時には、非選択ワード線130の読出し電圧を4値セルのときに比べて低く設定することができるため、ReadDisturb(読出し電圧印加によるストレス変動)を抑えることができるからである。また2値セルの書込み時には、閾値電圧変動が小さいので隣接メモリセルの容量結合の影響が小さいからである。一方、2値セルについても容量結合による変動影響を抑制することができる。即ち、2値セルが閾値分布に対してマージンがあることから、隣接メモリセルに4値データが書込まれてもその影響を吸収することができるからである。以上より、本発明の一実施形態においては、2値を超える情報量データを記憶するメモリセルに対する隣接メモリセル干渉による閾値分布の広がりを抑制し、容量結合の影響を減少することができる。

10

【0068】

また、本発明の一実施形態においては、2値アンド4値混在モードとすることで、メモリセルの半分が2値セルであるので、メモリ全体としての書込みスピードを4値セルモードとした場合より早くすることができる。従って高速化を図りながら、且つ大容量化を図ることができる。

20

【0069】

更に、本発明の一実施形態に係る不揮発性半導体記憶装置10は、ヒューズデータによってメモリセルに記憶させるデータの情報量を割り当て、且つ書込み手順を制御するため、一つのメモリチップで、複数の要求に応えることができる。即ち、書込みスピードが要求される場合には、前記動作モード切り替えによってメモリ全体を2値セルモードとして高速書込み可能メモリとして使用することができ、一方、書込みスピードよりも大容量が要求される場合には、動作モード切替えによってメモリ全体を4値セルモードとして大容量を記憶可能なメモリとして使用することもできる。更に、書込みスピードと大容量のいずれもが要求される場合には、動作モード切替えによって2値アンド4値混在モードとして使用することで前記要求に応えることが可能となる。またこの結果として、同一のメモリチップで様々なユーザーの要求に対応が可能となるため生産ラインの効率化を図ることができ、生産コストの削減によるメモリチップの低コスト化を実現できる。

30

【0070】

更にまた、本発明の一実施形態においては、前述のとおり2値アンド4値モードは書込みパフォーマンスを上げつつ書込みや読出しのストレスを軽減する動作モードとなるため信頼性が高い。メモリ全体を4値セルモードとしたのでは信頼性が厳しい場合に、信頼性やパフォーマンスを重視するハイエンドなマーケットに対して、同じメモリチップによって信頼性の高いメモリチップの提供が実現できる意味において非常に効果がある。

40

【0071】

本発明の一実施形態に係る不揮発性半導体記憶装置10において、メモリセルが記憶するデータは、2値データと4値データとに限られるわけではない。他の情報量を割り当てることも可能である。図11は、本発明の一実施形態に係る不揮発性半導体記憶装置10における、記憶する情報量のメモリセルへの割り当ての模式図である。図11は、2値データをと8値データとを割り当てる例である。

【0072】

具体的に図11のメモリセルMC2-2を例に説明する。図11において、偶数ワード線130eに接続された第一のメモリセル群は2値データを、奇数ワード線130oに接続された第二のメモリセル群は8値データを記憶するように割り当てられる。従ってメモリセ

50

ルMC2-2は2値データが割り当てられる。なお、メモリセルが記憶するデータの割り当ては、第一のメモリセル群が8値データ、第二のメモリセル群が2値データを記憶するように割り当ててもよい。前記割り当ては、上述した本発明の一実施形態と同様であるので詳細説明は省略する。

【0073】

8値データの書込み、読出しを制御する場合、消去状態とする負の閾値電圧を一つ割り当て、書込み、読出し状態とする正の閾値電圧を7つ割り当てる。正の閾値電圧について、0Vから同一幅でステップアップしながら0V~5Vの間で設定され、ベリファイリードに用いるリード電位についての設定も、上述の本発明の一実施形態と同様である。また、閾値分布の幅を狭小にするため、2段階の書込みベリファイが行われる点も、本発明の一実施形態と同様である。

10

【0074】

但し、書込みは、前述した4値データの書込みと異なる。即ち、書込みデータを「0（書き込む）」と「1（書き込まない）」とすると、8値データは、前記書込みデータの組合せにより、消去状態である「111」と7つの書込み状態である「110」、「101」、「100」、「011」、「010」、「001」、「000」と表される。8値データ（3ビットデータ）のうちの1ビットはLower Pageデータ、1ビットはMiddle Pageデータ、また、他の1ビットはUpper Pageデータとして、同一のメモリセルに記憶される。上述した消去状態及び7つの書込み状態は、3回の書込み動作によりメモリセルに書込まれる。即ち、例えば、2回の書込み（Lower Page書込み及びMiddle Page書込み）で上述した4値データの書込み状態「E状態（11）」「A状態（10）」「B状態（01）」「C状態（00）」を書き込んだ後、更にもう一段階の書込み（Upper Page書込み）を行うことで、書き込まれる。この書込み方式は一例であり、これに限定されるわけではなく、他の書込み方法でもよい。

20

【0075】

書込みは、ソース線160に近接するワード線WL0（130e）から順番に行われる。ワード線WL0（130e）が選択された後、全てのビット線140が選択されてページ書込みされる。該ワード線WL0（130e）に接続された全てのメモリセルは第一のメモリセル群に属し、2値データを取り扱うように割り当てられており、通常の2値データの書込みが行われる。続いてワード線WL1（130o）が選択され、全てのビット線140が選択されてページ書込みされる。該ワード線WL1（130o）に接続された全てのメモリセルは第二のメモリセル群に属し、8値データを取り扱うように割り当てられている。従って、該ワード線WL1（130o）に接続された全てのメモリセルは、Lower Pageデータ書込みが行われた後、続いてMiddle Pageデータ書込みが行われる。更に、Upper Pageデータ書込みが行われる。かかる書込みもヒューズデータによって制御される。

30

【0076】

ワード線WL1（130o）に接続された全てのメモリセルに対して、8値データのページ書込みが行われると、既にページ書込みがなされたワード線WL0（130e）に接続された全てのメモリセルに対して、容量結合の影響が生じる。しかも、8値データの書込みであるため、書込み電圧をステップアップしながら印加する回数が、4値データの書込みに比して格段に増加する。しかし、前記ワード線WL0（130e）に接続された全てのメモリセルは、既に2値データ書込みがなされ、2値書込みは閾値分布に対してマージンがあることから、その影響を吸収することができる。従って、隣接メモリセル干渉によって閾値分布の幅が広がってしまうことを抑制できる。

40

【0077】

続いてワード線WL2（130e）が選択され、全てのビット線140が選択されてページ書込みされる。偶数ワード線130eであるため2値データの書込みがなされる。この書込みがなされると、隣接するワード線WL1（130o）に接続された全てのメモリセルに対して、容量結合の影響が生じる。しかし、この書込みは2値データの書込みである

50

ため、閾値電圧変動は小さい。従って、隣接メモリセルに与える容量結合の影響が少ない。即ち、前記メモリセルの閾値分布が広がってしまうことが少ない。

【0078】

以下ワード線WL3(130o)、WL4(130e)が選択され、ページ書込みがなされる。かかる書込みにおいても、書込みデータが、ワード線130単位で、2値データと多値データ(8値データ)とに交互に割り当てられて書込まれるため、隣接メモリセルにおける容量結合の影響を抑制できる。即ち、本発明の一実施形態に係る不揮発性半導体記憶装置10は、メモリセルに記憶させるデータが2値データと8値データとであっても、ロウ・ストライプ状割り当て及び上述した書込み手順により、8値セルについて、ビット線方向に隣接するメモリセルとの容量結合の影響を最小限に抑制できる。また、2値セルの読み出し時には、非選択ワード線130の読み出し電圧を8値セルのときに比べて低く設定することができるため、ReadDisturb(読み出し電圧印加によるストレス変動)を抑えることができる。更に、2値データを記憶するメモリセルについては、閾値分布に対してマージンがあることから、ビット線方向に隣接するメモリセルに8値データが書込まれても容量結合の影響を吸収できる。

10

【0079】

以上説明したように、本発明の一実施形態に係る不揮発性半導体記憶装置10は、メモリセルに記憶させる2種類の情報量のデータとして2値データと8値データとを割り当てた場合であっても、隣接メモリセル間の容量結合に起因する隣接メモリセル干渉を効果的に抑制できる。

20

【0080】

更に、本発明の一実施形態に係る不揮発性半導体記憶装置10は、メモリセルの半数が2値データを記憶するように割り当てられているため、一定の書込みスピードを確保することができる。従って、書込みの高速化を図りながら、且つ大容量化を図ることができる。

【0081】

更に、本発明の一実施形態に係る不揮発性半導体記憶装置10は、メモリセルに記憶させる2種類の情報量のデータを、ヒューズデータの切替えにより2値セルモード、8値セルモード及び2値アンド8値混在モードに変更できるため、一つのメモリチップで複数の要求に応えることができ、低コストのメモリチップの提供及び信頼性の高いメモリチップの提供が可能となる。

30

【0082】

なお、16値データの取り扱いにおいては、隣接メモリセルの容量結合の影響は更に深刻になる。即ち、16値データの書込みは4回の書込みが必要になり、書込み電圧をステップアップしながら印加する回数が飛躍的に増加するからである。又、これに伴って、書込み速度の低下も深刻となる。本発明の一実施形態に係る不揮発性半導体記憶装置10は、かかる場合であっても効果を発揮する。即ち、メモリセルが記憶するデータの情報量をワード線130単位でロウ・ストライプ状に割り当て、かつ書込み手順を制御するため、ビット線方向に隣接するメモリセルは2値データと16値データとの必ず異なる情報量のデータを記憶することになる。従って、上述した理由により隣接メモリセル干渉による影響を抑制できる。また、メモリセルの半数が2値データの書込み、半数が16値データの書込みとなるため、不揮発性半導体記憶装置10全体として一定の書込み速度を確保しながら、且つ大容量化を図ることができる。更に、ヒューズデータとして記憶するデータを割り当てることができるため、ヒューズデータの変更によって複数の要求に対応できる。同一の不揮発性半導体記憶装置10を目的に合わせて変更することができ、低コスト且つ信頼性の高い不揮発性半導体記憶装置10を提供することができる。以上説明したように、本発明の一実施形態に係る不揮発性半導体記憶装置10は、より大きな多ビットデータ取り扱いにも対応できる。

40

【0083】

(第2実施形態)

上述した実施形態においては、メモリセルが記憶する2種類のデータの情報量を、2値デ

50

ータと4値データ又は2値データと8値データとし、ワード線130単位でロウ・ストライプ状に割り当てるものである。上述したように、メモリセルに多値データを記憶する場合、書込み電圧のステップアップ幅を小さくすることで閾値分布の狭小化を図って、複数の閾値分布を非選択読出し電圧とVSSの間に入れ込む。従って、隣接メモリセルとの容量結合による影響は、複数の閾値分布を入れ込むことによる閾値電圧の高電圧化によって大きくなる。つまり、メモリセルに記憶する情報量データが多ければ多いほど閾値電圧が高くなるので容量結合による影響も大きくなる。従って、メモリセルにより情報量の多い多ビットの多値データを記憶させる場合、かかる隣接メモリセルとの容量結合による影響を抑制できなければ、信頼性の高い不揮発性半導体記憶装置を提供することができない。

10

【0084】

本発明の第2実施形態では、全てのビット線140にそれぞれ1つのセンスアンプを備えた不揮発性半導体記憶装置10において、容量結合による影響を抑制しながら、異なる2つの多ビットの多値データを記憶できる。具体的には、本発明の第2実施形態においては、全てのビット線140にそれぞれ1つのセンスアンプを備える不揮発性半導体記憶装置10において、メモリセルが記憶するデータの情報は2種類の多ビットの多値データであり、且つメモリセルが記憶する前記2種類の多ビットの多値データを、ワード線130単位でロウ・ストライプ状に割り当てる。そのうえで、書込みに際して、ソース線160に近接したワード線WL0(130e)からワード線WLごとに順に書込むように制御することを特徴とする。従って、同一ビット線140上で隣接するメモリセルが異なる情報量の多ビットの多値データを記憶することになり、書込み手順の制御と相俟って隣接メモリセル干渉の影響を抑制することができる。従って、信頼性の高い多値データ記憶メモリを提供することができる。

20

【0085】

図を基に説明する。図12は、本発明の一実施形態に係る不揮発性半導体記憶装置10の、メモリセルの割り当ての模式図である。本実施形態は、メモリセルが記憶する2種類の多ビットの多値データを、4値データと8値データとした場合である。図12において、ワード線130を、偶数ワード線130eと奇数ワード線130oとに区分し、偶数ワード線130eに接続された第一のメモリセル群は4値データを記憶するように割り当て、奇数ワード線130oに接続された第二のメモリセル群は前記4値データより情報量の多い多ビットの多値データである8値データを割り当てる。第一のメモリセル群に8値データを割り当て、第二のメモリセル群に4値データを割り当ててもよい。

30

【0086】

前記割り当ては、メモリセルのアドレスに基づいて事前に割り当てられ、ヒューズデータとしてROMヒューズに格納され、ROMリード動作によって、ROM領域120から読み出されてラッチ回路200にセットされる。勿論、パワーオンリセット回路80内にヒューズ回路を設ける方法によっても可能である。また、外部入力によって動作モードを切替える設定とすることも可能である。これは上述した本発明の一実施形態と同様である。

【0087】

具体的に、図12においてメモリセルMC2-2を例にとって説明する。メモリセルMC2-2が属する第一のメモリセル群は4値データを取り扱うように割り当てられ、第二のメモリセル群は8値データを記憶するように割り当てられる。従って、該メモリセルMC2-2と同一ビット線BL2(140)上で隣接するメモリセルMC2-1及びMC2-3は、8値データを記憶するように割り当てられる。

40

【0088】

書込みは、まずワード線WL0(130e)からワード線WL1(130o)、ワード線WL2(130e)の順番にワード線130単位で行われる。メモリセルMC2-2に書込む場合を説明する。前記メモリセルMC2-2が接続されたワード線WL2(130e)の全てのメモリセルに対して書込みされる前に、前記ワード線WL2(130e)に隣接するワード線WL1(130o)に接続された全てのメモリセルに対する書込みが行わ

50

れている。ワード線W L 1 (1 3 0 o) が選択され、続いて全てのビット線 1 4 0 が選択されて書込みされる。該ワード線W L 1 (1 3 0 o) に接続されたメモリセルは第二のメモリセル群であるため、一連の 8 値データの書込みが行われる。8 値データの書込みなので、書込み電位が細かくステップアップされて印加される。このとき、同一ビット線 B L 2 (1 4 0) 上でメモリセルM C 2 - 2 に隣接するメモリセルM C 2 - 1 が書込まれるため、隣接メモリセル干渉による影響がメモリセルM C 2 - 2 に及ぶ。しかし、該メモリセルM C 2 - 2 はまだ書込みされていないメモリセルであるため、影響は生じない。

【 0 0 8 9 】

続いてワード線W L 2 (1 3 0 e) が選択され、更に該ワード線W L 2 (1 3 0 e) に接続された全てのビット線 1 4 0 が選択されて、メモリセルM C 2 - 2 に書き込みされる。該ワード線W L 2 (1 3 0 e) に接続されたメモリセルは第一のメモリセル群なので、一連の 4 値データの書込みが行われる。以上の書き込みにおいては、書込み電位 V p g m は、初期値から一定の割合 D v p g m (例えば、0 . 2 V) でステップアップするように制御される。このとき、同一ビット線 B L 2 (1 4 0) 上でメモリセルM C 2 - 2 に隣接するメモリセルM C 2 - 1 及びM C 2 - 3 に容量結合の影響が及ぶ。しかし、ワード線W L 3 (1 3 0 o) に接続されたメモリセルM C 2 - 3 はまだ書込みがされていないため、影響は生じない。一方、既に 8 値データが書込まれたメモリセルM C 2 - 1 にもこの影響が生ずる。しかし、メモリセルM C 2 - 2 への書込みが 4 値データの書込みであるため、8 値データの書込みに比して書込み時の書込み回数が少なくなるので、8 値データが書込まれたメモリセルM C 2 - 1 へのストレスは削減される。また、書込みの際に非選択ワード線 1 3 0 の読出し電圧を 8 値データの書込み時に比べて低く設定できるので、R e a d D i s t u r b を抑えることができる。従って、メモリセルM C 2 - 1 は隣接メモリセル干渉を抑制できる。

【 0 0 9 0 】

次に、ワード線W L 3 (1 3 0 o) が選択され、該ワード線W L 3 (1 3 0 o) に接続された全てのビット線 1 4 0 が選択されて書込みされる。第二のメモリセル群であるため、一連の 8 値データの書込みが行われる。このときメモリセルM C 2 - 2 に同一ビット線 B L 2 (1 4 0) 上で隣接するメモリセルM C 2 - 3 にも 8 値データが書込まれる。この書込みによって、隣接するメモリセルM C 2 - 2 に容量結合の影響が及ぶ。しかし、該メモリセルM C 2 - 2 は、既に 4 値データが書込まれているため閾値分布に対してマージンがあることから、この影響を吸収することができる。従って、隣接メモリセル干渉を抑制できる。以上のように本発明の第 2 実施形態に係る不揮発性半導体記憶装置 1 0 は、メモリセルに記憶するデータが 2 種類の多ビットの多値データであっても、ビット線方向で隣接するメモリセルが異なる情報量のデータを記憶するように割り当て、ワード線 1 3 0 単位で順にページ書込みにより書き込むように制御するため、隣接メモリセル干渉による閾値分布の広がりを抑制することができる。

【 0 0 9 1 】

更に、本発明の一実施形態に係る不揮発性半導体記憶装置 1 0 は、メモリセルに記憶させるデータとして、2 種類の多ビットの多値データ、4 値データと 8 値データとを割り当てた場合であっても、メモリセルの半数が 4 値セル (4 値データが書込まれるメモリセル) であるため、全てのメモリセルに 8 値データを書込む場合に比して、メモリ全体としての書込みスピードを早くすることができる。従って、書込みの高速化を図りながら、且つ大容量化を図ることができる。

【 0 0 9 2 】

更に、本発明の一実施形態に係る不揮発性半導体記憶装置 1 0 は、ヒューズデータによってメモリセルに記憶させる情報量を割り当て、且つ、書込み手順を制御するため、ヒューズデータの切替えにより、一つのメモリチップで複数の要求に応えることができ、低コストのメモリチップの提供及び信頼性の高いメモリチップの提供が可能となる。なお、以上の効果は、上述した本発明の一実施形態と同様である。

【 0 0 9 3 】

なお、より大きな多ビットデータ、例えば16値(4ビットデータ)の取り扱いにおいては、上述したように隣接メモリセルの容量結合の影響は更に深刻になる。本発明の第2実施形態に係る不揮発性半導体記憶装置10は、かかる場合であっても、効果を発揮する。即ち、メモリセルが記憶するデータの情報量を、ワード線130単位でロウ・ストライプ状に割り当てるため、ビット線方向に隣接するメモリセルは、4値データと16値データとの必ず異なる情報量のデータを記憶することになる。従って、上述した理由により隣接メモリセルの容量結合による影響を抑制できる。また、メモリセルの半数が、4値データの書込みとなるため、不揮発性半導体記憶装置10全体として、一定の書込み速度を確保でき、且つ信頼性を確保できる。更に、記憶するデータの割り当てをヒューズデータで行うため、ヒューズデータの変更によって同一の不揮発性半導体記憶装置10を目的に合わせ変更することができ、高品質且つ低コストの不揮発性半導体記憶装置10を提供することができる。本発明の一実施形態に係る不揮発性半導体記憶装置10は、より大きな多ビットデータ取り扱いにも対応できる。

10

【0094】

(第3実施形態)

上述した第2実施形態は、メモリセルが記憶するデータの情報は2種類の多ビットの多値データであり、且つメモリセルが記憶する前記2種類の多ビットの多値データを、ワード線130単位でロウ・ストライプ状に割り当てるものである。ここで、8値データの書込み、読出しの制御には、上述したように7つの正の閾値電圧が必要になる。従って、隣接する閾値電圧とのマージンの幅が狭いほど制御が困難になるため、電位制御技術によ

20

【0095】

かかる場合の対策として、ワード線方向またはビット線方向で隣接する2つのメモリセルをペアとして、恰も一つのメモリセルのように取り扱う、いわゆる仮想メモリセル対策が考えられている。即ち、メモリセルに記憶させる情報量データとしては、従来、2値(1ビット)、4値(2ビット)、8値(3ビット)という2の乗数の数値が考えられていた。しかし例えば8値データの取り扱いにおいてセルの閾値電圧のばらつきを制御するのが難しい場合、4値データを超えるデータを取り扱えず、多値化による大容量化を進めることができない。そこで、2の乗数以外の数値データで安定的に電位を制御できる多値データを使用し、2つのメモリセルに分散して記憶させ、メモリ全体として大容量化を図る考

30

【0096】

例えば、一般的な方法によれば、4値データの取り扱いにおいては安定的にセルの閾値電圧のばらつきを制御できるが、8値データの取り扱いにおいては安定的にセルの閾値電圧のばらつきを制御できない場合に、最大容量を確保するためには全てのメモリセルに4値データを記憶させ、一つのメモリセルの記憶容量を2ビットとすることが考えられる。しかし、全てのメモリセルに同一の多値データを記憶させる場合、一方で上述した隣接メモリセル干渉の影響を抑制することが困難になる。そこで隣接する2つのメモリセルに異なる情報量のデータを記憶させ、かかるデータを恰も一つのデータとして取り扱う仮想メモリセルの考え方が有効になる。例えば、2つのメモリセルを一つの仮想メモリセルとして3値データと6値データを記憶させた場合、情報量は3値×6値=18値>16値(4ビット)となり、一つのメモリセルの記憶容量は2ビットとなる。隣接メモリセル干渉を抑制しながら、一方で大容量化を図るのである。このような場合に、6値データの書込み、読出しには5つの正の閾値電圧が必要になるが、この電位制御は8値データの場合の7つの正の閾値電圧の制御に比して、閾値分布の形状が幅が広くシャープでないため制御が容易である。従って、8値データの取り扱いにおいては安定的にセルの閾値電圧のばらつきの制御が困難な場合であっても、8値より少ない情報量のデータ、例えば6値データの取り扱いにおいては安定的にセルの閾値電圧のばらつきの制御ができる場合もある。このように場合に、仮想メモリセルが有効となるのである。なお、3値データの電位制御は4値デ

40

50

ータの電位制御よりも容易であり、問題はない。本発明の第3実施形態は、全てのビット線140にそれぞれ1つのセンスアンプを備えた不揮発性半導体記憶装置10において、一つの仮想メモリセルに2種類の2の乗数倍以外の情報量のデータを記憶させることを特徴とする。以下例として、2種類のデータを3値データ及び6値データとした場合について説明する。

【0097】

具体的に図13を基に説明する。図13は、本発明の第2実施形態に係る不揮発性半導体記憶装置10の、メモリセルの割り当ての模式図である。本実施形態においても、メモリセルが記憶するデータを、ワード線130単位でロウ・ストライプ状に割り当て、且つ、書込みをワード線130一本毎に順にページ書込みする点は、上述した一実施形態及び第2実施形態と同様である。図13においては、偶数ワード線130eに接続された第一のメモリセル群が3値データを記憶するように割り当てられ、奇数ワード線130oに接続された第二のメモリセル群が6値データを記憶するように割り当てられる。これによって、同一ビット線140上で隣接するメモリセル同士は異なる情報量のデータを記憶することになる。その上で、同一ビット線140上で隣接する2つのメモリセルをペアとして割り当てる。例えば同一ビット線BL0(140)に接続されたメモリセルについて、メモリセルMC0-0とMC0-1、MC0-2とMC0-3というようにペアを割り当てる。以下の説明においては、メモリセルMC2-2とMC2-3が仮想メモリセルとして割り当てられた例について説明する。なお、前記記憶する情報量の割り当て及びメモリセルのペアの割り当ては、メモリセルのアドレスに基づいて事前に割り当てられてヒューズデータとしてROMヒューズに格納され、ROMリード動作によってROM領域から読み出されてラッチ回路にセットされる。

【0098】

このペアのメモリセルMC2-2とMC2-3には、実際のアドレス(以下、第1のアドレスという。)とは別に、仮想ページアドレス(以下、第二のアドレスという。)が割り当てられる。例えば、前記ペアのメモリセルMC2-2とMC2-3には、仮想ページアドレスmが割り当てられる。

【0099】

前記仮想ページアドレスが割り当てられることにより、仮想メモリセルに多ビットデータを記憶することができる。即ち、メモリセルMC2-2は3値データを記憶するように割り当てられ、メモリセルMC2-3は6値データを記憶するように割り当てられているが、仮想メモリセルとして取り扱うことにより、前記メモリセルMC2-2を仮想メモリセルの第1データページ、MC2-3を仮想メモリセルの第2データページとして取り扱うことができる。その上で、第1データページには、後述するセンスアンプで演算処理される入力データの第1データが記憶され、第2データページには入力データの第2データが記憶される。従って、一つの仮想メモリセルに3値×6値=18値>16値(4ビット)のデータを記憶することができる。この結果、隣接メモリセル干渉を抑制しながら、メモリ全体の大容量化を図ることができる。

【0100】

仮想メモリセルに対する書込みは、ワード線130単位でページ書込みすることで行われる。図13のメモリセルMC2-2とMC2-3の仮想メモリセルmにおいては、ワード線WL2(130e)を選択して第1データ書込みでMC2-2に書込み、次にワード線WL3(130o)を選択して第2データ書込みでMC2-3に書き込む。

【0101】

仮想メモリセルからのデータの読出しは、第1データページから第1データを読出してラッチし、続いて第2データページから第2データを読み出してラッチし、ラッチしたデータを併せて判断する。

【0102】

上述のように入出力されるデータを、第1データと第2データに区分して書込み、読出しするため、本発明の第2実施形態に係る不揮発性半導体記憶装置10は、図1に示したセ

ンスアンプ40内にデータをラッチし、演算する機能を有する。センスアンプ40は、読出し動作時にメモリセルに記憶されたデータの「1」、「0」を判定して増幅し、入出力バッファ50を経由して外部に出力する。また、書込み時には入出力バッファ50を介して書込みデータが前記センスアンプ40に入力され記憶される。従って、このセンスアンプ40に、正規のアドレス(第1のアドレス)と仮想ページセルアドレス(第2のアドレス)とを対応させて入出力データを演算する機能を持たせるのである。

【0103】

図13のメモリセルMC2-2とMC2-3を例に、アドレスに対応した入出力データの演算について一例を説明する。仮想メモリセルで4ビットのデータを記憶する場合、記憶するデータは、16種類である。外部からの入力は、仮想ページアドレスmを指定して2桁の情報として入力される。十の位の情報が仮想メモリセルの第1データを示し、一の位の情報が仮想メモリセルの第2データを示す。逆であってもよい。

10

【0104】

この入力されたデータは、図1のセンスアンプ40において、仮想メモリセルの第1データ、第2データから、それぞれ正規のアドレスに対する3値データ及び6値データとして演算されて記憶される。即ち、演算されたデータは、第1データが正規のメモリセルMC2-2のアドレス(第1のアドレス)に対する3値データとして、例えば、十の位の「0」が3値の「00」、「1」が3値の「01」、「2」が3値の「10」に割り当てられる。一方第2データが正規のメモリセルMC2-3のアドレス(第1のアドレス)に対する6値データとして演算される。ただし、16値データを、3値×6値=18値データに換算するため、該18値データのうちの2つには16値データは割り当てられない。従って、例えば、「0」が6値の「000」、同様に「1」が「001」、「2」が「010」、「3」が「011」、「4」が「100」、「5」が「101」と割り当てられる。この割り当てによれば、入力データの「02」は、仮想メモリセルの第1データ「00」第2データ「010」となる。

20

【0105】

この「02」のデータの書込みは、仮想メモリセルへの第1データ書込みでメモリセルMC2-2に「00」、第2データ書込みでメモリセル2-3に「010」を書き込むことにより行われる。

【0106】

読出しは、同様に仮想メモリセルの第1データとしてメモリセルMC2-2から「00」を、仮想メモリセルの第2データとしてメモリセルMC2-3から「010」を読出してセンスアンプ40でラッチした上で、センスアンプ40で逆の演算をおこなって、外部に対して仮想メモリセルの「02」のデータとして出力する。

30

【0107】

書込みは、第1データ書込み、第2データ書込みが順に行われる。第1データが書込まれるメモリセルMC2-2は3値データを記憶するように割り当てられているため、第2データが書込まれるMC2-3に対して容量結合に起因する隣接メモリセル干渉の影響が及ぶ。しかし、3値データの書込みであるため、書き込み回数が少ないので、6値セル(6値データが書込まれるメモリセル)に対して書き込み時のストレスが削減される。また、非選択ワード線130の読み出し電圧を6値セルのときに比べて低く設定できるので、Read Disturbを抑制できる。従って、隣接メモリセル干渉の影響は少ない。また、第2データが書込まれるメモリセルMC2-3は6値データの書込みが行われるため、隣接するメモリセルMC2-2に影響が生じるが、該メモリセルMC2-2は既に閾値分布の幅が広い3値データが書きこまれており影響を吸収することができる。従って、隣接メモリセル干渉の影響は少ない。以上のように本発明の第2実施形態に係る不揮発性半導体記憶装置10においては、ビット線方向で隣接するメモリセルが異なる情報量のデータを記憶するように割り当て、ワード線130単位で順にページ書込みにより書き込むように制御するため、容量結合に起因する閾値分布の広がりを抑制することができる。

40

【0108】

50

更に、本発明の一実施形態に係る不揮発性半導体記憶装置 10 は、メモリセルに記憶させる 2 種類の情報量のデータとして、3 値データと 6 値データとを割り当てた場合であっても、メモリセルの半分が 3 値データの書込みとなるため、書込みの高速化を図りながら、且つ大容量化を図ることができる。

【0109】

更に、本発明の一実施形態に係る不揮発性半導体記憶装置 10 は、ヒューズデータの切替えにより動作モードを切替えられるため、一つのメモリチップで複数の要求に応えることができ、低コストのメモリチップの提供及び信頼性の高いメモリチップの提供が可能となる。

【0110】

なお、本発明の第 3 実施形態に係る不揮発性半導体記憶装置 10 によれば、容量結合に起因する隣接メモリセル干渉を抑制することができるため、2 種類の情報量のデータとして、5 値データや 7 値データ、更には 11 値データを記憶することも可能である。以下例として、2 種類の 2 の乗数倍以外の多値データを 5 値データと 7 値データ、及び 6 値データと 11 値データとした場合について説明する。

【0111】

2 種類の 2 の乗数倍以外の多値データとして、5 値データと 7 値データを使用した場合について具体的に図 14 を基に説明する。図 14 は、本発明の第 3 実施形態に係る不揮発性半導体記憶装置 10 の、メモリセルの割り当ての模式図である。4 値データ（2 ビットデータ）の取り扱いにおいてはセルの閾値電圧のばらつきを安定的に制御できるが、8 値データ（3 ビットデータ）の取り扱いにおいてはセルの閾値電圧のばらつきを制御するのが難しい場合であっても、例えば、5 値データや、7 値データの取り扱いであればセルの閾値電圧のばらつきを安定的に制御できる場合もある。このような場合に有効である。

【0112】

本実施形態においても、メモリセルが記憶するデータを、ワード線 130 単位でロウ・ストライプ状に割り当て、且つ、書込みをワード線 130 一本毎に順にページ書込みする点は、上述した一実施形態及び第 2 実施形態と同様である。図 14 は、第一のメモリセル群は 5 値データを記憶するように割り当て、第二のメモリセル群は 7 値データを記憶するように割り当てた例である。かかる割り当てによって、同一ビット線 140 上で隣接するメモリセル同士は異なる情報量のデータを記憶することになる。その上で、同一ビット線 140 上で隣接する 2 つのメモリセルをペアとして割り当てる。以下の説明においては、メモリセル MC2 - 2 と MC2 - 3 がペアとして割り当てられた例について説明する。なお、前記記憶する情報量の割り当て及びメモリセルのペアの割り当ては、メモリセルのアドレスに基づいて事前に割り当てられてヒューズデータとして ROM ヒューズに格納され、ROM リード動作によって ROM 領域から読み出されてラッチ回路にセットされる。上述した一実施形態及び第 2 実施形態と同様である。

【0113】

このペアのメモリセル MC2 - 2 と MC2 - 3 には、実際のアドレスとは別に、仮想ページアドレスが割り当てられる。例えば、前記ペアのメモリセル MC2 - 2 と MC2 - 3 には、仮想ページアドレス m が割り当てられる。

【0114】

前記仮想ページアドレスが割り当てられることにより、前記メモリセル MC2 - 2 を仮想メモリセルの第 1 データページ、MC2 - 3 を仮想メモリセルの第 2 データページとして取り扱うことができる。その上で、第 1 データページには、上述したようにセンスアンプで演算処理される入力データの第 1 データが記憶され、第 2 データページには入力データの第 2 データが記憶される。従って、仮想メモリセルに 5 値 × 7 値 = 35 値 > 32 値（5 ビット）のデータを記憶することができ、チップ全体で一つのメモリセルの記憶容量を 2.5 ビットとすることができる。4 値データ（2 ビットデータ）の電位制御が容易な場合であっても、全てのメモリセルに 4 値データを記憶するに際して上述した容量結合の影響を排除することが困難な場合が想定される。かかる場合であっても、本発明の第 3 実施形

10

20

30

40

50

態によれば、全てのメモリセルに4値データ(2ビットデータ)を記憶させる場合以上の容量が確保できる。隣接メモリセル干渉を抑制しながら、メモリ全体の大容量化を図ることができる。

【0115】

仮想メモリセルに対する書込みは、ワード線130単位でページ書込みすることで行われる。図14のメモリセルMC2-2とMC2-3の仮想メモリセルmにおいては、ワード線WL2(130e)を選択して第1データ書込みでMC2-2に書込み、次にワード線WL3(130o)を選択して第2データ書込みでMC2-3に書き込む。

【0116】

仮想メモリセルで5ビット(5桁)のデータを記憶する場合、記憶するデータは、32種類である。外部からの入力は、仮想ページアドレスmを指定して入力される。この入力されたデータは、センスアンプ40において、例えば前記仮想メモリセルの第1データとして「0」～「4」までの5値データのいずれかが割り当てられ、仮想メモリセルの第2データとして7値データの「0」～「6」までのいずれかが割り当てられる。第1データの「0」～「4」を、例えば、「0」が「000」、「1」が「001」、「2」が「010」、「3」が「011」、「4」が「100」として割り当てる。同様に第2データの「0」～「6」を、例えばそれぞれ「000」、「001」、「010」、「011」、「100」、「101」、「110」として割り当てる。第1データと第2データとの組合せにより「00」、「01」～「06」、「10」、「11」～「16」、「20」、「21」～「26」、「30」、「31」～「36」、「40」、「41」～「46」の35種類の組合せとなる。ただし、32種類のデータを、5値×7値=35種類に換算するため、該35種類のデータのうちの3つにはデータは割り当てられない。従って、この割り当てによれば、仮想メモリセルの「02」は、第1データとして「000」、第2データとして「010」が記憶されていることになる。

【0117】

この「02」のデータの書込みは、仮想メモリセルへの第1データ書込みでメモリセルMC2-2に「000」、第2データ書込みでメモリセルMC2-3に「010」を書き込むことにより行われる。

【0118】

読出しは、同様に仮想メモリセルの第1データとしてメモリセルMC2-2から「000」を、仮想メモリセルの第2データとしてメモリセルMC2-3から「010」を読出してセンスアンプ40でラッチした上で、センスアンプ40で逆の演算をおこなって、外部に対して仮想メモリセルの「02」のデータとして出力する。

【0119】

書込みは、第1データ書込み、第2データ書込みが順に行われる。第1データが書込まれるメモリセルMC2-2は5値データを記憶するように割り当てられているため、第2データが書込まれるMC2-3に対して、容量結合に起因する隣接メモリセル干渉の影響が及ぶ。しかし、5値データの書込みであるため書き込み回数が少ないので、7値セルに対して書き込み時のストレスが削減される。また、非選択ワード線130の読み出し電圧を7値セルのときに比べて低く設定できるので、Read Disturbを抑制できる。従って、隣接メモリセル干渉の影響は少ない。また、第2データが書込まれるメモリセルMC2-3は7値データの書込みが行われるため隣接するメモリセルMC2-2に影響が生じるが、該メモリセルMC2-2は既に7値データよりは閾値分布の幅が広い5値データが書きこまれており影響を吸収することができる。従って、隣接メモリセル干渉の影響は少ない。以上のように本発明の第4実施形態に係る不揮発性半導体記憶装置10においては、ビット線方向で隣接するメモリセルが異なる情報量の多値データを記憶するように割り当て、ワード線130単位で順にページ書込みにより書き込むように制御するため、容量結合に起因する閾値分布の広がりを抑制することができる。

【0120】

更に、本発明の第3実施形態に係る不揮発性半導体記憶装置10は、メモリセルに記憶さ

10

20

30

40

50

せるデータとして、2種類の多値データ、5値データと7値データとを割り当てた場合であっても、メモリセルの半数が5値セル（5値データが書込まれるメモリセル）であるため、メモリ全体として一定の書込みスピードを確保することができる。従って、書込みの高速化を図りながら、且つ大容量化を図ることができる。

【0121】

更に、本発明の第3実施形態に係る不揮発性半導体記憶装置10は、ヒューズデータによってメモリセルに記憶させる情報量を割り当て、且つ、書込み手順を制御する。従って、ヒューズデータの切替えにより、一つのメモリチップで複数の要求に応えることができ、低コストのメモリチップの提供及び信頼性の高いメモリチップの提供が可能となる。なお、以上の効果は、上述した本発明の一実施形態及び第2実施形態と同様である。

10

【0122】

なお、本発明の第3実施形態に係る不揮発性半導体記憶装置10によれば、容量結合に起因する隣接メモリセル干渉を抑制することができる。従って、8値データ（3ビットデータ）の取り扱いにおいてセルの閾値電圧のばらつきを安定的に制御できるが、16値データ（4ビットデータ）の取り扱いにおいてはセルの閾値電圧のばらつきを安定的に制御できない場合でも、16値データよりデータ数の少ない、例えば11値データや12値データの取り扱いであればセルの閾値電圧のばらつきを安定的に制御できる場合もある。このような場合、仮想メモリセルを用いることにより、2種類の多値データとして例えば6値データと11値データを用い、大容量化を図ることができる。

20

【0123】

図15は、6値データと11値データとを割り当てた場合の、本発明の第3実施形態に係る不揮発性半導体記憶装置10のメモリセルの割り当ての模式図である。第一のメモリセル群は6値データを、第二のメモリセル群は11値データを記憶するように割り当てる。更に2つのメモリセルがペアとして1つの仮想メモリセルを構成するようにペアを割り当てる。かかる割り当ては、上述したように、予め割り当てられてヒューズデータとして与えられる。

【0124】

例えば前記仮想メモリセルの第1データとして「0」～「5」までの6値データのいずれかが割り当てられ、仮想メモリセルの第2データとして11値データの「0」～「10」までのいずれかが割り当てられる。第1データの「0」～「5」を、例えば、「0」が「000」、「1」が「001」、「2」が「010」、「3」が「011」、「4」が「100」、「5」が「101」として割り当てる。同様に第2データの「0」～「10」を、例えばそれぞれ「0000」、「0001」、「0010」、「0011」、「0100」、「0101」、「0110」、「0111」、「1000」、「1001」、「1010」として割り当てる。書込み、読出し等の動作は、仮想メモリセルに対する書込み、読出しとなるが、上述した5値データと7値データの場合と同様であるので詳細説明は省略する。かかる割り当てにより、仮想メモリセル全体で6値×11値＝66値>64値（6ビット）となり、一つのメモリセルの記憶容量は3ビットとなる。8値データの取り扱いにおいてはセルの閾値電圧のばらつきを安定的に制御できるものの、全てのメモリセルに8値データ（3ビットデータ）を記憶させた場合（この場合、メモリ全体で3ビットの情報記憶容量となる。）に、上述した理由により隣接メモリセル干渉を効果的に抑制できないことが考えられる。本発明の第3実施形態に係る不揮発性半導体記憶装置10は、同一ビット線140上で隣接するメモリセルの一方が6値データであるため、8値データの書込みに比して書き込み回数が少なく、又変動マージンがあるため、かかる場合にも対応ができる。一方、11値データの取り扱いにおけるセルの閾値電圧のばらつきの制御は、8値データの取り扱いにおけるセルの閾値電圧のばらつきの制御に比して困難性は高まるが、16値データの取り扱いにおけるセルの閾値電圧のばらつきの制御に比しては容易であり、技術的な飛躍を要求されない。従って、上述した方法によってチップ全体として一つのメモリセルの記憶容量を3ビットとすることができ、書込みの高速化を図りながら、且つ大容量化を図ることができる。また、ヒューズデータの切替えにより動作モードを切替えられるため、一

30

40

50

つのメモリチップで複数の要求に応えることができ、低コストのメモリチップの提供及び信頼性の高いメモリチップの提供が可能となる。

【0125】

更に、本発明の第3実施形態に係る不揮発性半導体記憶装置10は、多値の閾値電位を安定的に制御する技術の進行に併せて、隣接メモリセル干渉を抑制しながら、メモリ全体で大容量化を図ることができる。図16は、メモリセルが記憶する2種類のデータの情報を、m値データとn値データ(m、nは自然数)とし、ワード線130単位でロウ・ストライプ状に割り当てた模式図である。書込みはワード線130単位で順にページ書込みで行うように制御される。これらの割り当て等が予め行われヒューズデータとして与えられる点は、上述した本発明の一実施形態及び第2実施形態と同様である。また、効果も同様であるので省略するが、本発明の第3実施形態に係る不揮発性半導体記憶装置10は、多値の閾値電位を安定的に制御できる技術が進行しても、十分対応できる。

10

【0126】

(第4実施形態)

近年、NOR型フラッシュメモリとNAND型フラッシュメモリの両者の長所を兼ね備えた2トランジスタ型セルを備えるフラッシュメモリが提案されている。このフラッシュメモリは、2つのMOSトランジスタを含むメモリセルを備え、不揮発性記憶部として機能する一方のMOSトランジスタが、コントロールゲートとフローティングゲートとを備えた構造を有しビット線に接続されている。他方のMOSトランジスタは、ソース線に接続され、メモリセルの選択用として用いられる。

20

【0127】

しかし、かかる構造を有する2トランジスタ型セルを備えるフラッシュメモリは、一つのメモリセルの面積が大きくなる。従って、記憶容量を確保するためにメモリセルに多値データを記憶させることが必要となる。ところが、メモリセルに多値データを記憶させる場合、隣接するメモリセルの容量結合に起因して隣接メモリセル干渉が生じることは、通常のNAND型フラッシュメモリと同様である。本発明の第4実施形態では、全てのビット線140にそれぞれ1つのセンスアンプを備えた2トランジスタ型セルを備えるフラッシュメモリ10において、メモリセルが記憶するデータとして所定の多値データと前記所定の多値データより情報量の少ないデータ(2値データも含む。)とをワード線130単位で一本置きに割り当て、且つ、メモリセルへの書込みをワード線130単位で順にページ書込みするように制御することを特徴とする。

30

【0128】

図17は、本発明の第4実施形態に係る2トランジスタ型セルを備えるフラッシュメモリの、概略構成図である。メモリセルアレイは、マトリクス状に配置された $(m+1) \times (n+1)$ 個(但し、m及びnは自然数)のメモリセルMC0-0~MCm-nを有しているが、図17においては説明上メモリセルMC0-0~MC5-5を図示している。メモリセルの各々は、互いに電流経路が直列接続されたメモリセルトランジスタMTと選択トランジスタSTとを有している。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成されたコントロールゲートとを有する積層ゲート構造を備えている。そして、メモリセルトランジスタMTのソース領域が選択トランジスタSTのドレイン領域に接続されている。また、列方向で隣接するメモリセル同士は、選択トランジスタSTのソース領域、またはメモリセルトランジスタMTのドレイン領域を共有している。

40

【0129】

同一行にあるメモリセルのメモリセルトランジスタMTの制御ゲートは、ワード線WL0~WL5(130)のいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタSTのゲートは、セレクトゲート線SG0~SG5(150)のいずれかに接続されている。また、同一列にあるメモリセルのメモリセルトランジスタMTのドレインは、ビット線BL0~BL5のいずれかに共通接続されている。そして、メモリセルの選択トランジスタSTのソースはソース線CELSRC160に共通接続される。

50

【0130】

かかる2トランジスタ型セルを備えるフラッシュメモリにおけるデータの書込みは、いずれかのワード線130に接続された全てのメモリセルに対して一括して行われる。そして、メモリセルトランジスタMTのフローティングゲートに電子を注入するか否かで「0」データ、「1」データを書き分ける。電子のフローティングゲートへの注入は、Fowler-Nordheim (FN) tunnelingによって行われる。

【0131】

まず、図17において、I/O端子(図示せず)から書込みデータ(「1」、「0」)が入力される。そして、前記書込みデータが、ビット線140毎に設けられたラッチ回路(図示せず)のそれぞれに入力される。ラッチ回路に「1」データが格納されるとビット線140には0Vが与えられ、逆に「0」データが格納されるとビット線140にはVBB(-6V)が与えられる。

10

【0132】

第1ロウデコーダ(図示せず)が、ワード線WL0~WL5(130)のいずれかを選択し、選択ワード線130にVpp(例えば10V)を印加する。第2ロウデコーダ(図示せず)は、セレクトゲート線SG0~SG5(150)にVBB(-6V)を印加する。またメモリセルの基板もVBB(-6V)とする。全ての選択トランジスタSTはオフ状態となる。従って、選択トランジスタSTとソース線CELSRC160とは電氣的に分離される。

20

【0133】

上記の結果、「1」データまたは「0」データに対応する電位が、ビット線BL0~BL5(140)を介してメモリセルトランジスタMTのドレイン領域に与えられる。すると、選択ワード線130にはVpp(10V)が印加され、「1」データを書き込むべきメモリセルトランジスタMTのドレイン領域には0Vが印加され、「0」データを書き込むべきメモリセルトランジスタMTのドレイン領域にはVBB(-6V)が印加される。従って、「1」データを書き込むべきメモリセルトランジスタMTでは、ゲート・ドレイン間の電位差(10V)が十分ではないので、フローティングゲートに電子は注入されず、メモリセルトランジスタMTは負の閾値電圧を保持する。他方、「0」データを書き込むべきメモリセルトランジスタMTでは、ゲート・ドレイン間の電位差(16V)が大きい

30

ため、フローティングゲートに電子がFN tunnelingによって注入される。その結果、メモリセルトランジスタMTの閾値電圧は正に変化する。

【0134】

データの読出しは、いずれかのワード線130に接続された複数のメモリセルから一括して読み出す事ができる。図17において、第2ロウデコーダ(図示せず)が、セレクトゲート線SG0~SG5(150)のいずれかを選択する。選択セレクトゲート線SG150には、「H」レベル(例えばVcc)が与えられる。非選択セレクトゲート線SG150は全て「L」レベル(例えば0V)である。従って、選択セレクトゲート線SG150に接続された選択トランジスタSTはオン状態となり、非選択セレクトゲート線SG150に接続された選択トランジスタSTはオフ状態となる。この結果、選択メモリセル内の選択トランジスタSTは、ソース線CELSRC160と電氣的に接続される。また第1ロウデコーダ(図示せず)は、全てのワード線WL0~WL5(130)を「L」レベル(0V)とする。また、ソース線ドライバ(図示せず)は、ソース線CELSRC160の電位を0Vとする。

40

【0135】

続いて、ビット線BL0~BL5(140)のそれぞれに、例えば1V程度の電圧が与えられる。すると、「1」データが書き込まれているメモリセルのメモリセルトランジスタMTは、閾値電圧が負であるからオン状態となる。従って、選択セレクトゲート線SG150に接続されているメモリセルでは、ビット線140からメモリセルトランジスタMT及び選択トランジスタSTの電流経路を介してソース線CELSRC160に向かって電

50

流が流れる。他方、「0」データが書き込まれているメモリセルのメモリセルトランジスタMTは、閾値電圧が正であるからオフ状態である。従って、ビット線140からソース線CELSRC160に向かって電流は流れない。以上の結果、ビット線BL0~BL5(140)の電位が変化し、その変化量をセンスアンプ(図示せず)が増幅することによって読出し動作が行われる。

【0136】

データの消去は、ウェル領域を共用する全てのメモリセルについて一括して行われる。図17において、第1ロウデコーダ(図示せず)は、全てのワード線WL0~WL5(130)の電位をVBB(-6V)とする。また、半導体基板(ウェル領域)の電位はVpp(10V)とされる。その結果、メモリセルのメモリセルトランジスタMTのフローティングゲートから電子がFN

10

tunnelingによって半導体基板に引き抜かれる。その結果、全てのメモリセルの閾値電圧が負となり、データが消去される。

【0137】

上述のような動作によって、書込み、読出し、消去が行われる2トランジスタ型セルを備えるフラッシュメモリ10においても、多値データを書き込む場合、閾値分布の幅を狭小にするため、書込み電位Vpgmは、初期値から2値書込みより小さい一定の割合Dvpgmでステップアップされる。書込み電位Vpgmはパルス信号(書込みパルス)としてメモリセルに印加され、パルス信号がメモリセルに与えられる度にその高さ(書込み電位Vpgm)が上昇していく。この結果、各メモリセルはワード線方向及びビット線方向で隣接メモリセルと容量結合しているため、隣接メモリセルの書込みにより閾値分布が広がるという影響を受けることになる。

20

【0138】

本発明の第4実施形態に係る2トランジスタ型セルを備えるフラッシュメモリ10は、メモリセルに記憶するデータの情報量を、ワード線130単位で異なる情報量データを記憶するようにロウ・ストライプ状に割り当て制御する。本実施形態においては、割り当てられる異なる情報量のデータは2値データと4値データとである。図17において、ワード線130を、偶数ワード線130eと奇数ワード線130oとに区分し、偶数ワード線130eに接続された第一のメモリセル群は、情報量の少ないデータ(ここでは2値データ)を記憶するように割り当てられ、奇数ワード線130oに接続された第二のメモリセル群は、前記データよりも情報量の多い多値データ(ここでは4値データ)を記憶するように割り当てられる。かかる割り当ては予め定められ、ヒューズデータとして2トランジスタ型セルを備えるフラッシュメモリ10に与えられる。メモリセルに割り当てるデータをメモリセルのアドレスに基づいてヒューズデータとして割り当てる方法は、上述の本発明の一実施形態乃至第3実施形態と同様である。

30

【0139】

具体的に図17において、メモリセルMC2-2が属する第一のメモリセル群は、2値データを記憶するように割り当てられ、奇数ワード線130oに接続された第二のメモリセル群は、4値データを記憶するように割り当てられる。従って、前記メモリセルMC2-2と、同一ビット線BL2(140)上で隣接するメモリセルMC2-1及びMC2-3はいずれも4値データを記憶するように割り当てられている。

40

【0140】

ここで、例えば図17のメモリセルMC2-2にデータが書込まれる場合の隣接メモリセルとの容量結合について説明する。まず、ワード線WL2(130e)が第1ロウデコーダ(図示せず)によって選択され、Vppが印加される。その他のワード線WL0、WL1、WL3乃至WL5(130)は0Vである。また全てのセレクトゲート線SG0~SG5(150)はVBB(-6V)である。次に全てのビット線140に0VまたはVBBが印加される。すると、ワード線WL2(130e)に接続されているメモリセルMC0-2乃至MC5-2では、フローティングゲートへ電子が注入される。

【0141】

50

他方、ワード線WL0、WL1、WL3乃至WL5(130)に接続されているメモリセルでは、ワード線WL0、WL1、WL3乃至WL5(130)の電位が0Vであるので、ビット線BL0乃至BL5(140)の電位に関わらず、フローティングゲートへの電子の注入は行われない。従って、ビット線方向でメモリセルMC2-2に隣接するメモリセルMC2-1及びMC2-3では書込みは行われない。ここでメモリセルMC2-1及びMC2-3のフローティングゲートは、隣接するメモリセルMC2-2のフローティングゲートと容量結合している。従って、メモリセルMC2-2に書込み電圧が印加されることによって、それぞれのメモリセルに容量結合の影響が及ぶ。ところが、メモリセルMC2-3は、まだ書込まれていないため影響がない。一方メモリセルMC2-1は、既に4値データが書込まれているが、メモリセルMC2-2は2値データの書込みであるため、閾値電圧変動が小さいので隣接メモリセルの容量結合の影響は小さい。また、非選択ワード線130の読み出し電圧を4値セルのときに比べて低く設定できるので、Read Disturbを抑制できる。

10

【0142】

次に、ワード線WL3(130o)が選択され、全てのビット線140が選択されて0VまたはVBBが印加される。すると、ワード線WL3(130o)に接続された全てのメモリセルMC0-3乃至MC5-3では、フローティングゲートへ電子が注入され書込まれる。前記メモリセルMC0-3乃至MC5-3は4値データを記憶するように割り当てられているため、該メモリセルには、細かくステップアップされる電圧が印加される。従って、例えばメモリセルMC2-3にビット線方向で隣接するメモリセルMC2-2及びMC2-4に、容量結合による隣接セル干渉の影響が及ぶことになる。しかし、メモリセルMC2-2は既に2値データの書込みがされている。2値データが書込まれたメモリセルは、閾値分布に十分なマージンがあるため、かかる隣接セル干渉の影響を吸収することができる。また、メモリセルMC2-4については、まだデータの書込みがされていないため影響が生じない。従って、メモリセルMC2-2及びMC2-4の容量結合による隣接メモリセル干渉の影響は少ない。以上のように本発明の第4実施形態に係る2トランジスタ型セルを備えるフラッシュメモリ10は、ビット線方向で隣接するメモリセルが異なる情報量のデータを記憶するように割り当て、ワード線130単位で順にページ書込みにより書き込むように制御するため、容量結合に起因する閾値分布の広がりを抑制することができる。

20

30

【0143】

また、本発明の第4実施形態においては、2値アンド4値混在モードとすることで、メモリセルの半分が2値セルであるので、メモリ全体としての書込みスピードを4値モードとした場合より早くすることができる。従って高速化を図りながら、且つ大容量化を図ることができる。

【0144】

更に、本発明の第4実施形態に係る不揮発性半導体記憶装置10は、ヒューズデータによってメモリセルに記憶させるデータの情報量を割り当て、且つ、書込み手順を制御するため、一つのメモリチップで、複数の要求に応えることができる。即ち、書込みスピードが要求される場合には、前記動作モード切り替えによって、メモリ全体を2値セルモードとして高速書込み可能メモリとして使用することができ、一方、書込みスピードよりも大容量が要求される場合には、動作モード切替えによってメモリ全体を4値セルモードとして大容量を記憶可能なメモリとして使用することもできる。更に、書込みスピードと大容量のいずれもが要求される場合には、動作モード切替えによって2値アンド4値混在モードとして使用することで、前記要求に応えることが可能となる。又この結果として、同一のメモリチップで様々なユーザーの要求に対応が可能となるため、生産ラインの効率化を図ることができ、生産コストの削減によるメモリチップの低コスト化を実現できる。

40

【0145】

更にまた、本発明の第4実施形態においては、前述のとおり2値アンド4値モードは、書込みパフォーマンスを上げつつ書込みや読出しのストレスを軽減する動作モードとなるた

50

め信頼性が高い。メモリ全体を4値セルモードとしたのでは信頼性が厳しい場合に、信頼性やパフォーマンスを重視するハイエンドなマーケットに対して、同じメモリチップによって信頼性の高いメモリチップの提供が実現できる意味において非常に効果がある。

【0146】

なお、本発明の第4実施形態においては、記憶するデータを2値データと4値データとしているが、これに限定されるわけではなく、例えば2値データと8値データ、4値データと8値データ又は他の組合せであっても良い。更に他方のデータの情報量が16値データであってもよい。メモリセルが記憶する2種類の情報量のデータを、ワード線130単位でロウ・ストライプ状に割り当て、同一ビット線140上で隣接するメモリセルが異なる情報量のデータを記憶するようにし、ワード線130単位で順に書込むように制御することにより、同様の効果を得ることができる。

10

【図面の簡単な説明】

【0147】

【図1】本発明の一実施形態に係る不揮発性半導体記憶装置10の概略構成図である。

【図2】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルアレイの概略構成図である。

【図3】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルブロック内の概略構成図である。

【図4】本発明の一実施形態に係る不揮発性半導体記憶装置10のNANDセルのレイアウトの模式図である。

20

【図5】図3に示したメモリセルブロックBLOCK iにおける書込み時の電位関係を示す図である。

【図6】4値データと閾値電位との関係を示す図である。

【図7】本発明の一実施形態に係る不揮発性半導体記憶装置10の書込みシーケンス及び読出し方法を示す図である。

【図8】NAND型セルの容量結合の影響を示す閾値分布の模式図である。

【図9】本発明の一実施形態に係る不揮発性半導体記憶装置10のNAND型セルの容量結合の影響を示す模式図である。

【図10】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルへの2値データ及び4値データの取り扱い割り当ての模式図である。

30

【図11】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルへの2値データ及び8値データの取り扱い割り当ての模式図である。

【図12】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルへの4値データ及び8値データの取り扱い割り当ての模式図である。

【図13】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルへの3値データ及び6値データの取り扱い割り当ての模式図である。

【図14】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルへの5値データ及び7値データの取り扱い割り当ての模式図である。

【図15】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルへの6値データ及び11値データの取り扱い割り当ての模式図である。

40

【図16】本発明の一実施形態に係る不揮発性半導体記憶装置10のメモリセルへのm値データ及びn値データ(m、nは自然数)の取り扱い割り当ての模式図である。

【図17】本発明の一実施形態に係る2トランジスタ型セルを備えるフラッシュメモリの概略構成とデータの取り扱い割り当ての模式図である。

【符号の説明】

【0148】

10：不揮発性半導体記憶装置

100：メモリセルアレイ

110：メモリセル領域

111：メモリセルMC

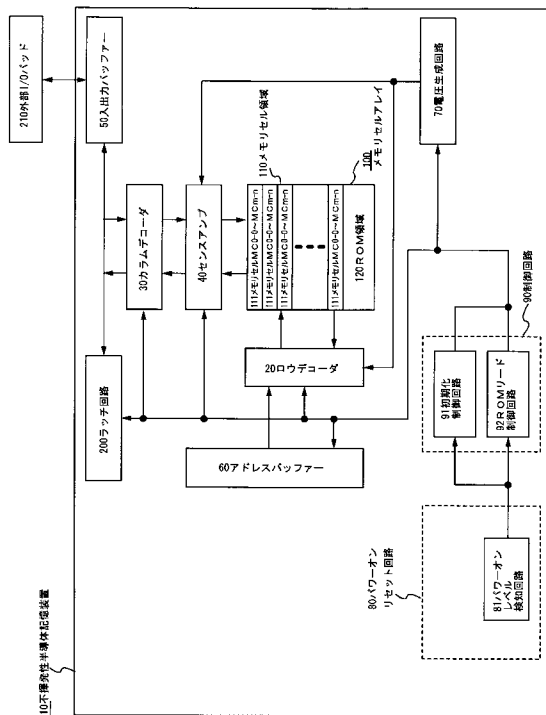
50

- 1 1 2 : メモリセルトランジスタ M T
- 1 1 3 : 選択トランジスタ S T
- 1 2 0 : R O M 領域
- 1 3 0 : ワード線
- 1 3 0 e : 偶数ワード線
- 1 3 0 o : 奇数ワード線
- 1 4 0 : ビット線
- 1 5 0 : 選択ゲート線
- 1 5 0 a : ソース側選択ゲート線 (S G S)
- 1 5 0 b : ドレイン側選択ゲート線 (S G D)
- 1 6 0 : ソース線 (C E L S R C)
- 2 0 : ロウデコーダ
- 3 0 : カラムデコーダ
- 4 0 : センスアンプ
- 5 0 : 入出力バッファ
- 6 0 : アドレスバッファ
- 7 0 : 電圧生成回路
- 8 0 : パワーオンリセット回路
- 8 1 : パワーオンレベル感知回路
- 9 0 : 制御回路
- 9 1 : 初期化制御回路
- 9 2 : R O M リード制御回路
- 2 0 0 : ラッチ回路
- 2 1 0 : 外部 I / O パッド

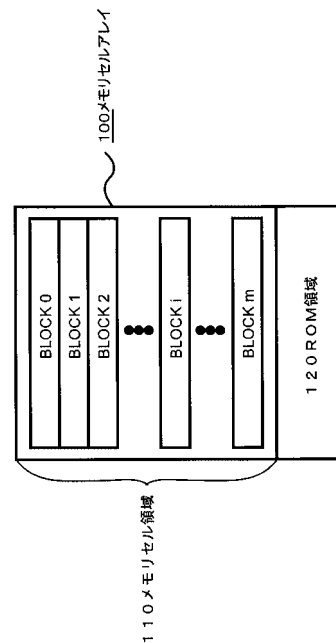
10

20

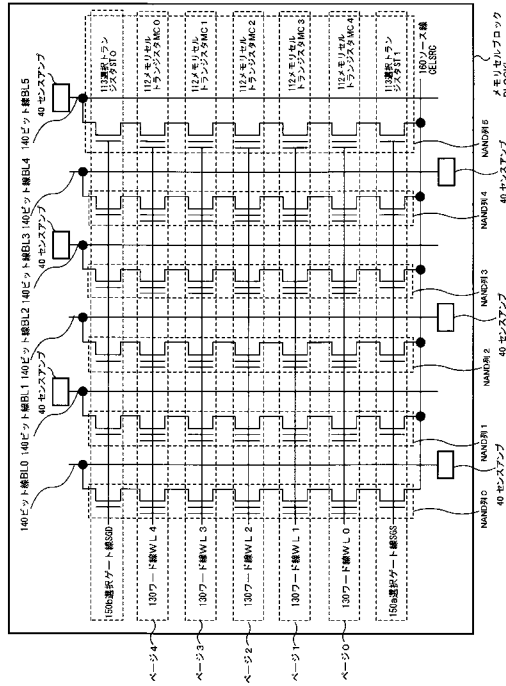
【図 1】



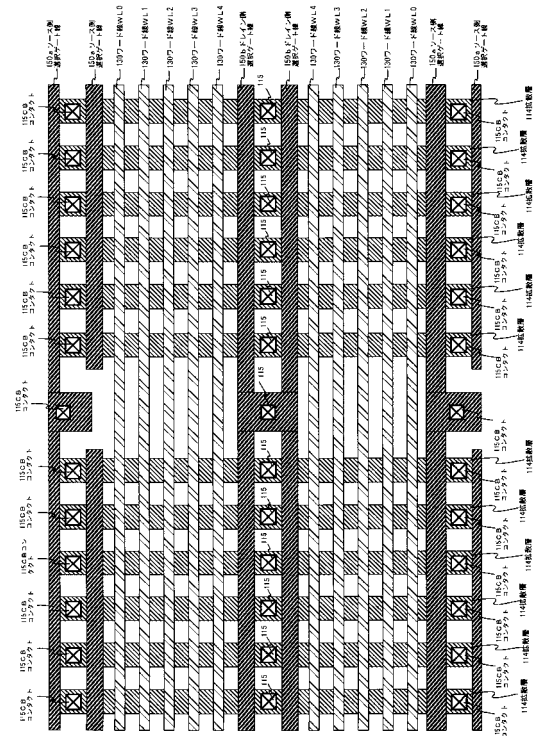
【図 2】



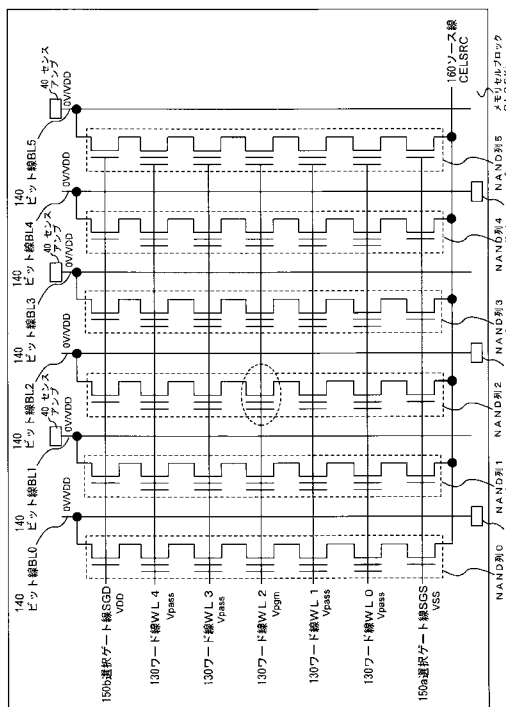
【図 3】



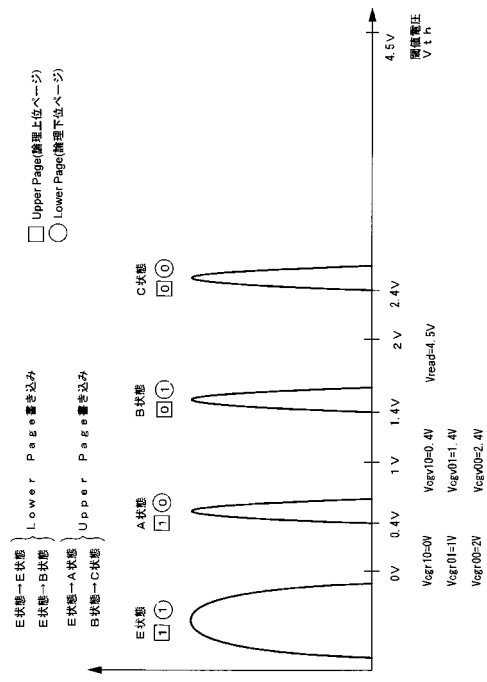
【図 4】



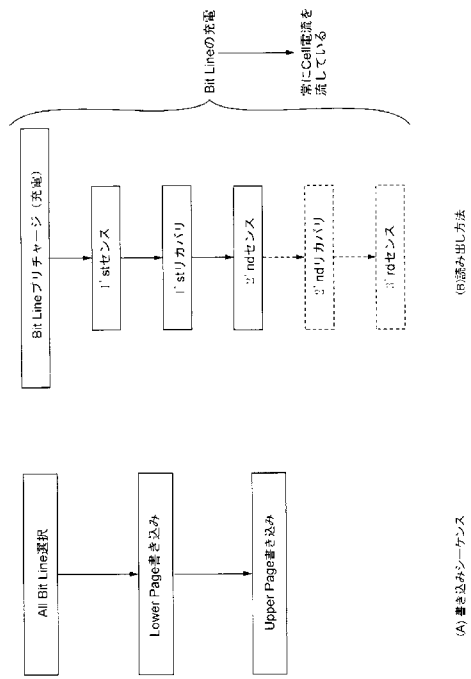
【図 5】



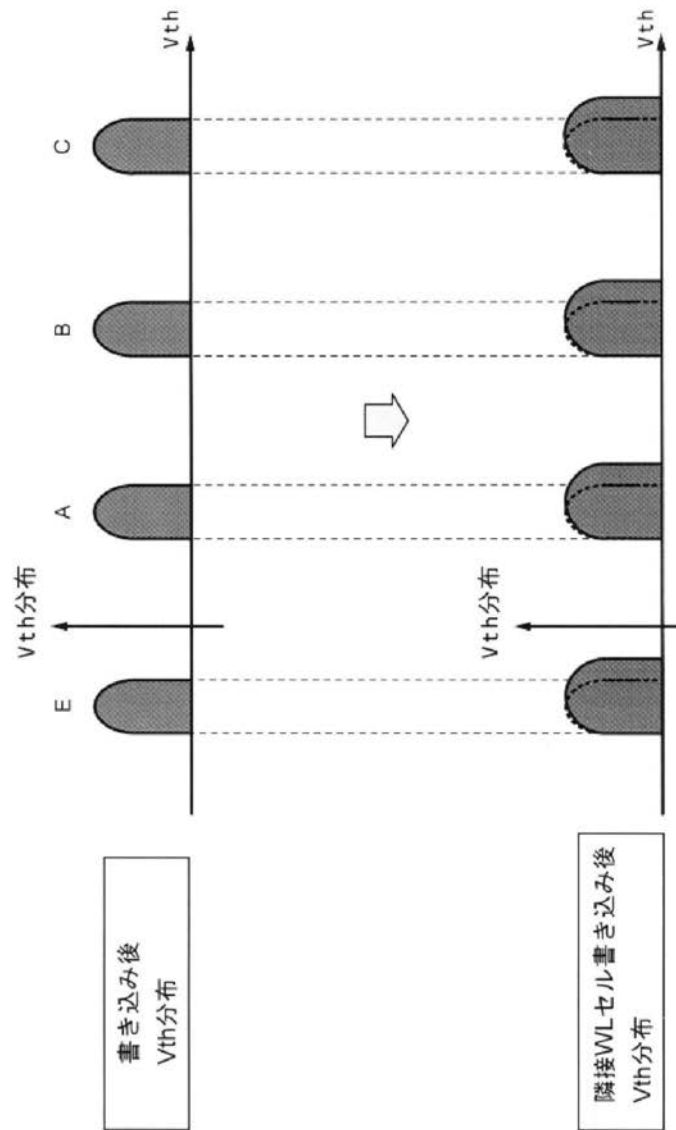
【図 6】



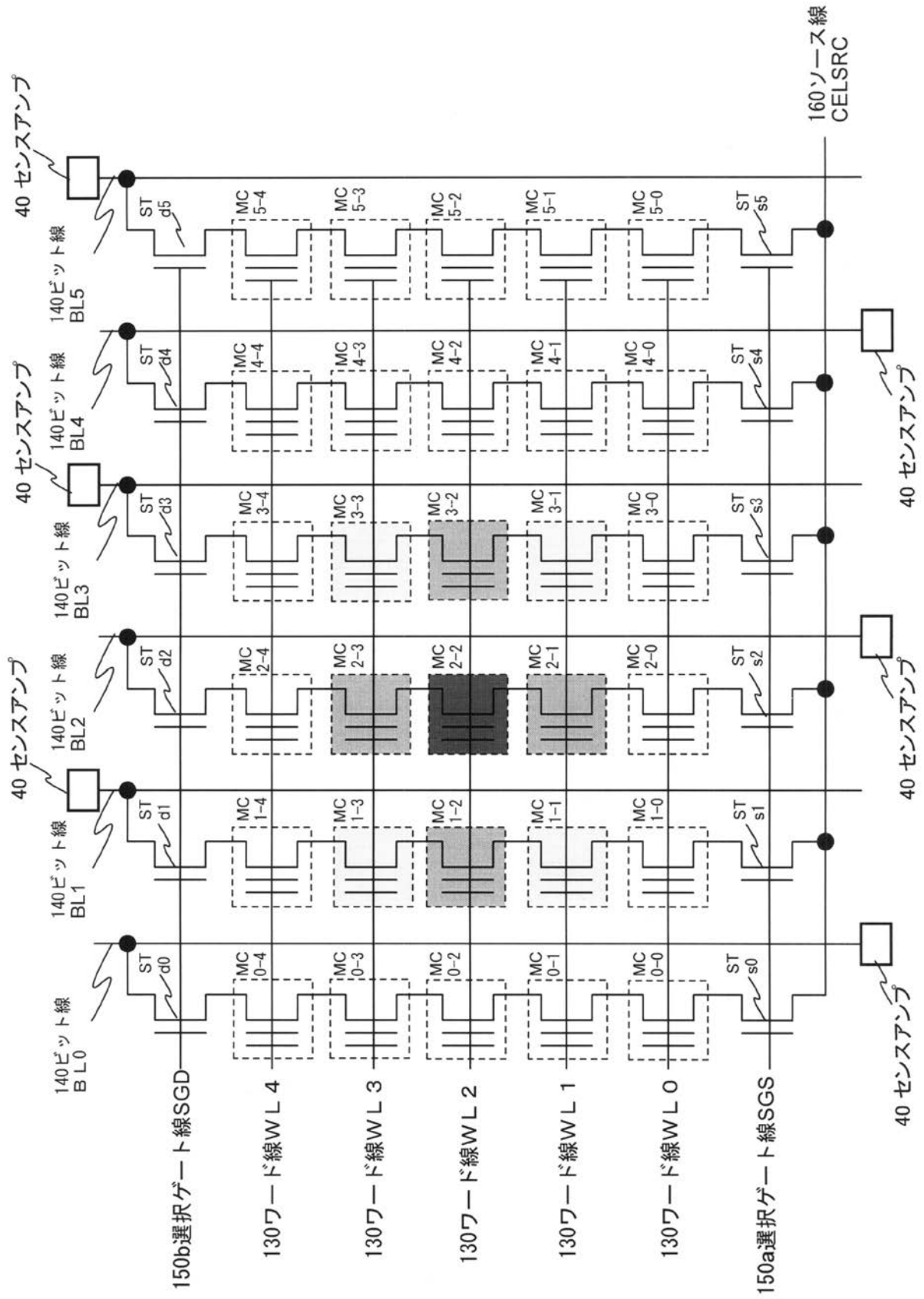
【図 7】



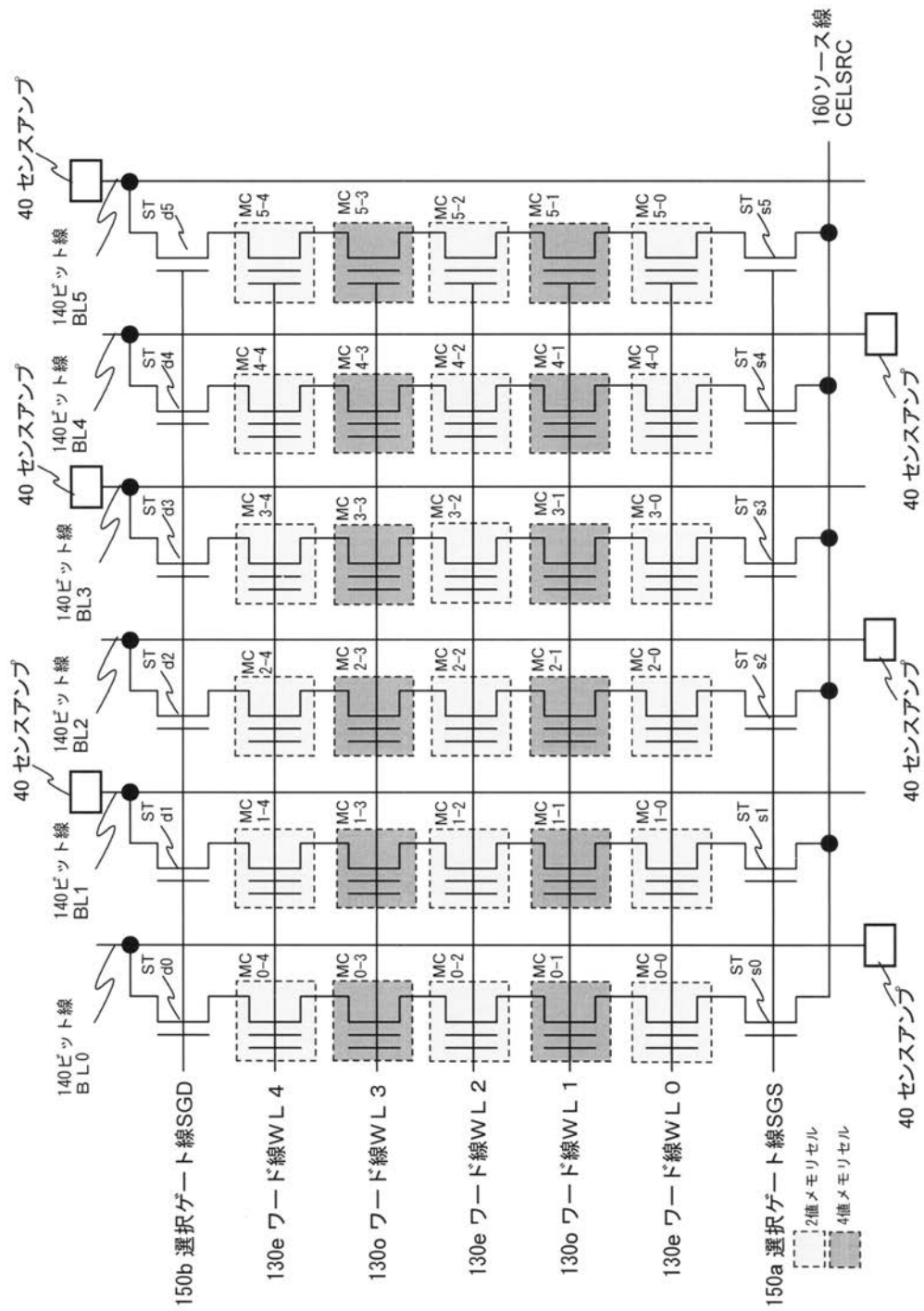
【図 8】



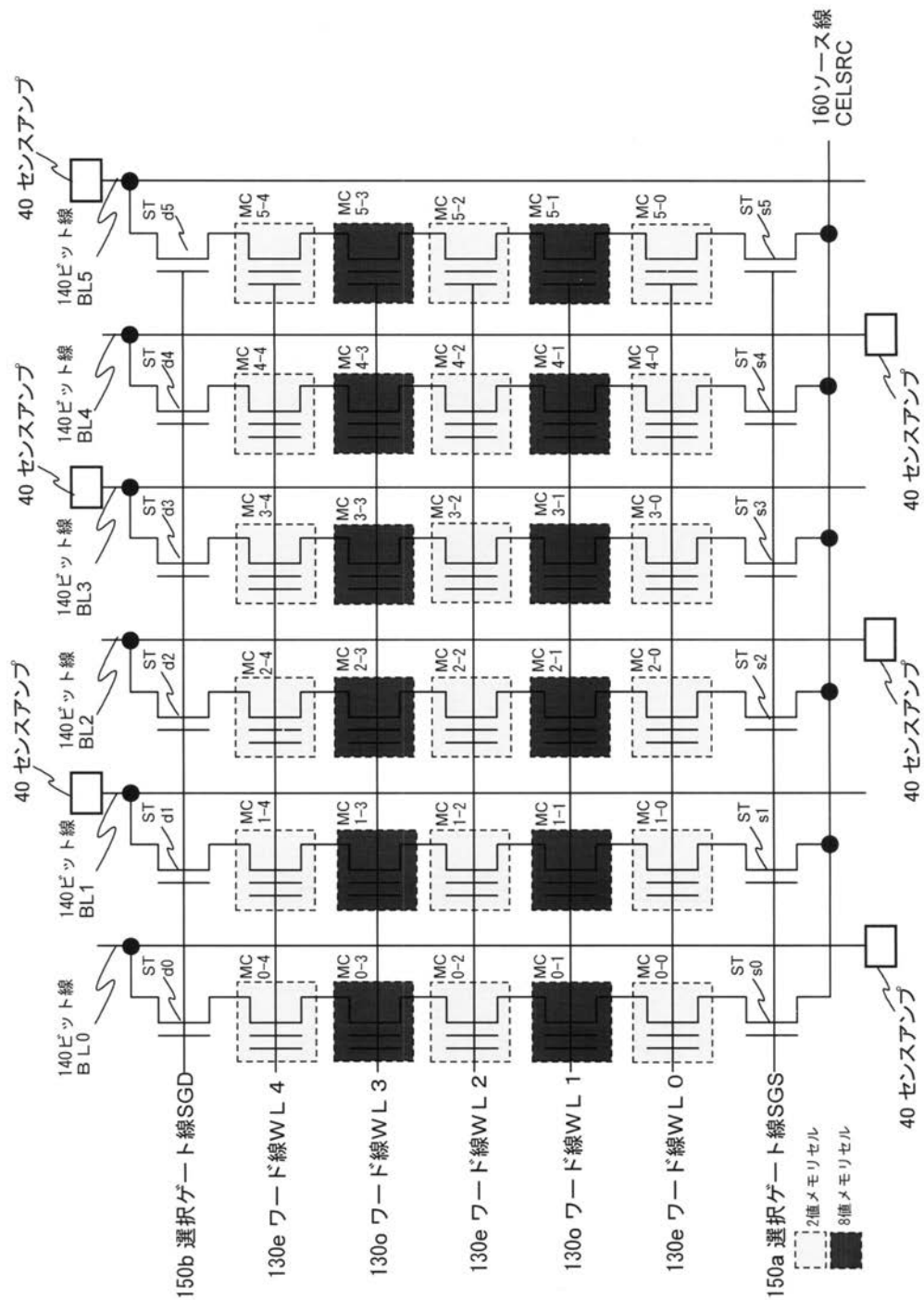
【図 9】



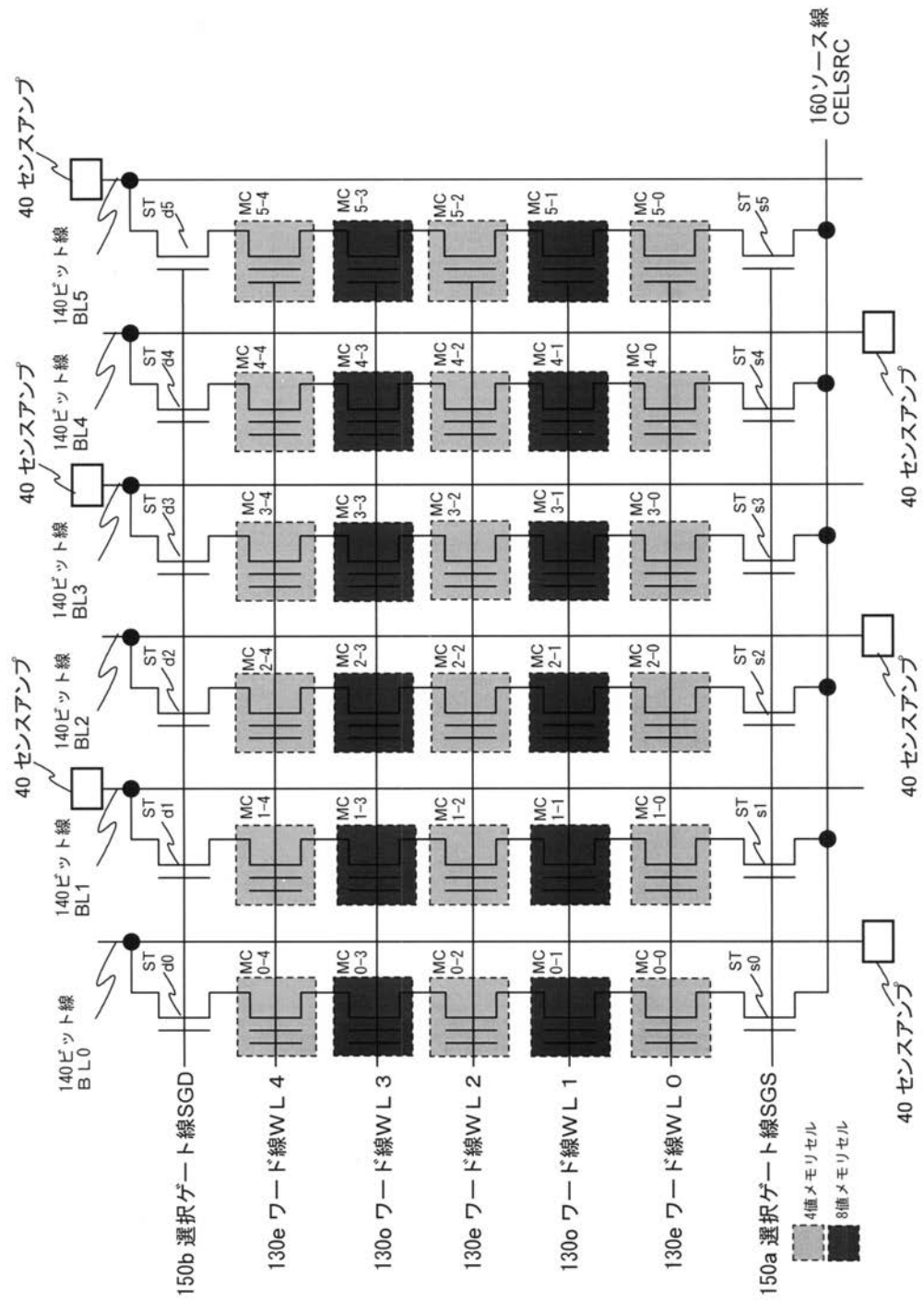
【図10】



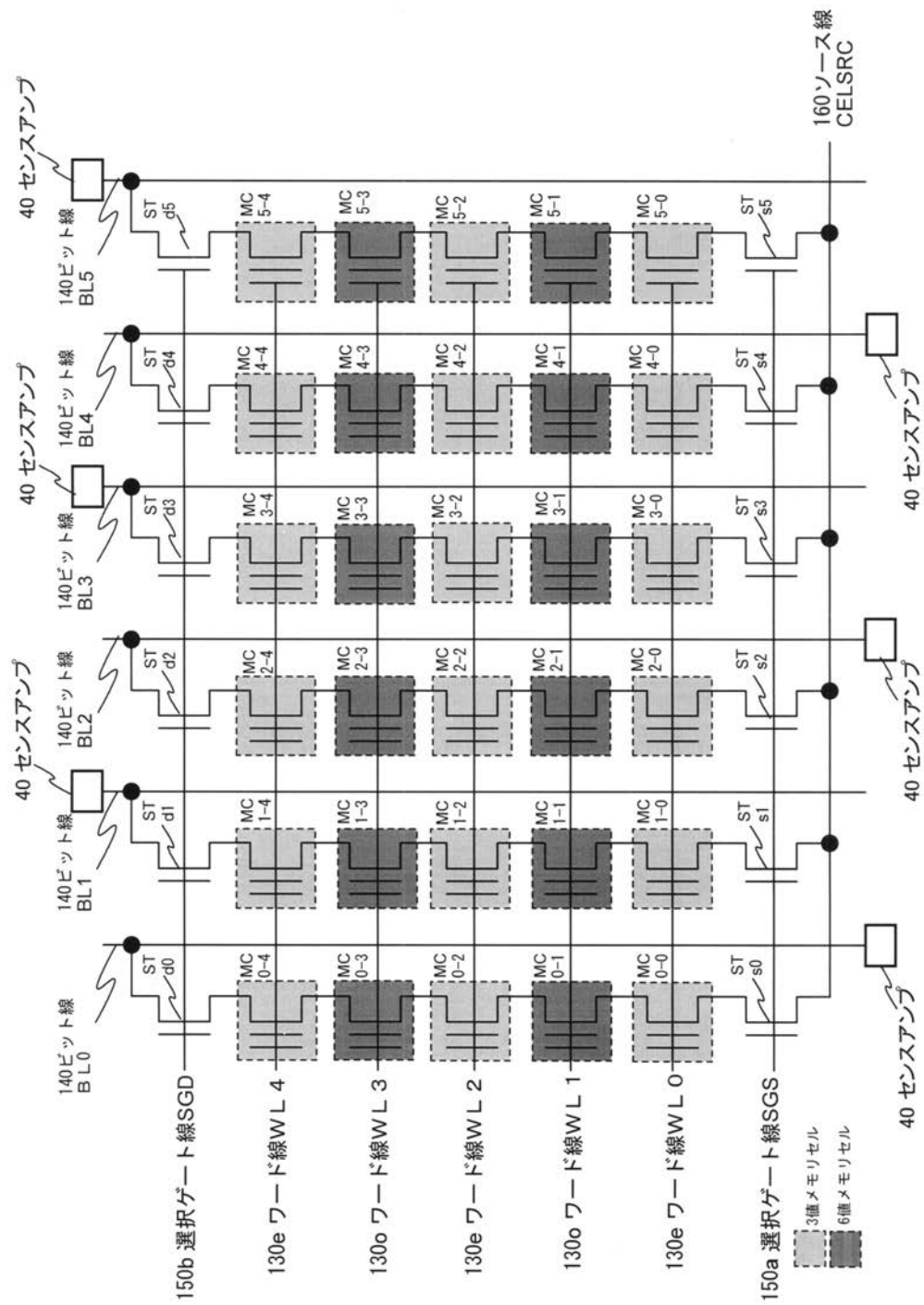
【図 11】



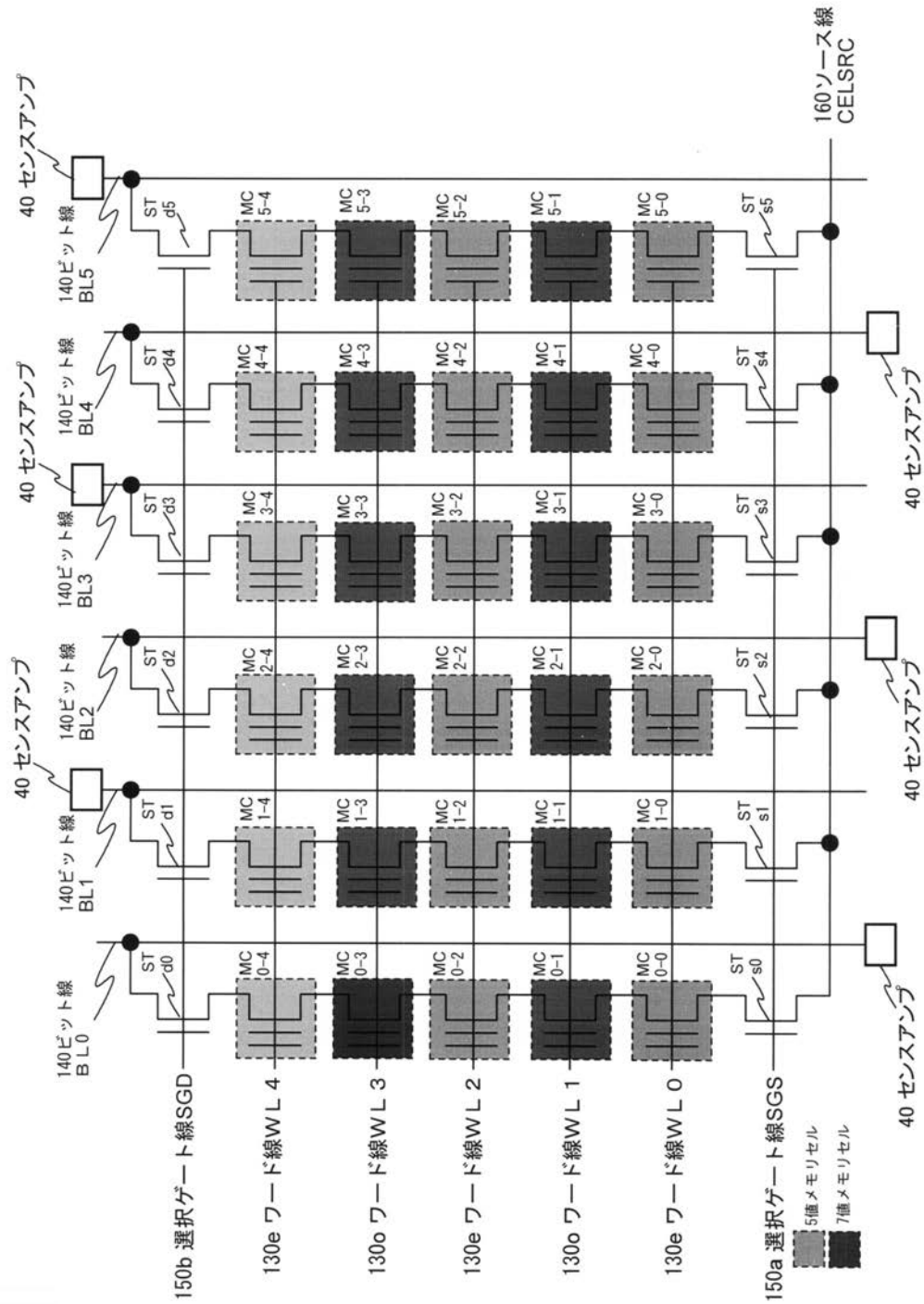
【図12】



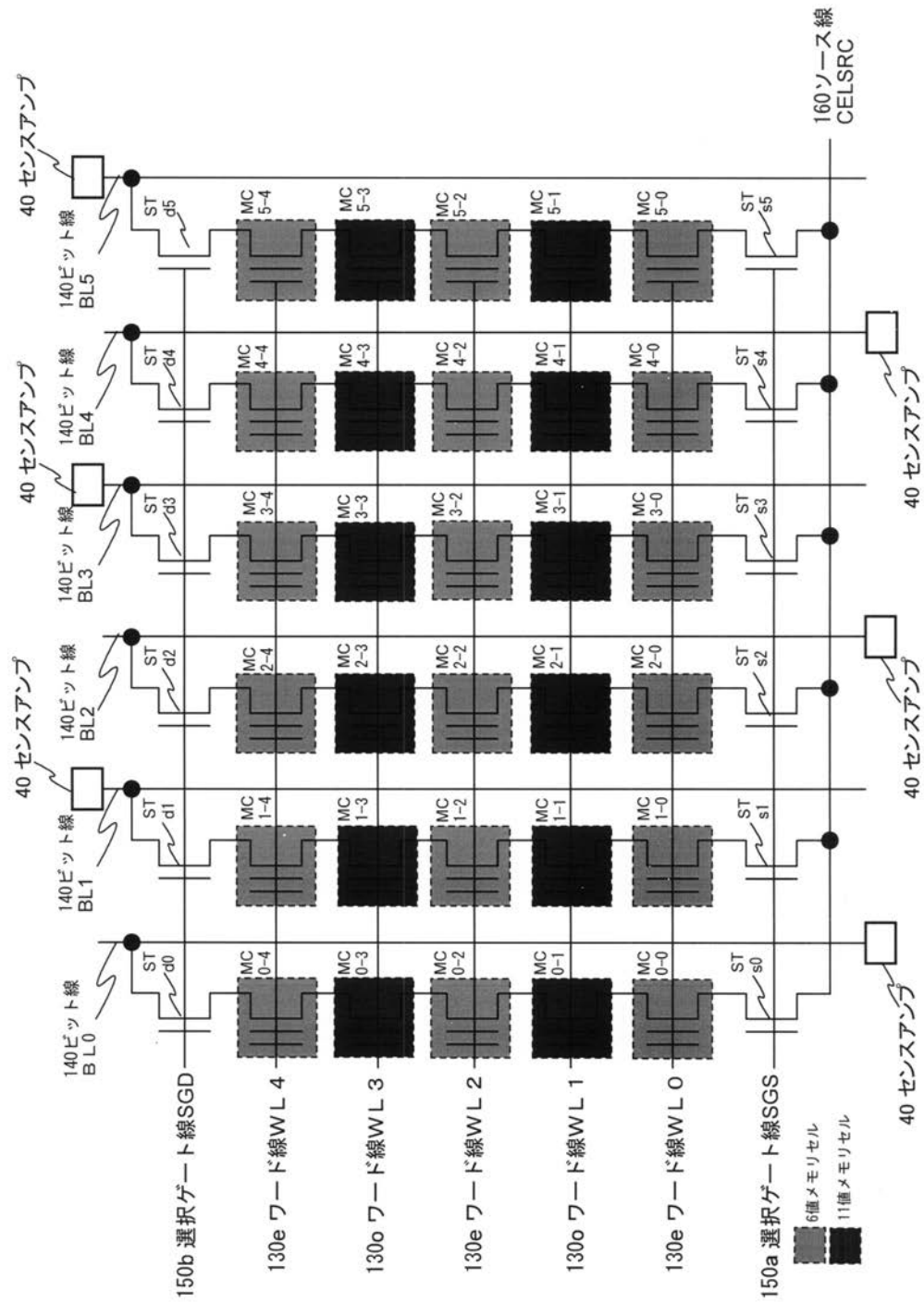
【図13】



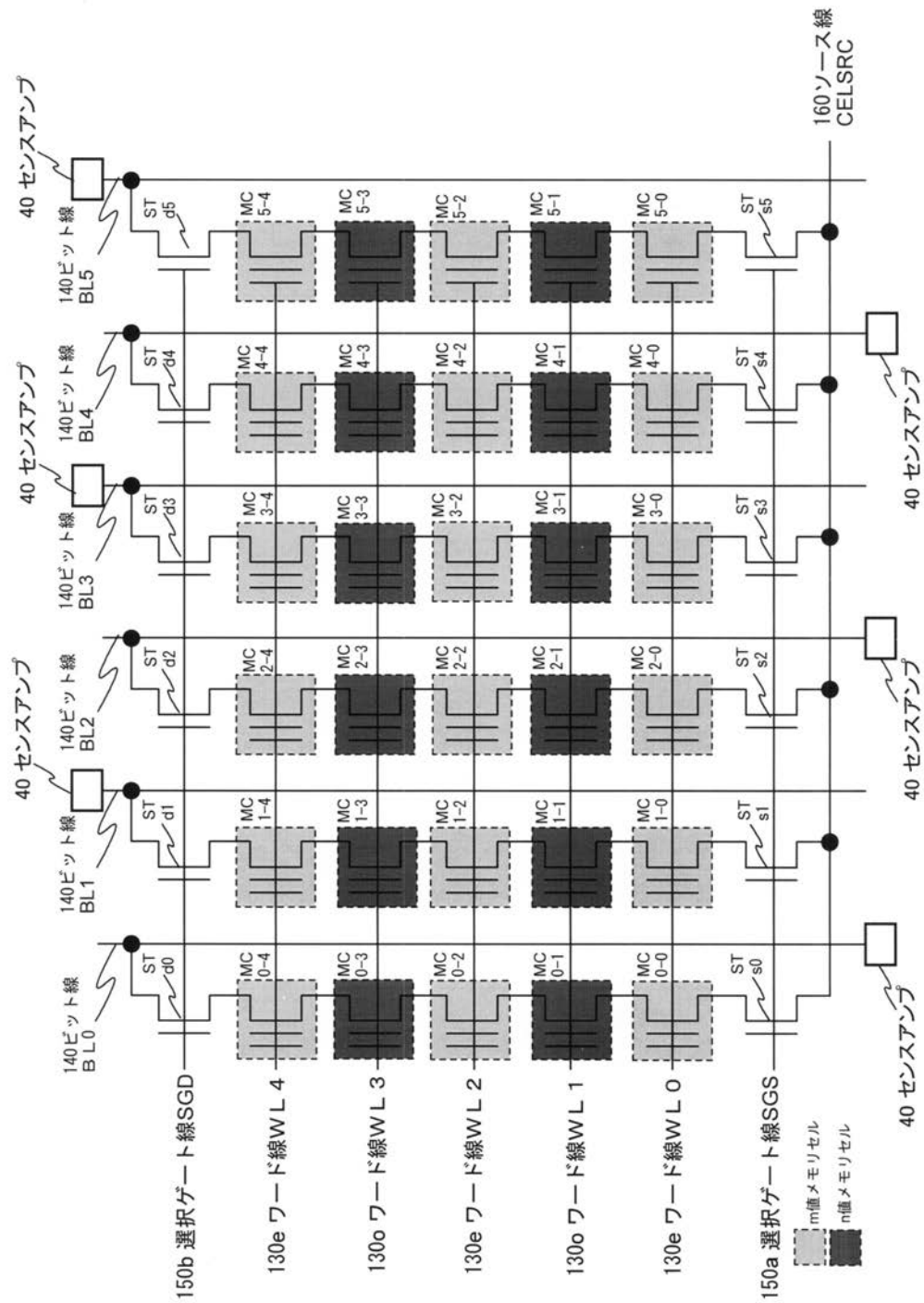
【図 14】



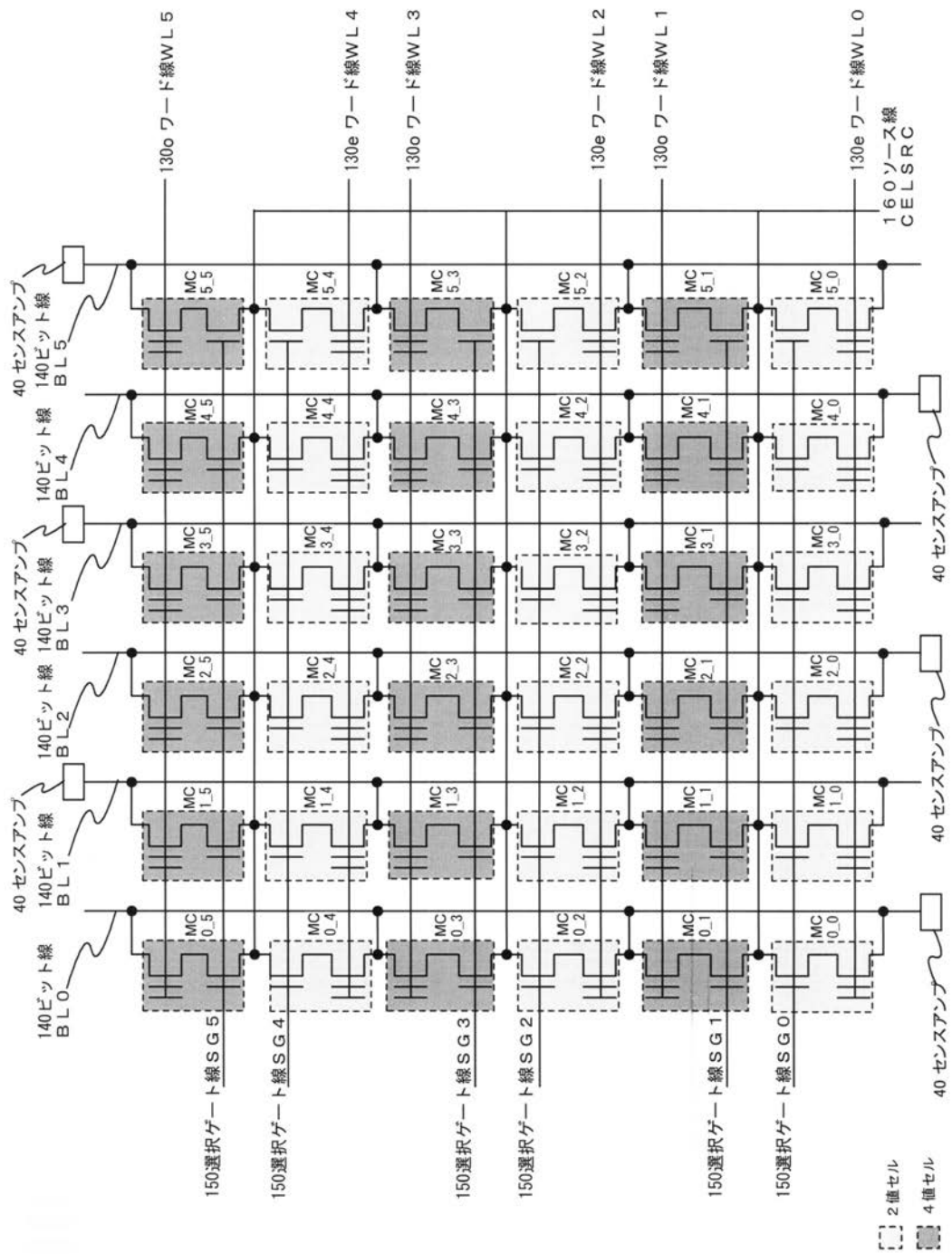
【図15】



【図16】



【図 17】



フロントページの続き

(56)参考文献 特開2002-025277(JP,A)
特開2001-250386(JP,A)
特開2005-235260(JP,A)
特開2003-123486(JP,A)
特開2001-210082(JP,A)
特開2001-176290(JP,A)
特開2004-152405(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00 - 16/34