

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3992873号
(P3992873)

(45) 発行日 平成19年10月17日(2007.10.17)

(24) 登録日 平成19年8月3日(2007.8.3)

(51) Int. Cl. F I
G 0 6 F 1 2 / 0 0 (2 0 0 6 . 0 1) G O 6 F 1 2 / 0 0 5 6 4 A
G 1 1 C 1 1 / 4 0 7 (2 0 0 6 . 0 1) G 1 1 C 1 1 / 3 4 3 6 2 S

請求項の数 20 (全 32 頁)

(21) 出願番号	特願平11-112384	(73) 特許権者	590000879
(22) 出願日	平成11年4月20日(1999.4.20)		テキサス インスツルメンツ インコーポ レイテッド
(62) 分割の表示	特願平4-103094の分割		アメリカ合衆国テキサス州ダラス, ノース セントラルエクスプレスウェイ 135 00
原出願日	平成4年4月22日(1992.4.22)	(74) 代理人	100066692
(65) 公開番号	特開2000-29774(P2000-29774A)		弁理士 浅村 皓
(43) 公開日	平成12年1月28日(2000.1.28)	(74) 代理人	100072040
審査請求日	平成11年4月20日(1999.4.20)		弁理士 浅村 肇
審査番号	不服2003-19405(P2003-19405/J1)	(74) 代理人	100094673
審査請求日	平成15年10月2日(2003.10.2)		弁理士 林 拓三
(31) 優先権主張番号	690207	(74) 代理人	100091339
(32) 優先日	平成3年4月23日(1991.4.23)		弁理士 清水 邦明
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】 同期ランダムアクセスメモリ

(57) 【特許請求の範囲】

【請求項1】

データ処理システムであって、
 デジタルプロセッサと、
 前記デジタルプロセッサの動作を制御するシステムクロック信号を生成するためのシ
 ステムクロック回路と、

前記システムクロックにตอบสนองしてアドレス可能な蓄積セルへデータを書き込み及びデー
 タを読み出しするためのアクセスを行う同期ダイナミック・ランダムアクセスメモリと、
 行イネーブル信号、列イネーブル信号、第一の外部データ制御信号、第二の外部デー
 タ制御信号、第三の外部データ制御信号を含む外部制御信号を受け取り、システムクロック
 にตอบสนองしてゲートすることで、前記同期ダイナミック・ランダムアクセスメモリの書き込
 み及び読み出し操作を制御する第一のアドレス制御信号、第二のアドレス制御信号、デー
 タ制御選択信号、第一のデータ制御信号及び第二のデータ制御信号を前記システムクロッ
 クにตอบสนองして生成するタイミング及び制御回路と、

前記データ制御選択信号が第一の状態の場合、前記第一のデータ制御信号により所定数
 があらかじめ決定され前記第二のデータ制御信号によりアドレス・シーケンスがあらか
 じめ決定される前記所定数のデータ・ビットを生成し、前記データ制御選択信号が第二の状
 態の場合、1データ・ビットを生成する出力回路と、

前記同期ダイナミック・ランダムアクセスメモリの前記蓄積セルの行へ、書き込みまた
 は読み出しアクセスをするための行アドレスデコーダと、

10

20

前記第一のアドレス制御信号に応答して、第一のアドレス信号をラッチし、ラッチされた第一のアドレス信号を前記行アドレスデコーダへ供給する行アドレス回路と、

前記同期ダイナミック・ランダムアクセスメモリの前記蓄積セルの列へ、書き込みまたは読み出しアクセスをするための列アドレスデコーダと、

前記第二のアドレス制御信号に応答して、第二のアドレス信号をラッチし、ラッチされた第二のアドレス信号の最上位の数ビットを前記列アドレスデコーダへ供給する列アドレス回路からなり、

前記データ制御選択信号が第一の状態の場合、前記同期ダイナミック・ランダムアクセスメモリにおいて、前記蓄積セルの前記行アドレスデコーダと列アドレスデコーダの指定するアドレスから、データ・ビットが前記出力回路に読み出され、前記出力回路において、前記ラッチされた第二のアドレス信号の前記最上位の数ビットを除いた最下位の数ビットが前記第一のデータ制御信号により決定されるカウント数システムクロック信号に応答してカウントされるとともに前記第二のデータ制御信号により決定されるアドレス・シーケンスが生成され、前記所定数のデータ・ビットが前記アドレス・シーケンスにしたがって出力される、

データ処理システム。

【請求項 2】

前記第二のデータ制御信号が第一の状態にあるとき、前記所定数のデータ・ビットのアドレス・シーケンスが連続順序であり、前記第二のデータ制御信号が第二の状態にあるとき、前記所定数のデータ・ビットのアドレス・シーケンスがインターリーブ順序である、

請求項 1 に記載のデータ処理システム。

【請求項 3】

前記出力回路が、前記アドレス・シーケンスに従って前記同期ダイナミック・ランダムアクセスメモリの蓄積セルから読み出されたデータを選択する出力選択回路および前記デジタルプロセッサと接続されたデータ端子を有する、請求項 1 または 2 に記載のデータ処理システム。

【請求項 4】

前記列アドレス回路が前記ラッチされた第二のアドレス信号の少なくとも 1 ビットを蓄積する列アドレスカウンタを有し、前記データ制御選択信号が第一の状態の場合、前記アドレス・シーケンスの最中、前記列アドレスカウンタがシステムクロック信号に応答してカウントされる、請求項 1、2 または 3 に記載のデータ処理システム。

【請求項 5】

前記データ制御選択信号が第一の状態の場合に、前記システムクロック信号が前記列アドレスカウンタにカウントクロックとして供給される請求項 4 に記載のデータ処理システム。

【請求項 6】

データ処理システムであって、

デジタルプロセッサと、

前記デジタルプロセッサの動作を制御するシステムクロック信号を生成するためのシステムクロック回路と、

前記システムクロックに応答してアドレス可能な蓄積セルへデータを書き込み及びデータを読み出しするためのアクセスを行う同期ダイナミック・ランダムアクセスメモリと、

行イネーブル信号、列イネーブル信号、第一の外部データ制御信号、第二の外部データ制御信号、第三の外部データ制御信号を含む外部制御信号を受け取り、システムクロックに応答してゲートすることで、前記同期ダイナミック・ランダムアクセスメモリの書き込み及び読み出し操作を制御する第一のアドレス制御信号、第二のアドレス制御信号、データ制御選択信号、第一のデータ制御信号及び第二のデータ制御信号を前記システムクロックに応答して生成するタイミング及び制御回路と、

前記データ制御選択信号が第一の状態の場合、前記第一のデータ制御信号により所定数があらかじめ決定され前記第二のデータ制御信号によりアドレス・シーケンスがあらかじめ

10

20

30

40

50

め決定される前記所定数のデータ・ビットが入力され、前記データ制御選択信号が第二の状態の場合、1データ・ビットが入力される入力回路と、

前記同期ダイナミック・ランダムアクセスメモリの前記蓄積セルの行へ、書き込みまたは読み出しアクセスをするための行アドレスデコーダと、

前記第一のアドレス制御信号にตอบสนองして、第一のアドレス信号をラッチし、ラッチされた第一のアドレス信号を前記行アドレスデコーダへ供給する行アドレス回路と、

前記同期ダイナミック・ランダムアクセスメモリの前記蓄積セルの列へ、書き込みまたは読み出しアクセスをするための列アドレスデコーダと、

前記第二のアドレス制御信号にตอบสนองして、第二のアドレス信号をラッチし、ラッチされた第二のアドレス信号の最上位の数ビットを前記列アドレスデコーダへ供給する列アドレス回路からなり、

前記データ制御選択信号が第一の状態の場合、前記同期ダイナミック・ランダムアクセスメモリにおいて、前記蓄積セルの前記行アドレスデコーダと列アドレスデコーダの指定するアドレスに、データ・ビットが前記入力回路から書き込まれ、前記入力回路において、前記ラッチされた第二のアドレス信号の前記最上位の数ビットを除いた最下位の数ビットが前記第一のデータ制御信号により決定されるカウント数システムクロック信号にตอบสนองしてカウントされるとともに前記第二のデータ制御信号により決定されるアドレス・シーケンスが生成され、前記所定数のデータ・ビットが前記アドレス・シーケンスにしたがって入力される、

データ処理システム。

【請求項7】

前記第二のデータ制御信号が第一の状態にあるとき、前記所定数のデータ・ビットのアドレス・シーケンスが連続順序であり、前記第二のデータ制御信号が第二の状態にあるとき、前記所定数のデータ・ビットのアドレス・シーケンスがインターリーブ順序である、請求項6に記載のデータ処理システム。

【請求項8】

前記入力回路が、前記アドレス・シーケンスに従って前記同期ダイナミック・ランダムアクセスメモリの蓄積セルへ前記所定数のデータ・ビットを供給する入力選択回路および前記デジタルプロセッサと接続されたデータ端子を有する、請求項6または7に記載のデータ処理システム。

【請求項9】

前記列アドレス回路が前記ラッチされた第二のアドレス信号の少なくとも1ビットを蓄積する列アドレスカウンタを有し、前記データ制御選択信号が第一の状態の場合、前記アドレス・シーケンスの最中、前記列アドレスカウンタがシステムクロック信号にตอบสนองしてカウントされる、請求項6、7または8に記載のデータ処理システム。

【請求項10】

前記データ制御選択信号が第一の状態の場合に、前記システムクロック信号が前記列アドレスカウンタにカウントクロックとして供給される請求項9に記載のデータ処理システム。

【請求項11】

システムクロックにตอบสนองしてアドレス可能な蓄積セルへデータを書き込み及びデータを読み出しするためのアクセスを行う同期ダイナミック・ランダムアクセスメモリであって

行イネーブル信号、列イネーブル信号、第一の外部データ制御信号、第二の外部データ制御信号、第三の外部データ制御信号を含む外部制御信号を受け取り、システムクロックにตอบสนองしてゲートすることで、前記同期ダイナミック・ランダムアクセスメモリの書き込み及び読み出し操作を制御する第一のアドレス制御信号、第二のアドレス制御信号、データ制御選択信号、第一のデータ制御信号及び第二のデータ制御信号を前記システムクロックにตอบสนองして生成するタイミング及び制御回路と、

前記データ制御選択信号が第一の状態の場合、前記第一のデータ制御信号により所定数

10

20

30

40

50

があらかじめ決定され前記第二のデータ制御信号によりアドレス・シーケンスがあらかじめ決定される前記所定数のデータ・ビットを生成し、前記データ制御選択信号が第二の状態の場合1データ・ビットを生成する出力回路と、

前記同期ダイナミック・ランダムアクセスメモリの前記蓄積セルの行へ、書き込みまたは読み出しアクセスをするための行アドレスデコーダと、

前記第一のアドレス制御信号にตอบสนองして、第一のアドレス信号をラッチし、ラッチされた第一のアドレス信号を前記行アドレスデコーダへ供給する行アドレス回路と、

前記同期ダイナミック・ランダムアクセスメモリの前記蓄積セルの列へ、書き込みまたは読み出しアクセスをするための列アドレスデコーダと、

前記第二のアドレス制御信号にตอบสนองして、第二のアドレス信号をラッチし、ラッチされた第二のアドレス信号の最上位の数ビットを前記列アドレスデコーダへ供給する列アドレス回路からなり、

前記データ制御選択信号が第一の状態の場合、前記同期ダイナミック・ランダムアクセスメモリにおいて、前記蓄積セルの前記行アドレスデコーダと列アドレスデコーダの指定するアドレスから、データ・ビットが前記出力回路に読み出され、前記出力回路において、前記ラッチされた第二のアドレス信号の前記最上位の数ビットを除いた最下位の数ビットが前記第一のデータ制御信号により決定されるカウント数システムクロック信号にตอบสนองしてカウントされるとともに前記第二のデータ制御信号により決定されるアドレス・シーケンスが生成され、前記所定数のデータ・ビットが前記アドレス・シーケンスにしたがって出力される、

同期ダイナミック・ランダムアクセスメモリ。

【請求項12】

前記第二のデータ制御信号が第一の状態にあるとき、前記所定数のデータ・ビットのアドレス・シーケンスが連続順序であり、前記第二のデータ制御信号が第二の状態にあるとき、前記所定数のデータ・ビットのアドレス・シーケンスがインターリーブ順序である、請求項11に記載の同期ダイナミック・ランダムアクセスメモリ。

【請求項13】

前記出力回路が、前記アドレス・シーケンスに従って前記同期ダイナミック・ランダムアクセスメモリの蓄積セルから読み出されたデータを選択する出力選択回路を有する、請求項11または12に記載の同期ダイナミック・ランダムアクセスメモリ。

【請求項14】

前記列アドレス回路が前記ラッチされた第二のアドレス信号の少なくとも1ビットを蓄積する列アドレスカウンタを有し、前記データ制御選択信号が第一の状態の場合、前記アドレス・シーケンスの最中、前記列アドレスカウンタがシステムクロック信号にตอบสนองしてカウントされる、請求項11、12または13に記載の同期ダイナミック・ランダムアクセスメモリ。

【請求項15】

前記データ制御選択信号が第一の状態の場合に、前記システムクロック信号が前記列アドレスカウンタにカウントクロックとして供給される請求項14に記載の同期ダイナミック・ランダムアクセスメモリ。

【請求項16】

システムクロックにตอบสนองしてアドレス可能な蓄積セルへデータを書き込み及びデータを読み出しするためのアクセスを行う同期ダイナミック・ランダムアクセスメモリであって、

行イネーブル信号、列イネーブル信号、第一の外部データ制御信号、第二の外部データ制御信号、第三の外部データ制御信号を含む外部制御信号を受け取り、システムクロックにตอบสนองしてゲートすることで、前記同期ダイナミック・ランダムアクセスメモリの書き込み及び読み出し操作を制御する第一のアドレス制御信号、第二のアドレス制御信号、データ制御選択信号、第一のデータ制御信号及び第二のデータ制御信号を前記システムクロックにตอบสนองして生成するタイミング及び制御回路と、

10

20

30

40

50

前記データ制御選択信号が第一の状態の場合、前記第一のデータ制御信号により所定数
があらかじめ決定され前記第二のデータ制御信号によりアドレス・シーケンスがあらかじ
め決定される前記所定数のデータ・ビットが入力され、前記データ制御選択信号が第二の
状態の場合、1データ・ビットが入力される入力回路と、

前記同期ダイナミック・ランダムアクセスメモリの前記蓄積セルの行へ、書き込みまた
は読み出しアクセスをするための行アドレスデコーダと、

前記第一のアドレス制御信号にตอบสนองして、第一のアドレス信号をラッチし、ラッチされ
た第一のアドレス信号を前記行アドレスデコーダへ供給する行アドレス回路と、

前記同期ダイナミック・ランダムアクセスメモリの前記蓄積セルの列へ、書き込みまた
は読み出しアクセスをするための列アドレスデコーダと、

前記第二のアドレス制御信号にตอบสนองして、第二のアドレス信号をラッチし、ラッチされ
た第二のアドレス信号の最上位の数ビットを前記列アドレスデコーダへ供給する列アド
レス回路からなり、

前記データ制御選択信号が第一の状態の場合、前記同期ダイナミック・ランダムアクセ
スメモリにおいて、前記蓄積セルの前記行アドレスデコーダと列アドレスデコーダの
指定するアドレスに、データ・ビットが前記入力回路から書き込まれ、前記入力回路にお
いて、前記ラッチされた第二のアドレス信号の前記最上位の数ビットを除いた最下位の数
ビットが前記第一のデータ制御信号により決定されるカウント数システムクロック信号に
ตอบสนองしてカウントされるとともに前記第二のデータ制御信号により決定されるアドレス・
シーケンスが生成され、前記所定数のデータ・ビットが前記アドレス・シーケンスにした
がって入力される、

同期ダイナミック・ランダムアクセスメモリ。

【請求項17】

前記第二のデータ制御信号が第一の状態にあるとき、前記所定数のデータ・ビットのアド
レス・シーケンスが連続順序であり、前記第二のデータ制御信号が第二の状態にあると
き、前記所定数のデータ・ビットのアドレス・シーケンスがインターリーブ順序である、
請求項16に記載の同期ダイナミック・ランダムアクセスメモリ。

【請求項18】

前記入力回路が、前記アドレス・シーケンスに従って前記同期ダイナミック・ランダム
アクセスメモリの蓄積セルへ前記所定数のデータ・ビットを供給する入力選択回路を有す
る、請求項16または17に記載の同期ダイナミック・ランダムアクセスメモリ。

【請求項19】

前記列アドレス回路が前記ラッチされた第二のアドレス信号の少なくとも1ビットを蓄
積する列アドレスカウンタを有し、前記データ制御選択信号が第一の状態の場合、前記ア
ドレス・シーケンスの最中、前記列アドレスカウンタがシステムクロック信号にตอบสนองして
カウントされる、請求項16、17または18に記載の同期ダイナミック・ランダムアクセ
スメモリ。

【請求項20】

前記データ制御選択信号が第一の状態の場合に、前記システムクロック信号が前記列ア
ドレスカウンタにカウントクロックとして供給される請求項19に記載の同期ダイナミッ
ク・ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明はデータプロセッシングシステムで動作するランダムアクセスメモリ（RAM）に
関する。

【0002】

【従来の技術】

従来半導体のランダムアクセスメモリは関連するマイクロプロセッサよりも動作が速かつ
た。1970年代の後半および1980年代の前半に、マイクロコンピュータの市場は開

10

20

30

40

50

発の初期の段階であった。当時、マイクロコンピュータシステムはマイクロプロセッサとダイナミック・ランダムアクセスメモリを含んでいた。マイクロコンピュータシステムでは、マイクロプロセッサはクロック信号と同期して動作したが、ダイナミック・ランダムアクセスメモリはマイクロプロセッサの動作とは同期していなかった。

【0003】

マイクロプロセッサのクロックが、マイクロプロセッサとダイナミック・ランダムアクセスメモリとを結ぶコントローラ回路に使われた。マイクロプロセッサのクロック信号にตอบสนองして、コントローラはダイナミック・ランダムアクセスメモリを動作させる他の制御信号やクロック信号を得ていた。

【0004】

一般にマイクロプロセッサとダイナミック・ランダムアクセスメモリの動作速度は異なっていた。マイクロプロセッサのサイクルタイムは400 - 500ナノ秒の範囲であったが、ダイナミック・ランダムアクセスメモリのサイクルタイムは約300ナノ秒であった。従ってダイナミック・ランダムアクセスメモリは関連するマイクロプロセッサよりも速く動作できた。メモリは全てのタスクを終えてもまだ余裕があった。従ってマイクロプロセッサはメモリがデータを書き込んだり読み出したりするのを待つことなく、最適の速度で動作した。

【0005】

半導体技術が進歩するにつれて、マイクロプロセッサとメモリ装置の動作速度は増加した。しかし、マイクロプロセッサの速度の増加はダイナミック・ランダムアクセス・メモリの速度の増加より急速であった。現在のマイクロプロセッサは関連するダイナミック・ランダムアクセスメモリよりも速く動作する。例えばマイクロプロセッサのサイクルタイムは約40ナノ秒で、ダイナミック・ランダムアクセスメモリのサイクルタイムは約120ナノ秒である。マイクロプロセッサは全てのタスクを終えた後も、ダイナミック・ランダムアクセスメモリをかなりの時間待たなければならない。

【0006】

マイクロプロセッサがメモリを待たなければならないことは、多くのマイクロコンピュータの設計者の注意をひいてきた問題である。高速のスタティック・キャッシュメモリがコンピュータシステムに加わって、メモリに記憶されているデータにアクセスする時間は速くなった。問題の大部分は、マイクロコンピュータシステムのコストを余り増加させずにメモリのデータにアクセスする時間を早めることである。しかしキャッシュメモリはダイナミック・ランダムアクセスメモリよりもかなり高価である。

【0007】

【発明が解決しようとする課題】

現在ダイナミック・ランダムアクセスメモリ装置の問題は、いくつかの制御信号を発生するためにマイクロプロセッサとメモリとの間にかかなりの周辺回路を必要とすることである。周辺回路の中では多くの相互に関係する制御信号が長い論理連鎖の後に発生するので、マイクロコンピュータシステムの設計者は非常に複雑なタイミングの問題を解決しなければならない。タイミングの問題のために遅れが生じることと、現在ではメモリのアクセス時間がマイクロプロセッサに比べて遅いことのために、マイクロコンピュータシステムの動作に大きな時間遅れを生じることが問題となっている。

【0008】

【課題を解決するための手段】

この種の問題を解決するには、ランダムアクセスメモリがシステムクロック信号に直接ตอบสนองして、関連するデジタルプロセッサと同期して動作するようにすればよい。同期ランダムアクセスメモリは、同期ランダムアクセス動作に加えて、更に同期バーストモードまたは同期ラップモードでデータを書き込んだり読み出したりするようになっている。このような同期ランダムアクセスメモリ装置はダイナミックな記憶装置としてもスタティックな記憶装置としても作れる。

【0009】

10

20

30

40

50

デジタルプロセッサからの制御信号は各種のメモリ動作を制御するのに用いられる。または、デジタルプロセッサはシステムクロックとして用いられるクロック信号を処理して、デジタルプロセッサおよび同期ランダムアクセスメモリを共に動作させてもよい。デジタルプロセッサはマイクロプロセッサでもよい。

【0010】

【実施例】

図1においてデータプロセッシングシステム15は、バス17を経て入力周辺装置24からデジタルデータを受けるデジタルプロセッサ20を含む。デジタルプロセッサ20はマイクロプロセッサでよい。制御信号は制御バス18を経てデジタルプロセッサ20と入力周辺装置24の間を往来する。デジタルプロセッサ20はこのデータやその他のデータを処理し、それらは全てデータバス25を経て伝送され、同期記憶装置に記憶されたり取り出されたりする。

10

【0011】

デジタルプロセッサ20はまた出力データバス32を経て出力データを出力周辺装置40に送り、ここで出力データは表示されたり、図示していない他の装置の読み出し、チェック、制御のために用いられったりする。制御信号は制御バス60を経て、デジタルプロセッサ20と同期メモリ装置30との間で伝送される。

【0012】

制御信号はまた制御バス62を経て、デジタルプロセッサ20と出力周辺装置40との間で伝送される。システムクロック信号はシステムクロック装置65で生成され、クロックリード線67を通してデジタルプロセッサ20、同期メモリ装置30、入力周辺装置24、出力周辺装置40に送られる。

20

【0013】

データプロセッシングシステム15の動作中随時に、デジタルプロセッサ20は同期メモリ30にアクセスして記憶セルにデータを書き込んだり、記憶セルからデータを読み出したりする。デジタルプロセッサ20が生成する記憶セルの行アドレスと列アドレスは、アドレスバス45を通して同期メモリ30に送られる。データはデータバス25を通してデジタルプロセッサ20から同期メモリ30に書き込まれ、また同期メモリ30からデジタルプロセッサ20に読み出される。

【0014】

デジタルプロセッサ20によって生成され制御バス60を通して同期メモリ30に送られる制御信号は、行アドレス制御信号RE(バー)、列アドレス制御信号CE(バー)、書き込み信号WE(バー)、バースト信号BT(バー)、バースト方向信号+/-、ラップ選択信号WP(バー)、ラップタイプ信号WT、ラップ長信号WLなどを含む。制御信号は同期メモリ30からデジタルプロセッサ20に送られてもよい。

30

【0015】

図2において同期ランダムアクセスメモリ30は、アドレス可能な行および列に配列された金属酸化膜半導体(MOS)のダイナミック記憶セルのメモリ配列75を含む。記憶セルのメモリ配列75はダイナミック・ランダムアクセスメモリ装置で用いられるよく知られたセルの配列と同様である。メモリ配列75を製作するには、相補形金属酸化膜半導体(CMOS)かバイポーラ相補形金属酸化膜半導体(BICMOS)技術を用いてよい。

40

【0016】

図2に他のいくつかの回路ブロックを示す。これらの他の回路ブロックは、共通のシステムクロック信号CLKに応答して図1のデジタルプロセッサ20と同期して記憶セル配列を動作させるように設計され配列されており、後で図20で述べるようにシステムクロック信号CLKはデジタルプロセッサでゲートしてよい。記憶セル配列以外の回路ブロックはCMOSまたはBICMOS回路で製作してよい。

【0017】

同期ランダムアクセスメモリ30は、同期ランダムアクセス読み出しまたは書き込み動作、同期バースト読み出しまたは書き込み動作、同期ラップ読み出しまたは書き込み動作が

50

できる。全タイプの同期動作については以下に詳しく述べる。この説明は図3 - 図5および図7 - 図17のタイミング図および真理値表を参照して行う。タイミング図では、無関係(DON'T CARE)状態をクロスハッチで示す。

【0018】

同期ランダムアクセス読み出し動作を示す図3および図2で、Nビット幅の行アドレスおよび行アドレス制御信号RE(バー)がアドレスバス45およびリード線46に送られる。信号RE(バー)などの制御信号はアクティブ低位信号である。リード線47の書き込み信号WE(バー)はクロックサイクルタイム2では高位で、読み出し動作を指定する。

【0019】

同期読み出し動作は、信号時間1のシステムクロック信号CLKの立ち下がり端で始まる。この例示の実施態様では、システムクロックはサイクルタイム1、2、3、...などでクロックパルスの負方向端に同期して動作タイミングをとる。ここに図示しない他の実施態様では、クロックパルスの正方向端または負方向端と正方向端の両方で動作タイミングをとってよい。

10

【0020】

システムクロックCLKが負方向端であり、行アドレスがクロックサイクルタイム1で入り、行アドレス制御信号RE(バー)が低位であれば、行アドレスは行アドレスバッファ48にラッチされる。

【0021】

例示の実施態様ではアドレスバスはNビット幅なので、このバスは行アドレスと列アドレスとで時分割される。行アドレスを行アドレスバッファ48にラッチした後のクロックサイクルタイム2中に、列アドレスがアドレスバス45に送られる。クロックサイクルタイム2で列アドレス制御信号CE(バー)が低位で、かつ書き込み信号WE(バー)が高位のとき、システムクロックが低位になって列アドレスを列アドレスバッファ49にラッチする。

20

【0022】

列アドレスを列アドレスバッファにラッチすると同時に、行アドレスは行アドレスデコーダ50でデコードされる。行アドレスデコーダ50は二進数の行アドレスを2Nから1の選択にデコードする。2Nから1の選択の結果、アクティブ信号が選択された一つの行の語線に入る。この語線は以後のランダムアクセス読み出し動作中、選択されたままになっている。

30

【0023】

ロード開始アドレス信号LIAはシステムクロックCLKの次の負方向端で、1グループのロードカウンタ伝送ゲート51により開始列アドレスを列アドレスカウンタ52の上位カウンタ部と下位カウンタ部に移す。列アドレスの最上位数ビットは上位カウンタ部にラッチされ、列アドレスの最下位数ビットは列アドレスカウンタ52の下位カウンタ部59にラッチされる。

【0024】

列アドレスカウンタ52のアドレスビットは全て開始列アドレスで、メモリ配列に送られて読み出し動作を行う。ここに述べる動作は同期ランダムアクセス動作なので、開始列アドレスは読み出し動作中にメモリ配列に送られる唯一の列アドレスである。

40

【0025】

開始列アドレスの最上位数ビットは上位カウンタ部58からゲート53を通過して列アドレスデコーダ54に入り、メモリ配列の記憶セルのM列を選択し、メモリ配列からデータを読み出す。これらの列アドレスの最上位数ビットは列アドレスデコーダ54でデコードされ、メモリ配列75中の記憶セルのM列のブロックを使用可能にする。

【0026】

データビットはM個の記憶セルのグループから読み出される。このM個の記憶セルは、デコードされた列アドレスの一部、すなわち列アドレスのデコードされた最上位数ビットによって決定される。これらのM個のデータビットはメモリ配列75からリード線のグルー

50

ブ55を通過して出力マルチプレクサOMUXに並列に伝送され、ここでラッチされ出力される。

【0027】

Mから1の選択は、列アドレスカウンタ52の下位カウント部59から出力マルチプレクサに制御信号が送られたとき、出力マルチプレクサOMUXによって行われる。下位カウント部59にある開始列アドレスの最下位ビットは、出力マルチプレクサOMUXにラッチされているビットのどれが、出力マルチプレクサを通過してデータバス25のリード線にゲートされるMから1のビットであるかを決定する。

【0028】

図4および図2の同期ランダムアクセス書き込み動作において、行のアドレッシングと列のアドレッシングは同期ランダムアクセス読み出し動作と同様であるが、クロックサイクルタイム2で書き込み信号WE(バー)が低位のときに同期ランダムアクセス書き込み動作を指定する。行デコーダ50からのデコードされた行アドレスは、メモリ配列75の記憶セル中の1行を使用可能にする。

10

【0029】

列デコーダ54でデコードされた列アドレスの最上位ビットは、配列中のM列リードのブロックを使用可能にする。アドレスされた行とアドレスされたM列の組とのアドレスされた交点で選択された記憶セルの組は、書き込みデータを受けることが可能になる。列アドレスの最下位ビット(列アドレスカウンタ52の下位カウント部59にある)は、入力マルチプレクサOMUXに送る制御信号を決定し、データバス25のMから1のビットのどれを入力マルチプレクサOMUXを通してメモリ配列75に書き込むかを決定する。

20

【0030】

このMから1のビットは、メモリ配列75中の記憶セルの選択された列ブロックの関連する列のリード線に送られる。データ中のこのビットは、行アドレスと開始列アドレスによって選択されたアドレスにある記憶セルに書き込まれる。選択されたM列の組の中の他のM-1ビットのデータはメモリ配列75に書き込まれない。というのは、入力マルチプレクサOMUXは、これらのM-1ビットをメモリ配列75の関連した列線に送らないからである。

【0031】

同期読み出し動作または同期書き込み動作に続くメモリ配列の次の動作は、他の同期ランダムアクセス動作、すなわち同期読み出し動作または同期書き込み動作であってよい。同じ行アドレスと列アドレスかまたは別の行アドレスと列アドレスを用いて、次のアクセスのために記憶セルを選択してよい。同期バーストまたは同期ラップ動作も同期ランダムアクセス読み出しまたは書き込み動作の後に行ってよい。

30

【0032】

上に述べた同期読み出しまたは書き込み動作において例示した実施態様は、行アドレスおよび列アドレスで時分割されたNビット幅のアドレスバス45を含む。図示はしていないが他の有用な実施態様では、アドレスバスが十分に広くて行アドレスと列アドレスとを同時に平行に加えてよい。その結果、両アドレスはそれぞれのアドレスバッファ、すなわち行アドレスバッファ48と列アドレスバッファ49に同時にラッチされる。その他の点では、同期ランダムアクセス読み出しおよび書き込み動作はすでに述べたように進行する。

40

【0033】

同期ランダムアクセス書き込み動作では、行アドレスおよび列アドレスはデータがラッチされる前かまたは同時にラッチされてよい。

【0034】

同期ランダムアクセス読み出しおよび書き込み動作に加えて、図1および図2の実施態様では同期バースト読み出し動作および同期バースト書き込み動作を実行できる。

【0035】

同期バースト読み出し動作では1グループのビットが、メモリ配列75中の記憶セルの共通の行に沿って、一連の列アドレスから迅速に読み出される。一連のアドレスは列アドレ

50

スの昇順（アップ）でもよいし列アドレスの降順（ダウン）でもよい。

【 0 0 3 6 】

一連の列アドレスの方向すなわち極性は、リード線 5 6 のバースト方向信号 + / - によって決定される。バーストの長さすなわちバースト中のビット数は、図 1 のデジタルプロセッサ 2 0 がリード線 5 7 に送る低位バースト選択信号 B T（バー）の持続時間によって決定される。バースト選択信号 B T（バー）が高位になれば、同期バースト読み出し動作は終る。

【 0 0 3 7 】

一般に同期バースト読み出し動作は、ランダムアクセス読み出し動作と同様である。若干の違いはあるが、それは以下の同期バースト読み出し動作の説明で明らかになる。冗長な説明を省いて違いを十分に説明するために、同様な動作の説明は最少限にする。

【 0 0 3 8 】

次に図 5 は、図 2 の同期メモリ装置 3 0 の同期バースト昇順読み出し動作のタイミング図を示す。行アドレス制御信号 R E（バー）とバースト選択信号 B T（バー）は、クロックサイクルタイム 1 でアクティブ低位になり、動作を開始する。バースト方向信号 + / - は高位で、一連の列アドレスが増分のシーケンスであることを示す。

【 0 0 3 9 】

クロックサイクルタイム 1 で、行アドレスが行アドレスバッファ 4 8 にラッチされる。クロックサイクルタイム 2 で、開始列アドレスが列アドレスバッファ 4 9 にラッチされる。書き込み信号 W E（バー）は高位で、これは読み出し動作を示す。行アドレスは行アドレスデコーダ 5 0 でデコードされ、メモリ配列 7 5 中の記憶セルの行を選択する。ロード開始アドレス信号 L I A が来ると、開始列アドレスの最上位数ビットはゲート 5 1 を通って列アドレスカウンタ 5 2 の上位カウンタ部 5 8 にゲートされ、また同じアドレスの最下位数ビットは列アドレスカウンタ 5 2 の下位カウンタ部 5 9 にゲートされる。

【 0 0 4 0 】

最上位数ビットは列アドレスデコーダ 5 4 でデコードされ、M 列を 2 ブロック選択してメモリ配列 7 5 から読み出す。これらの列から 1 つが選択され、データバス 2 5 の所望の一連のビットの開始ビットとして、そのビットは出力マルチプレクサ O M U X を通して送られる。

【 0 0 4 1 】

次に図 6 は、列アドレスカウンタ 5 2 の上位カウンタ部 5 8 と下位カウンタ部 5 9 の詳細なブロック図を示す。開始アドレスがデコードされた後で、列アドレスカウンタ 5 2 の上位カウンタ部と下位カウンタ部は、カウンタクロック信号 C O U N T によって増分される。上位カウンタと下位カウンタは二進カウンタステージの連続したシリーズになっている。

【 0 0 4 2 】

図 2 に示すようにゲート 5 1 にロード開始アドレス信号 L I A が来ると、列アドレスカウンタ 5 2 の上位カウンタ部と下位カウンタ部に開始列アドレスを送る。列アドレスシーケンスが昇順か降順かはバースト方向信号 + / - によって決まる。図 6 に最下位ビットカウンタステージ L S B と最上位カウンタステージ M S B を示す。上位カウンタ部 5 8 は、下位カウンタ部 5 9 を形成する $\log_2 (2 M)$ 個の最下位ビットカウンタステージを除く全てのカウンタステージを含む。

【 0 0 4 3 】

開始列アドレスがデコードされた後の開始バースト昇順読み出し動作では、上位カウンタ部 5 8 と下位カウンタ部 5 9 にあるアドレスはクロック信号 C O U N T の制御の下に増分される。上位カウンタ部 5 8 と下位カウンタ部 5 9 に生成される次のアドレスは、開始列アドレスより 1 大きい。次の一連のビットは出力マルチプレクサ O M U X を通って、このようにアドレスされたメモリの記憶セルの列から伝送される。

【 0 0 4 4 】

メモリ配列 7 5 中の記憶セルの M 列の第 1 ブロックと次に続く M 列の高次のブロックは、

10

20

30

40

50

列アドレスデコーダ54によって同時にアドレスされる。ビットは出力マルチプレクサOMUXを通して、第1ブロックから伝送される。一方、M列の第2ブロックからのビットはメモリ配列からアクセスされて、出力マルチプレクサOMUXに送られる。

【0045】

アドレスの第1組がなくなると一連のアドレスはM個のアドレスの第2組へと続くが、M個のアドレスの第3組が第1組に代わって出力マルチプレクサに送られる。このようにアドレスの組を昇順に一つおきすることによって、ビットの所望のバーストはメモリ配列75から読み出される。

【0046】

このようにアドレスの組を一つおきにしてビットの所望のシーケンスを選択することによって、データは出力マルチプレクサOMUXを通して連続した流れとなつてデータバス25に読み出され、図1のデジタルプロセッサ29から各アドレスが与えられるのを待つ必要がない。出力マルチプレクサOMUXから伝送されるデータの一連のビットは、システムクロックCLKと同じ速度で連続して流れる。

10

【0047】

同期バーストモードでは、メモリ配列から読み出されるデータビットの数は、リード線57の低位アクティブバースト信号BT(バー)の持続期間によって決まる。バーストBT(バー)が高位になると、同期バースト読み出し動作は終る。

【0048】

同期バースト読み出し動作はまた、メモリ配列75中の一連の降順の列アドレスを持つ記憶セルからも行われる。この同期バースト降順読み出し動作は、いま説明した同期バースト昇順読み出し動作とは2つの点で異なる。

20

【0049】

同期バースト降順読み出し動作を示す図7および図2で、制御信号の唯一の違いはバースト方向信号+/-が低位であることで、これは列アドレスカウンタ52の上位カウント部と下位カウント部のカウントが計数クロックCOUNTのサイクル毎に減分されることを示す。アドレス可能なM列の第1組からのビットと、次に続くアドレス可能なM列の低次の組からのビットは、メモリ配列75から読み出されて出力マルチプレクサOMUXに送られる。

【0050】

ラップアドレススクランブラ61とリード線63を通して下位カウント部59から出力マルチプレクサOMUXに送られる降順の一連のアドレスに回答して、各ビットは出力マルチプレクサを通して伝送される。同期バースト動作ではラップアドレススクランブラにより、下位カウント部59からのアドレスをそのままマルチプレクサに伝送する。列アドレスカウンタのカウントはクロック信号COUNTが来ると減分されるので、出力マルチプレクサOMUXを通して伝送される一連のビットは、メモリ配列75中の一連の降順のアドレスを持つ列から読み出される。

30

【0051】

M個の列アドレスのブロックは、列アドレスカウンタ52の上位カウント部58にあるカウントによって選択される。列アドレスの一つおきの組からのビットは、列アドレスカウンタ52の下位カウント部59にあるカウントによって決まる個々の列のアドレスによって選択される。

40

【0052】

図8と図9はそれぞれ、図2の同期ランダムアクセスメモリ30の同期バースト昇順読み出しおよび同期バースト降順読み出し動作の別のタイミング図である。図8および図9のタイミング図と図5および図7のタイミング図との違いは、書き込み信号WE(バー)がクロックサイクルタイム2ではなくてクロックサイクルタイム1でサンプルされる点である。どちらのタイミングでも、同期ランダムアクセスメモリ30は十分に動作できる。

【0053】

今説明した同期バースト読み出し動作(昇順または降順)により、図1のデータプロセシ

50

ングシステムはバースト信号B T (バー)のアクティブ持続期間中、システムクロックC L Kのサイクル毎に1ビットの速度でデータビット(バースト)の全シーケンスをメモリ配列75中にある行から読み出すことができる。

【0054】

1つの行アドレスおよび開始列アドレスだけが、デジタルプロセッサ20から同期ランダムアクセスメモリ30に送られる。残りの一連の列アドレスは、システムクロックC L Kのサイクル毎に1つの新列アドレスの速度で、列アドレスカウンタ52により生成される。

【0055】

データプロセッシングシステム15のもう一つの重要な動作は同期バースト書き込み動作で、図1のデジタルプロセッサ20は行アドレスと開始列アドレスだけの一連のデータビットをデータバス25に連続したシステム時間中に送り、同期ランダムアクセスメモリ30のどこに記憶するかを決める。

10

【0056】

上位カウンタ部58と下位カウンタ部59は、開始列アドレスに続く一連の列アドレスを決める。システムクロックサイクルに同期して、データバス25の一連のデータビットはメモリ配列75のアドレスされた記憶セルに記憶される。

【0057】

次に図10は、図2のメモリ配列75に一連のデータビットを記憶するための同期バースト昇順書き込み動作のタイミング図を示す。この動作でデータビットは、同じ行アドレスと昇順の連続した列アドレスを持つ記憶セルに記憶される。

20

【0058】

図10に示すように、書き込み信号W E (バー)とバースト信号B T (バー)とは低位で、ラップ信号W P (バー)は高位である。これは同期バースト昇順書き込み動作なのでバースト方向信号+ / - は高位で、昇順の一連の列アドレスを生成する。行アドレス制御信号R E (バー)は低位なので、図2のタイミングおよび制御回路はシステムクロックサイクルタイム1の間は行アドレスラッチ信号X A Lを生成する。

【0059】

クロックサイクル2の間は列アドレス制御信号C E (バー)は低位なので、タイミングおよび制御回路はシステムクロックサイクルタイム2の間は列アドレスラッチ信号Y A Lを生成する。行アドレスと開始列アドレスは行および列のアドレスバッファ48および49にそれぞれラッチされ、バースト昇順書き込み動作を開始する。

30

【0060】

行アドレスは行デコーダ50によってデコードされる。開始列アドレスは列アドレスデコーダ52の上位および下位カウンタ部に伝送される。最上位数ビットは上位カウンタ部58に入り、最下位数ビットは下位カウンタ部59に入る。システムクロックサイクルタイム2の間は、データバス25の一連のデータビットは第1ビットから順に、システムクロックC L Kと同期して毎回1ビットずつ、連続して入力マルチプレクサI M U Xにラッチされる。

【0061】

データビットは、データバス25を通過してデータイン・ドライバ回路64に送られる。タイミングおよび制御回路42によって生成される書き込み可能信号W E Nにより、データはデータバスからデータイン・ドライバ64に送られる。またタイミングおよび制御回路42によって生成されるデータイン・ラッチ信号D I N Lは、データをデータバス25からデータイン・ドライバ64にラッチする。

40

【0062】

同期バースト動作では、上位カウンタ部58にある開始列アドレスの最上位数ビットは、デコードされてM列の2ブロックが選択される。下位カウンタ部59からの信号はラップアドレススクランブラ61の出力に出て、リード線66を経て入力マルチプレクサI M U Xの制御入力に入り、2Mから1のビットのどれをメモリ配列75中の記憶セルの関連す

50

る列に送るかを定める。

【 0 0 6 3 】

開始列アドレスの最下位数ビットはデコードされて 2 M から 1 の選択をし、開始列アドレスに関連するビットの 1 つがデータバス 2 5 から入力マルチプレクサ I M U X を通って伝送され、メモリ配列 7 5 に記憶される。行アドレスと開始列アドレスの交点にある記憶セルが第 1 の記憶場所である。

【 0 0 6 4 】

システムクロックの順次のサイクル毎に、列アドレスカウンタ 5 2 の上位および下位カウンタ部の二進カウントは共に増分される。システムクロックと同期してデータバス 2 5 から選択された後続のデータビットは、メモリ配列 7 5 中のアクセスされた行に沿って別個の記憶セルに順次記憶される。

10

【 0 0 6 5 】

クロック信号 C O U N T が来ると、列アドレスカウンタ 5 2 の下位カウンタ部および上位カウンタ部のカウントは増分され（バースト方向信号 + / - が高位なので）、データバス 2 5 からメモリ配列 7 5 の記憶セルの連続してアドレスされた列に後続のデータビットを送る。データビットのバーストと昇順の一連のアドレスの生成は、バースト選択信号 B T （バー）が高位に戻るまで続く。

【 0 0 6 6 】

次に図 1 1 は、図 2 のメモリ配列 7 5 中にデータビットを記憶するための同期バースト降順書き込み動作のタイミング図を示す。この動作は今述べた同期バースト昇順書き込み動作と同様である。行アドレス制御信号 R E （バー）が低位なので、図 2 のタイミングおよび制御回路 4 2 は行アドレスラッチ信号 X A L を生成し、システムクロックサイクルタイム 1 の間は行アドレスをラッチする。

20

【 0 0 6 7 】

システムクロックサイクルタイム 2 の間は列アドレス制御信号 C E （バー）が低位なので、タイミングおよび制御回路 4 2 は列アドレスラッチ信号 Y A L を生成し、このシステムクロックサイクルの間は開始列アドレスをラッチする。

【 0 0 6 8 】

しかし前に述べた同期バースト昇順書き込み動作とは異なりバースト方向信号 + / - は低位で、列アドレスカウンタ 5 2 の上位および下位カウンタ部にあるアドレスをシステムクロック C L K のサイクル毎に減分する。このようにして一連の列アドレスは開始列アドレスから始まり、以降のシステムクロックサイクル毎に順次減少する。

30

【 0 0 6 9 】

データバス 2 5 からのデータビットは入力マルチプレクサ I M U X を通り、メモリ配列 7 5 中のある行に沿って、順次減少するアドレスの列の記憶セルに書き込まれる。

【 0 0 7 0 】

図 1 2 および図 1 3 は、それぞれ図 2 の同期ランダムアクセスメモリ 3 0 の同期バースト昇順書き込みおよび降順書き込み動作の別のタイミング図である。図 1 2 および図 1 3 のタイミング図と図 1 0 および図 1 1 のタイミング図との違いは、書き込み信号 W E （バー）が、クロックサイクルタイム 2 ではなくてクロックサイクルタイム 1 でサンプルされる点である。どちらのタイミングでも、同期ランダムアクセスメモリ 3 0 は十分動作できる。

40

【 0 0 7 1 】

今説明した同期バースト書き込み（昇順または降順）動作により、図 1 のデータプロセッシングシステムはバースト信号 B T （バー）のアクティブな継続期間中、システムクロック C L K のサイクル毎に 1 ビットの速度で、データビット（バースト）の全シーケンスをメモリ配列 7 5 中のある行に書き込むことができる。

【 0 0 7 2 】

1 つの行アドレスおよび開始列アドレスだけが、デジタルプロセッサ 2 0 から同期ランダムアクセスメモリ 3 0 に送られる。残りの一連の列アドレスは、システムクロック C L K

50

のサイクル毎に1つの新列アドレスの速度で、列アドレスカウンタ回路52により生成される。

【0073】

次に図14は、図2の同期ランダムアクセスメモリの同期ラップ読み出し8ビット動作のタイミング図を示す。メモリ配列75中の1つの行から、8ビットのデータが、シングル行、および列アドレスカウンタ52の上位カウンタ部58にラッチされている開始列アドレスにより選択された列から読み出される。

【0074】

行のアドレッシングと開始列のアドレッシングは前に述べたように行われる。システムクロックサイクルタイム1の間にゲート53にラップ制御信号WRAPが入ると、開始列アドレスが列アドレスデコーダに送られ、データがメモリ配列75の列から読み出される。

10

【0075】

列アドレスカウンタ52の下位カウンタ部59にラッチされている開始列アドレスの最下位数ビットで選択され、次の変換によって変形されて、このデータは出力マルチプレクサOMUXを通して出る。開始列アドレスの最下位数ビットは、ラップアドレススクランブラおよびマルチプレクサ61が発生する一連のアドレスに変換される。

【0076】

図15はラップアドレススクランブラおよびマルチプレクサが行う変換プロセスの論理を示す表1である。表1に示すように、ラップ長信号WLはゼロ($WL = 0$)である。表の列の見出しは入力で、開始列アドレスA0、A1、A2の最下位3ビットを含む。ラップタイプ信号WTは低位($WT = 0$)または高位($WT = 1$)のどちらでもよい。

20

【0077】

真理値表の各ラインは、列アドレスカウンタ52にある開始列アドレスからの最下位3ビットによってラップアドレススクランブラ61が生成する一連の出力アドレスを示す。ラップアドレススクランブラ61はシステムクロック信号CLKに同期して、各ラップタイプWTのシーケンスを生成する。

【0078】

一番上のラインのラップタイプ信号WTがゼロ($WT = 0$)で開始アドレスA0 = 0、A1 = 0、A2 = 0の場合は、ラップアドレススクランブラが生成する一連のアドレスは0、1、2、3、4、5、6、7である。開始入力アドレスから一連の出力アドレスへの変換は、例えばルックアップテーブルなどいろいろな方法で行われる。

30

【0079】

ラップアドレススクランブラ61からの出力アドレスは、出力マルチプレクサOMUXからの同様に順序付けられた出力をアクセスする。出力マルチプレクサにラッチされるのは8ビットだけなので、データバス25にビットを読み出すために生成され用いられるのは8アドレスだけである。

【0080】

ラップタイプ信号が1($WT = 1$)であれば、一連のアドレスは一番右の列に示す順序で起こる。例えばラップタイプ信号WT = 1で開始列アドレスの最下位3ビットがA0 = 0、A1 = 1、A2 = 0であれば、出力マルチプレクサに入るアドレスの順番は2、3、0、1、6、7、4、5である。いわゆる出力マルチプレクサポジションからのビットは、この順序で図2のデータバス25に読み出される。

40

【0081】

次に図16と図17は、同期ラップ読み出し動作のタイミング図と真理値表を示すが、図14および図15の動作では8ビットが読み出されたのに対して、ここでは4ビットが読み出される。4ビットのラップ読み出し動作では、ラップ長信号は1($WL = 1$)である。出力マルチプレクサから読み出されるのは4ビットだけなので、最下位開始列アドレス2ビットのA0およびA1だけを与えて出力の順序を選択する。

【0082】

ラップタイプはラップタイプ信号WTの状態によって選択され、出力マルチプレクサから

50

データバス 25 に読み出すアドレスの順序が決まる。ラップアドレススクランブラおよびマルチプレクサ 61 は、図 17 に示す表 II に従って開始剤アドレスの最下位 2 ビットを所望のラップシーケンスに変換する。

【 0 0 8 3 】

今説明した同期ラップ読み出し (8 ビットまたは 4 ビット) 動作により、図 1 のデータプロセッシングシステムは、アクセスした最初のビットの列アドレスによって規定された順序でデータビットの 1 グループをメモリ配列 75 中のある行から読み出すことができる。選択された 8 ビットまたは 4 ビットが読み出されるまで、このビットのグループはシステムクロック CLK のサイクル毎に 1 ビットの速度で読み出される。

【 0 0 8 4 】

1 つの行アドレスおよび開始列アドレスだけがアドレスバスを通過してデジタルプロセッサ 20 から同期ランダムアクセスメモリ 30 に送られる。残りの列アドレスのグループは、列アドレスカウンタ回路 52 とラップアドレススクランブラおよびマルチプレクサ 61 によって、システムクロック CLK のサイクル毎に 1 つの新列アドレスの速度で生成される。

【 0 0 8 5 】

同様な同期ラップ書き込み動作は低位アクティブ書き込み信号 WE (バー) が入ることによっても可能になり、動作を開始する。

【 0 0 8 6 】

再び図 6 において、開始列アドレスは列アドレスカウンタ 52 のステージに並列に入りラッチされる。バースト方向信号 + / - は全てのステージに入り、クロック信号 COUNT のサイクル毎にカウントを増分するか減分するかを決める。クロック信号 COUNT も全てのステージに入る。

【 0 0 8 7 】

列アドレスカウンタ 52 の各ステージは、両側の隣接したステージに相互に接続されている。カウントを増分させるための接続線と、カウントを減分させるための別の接続線が、隣接ステージの間にある。

【 0 0 8 8 】

図 18 は列アドレスカウンタ 52 の 1 ステージ K を詳細に示す。ステージ K の上部には 2 つの端子があり、列アドレスカウンタ 52 の次の高次ステージ K + 1 と接続されている。キャリーアウト減分端子 CO - とキャリーイン減分端子 CI - は隣接のステージ K + 1 と接続されている。ステージ K の下部には次の低次のステージ K - 1 と接続されている 2 つの端子がある。キャリーイン増分端子 CI + とキャリーアウト増分端子 CO + は隣接のステージ K - 1 と接続されている。

【 0 0 8 9 】

開始アドレスデータはデータ入力端子 D に入る。バースト方向信号 + / - は増分 / 減分端子 + / - に入る。クロック信号 COUNT はクロック入力端子 C に入り、出力アドレス (メモリ配列 75 と入力および出力マルチプレクサに送られる) は出力端子 Q から出る。

【 0 0 9 0 】

再び図 6 において、ラップアドレススクランブラ 73 には、列アドレスカウンタ 52 の下位カウント部 59 から 3 入力 74 が入る。

【 0 0 9 1 】

図 6 で同期ランダムアクセスおよび同期バースト動作では、これらの 3 入力は 3 出力 76、77、78 となって直接出る。出力 77、78 は入力マルチプレクサ IMUX と出力マルチプレクサOMUX に直接入って制御する。

【 0 0 9 2 】

出力 76 はマルチプレクサ 74 に入り、同期バースト動作として入力マルチプレクサ IMUX と出力マルチプレクサOMUX に信号を送る。同期ランダムアクセスと同期バースト動作では、列アドレスカウンタ 52 内のカウントの最下位数ビットが入力および出力マルチプレクサに直接入って制御する。

10

20

30

40

50

【 0 0 9 3 】

同期ラップ動作では、ラップアドレススクランブラ 7 3 とマルチプレクサ 7 4 は列アドレスの最下位ビットを所望の一連のアドレスに変換し、入力マルチプレクサ I M U X と出力マルチプレクサ O U M X からビットを読み出す。4 ビットラップ長を除いて、ラップ長信号 W L は常にアクティブである。

【 0 0 9 4 】

次にラップ長信号 W L はリード線 7 6 の信号を断ち、リード線 7 7 と 7 8 からは列アドレスカウンタからのアドレスビットを、またマルチプレクサ 7 4 からはゼロを、入力マルチプレクサ I M U X および出力マルチプレクサ O M U X に送る。ラップアドレススクランブラは表 1 および表 2 に従ってリード線 7 7 と 7 8 に所望の一連のビットを生成する。

10

【 0 0 9 5 】

図 2 でマスクレジスタ 9 3 には、データバス 2 5 からコード化されたマスクデータが入り記憶される。システムクロック信号 C L K が入ると、マスクレジスタ 9 3 はマスクデータを送ってカウント制御回路 9 4 の動作を制御する。

【 0 0 9 6 】

カウント制御回路 9 4 は、バースト制御信号 B U R S T、ラップ制御信号 W R A P、マスクデータ、システムクロック C L K を受けてクロック信号 C O U N T を生成し、列アドレスカウンタ 5 2 とラップアドレススクランブラおよびマルチプレクサ 6 1 の動作を制御する。

【 0 0 9 7 】

図 2 のタイミングおよび制御回路 4 2 は、行アドレス制御信号 R E (バー)、列アドレス制御信号 C E (バー)、書き込み信号 W E (バー)、バースト信号 B T (バー)、バースト方向信号 + / -、ラップ選択信号 W P (バー)、ラップタイプ信号 W T、ラップ長信号 W L、システムクロック信号 C L K を受けて制御信号を生成する。この制御信号は、行および列アドレスラッチング信号 X A L および Y A L、ラッチ開始アドレス信号 L I A、書き込み可能信号 W E N、データイン・ラッチ信号 D I N L、バースト制御信号 B U R S T、ラップ制御信号 W R A P などである。

20

【 0 0 9 8 】

図 2 のタイミングおよび制御回路 4 2 では、制御バス 6 0 からの信号は全てリード線 6 7 のクロック信号 C L K によってゲートされ、信号 X A L、Y A L、L I A、W E N、D I N L、B U R S T、W R A P などの同期ランダムアクセスメモリ 3 0 内の制御信号は全てシステムクロック信号 C L K に同期する。

30

【 0 0 9 9 】

この特徴により、同期ランダムアクセスの諸機能はこのクロックと同期する。同期ランダムアクセスメモリ 3 0 外のどの論理回路も、制御バス 6 0 に送られる各種の信号間の複雑なタイミング関係を考慮する必要がない。

【 0 1 0 0 】

次に図 1 9 に、図 2 のタイミングおよび制御回路 4 2 のゲート 1 0 1 の例を示す。図 1 9 で、行アドレス制御信号 R E (バー) はシステムクロック信号 C L K によってゲートされる。すなわちシステムクロック信号 C L K のパルスの負方向端でサンプルされる。ゲート 1 0 1 の出力は行アドレスラッチ信号 X A L である。

40

【 0 1 0 1 】

図 2 0 はゲート 1 0 1 の動作のタイミング図である。図 2 0 に示すように、出力行アドレスラッチ信号 X A L は、行アドレス制御信号 R E (バー) が低位のときに、システムクロックサイクルタイム 2 でシステムクロック C L K の負方向端によってアクティブになる。行アドレス制御信号 R E (バー) の負方向端のタイミングは、システムクロック信号 C L K の負方向端でこの信号が低位である限りは無関係である。

【 0 1 0 2 】

同様に他の内部制御信号は全て、システムクロック信号 C L K の負方向端において、制御バス 6 0 の外部制御信号のサンプルされたレベルに応答する。

50

【 0 1 0 3 】

次に図 2 1 は、図 2 のカウント制御ブロック 9 4 内でバースト制御信号 B U R S T、ラップ制御信号 W R A P、システムクロック信号 C L K に応答し、カウントクロック信号 C O U N T を生成する回路 1 0 2 の例を示す。

【 0 1 0 4 】

図 2 1 において、アクティブな高信号 B U R S T と W R A P がオアゲート 1 0 3 に入り、システムクロック信号をゲートするための信号 C O U N T E N A B L E を生成する。ゲート 1 0 4 は、バースト制御信号 B U R S T がラップ制御信号 W R A P がアクティブ高位のときにシステムクロック信号 C L K を伝送する。

【 0 1 0 5 】

図 2 のタイミングおよび制御回路 4 2 はバースト制御信号 B U R S T とラップ制御信号 W R A P を生成する。バースト制御信号 B U R S T とラップ制御信号 W R A P は通常は低位であり、高位でアクティブになる。バースト制御信号 B U R S T とラップ制御信号 W R A P の開始端はシステムクロック信号 C L K の負方向端と一致する。バースト制御信号 B U R S T とラップ制御信号 W R A P が一度アクティブになると、それぞれの動作中はアクティブのままである。

【 0 1 0 6 】

カウントクロック信号 C O U N T はシステムクロック C L K と同期するクロックパルス列で、信号 B U R S T が信号 W R A P がアクティブの間は続く。バースト方向信号 + / - の状態に応じて、カウントクロック信号 C O U N T のパルスは列アドレスカウンタ 5 2 中に
ある列アドレスを増分または減分させる。

【 0 1 0 7 】

次に図 2 2 において、タイミング図は図 2 1 のカウント信号ゲート配列 1 0 2 の動作例を示す。内部制御信号 C O U N T E N A B L E はシステムクロックサイクルタイム 2 の前に高位アクティブになり、システムクロックサイクルタイム 3 の後まで高位アクティブのままである。

【 0 1 0 8 】

制御信号 C O U N T E N A B L E の制御の下で図 2 1 のゲート 1 0 4 を通ってシステムクロック信号 C L K をゲートした結果、カウントクロック信号 C O U N T はゲートされ、システムクロック信号 C L K と同期してサイクルタイム 2 と 3 でパルスを生成する。

【 0 1 0 9 】

次に図 2 3 は選択およびゲート回路と共に配列した出力マルチプレクサ O M U X と入力マルチプレクサ I M U X のブロック図を示す。これはメモリ配列 7 5 からデータバス 2 5 へのデータビットの読み出しを制御し、またデータバス 2 5 からメモリ配列 7 5 へのデータビットの書き込みを制御するためのものである。

【 0 1 1 0 】

図 2 3 において、図 2 の列アドレスデコーダ 5 4 はブロックゲート回路 1 1 0 の 2 つのゲートを使用可能にすることによって 4 列の 2 ブロックを選択する。ブロックゲート回路に
出入りする各リード線は、1 データブロック当り 4 リード線である。一つ置き
のデータブロックすなわち偶数次ブロックは、偶数次バス 1 1 6 を通って出力イネーブルゲート 1 2
0 に接続される。出力イネーブルゲートは各ビットのリード線に別個のゲートを含み、書き込みイネーブル信号 W E N (バー) の補数が入ると動作する。

【 0 1 1 1 】

メモリ配列 7 5 からの奇数次ブロックも、奇数次バス 1 2 2 を通って出力イネーブルゲート 1 2 0 に接続される。出力イネーブルゲート 1 2 0 は 8 つの別個の出力レジスタ 1 2 4 に接続され、メモリ配列 7 5 から読み出された各データビットを記憶する。

【 0 1 1 2 】

図 2 3 において、変換回路 1 2 6 はラップアドレススクランブラおよびマルチプレクサ 6 1 からの列アドレスの最下位 3 ビットを 8 から 1 の選択コードに変換し、出力伝送選択ゲート回路 1 2 8 に送る。

10

20

30

40

50

【 0 1 1 3 】

8つの各出力レジスタ124に対して、個別の8から1の選択コードで制御される出力伝送選択ゲートがあり、この選択コードを出力伝送選択ゲート回路128に送って制御する。出力伝送選択ゲート128は1度に1つつ動作し、システムクロックに同期してデータビットを出力レジスタからデータバス25に送る。

【 0 1 1 4 】

更に図23において入力および出力マルチプレクサのバースト昇順読み出し動作では、図2の列アドレスカウンタ52中の列アドレスはクロック信号COUNTが来ると増分される。クロック信号COUNTの4サイクル毎に、2つの列アドレスデコーダ出力信号はそれぞれ1つつ上がる、すなわちnとn+1からn+1とn+2になる。これによりこれまで開いていた2つのゲートの1つが閉じ、これまで開いていた1つのゲートと1つの新しいゲート110が開く。

10

【 0 1 1 5 】

4つの出力レジスタ124に記憶されているデータビットは新しいデータブロックに変わり、データバス25へ読み出される。データが空になった4出力レジスタ124は、新しいデータを補充される。というのはメモリ配列75からの列アドレスの次の高次の組から、空になった出力列レジスタ124にデータを送るからである。

【 0 1 1 6 】

図23においてバースト降順読み出し動作では、列アドレスデコーダ54に入るアドレスの次数が減分中でない限り、今述べたように出力マルチプレクサOMUXは動作する。従ってクロック信号COUNTの4サイクル毎に、可能になる2つのデータブロックは次の低次の2データブロック、すなわち列の組nとn-1からn-1とn-2である。

20

【 0 1 1 7 】

更に図23においてラップ読み出し動作では、出力マルチプレクサOMUXは、開始アドレス選択が終るまで前述のバースト昇順読み出し動作と同様に動作する。8データビットがメモリ配列75から読み出され、8出力レジスタ回路124にラッチされる。その後は、データバス25に読み出される次数は2つの要因によって決まる。第1および第2要因はラップ長信号WLおよびラップタイプ信号WTである。

【 0 1 1 8 】

前に述べたようにこれらの2つの信号WLとWTの組み合わせにより、図6のラップアドレススクランブラ73は一連の可能化信号コードを生成して出力マルチプレクサOMUXの出力ゲート128に出力する。この一連の可能化信号コードが来ると、出力レジスタ124からの対応するビットは出力伝送選択ゲート128を通して、選択された順序でデータバス25に読み出される。

30

【 0 1 1 9 】

図23にはほぼ同様な配列が入力マルチプレクサIMUXにあり、データバス25からメモリ配列75にデータを書き込む。入力伝送選択ゲート130はラップアドレススクランブラおよびマルチプレクサ61からの8から1のコードによって選択的に可能になる。ビットは個別の入力レジスタ回路132に記憶される。

【 0 1 2 0 】

クロック信号COUNTが入って列アドレスの上位カウント部が増分または減分されるのに従って、記憶されたデータビットは4ビットのブロックでメモリ配列75の列の偶数および奇数次のブロックに伝送される。

40

【 0 1 2 1 】

次に図24に、デジタルプロセッサ220を含むデジタルプロセッシングシステム215を示す。これは図1のデータプロセッシングシステム15と同様であるが、システムクロック65がクロック信号を生成し、このクロック信号がリード線221を通してデジタルプロセッサ220に入る点が異なる。

【 0 1 2 2 】

デジタルプロセッサ220内で、クロック信号はゲートされまたは他の方法で処理されて

50

プロセッサクロック信号になり、これがリード線 2 2 2 を経て同期メモリ 3 0、入力周辺装置 2 4、出力周辺装置 4 0 に送られる。他の点では、データプロセッシングシステム 2 1 5 は図 1 および図 2 で説明したデータプロセッシングシステム 1 5 と同様に動作する。

【 0 1 2 3 】

これまでこの発明の例示の実施態様により、いくつかのデータプロセッシングシステムの配列を説明した。この説明から明かな他の実施態様は、特許請求の範囲に入るものと見なされる。

以上の説明に関して更に以下の項を開示する。

【 0 1 2 4 】

(1) 同期ランダムアクセスメモリをアクセスする方法において、
a) システムクロック信号を前記の同期ランダムアクセスメモリに送り、
b) 行アドレスと列アドレスによってアドレス可能なセル配列中の記憶セルの行を、前記のシステムクロック信号に同期してアドレスし、
c) 開始列アドレスを列アドレスカウンタに送り、
d) 前記の列アドレスカウンタにある最上位数ビットに応じて列のブロックをアクセスし、データビットを記憶セルの前記のアドレスされた行から出力マルチプレクサに、前記のシステムクロック信号に同期して読み出し、
e) 前記の列アドレスカウンタを前記のシステムクロック信号に同期してクロックすることにより、また得られた一連の列アドレスの最下位数ビットを前記の出力マルチプレクサに送ることによって、選択された一連のデータビットを前記の出力マルチプレクサを通して伝送し、前記の選択された一連のデータビットを前記の出力マルチプレクサを通してデータバスへ、前記のシステムクロック信号に同期して伝送することを制御する、
ステップを含む方法。

10

20

【 0 1 2 5 】

(2) バースト動作中にバースト増分信号を前記の列アドレスカウンタに送り、前記の列アドレスカウンタ中のアドレスを前記のシステムクロック信号のサイクル毎に増分するステップを更に含む、第 1 項記載の同期ランダムアクセスメモリをアクセスする方法。

【 0 1 2 6 】

(3) バースト動作中にバースト減分信号を前記の列アドレスカウンタに送り、前記の列アドレスカウンタ中のアドレスを前記のシステムクロック信号のサイクル毎に減分するステップを更に含む、第 1 項記載の同期ランダムアクセスメモリをアクセスする方法。

30

【 0 1 2 7 】

(4) 同期ランダムアクセスメモリをアクセスする方法において、
a) システムクロック信号を前記の同期ランダムアクセスメモリに送り、
b) 行アドレスと列アドレスによってアドレス可能なセル配列中の記憶セルの行を、前記のシステムクロック信号に同期してアドレスし、
c) 開始列アドレスを列アドレスカウンタに送り、
d) 前記の列アドレスカウンタにある最上位数ビットに応じて列のブロックをアクセスし、データビットをデータバスから入力マルチプレクサを通して記憶セルの前記のアドレスされた行に、前記のシステムクロック信号に同期して書き込み、
e) 前記の列アドレスカウンタを前記のシステムクロック信号に同期してクロックすることにより、また得られた一連の列アドレスの最下位数ビットを前記の出力マルチプレクサに送ることによって、選択された一連のデータビットを前記のデータバスから前記の入力マルチプレクサを通して伝送し、前記の選択された一連のデータビットを前記のデータバスから前記のマルチプレクサを通して前記のセル配列へ、前記のシステムクロック信号に同期して伝送することを制御する、
ステップを含む方法。

40

【 0 1 2 8 】

(5) 同期バースト動作中にバースト増分信号を前記の列アドレスカウンタに送り、前記の列アドレスカウンタ中の前記のアドレスを前記のシステムクロック信号のサイクル毎に

50

増分するステップを更に含む、第4項記載の同期ランダムアクセスメモリをアクセスする方法。

【0129】

(6) 同期バースト動作中にバースト減分信号を前記の列アドレスカウンタに送り、前記の列アドレスカウンタ中の前記のアドレスを前記のシステムクロック信号のサイクル毎に減分するステップを更に含む、第4項記載の同期ランダムアクセスメモリをアクセスする方法。

【0130】

(7) 同期ランダムアクセスメモリをアクセスする方法において、

- a) システムクロック信号を前記の同期ランダムアクセスメモリに送り、
 - b) 行アドレスと列アドレスによってアドレス可能なセル配列中の記憶セルの行を、前記のシステムクロック信号に同期してアドレスし、
 - c) 開始列アドレスを列アドレスカウンタに送り、
 - d) 前記の列アドレスカウンタにある最上位数ビットに応じて前記のセル配列中の列のブロックをアクセスし、データビットを記憶セルの前記のアドレスされた行から出力マルチプレクサに、前記のシステムクロック信号に同期して読み出し、
 - e) 前記の開始列アドレスの最下位数ビットが表す前記の開始列アドレスによって決定される順序で、一組のデータビットの全てのビットを前記の出力マルチプレクサを通してデータバスへ、前記のシステムクロック信号に同期して伝送する、
- ステップを含む方法。

10

20

【0131】

(8) 前記の開始列アドレスの最下位数ビットを一連の2Mから1の選択コードに変換して、前記の出力マルチプレクサを通る伝送を制御するステップを更に含む、第7項記載の同期ランダムアクセスメモリをアクセスする方法。

【0132】

(9) 前記の開始列アドレスの1つ以上の最下位ビットを固定した状態信号に変換し、前記の開始列アドレスの他の最下位ビットを一連のMから1の選択コードに変換して、前記の出力マルチプレクサを通る伝送を前記のシステムクロック信号に同期して制御するステップを更に含む、第7項記載の同期ランダムアクセスメモリをアクセスする方法。

【0133】

(10) 同期ランダムアクセスメモリをアクセスする方法において、

- a) システムクロック信号を前記の同期ランダムアクセスメモリに送り、
 - b) 行アドレスと列アドレスによってアドレス可能なセル配列中の記憶セルの行を、前記のシステムクロック信号に同期してアドレスし、
 - c) 開始列アドレスを列アドレスカウンタに送り、
 - d) 前記の列アドレスカウンタにある最上位ビットのグループに応じて前記のセル配列中の列のブロックをアクセスし、データビットを記憶セルの前記のアドレスされた行から出力マルチプレクサに、前記のシステムクロック信号に同期して読み出し、
 - e) 前記の列アドレスカウンタにあり前記のシステムクロック信号に同期して前記の出力マルチプレクサに送られる最下位ビットのグループに応じて、前記の出力マルチプレクサを通る伝送路を制御することによって、選択されたデータビットを前記の出力マルチプレクサを通して伝送する、
- ステップを含む方法。

30

40

【0134】

(11) その後は前記のセル配列中の記憶セルの他の行をアドレスし、

前記の開始列アドレスを前記の列アドレスカウンタに再送し、

前記のセル配列中の列ブロックをアクセスすることによって、前記の選択されたビットを前記のセル配列の前記のアドレスされた他の行から前記の出力マルチプレクサへ読み出し、

前記の列アドレスカウンタにあり前記の出力マルチプレクサに送られる最下位ビットのグ

50

ループに応じ、前記の出力マルチプレクサを通る前記のデータバスへの前記の伝送路を制御することによって、第2の選択されたデータビットを前記の出力マルチプレクサを通して伝送する、

ステップを更に含む、第10項記載の同期ランダムアクセスメモリをアクセスする方法。

【0135】

(12) その後は前記のセル配列中の記憶セルの同じ行をアドレスし、別の開始列アドレスを前記の列アドレスカウンタに送り、前記のセル配列中の列ブロックをアクセスすることによって、前記の選択されたビットを前記の配列の前記のアドレスされた行から前記の出力マルチプレクサへ読み出し、前記の列アドレスカウンタにあり前記出力マルチプレクサに送られる最下位ビットのグループに応じ、前記の出力マルチプレクサを通る伝送路を制御することによって、第2の選択されたデータビットを前記の出力マルチプレクサを通して伝送する、

10

ステップを更に含む、第10項記載の同期ランダムアクセスメモリをアクセスする方法。

【0136】

(13) その後は前記のセル配列中の記憶セルの同じ行をアドレスし、同じ開始列アドレスを前記の列アドレスカウンタに再送し、前記の配列中のセルの同じ列ブロックをアクセスすることによって、前記の選択されたビットを前記の配列の前記のアドレスされた行から前記の出力マルチプレクサへ読み出し、前記の列アドレスカウンタにあり前記の出力マルチプレクサに送られる最下位ビットのグループに応じ、前記の出力マルチプレクサを通る伝送路を制御することによって、同じ選択された記憶セルからのデータビットを前記の出力マルチプレクサを通して伝送する、

20

ステップを更に含む、第10項記載の同期ランダムアクセスメモリをアクセスする方法。

【0137】

(14) その後は前記のセル配列中の記憶セルの他の行をアドレスし、第2の開始列アドレスを前記の列アドレスカウンタに送り、前記の配列中のセルの第2の列ブロックをアクセスすることによって、他の選択されたビットを前記の配列の他のアドレスされた行から前記の出力マルチプレクサへ読み出し、前記の列アドレスカウンタにあり前記の出力マルチプレクサに送られる最下位ビットのグループに応じ、前記の出力マルチプレクサを通る第2の伝送路を制御することによって、データビットを他の選択された記憶セルから前記の出力マルチプレクサを通して伝送する

30

、ステップを更に含む、第10項記載の同期ランダムアクセスメモリをアクセスする方法。

【0138】

(15) 同期ランダムアクセスメモリをアクセスする方法において、
a) 行アドレスおよび列アドレスによってアドレス可能なセル配列中の記憶セルの行をアドレスし、
b) 開始列アドレスを列アドレスカウンタに送り、
c) 前記の列アドレスカウンタにある最上位ビットのグループに応じて列ブロックにアクセスし、データビットをデータバスから入力マルチプレクサを通して記憶セルの前記のアドレスされた行に書き込み、
d) 前記の列アドレスカウンタにあり前記の入力マルチプレクサに送られる最下位ビットのグループに応じ、前記の入力マルチプレクサを通る伝送路を制御することによって、選択されたデータビットを前記の入力マルチプレクサを通して伝送する、

40

ステップを含む方法。

【0139】

(16) その後は前記のセル配列中の記憶セルの他の行をアドレスし、前記の開始列アドレスを前記の列アドレスカウンタに再送し、前記の列アドレスカウンタにある最上位数ビットに応じて前記の配列中のセルの列ブロックをアクセスし、データビットを前記のデータバスから入力マルチプレクサを通して記憶セルの他のアドレスされた行に書き込み、

50

前記の列アドレスカウンタにある最下位ビットのグループに応じ、前記の入力マルチプレクサを通る伝送路を制御することによって、選択されたデータビットを前記のデータバスから前記の入力マルチプレクサを通して伝送する、

ステップを更に含む、第 15 項記載の同期ランダムアクセスメモリをアクセスする方法。

【 0 1 4 0 】

(17) その後は前記のセル配列中の記憶セルの同じ行をアドレスし、別の開始列アドレスを前記の列アドレスカウンタに送り、前記の列アドレスカウンタにある最上位数ビットの別のグループに応じて前記の配列中のセルの列ブロックをアクセスし、他のデータビットを前記のデータバスから前記の入力マルチプレクサを通して記憶セルの前記のアドレスされた行に書き込み、

10

前記の列アドレスカウンタにあり前記の入力マルチプレクサに送られる他の最下位ビットのグループに応じ、前記の入力マルチプレクサを通る他の選択された伝送路を制御することによって、別の選択されたデータビットを前記の入力マルチプレクサを通して伝送する、

ステップを更に含む、第 15 項記載の同期ランダムアクセスメモリをアクセスする方法。

【 0 1 4 1 】

(18) その後は前記のセル配列中の記憶セルの同じ行をアドレスし、同じ開始列アドレスを前記の列アドレスカウンタに再送し、前記の列アドレスカウンタにある最上位数ビットに応じて前記の配列中のセルの列ブロックをアクセスし、データビットを前記のデータバスから前記の入力マルチプレクサを通して記憶セルの前記のアドレスされた行に書き込み、

20

前記の列アドレスカウンタにあり前記の入力マルチプレクサに送られる最下位ビットのグループに応じ、前記の入力マルチプレクサを通る伝送路を制御することによって、他の選択されたデータビットを前記のデータバスから前記の入力マルチプレクサを通して伝送する、

ステップを更に含む、第 15 項記載の同期ランダムアクセスメモリをアクセスする方法。

【 0 1 4 2 】

(19) その後は前記のセル配列中の記憶セルの他の行をアドレスし、別の開始列アドレスを前記の列アドレスカウンタに送り、前記の列アドレスカウンタにある最上位数ビットの別のグループに応じて前記の配列中のセルの列ブロックをアクセスし、他のデータビットを前記のデータバスから前記の入力マルチプレクサを通して記憶セルの他のアドレスされた行に書き込み、

30

前記の列アドレスカウンタにあり前記の入力マルチプレクサに送られる他の最下位ビットのグループに応じ、前記の入力マルチプレクサを制御することによって、他の選択されたデータビットを前記の入力マルチプレクサを通して伝送する、

ステップを更に含む、第 15 項記載の同期ランダムアクセスメモリをアクセスする方法。

【 0 1 4 3 】

(20) データプロセッシングシステムにおいて、デジタルプロセッサ、

タイミング端を持つシステムクロック信号を生成して、前記のデジタルプロセッサの動作を制御するシステムクロック回路、

40

同期ランダムアクセスメモリシステムで、前記のクロック信号の端に直接応答し、前記の同期メモリ中のアドレス可能な記憶セルにアクセスして前記の記憶セルにデータを書き込み、また前記の記憶セルからデータを読み出す同期メモリ、を含むデータプロセッシングシステム。

【 0 1 4 4 】

(21) 前記のシステムクロック信号の端に直接応答して、前記のシステムクロック信号に同期した制御信号を生成し、前記の同期ランダムアクセスメモリの書き込み、読み出し動作を制御する、タイミングおよび制御回路、

前記の制御およびタイミング回路が生成する第 1 制御信号に応答し、アドレス可能な記憶

50

セルの行をアクセスして前記の同期メモリにデータを書き込み、またデータを読み出す、
行アドレス回路、
前記の制御およびタイミング回路が生成する他の制御信号に応答し、アドレス可能な記憶
セルの列ブロックをアクセスして前記の同期メモリにデータを書き込み、またデータを読
み出す、列アドレス回路、
を更に含む、第20項記載のデータプロセッシングシステム。

【0145】

(22) 前記の同期ランダムアクセスメモリが、スタティック記憶セルの配列を持つ金属酸
化膜半導体装置として製作される、第20項記載のデータプロセッシングシステム。

【0146】

(23) 前記の同期ランダムアクセスメモリが、ダイナミック記憶セルの配列を持つ金属酸
化膜半導体装置として製作される、第20項記載のデータプロセッシングシステム。

【0147】

(24) 前記のシステムクロック信号と共にタイミングおよび制御回路に送られる制御信号
を前記のデジタルプロセッサが生成し、同期ランダムアクセスメモリ制御信号の発生を制
御する、第20項記載のデータプロセッシングシステム。

【0148】

(25) ダイナミック記憶セルの前記の配列が相補形金属酸化膜半導体回路として製作され
る、第24項記載のデータプロセッシングシステム。

【0149】

(26) ダイナミック記憶セルの前記の配列がバイポーラ相補形金属酸化膜半導体回路とし
て製作される、第24項記載のデータプロセッシングシステム。

【0150】

(27) データプロセッシングシステムにおいて
デジタルプロセッサ、
タイミング端を持つシステムクロック信号を生成して、デジタルプロセッサの動作を制御
する、システムクロック回路、
行および列アドレスによってアドレス可能な記憶セルの配列中にデータを記憶する、同期
ランダムアクセスメモリ、
前記のシステムクロック信号の端に応答し、前記のシステムクロック信号のタイミング端
に関連するタイミング端を持ちゲートされたシステムクロック信号を生成する、前記のデ
ジタルプロセッサ、
前記のゲートされたシステムクロック信号の端に直接応答し、記憶セルにアクセスして書
き込みおよび読み出し動作をする、前記の同期ランダムアクセスメモリ、
を含むデータプロセッシングシステム。

【0151】

(28) 同期ランダムアクセスメモリにおいて、
アドレス可能な行および列に配列された記憶セルの配列、
行アドレスバッファ、
行アドレスデコーダ、
列アドレスバッファ、
列アドレスデコーダ、
マイクロプロセッサから直接送られるシステムクロック信号の端に応答し、行アドレスデ
ータを前記の行アドレスバッファに記憶して前記の行アドレスデコーダを通してデコード
し、列アドレスデータを前記の列アドレスバッファに記憶して前記の列アドレスデコーダ
でデコードする回路、
を含む同期ランダムアクセスメモリ。

【0152】

(29) 前記のクロック信号の端と関連して、行アドレス制御信号が前記の行アドレスバッ
ファに前記の行アドレスデータを記憶させ、

10

20

30

40

50

前記のシステムクロック信号の端と関連して、列アドレス制御信号が前記の列アドレスバッファに前記の列アドレスデータを記憶させ、
前記のシステムクロック信号の端と関連して、書き込み信号が書き込み制御信号を発生し、前記の同期ランダムアクセスメモリの入力端子に入るデータを、アドレスされた記憶セルに前記のシステムクロック信号に同期して書き込む、書き込み信号、
前記のクロック信号の端と関連して、読み出し信号が読み出し制御信号を発生し、アドレスされた記憶セルに記憶されているデータを、前記の同期ランダムアクセスメモリの出力端子から前記のシステムクロック信号に同期して読み出す、読み出し信号、
を含む、第 28 項記載のランダムアクセスメモリ。

【 0 1 5 3 】

(30) 同期ランダムアクセスメモリにおいて、
アドレス可能な行および列に配列された記憶セルの配列、
行アドレスバッファ、
行アドレスデコーダ、
列アドレスバッファ、
列アドレスデコーダ、
システムクロック信号の端に应答し、行アドレスデータを前記の行アドレスバッファに記憶して前記の行アドレスデコーダを通してデコードし、列アドレスデータを前記の列アドレスバッファに記憶して前記の列アドレスデコーダでデコードする、回路、
を含む同期ランダムアクセスメモリ。

【 0 1 5 4 】

(31) 前記のクロック信号の端と関連して、行アドレス制御信号が前記の行アドレスバッファに前記の行アドレスデータを記憶させ、
前記のクロック信号の端と関連して、列アドレス制御信号が前記の列アドレスバッファに前記の列アドレスデータを記憶させ、
前記のシステムクロック信号の端と関連して、書き込み信号が書き込み制御信号を発生し、前記の同期ランダムアクセスメモリの入力端子に入るデータを、アドレスされた記憶セルに書き込み、
前記のシステムクロック信号の端と関連して、読み出し信号が読み出し制御信号を発生し、アドレスされた記憶セルに記憶されているデータを、前記の同期ランダムアクセスメモリの出力端子から読み出す、
第 30 項記載の同期ランダムアクセスメモリ。

【 0 1 5 5 】

(32) 前記の列アドレスバッファと前記の列アドレスデコーダの間にあり、開始列アドレスを受ける列アドレスカウンタ、
前記の列アドレスカウンタにある最上位ビットのグループに应答し、前記の配列中のセルの列ブロックにアクセスしてデータの書き込みまたはデータの読み出しを行う、列アドレスデコーダ、
前記の列アドレスカウンタにある最下位ビットのグループに应答し、記憶セルの前記の配列にデータビットの書き込みまたは読み出しを行う導通路を作る、入力および出力マルチプレクサ、
を更に含む、第 30 項記載の同期ランダムアクセスメモリ。

【 0 1 5 6 】

(33) 前記の同期ランダムアクセスメモリを制御する書き込み信号を受ける回路が、前記のシステムクロック信号の端と同時にデータの書き込みまたは読み出しを選択的に行う、
第 30 項記載の同期ランダムアクセスメモリ。

【 0 1 5 7 】

(34) 前記のシステムクロック信号の端に应答して、前記の同期ランダムアクセスメモリが前記のシステムクロック信号に同期してランダムアクセス読み出し動作を行う、
第 30 項記載の同期ランダムアクセスメモリ。

10

20

30

40

50

【 0 1 5 8 】

(35) 前記のシステムクロック信号の端に応答して、前記の同期ランダムアクセスメモリが前記のシステムクロック信号に同期してランダムアクセス書き込み動作を行う、第 3 0 項記載の同期ランダムアクセスメモリ。

【 0 1 5 9 】

(36) 前記のシステムクロック信号の端、読み出し信号、バースト選択信号、バースト増分信号に応答して、前記の同期ランダムアクセスメモリが同期バースト昇順読み出し動作を行う、第 3 0 項記載の同期ランダムアクセスメモリ。

【 0 1 6 0 】

(37) 前記のシステムクロック信号の端、読み出し信号、バースト選択信号、バースト減分信号に応答して、前記の同期ランダムアクセスメモリが同期バースト降順読み出し動作を行う、第 3 0 項記載の同期ランダムアクセスメモリ。

10

【 0 1 6 1 】

(38) 前記のシステムクロック信号の端、書き込み信号、バースト選択信号、バースト増分信号に応答して、前記の同期ランダムアクセスメモリが同期バースト昇順書き込み動作を行う、第 3 0 項記載の同期ランダムアクセスメモリ。

【 0 1 6 2 】

(39) 前記のシステムクロック信号の端、書き込み信号、バースト信号、バースト減分信号に応答して、前記の同期ランダムアクセスメモリが同期バースト降順書き込み動作を行う、第 3 0 項記載の同期ランダムアクセスメモリ。

20

【 0 1 6 3 】

(40) 記憶セルの前記の配列がスタティックメモリ回路の配列として製作される、第 3 0 項記載の同期ランダムアクセスメモリ。

【 0 1 6 4 】

(41) 記憶セルの前記の配列が金属酸化膜半導体装置として製作される、第 4 0 項記載の同期ランダムアクセスメモリ。

【 0 1 6 5 】

(42) 記憶セルの前記の配列が相補形金属酸化膜半導体回路を含む、第 4 1 項記載の同期ランダムアクセスメモリ。

【 0 1 6 6 】

(43) 記憶セルの前記の配列がバイポーラ相補形金属酸化膜半導体回路を含む、第 4 1 項記載の同期ランダムアクセスメモリ。

30

【 0 1 6 7 】

(44) 記憶セルの前記の配列がダイナミックメモリ回路の配列として製作される、第 3 0 項記載の同期ランダムアクセスメモリ。

【 0 1 6 8 】

(45) 記憶セルの前記の配列が金属酸化膜半導体装置として製作される、第 4 4 項記載の同期ランダムアクセスメモリ。

【 0 1 6 9 】

(46) 記憶セルの前記の配列が相補形金属酸化膜半導体回路を含む、第 4 5 項記載の同期ランダムアクセスメモリ。

40

【 0 1 7 0 】

(47) 記憶セルの前記の配列がバイポーラ相補形金属酸化膜半導体回路を含む、第 4 5 項記載の同期ランダムアクセスメモリ。

【 0 1 7 1 】

(48) 同期ランダムアクセスメモリ 3 0 がシステムクロック信号 6 7 に直接応答して、関連するマイクロプロセッサに同期して動作する。前記の同期ランダムアクセスメモリは更に同期ランダムアクセス動作に加えて、同期バースト動作 (B T) または同期ラップ動作 (W T) でデータ 2 5 の書き込みまたは読み出しを行う。前記の同期ランダムアクセスメモリ装置はダイナミック記憶装置またはスタティック記憶装置として製作される。

50

【図面の簡単な説明】

この発明をよく理解するために、以下の図を参照して詳細な説明を読んでいただきたい。

【図 1】同期ランダムアクセスメモリを含むデータプロセッシングシステムのブロック図。

【図 2】同期ランダムアクセスメモリのブロック図。

【図 3】同期ランダムアクセス読み出し動作のタイミング図。

【図 4】同期ランダムアクセス書き込み動作のタイミング図。

【図 5】同期バースト昇順読み出し動作のタイミング図。

【図 6】列アドレスカウンタおよびラップアドレススクランブラのブロック図。

【図 7】同期バースト降順読み出し動作のタイミング図。

【図 8】他の同期バースト昇順読み出し動作のタイミング図。

10

【図 9】他の同期バースト降順読み出し動作のタイミング図。

【図 10】同期バースト昇順書き込み動作のタイミング図。

【図 11】同期バースト降昇順書き込み動作のタイミング図。

【図 12】他の同期バースト昇順書き込み動作のタイミング図。

【図 13】他の同期バースト降順書き込み動作のタイミング図。

【図 14】同期ラップ読み出し 8 ビット動作のタイミング図。
【図 15】同期ラップ読み出し 8 ビット動作に用いられる、ラップアドレススクランブラの真理値表を示す図。

【図 16】同期ラップ読み出し 4 ビット動作のタイミング図。

【図 17】同期ラップ読み出し 4 ビット動作に用いられる、ラップアドレススクランブラの真理値表を示す図。

20

【図 18】図 17 の列アドレスカウンタの 1 ステージの略ブロック図。

【図 19】タイミングゲート回路の論理略図。

【図 20】図 19 のゲート回路の動作のタイミング図。

【図 21】他のタイミングゲート回路の論理略図。

【図 22】図 20 のゲート回路の動作のタイミング図。

【図 23】図 2 の同期メモリの、入力マルチプレクサおよび出力マルチプレクサ配列のブロック図。

【図 24】同期ランダムアクセスメモリを含む、別のデータプロセッシングシステムのブロック図。

30

【符号の説明】

15 データプロセッシングシステム

17 バス

18 制御バス

20 デジタルプロセッサ

24 入力周辺装置

25 データバス

30 同期ランダムアクセスメモリ

32 出力データバス

40 出力周辺装置

40

42 タイミングおよび制御回路

45 アドレスバス

46、47、56、57 リード線

48 行アドレスバッファ

49 列アドレスバッファ

50 行アドレスデコーダ

51 ロードカウント伝送ゲート

52 列アドレスカウンタ

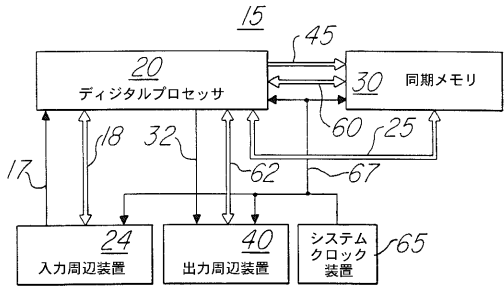
53 ゲート

54 列アドレスデコーダ

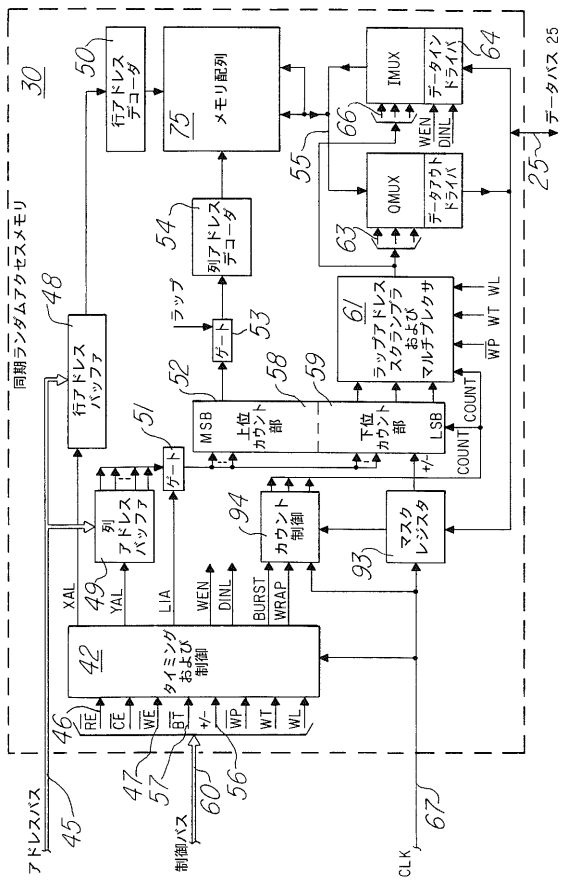
50

5 8	上位カウンタ部	
5 9	下位カウンタ部	
6 0、6 2	制御バス	
6 1	ラップアドレススクランブラおよびマルチプレクサ	
6 3、6 6	リード線	
6 4	データイン・ドライバ	
6 5	システムクロック	
6 7	クロックリード線	
7 3	ラップアドレススクランブラ	
7 4	入力、マルチプレクサ	10
7 5	メモリ配列	
7 6、7 7、7 8	出力	
9 3	マスクレジスタ	
9 4	カウンタ制御回路	
1 0 1、1 0 4	ゲート	
1 0 2	カウンタ信号ゲート配列	
1 0 3	オアゲート	
1 1 0	ブロックゲート回路	
1 1 6	偶数次バス	
1 2 0	出カインェーブルゲート	20
1 2 2	奇数次バス	
1 2 4	出力レジスタ	
1 2 6	3ビットの8から1の選択回路	
1 2 8	出力伝送選択ゲート	
1 3 0	入力伝送選択ゲート	
1 3 2	入力レジスタ	
2 1 5	データプロセッシングシステム	
2 2 0	デジタルプロセッサ	
2 2 1、2 2 2	リード線	

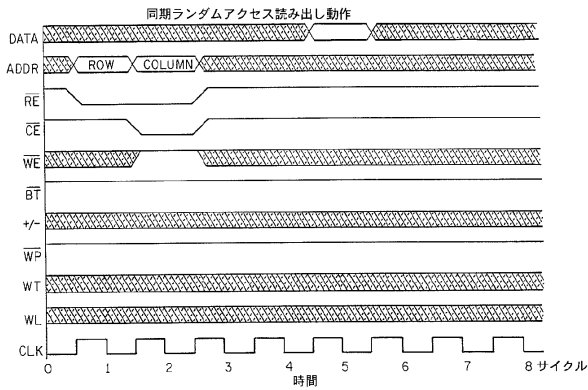
【 図 1 】



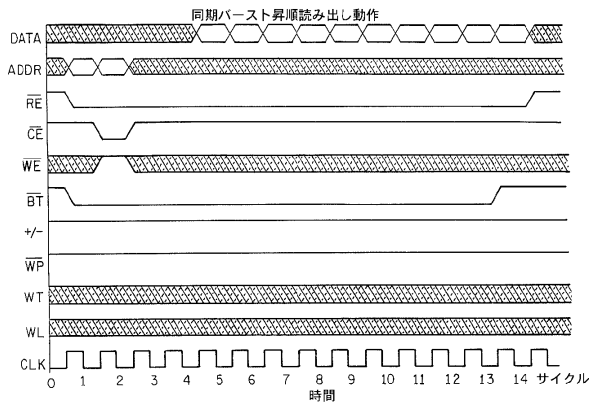
【 図 2 】



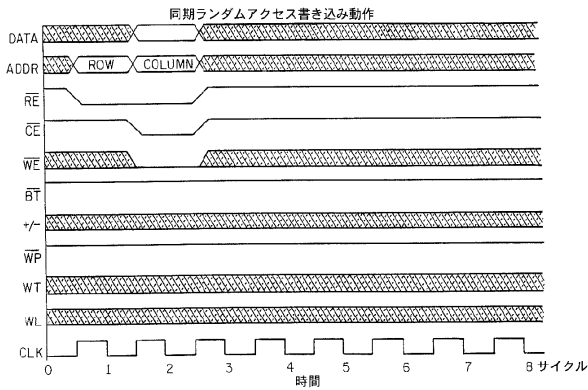
【 図 3 】



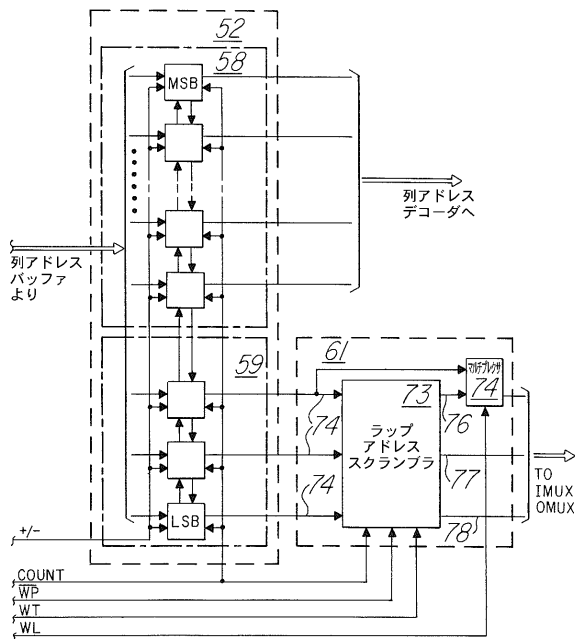
【 図 5 】



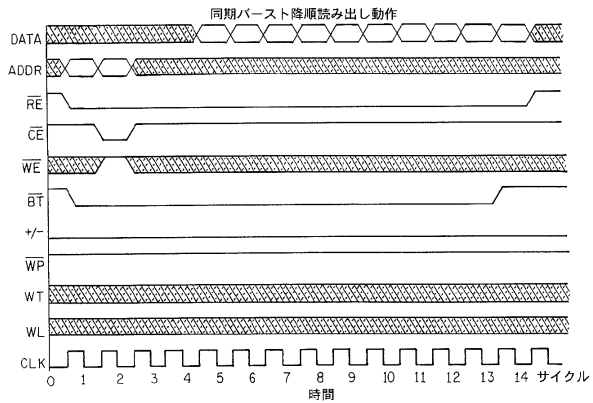
【 図 4 】



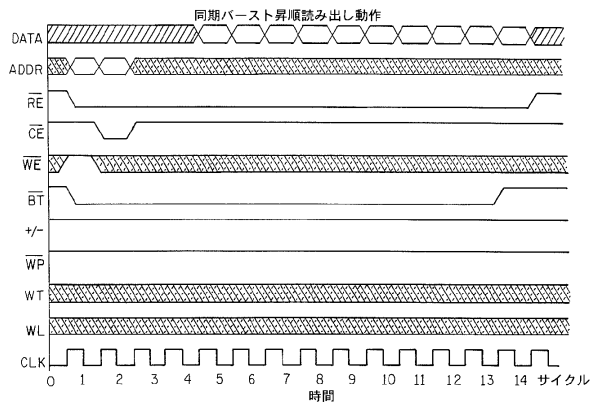
【図6】



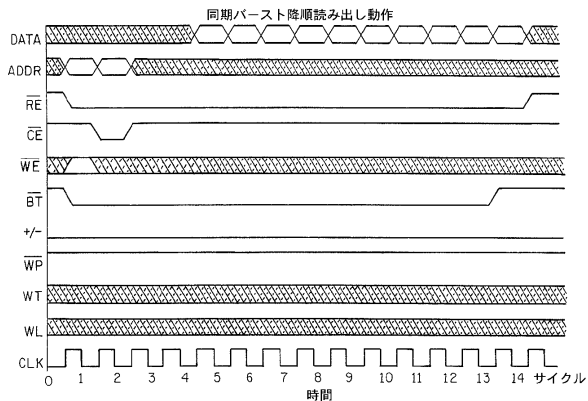
【図7】



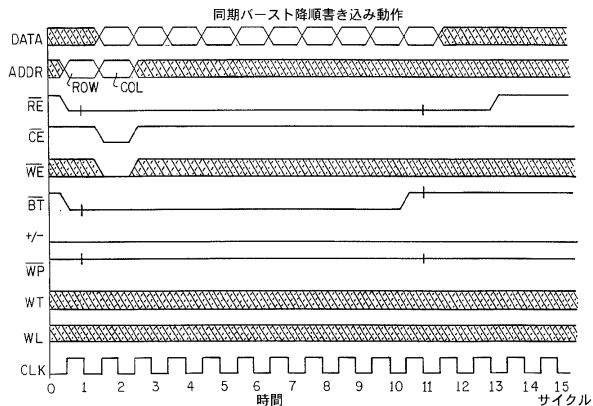
【図8】



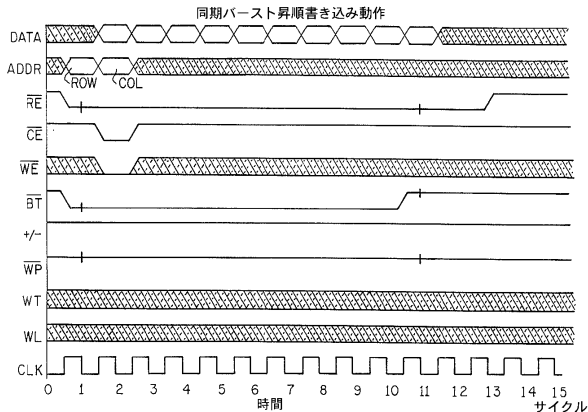
【図9】



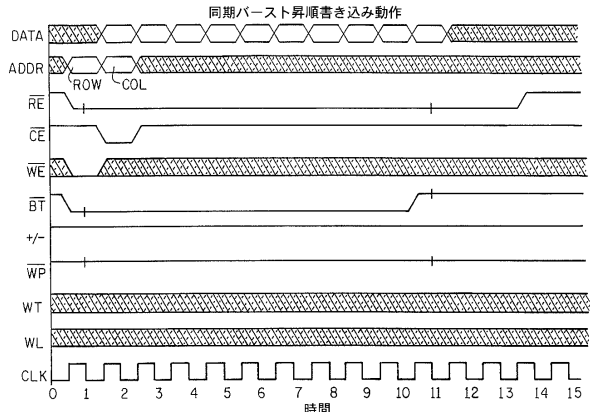
【図11】



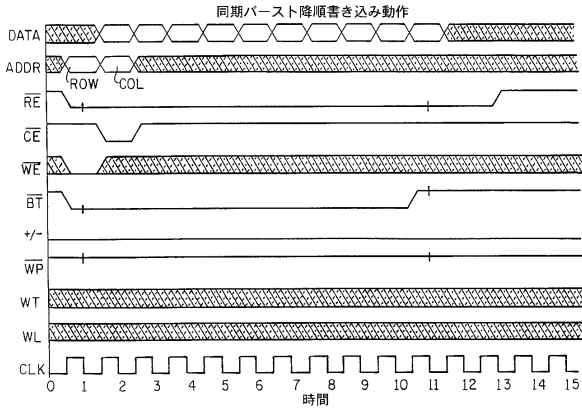
【図10】



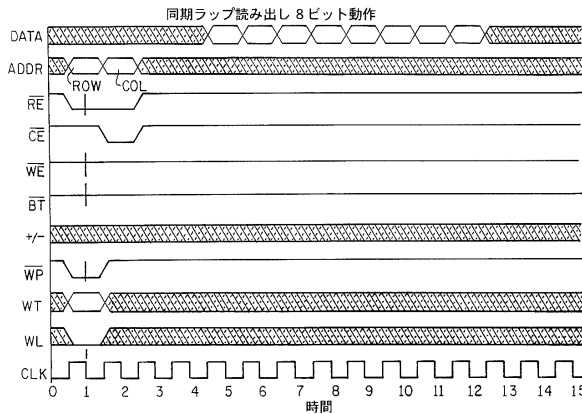
【図12】



【図 13】



【図 14】

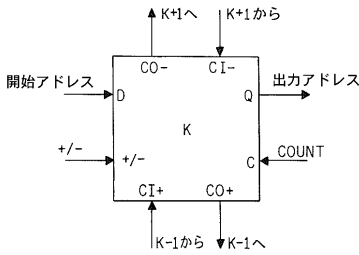


【図 17】

表 II

ラップ長 WL=1			
開始入力アドレス		出カアドレスシーケンス	
A0	A1	ラップタイプ WT=0	ラップタイプ WT=1
0	0	0,1,2,3	0,1,2,3
0	1	1,2,3,0	1,0,3,2
1	0	2,3,0,1	2,3,0,1
1	1	3,0,1,2	3,2,1,0

【図 18】

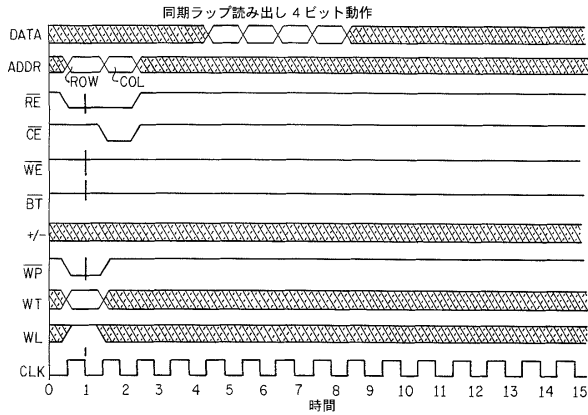


【図 15】

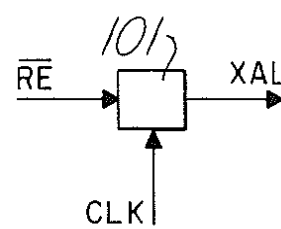
表 I

ラップ長 WL=0				
開始入力アドレス			出カアドレスシーケンス	
A0	A1	A2	ラップタイプ WT=0	ラップタイプ WT=1
0	0	0	0,1,2,3,4,5,6,7	0,1,2,3,4,5,6,7
0	0	1	1,2,3,4,5,6,7,0	1,0,3,2,5,4,7,6
0	1	0	2,3,4,5,6,7,0,1	2,3,0,1,6,7,4,5
0	1	1	3,4,5,6,7,0,1,2	3,2,1,0,7,6,5,4
1	0	0	4,5,6,7,0,1,2,3	4,5,6,7,0,1,2,3
1	0	1	5,6,7,0,1,2,3,4	5,4,7,6,1,0,3,2
1	1	0	6,7,0,1,2,3,4,5	6,7,4,5,2,3,0,1
1	1	1	7,0,1,2,3,4,5,6	7,6,5,4,3,2,1,0

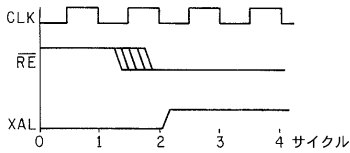
【図 16】



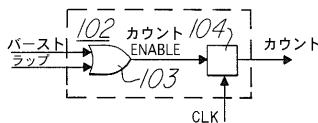
【図 19】



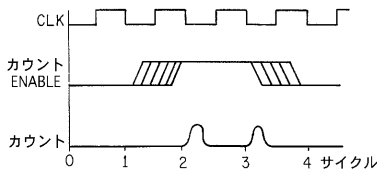
【図 20】



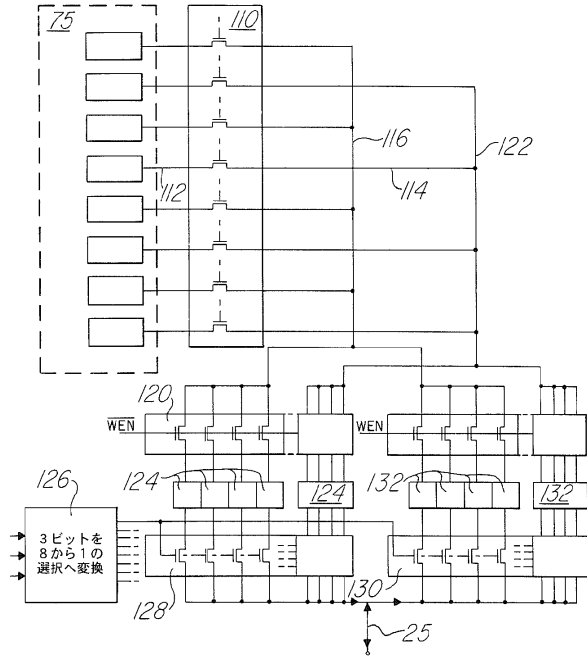
【図 21】



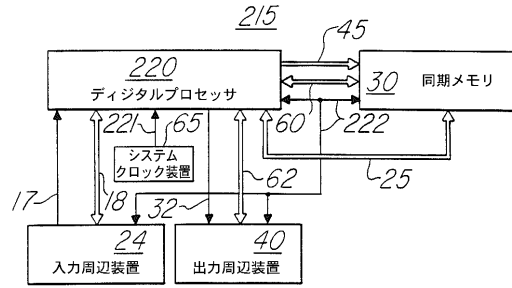
【図 22】



【図 23】



【図 24】



フロントページの続き

- (72)発明者 ウィルバー シー・ボグリー
アメリカ合衆国テキサス州ミズーリ シティ、ブルラン コート 2902
- (72)発明者 アンソニー エム・バリストレリ
アメリカ合衆国テキサス州ヒューストン、アパートメント ナンバー 23、ウッドウェイ 49
44
- (72)発明者 カール エム・グタッグ
アメリカ合衆国テキサス州ミズーリ シティ、エス・サンディー コート 4015
- (72)発明者 スチーブン ディー・クルーガー
アメリカ合衆国テキサス州ヒューストン、エセックス レーン 4205
- (72)発明者 デュイ - ローン ティー・レ
アメリカ合衆国テキサス州シュガーランド、ケンプウッド 3302
- (72)発明者 ジョセフ エイチ・ニール
アメリカ合衆国テキサス州シュガーランド、ホースショウ ドライブ 1103
- (72)発明者 ケネス エイ・ポティート
アメリカ合衆国テキサス州ヒューストン、アパートメント ナンバー 1008、エス、グレン
11735
- (72)発明者 ジョセフ ピー・ハーティガン
アメリカ合衆国テキサス州スタッフォード、アパートメント ナンバー 911、グローブ ウエ
スト ブールバード 5010
- (72)発明者 ロジャー ディー・ノーウッド
アメリカ合衆国テキサス州ヒューストン、アパートメント ナンバー 1705、サウス グレン
11735

合議体

審判長 赤川 誠一

審判官 桑江 晃

審判官 小田 浩

- (56)参考文献 特開昭58-166579号公報(JP,A)
特開昭61-170994号公報(JP,A)
実開平2-144199号(JP,U)
特開平2-287752号公報(JP,A)
特開昭59-165285号公報(JP,A)
特開昭56-90482号公報(JP,A)
特開昭63-25885号公報(JP,A)
特開昭58-196671号公報(JP,A)
特開平1-307090号公報(JP,A)
特開平4-89687号公報(JP,A)
独国特許出願公開第4027187号明細書(DE,A1)
Amitai, Z. 外1名, Burst Mode Memories Improve Ca
che Design, Electro International Conference
record, 米国, Electron Conventions Manage, 1991
年4月16日, p. 279-282
矢島正晴, 最新 高速DRAMの基礎, トランジスタ技術, CQ出版社, 1993年10月1日
, 第30巻, 第10号, p. 324-334

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 564A, G11C 11/34 362S