



# (12)发明专利

(10)授权公告号 CN 103021436 B

(45)授权公告日 2017. 03. 01

(21)申请号 201210027723.1

(22)申请日 2012.01.30

(65)同一申请的已公布的文献号

申请公布号 CN 103021436 A

(43)申请公布日 2013.04.03

(30)优先权数据

13/242,983 2011.09.23 US

(73)专利权人 安华高科技通用IP(新加坡)公司

地址 新加坡新加坡市

(72)发明人 J·P·戈兰德威格

(74)专利代理机构 北京律盟知识产权代理有限公司

责任公司 11287

代理人 王田

(51)Int.Cl.

G11B 20/10(2006.01)

(56)对比文件

CN 101320587 A, 2008.12.10, 全文.

US 2009244760 A1, 2009.10.01, 全文.

CN 101937683 A, 2011.01.05, 全文.

US 2007081266 A1, 2007.04.12, 说明书第22-38段、图2, 5-9.

审查员 邱恬

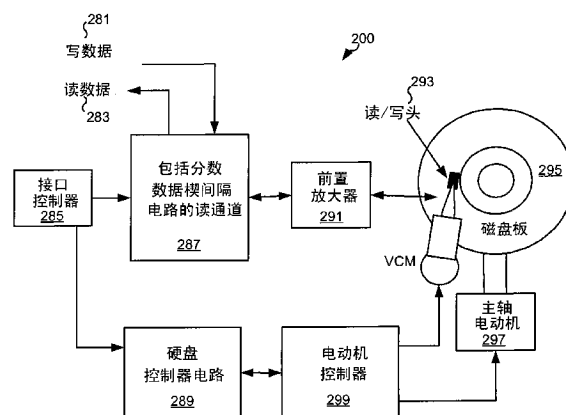
权利要求书2页 说明书9页 附图5页

## (54)发明名称

用于存储设备中受控制的楔形间隔的系统和方法

## (57)摘要

一种用于存储设备中受控制的楔形间隔的系统和方法。本发明的各实施例提供用于数据处理的系统和方法。例如, 本发明的一些实施例提供时钟发生系统, 该时钟发生系统包括: 第一时钟乘法器电路、第二时钟乘法器电路、模累加器电路以及数据时钟相位控制电路。第一时钟乘法器电路用来将基准时钟乘以第一乘数以得到第一域时钟, 而第二时钟乘法器电路用来将基准时钟乘以第二乘数以得到第二域时钟。模累加器电路用来得到指示所述第二域时钟的边沿从触发信号偏移的第二域时钟的分数量的值。数据时钟相位控制电路工作以将第二域时钟相移与分数量对应的相位值。



1. 一种时钟发生系统,所述时钟发生系统包括:

第一时钟乘法器电路,用于将基准时钟乘以第一乘数以得到第一域时钟;

第二时钟乘法器电路,用于将基准时钟乘以第二乘数以得到第二域时钟;

模累加器电路,用来得到指示所述第二域时钟的边沿从触发信号偏移的第二域时钟的分数量的值;

数据时钟相位控制电路,用来将所述第二域时钟相移与所述分数量对应的相位量;以及

舍入和定标电路,用于修正指示所述分数量的值以适应由所述数据时钟相位控制电路实现的步长,从而得到与所述分数量对应的所述相位量。

2. 如权利要求1所述的时钟发生系统,其特征在于,所述系统还包括:

存储介质,所述存储介质包括伺服楔和用户数据区;并且

所述第一域时钟与所述伺服楔中的数据频率对应,而所述第二域时钟与所述用户数据区中的数据频率对应。

3. 如权利要求2所述的时钟发生系统,其特征在于,所述伺服楔包括扇区地址标记,且所述触发信号是至少部分地基于所述扇区地址标记的识别而被断言的。

4. 如权利要求1所述的时钟发生系统,其特征在于,所述触发信号与所述第一域时钟同步地断言。

5. 如权利要求1所述的时钟发生系统,其特征在于,所述相位量是第一相位量,所述数据时钟相位控制电路用于将所述第二域时钟相移第二相位量并随后将所述第二域时钟相移第三相位量,其中所述第二相位量和所述第三相位量的组合得到所述第一相位量。

6. 如权利要求1所述的时钟发生系统,其特征在于,所述系统被实现为存储设备的一部分。

7. 如权利要求6所述的时钟发生系统,其特征在于,所述存储设备是硬盘驱动器。

8. 如权利要求1所述的时钟发生系统,其特征在于,所述系统被实现为集成电路。

9. 一种用于多域时钟发生的方法,所述方法包括:

接收触发信号;

至少部分地基于所述触发信号,基于预期计数和实际计数之间的差来计算频率误差;

将基准时钟乘以第一乘数和从所述频率误差导出的误差百分比以得到第一域时钟;

将所述基准时钟乘以第二乘数和所述误差百分比以得到第二域时钟;

确定所述第二域时钟的边沿从所述触发信号偏移的所述第二域时钟的分数量;以及

将所述第二域时钟相移与所述分数量对应的相位量,其中所述相位量是第一相位量,其中执行所述相移的数据时钟相位控制电路用于将所述第二域时钟相移第二相位量并随后将所述第二域时钟相移第三相位量,且其中所述第二相位量和所述第三相位量的组合得出所述第一相位量。

10. 如权利要求9所述的方法,其特征在于,所述方法还包括:

从存储介质访问数据,其中所述存储介质包括伺服楔和用户数据区,所述第一域时钟与所述伺服楔中数据的频率对应,而所述第二域时钟与用户数据区中数据的频率对应;并且

所述触发信号是基于从所述伺服楔访问得到的数据而接收的。

11. 如权利要求10所述的方法,其特征在于,所述伺服楔包括扇区地址标记,而所述触发信号至少部分地基于所述扇区地址标记的识别而被断言。

12. 如权利要求9所述的方法,其特征在于,所述触发信号是同步于所述第一域时钟而接收的。

13. 如权利要求9所述的方法,其特征在于,所述方法还包括:

修正所述分数量以适应由所述数据时钟相位控制电路实现的步长,所述数据时钟相位控制电路施加相移以得到与所述分数量对应的相位量。

14. 一种数据存储设备,所述数据存储设备包括:

存储介质,所述存储介质包括伺服楔和用户数据区;

读取头,所述读取头相对于所述存储介质设置并用于从所述存储介质感测信息;

读通道电路,其包括:

第一时钟乘法器电路,用于将基准时钟乘以第一乘数以得到第一域时钟,所述第一域时钟与来自所述伺服楔的信息的频率对应;

第二时钟乘法器电路,用于将基准时钟乘以第二乘数以得到第二域时钟,所述第二域时钟与来自所述用户数据区的信息的频率对应;

模累加器电路,用来得到指示所述第二域时钟的边沿从触发信号偏移的第二域时钟的分数量的值;以及

数据时钟相位控制电路,用于将所述第二域时钟相移与所述分数量对应的第一相位量,其中所述数据时钟相位控制电路用于将所述第二域时钟相移第二相位量并随后将所述第二域时钟相移第三相位量,且其中所述第二相位量和所述第三相位量的组合得出所述第一相位量。

15. 如权利要求14所述的存储设备,其特征在于,所述伺服楔包括扇区地址标记,且所述触发信号至少部分地基于所述扇区地址标记的识别而被断言。

16. 如权利要求15所述的存储设备,其特征在于,所述触发信号同步于所述第一域时钟被断言。

17. 如权利要求14所述的存储设备,其特征在于,所述存储设备进一步包括:

舍入和定标电路,用于修正指示所述分数量的值以适应由所述数据时钟相位控制电路实现的步长,从而得到与所述分数量对应的相位量。

## 用于存储设备中受控制的楔形间隔的系统和方法

[0001] 发明背景

[0002] 本发明涉及用于至/自存储介质存储和访问数据的系统和方法。

[0003] 一种典型的存储设备包括存储在存储介质上磁性表征的信息的磁性存储介质。头相对于存储介质设置,该头感测磁性表征的信息并提供与磁性表征信息对应的电信号。该电信号最终被传至数据检测电路,该数据检测电路执行一个或多个数据检测过程以恢复最初被写至存储介质的信息。保持在存储介质上的信息一般包括用户数据和同步数据两者。可认为用户数据是随机图案,而同步数据一般是定义图案,该定义图案可用来同步存储介质上数据的相位并设定合适增益以将其施加于从存储介质检取的数据。数据传输系统经常使用相似的传输数据方法,该方法传输那些可以视作用同步数据点缀的用户数据的随机区域。同样,同步数据通常是定义图案,该定义图案可用来同步存储介质上数据的相位并设定合适增益以将其施加于从存储介质检取的数据。通常利用锁相环以与同步数据同步。该方法一般是有效的,但可能需要相当长度的图案以正确地处理。这种图案长度浪费了存储介质上的空间,和/或减少了传输带宽。

[0004] 因此,至少为了前述原因,业内需要先进的用于数据处理的系统和方法。

### 发明内容

[0005] 本发明涉及用于至/自存储介质存储和访问数据的系统和方法。

[0006] 本发明的各实施例提供时钟发生系统,该时钟发生系统包括第一时钟乘法器电路、第二时钟乘法器电路、模累加器电路以及数据时钟相位控制电路。第一时钟乘法器电路用来将基准时钟乘以第一乘数以得到第一域时钟,而第二时钟乘法器电路用来将基准时钟乘以第二乘数以得到第二域时钟。模累加器电路用来得到指示所述第二域时钟的边沿从触发信号偏移的第二域时钟的分数量的值。数据时钟相位控制电路工作以将第二域时钟相移与分数量对应的相位量。在前述实施例的一些范例中,该系统被实现为存储设备的一部分。在一些情形下,该存储设备是硬盘驱动器。在前述实施例的一个或多个范例中,系统实现为集成电路。

[0007] 在前述实施例的一些范例中,该系统还包括具有伺服楔和用户数据区的存储介质。在这些范例中,第一域时钟与伺服楔内的数据频率对应,而第二域时钟与用户数据区内的数据频率对应。在一些情形下,伺服楔包括扇区地址标记,而触发信号至少部分地基于扇区地址标记的识别而被断言。

[0008] 在前述实施例的一些范例中,触发信号被断言同步于第一域时钟。在前述实施例的一些范例中,该系统还包括舍入和定标电路。舍入和定标电路用于修正指示分数量的值,以遵循可由数据时钟相位控制电路实现的步长从而得到与该分数量对应的相位量。在前述实施例的各范例中,该相位量是第一相位量,而数据时钟相位控制电路用于将第二域时钟相移第二相位量并随后将第二域时钟相移第三相位量。第二相位量和第三相位量的组合得到第一相位量。

[0009] 本发明的其它实施例提供多域时钟发生的方法,该方法包括:接收触发信号;至少

部分地基于触发信号,基于预期计数和实际计数之间的差计算频率误差;将基准时钟乘以第一乘数和从频率误差推导出的误差百分比以得到第一域时钟;将基准时钟乘以第二乘数和该误差百分比以得到第二域时钟;确定第二域时钟的边沿从触发信号偏移的第二域时钟的分数量;并将第二域时钟相移与分数量对应的相位量。

[0010] 在前述实施例的一些范例中,该方法还包括从存储介质访问数据。在这些范例中,存储介质包括伺服楔和用户数据区,第一域时钟与伺服楔中数据的频率对应,而第二域时钟与用户数据区中数据的频率对应。基于从伺服楔访问到的数据而接收触发信号。在一些情形下,伺服楔包括扇区地址标记,而触发信号至少部分地基于扇区地址标记的识别而被断言。在特定情形下,触发信号是同步于第一域时钟而接收的。

[0011] 在前述实施例的一些范例中,该方法还包括修正分数量以符合可由数据时钟相位控制电路实现的步长,所述数据时钟相位控制电路施加相移以得到与分数量对应的相位量。在各范例中,该相位量是第一相位量,而执行相移的数据时钟相位控制电路用于将第二域时钟相移第二相位量并随后将第二域时钟相移第三相位量。第二相位量和第三相位量的组合得到第一相位量。

[0012] 本发明的又一实施例提供数据存储设备,其包括:具有伺服楔和用户数据区的存储介质;相关于存储介质设置并用来感测来自存储介质的信息的读取头;以及读通道电路。该读通道电路包括:第一时钟乘法器电路、第二时钟乘法器电路、模累加器电路以及数据时钟相位控制电路。第一时钟乘法器电路用于将基准时钟乘以第一乘数以得到第一域时钟。第一域时钟与来自伺服楔的信息的频率对应。第二时钟乘法器电路用于将基准时钟乘以第二乘数以得到第二域时钟。第二域时钟与来自用户数据区的信息的频率对应。模累加器电路用来得到指示所述第二域时钟的边沿从触发信号偏移的第二域时钟的分数量的值。数据时钟相位控制电路用于将第二域时钟相移与分数量对应的相位量。

[0013] 该总述仅提供本发明某些实施例的一般概括。本发明许多其它目的、特征、优势和其它实施例将从下面的详细说明、所附权利要求以及附图中变得更为易懂。

[0014] 附图简述

[0015] 可通过参照附图来实现对本发明各实施例的进一步理解,这些实施例在本说明书剩余部分中描述。在附图中,在若干附图中使用相同的附图标记来表示相似的部件。在一些情况下,由小写字母构成的副标记关联于附图标记以表示多个相似部件中的一个。当参照附图标记而不指明已有的副标记时,这旨在表示所有这些多个相似的部件。

[0016] 图1a、1b和1c示出已有的存储介质连同所存储的信息;

[0017] 图2示出根据本发明一些实施例包括具有分数数据楔间隔电路的读通道电路的存储设备;

[0018] 图3示出根据本发明各实施例的分数数据楔间隔电路;

[0019] 图4是示出图3的分数数据楔间隔电路的示例操作的时序图;以及

[0020] 图5是示出根据本发明一些实施例的用于分数数据楔形间隔的方法的流程图。

## 具体实施方式

[0021] 本发明涉及用于至/自存储介质存储和访问数据的系统和方法。

[0022] 本发明各实施例提供包括分数数据楔间隔电路的数据处理电路。该数据处理电路

可包括盘锁定时钟电路,所述盘锁定时钟电路通过伺服楔中处理数据用的时钟来锁定用户数据区中的处理数据用的时钟(即,锁定至盘介质的转速)。这里使用的短语“伺服数据扇区”或“伺服楔”最广义地表示包含同步信息的存储介质区。另外,这里使用的短语“用户数据区”最广义地表示关于可写或读的一个或多个伺服楔设置的区域。执行每时钟一次的分相位对准以使用于处理用户数据区内的数据的时钟分数地偏移,以使时钟至少一开始相对于用于处理来自伺服楔的数据的时钟处于一已知的相位关系。换句话说,该分相位对准实现既可用于伺服时钟域又可用于用户数据时钟域的时钟,即使用于伺服数据区的时钟和用于用户数据区的时钟可任选地编程以工作在不同频率下。在一些情形下,时钟架构被设计成数据时钟周期的精确分数是已知的,该数据时钟周期要求使一个伺服楔适应于伺服楔间隔。

[0023] 转向图1a,其示出来自示例伺服楔的同步信息的一个示例,该同步信息在这里一般地表示为伺服楔100。如图所示,伺服楔100可包括前序图案102,该前序图案102允许系统恢复被写入的伺服数据的时序和增益。如业内已知的,前序102可用来产生在有益于处理来自伺服楔100的数据的相位和频率下的时钟。前序图案102之后一般是针对所有伺服楔均相同的伺服地址标记(SAM)104。SAM 104之后是经编码的伺服Gray(格雷)数据106,而Gray数据106之后是一个或多个猝发串(burst)解调字段108。Gray数据106可代表磁道号/圆柱体信息并为横跨磁性存储介质的读取头提供粗定位信息。猝发串解调字段108为横跨磁性存储介质的读取头提供细定位信息。转向图1b,前述伺服楔100图示为被引入作为跨数个磁道160分布的数据扇区170的一部分,所述磁道160在磁性存储介质150周围沿径向图案延伸。扇区170包括伺服楔和居间的用户数据区两者。

[0024] 在一理想情形下,读/写头组件横跨交替的伺服楔100和居间用户数据区上的各个磁道160。随着读/写头组件横越过伺服楔100,产生SAMFOUND信号,该SAMFOUND信号提供读/写头组件关于磁性存储介质150的位置的指示。当产生SAMFOUND信号时,从最末SAMFOUND信号开始的时间间隔用来判断盘锁定时钟是否同步于伺服楔100在存储介质150上的布置。在盘锁定时钟被不正确地锁定的情形下,将其增减一误差量,该误差量由连续SAMFOUND信号之间的预期时序和实际时序之间的差表示。该时钟调整针对每个伺服楔100执行一次。

[0025] 转向图1c,存储介质190图示具有用虚线表示的两个示例磁道160a、160e。这些磁道由写入到楔101a、101b内的伺服数据隔离。这些楔包括与前面针对示例伺服楔100讨论的同步数据类似的同步数据。该同步数据用来在存储介质190上控制和同步读/写头组件至要求位置上。如前面关于图1a讨论地,伺服数据一般包括前序图案102,之后是扇区地址标记104(SAM)。扇区地址标记104之后是Gray码106,而Gray码106之后是猝发串信息108。要注意,尽管图示出两个磁道和两个楔,然而在给定的存储介质上一般包括几百个磁道和几百个楔。此外,应当理解,伺服数据集可具有两个或更多个猝发串信息的字段。再进一步,要注意不同信息可包含在伺服字段中,例如可出现在猝发串信息108之后的可重复溢出信息。在楔101a和101b之间提供用户数据区171。

[0026] 在操作中,存储介质190相对于传感器(例如读/写头组件(未示出))转动,该传感器从存储介质190感测信息。在读操作中,传感器可从楔100b感测伺服数据(即在伺服数据周期内),之后从楔101b和楔101a之间的用户数据区感测用户数据(即在用户数据周期内),并随后从楔101a感测伺服数据。在写操作中,传感器将从楔101b感测伺服数据,随后将数据

写至楔101b和楔101a之间的用户数据区。然后,传感器将被切换以感测剩余部分的用户数据区,之后是来自楔101a的伺服数据。

[0027] 转向图2,图2示出根据本发明一些实施例的包括具有分数数据楔间隔电路的读通道电路287的存储系统200。存储系统200可以是例如硬盘驱动器。存储系统200还包括前置放大器291、接口控制器285、硬盘控制器289、电动机控制器299、主轴电动机297、磁盘板295和读/写头293。接口控制器285控制至/自磁盘板295的数据的寻址和定时。磁盘板295上的数据由多组磁信号构成,当组件正确地定位在磁盘板295上时这组磁信号可由读/写头组件293检测。在一个实施例中,磁盘板295包括根据纵向或垂直记录机制记录的磁信号。

[0028] 在典型的读操作中,读/写头组件293通过电动机控制器299精确地定位在磁盘板295上的要求数据磁道上。电动机控制器299通过使读/写头组件在硬盘控制器289的指导下移动至磁盘板295上的正确数据磁道而既相对于磁盘板295定位读/写头组件293又驱动主轴电动机297。主轴电动机297使磁盘板295以预定自旋速度(RPM)旋转。一旦读/写头组件293定位在正确的数据磁道附近,随着磁盘板295通过主轴电动机297旋转,表征磁盘板295上的数据的磁信号由读/写头组件293感测出。感测出的磁信号被提供作为表征磁盘板295上的磁数据的连续微小模拟信号。该微小模拟信号经由前置放大器291从读/写头组件293转移至读通道电路287。前置放大器291用于放大从磁盘板295访问到的微小模拟信号。进而,读通道电路287对接收的模拟信号解码并数字化以再生最初写至磁盘板295的信息。该数据作为读数据283被提供给接收电路。作为对接收的信息解码的一部分,读通道电路287使用具有降低复杂性定时环路的数据处理电路来执行数据检测和同步过程。该数据处理电路可包括与下面结合图3描述的分数数据楔间隔电路相似的分数数据楔间隔电路,和/或可与下面结合图4描述的方法相容地操作。写操作基本与在前的读操作相反,其中写数据281被提供给读通道电路287。该数据随后被编码并被写至磁盘板295。

[0029] 应当注意,存储系统200可集成在较大的存储系统中,例如基于RAID(不昂贵盘的冗余阵列或独立盘的冗余阵列)的存储系统。还要注意,存储系统200的各种功能或组块可以软件或固件实现,而其它功能或组块可以硬件实现。

[0030] 图3示出根据本发明各实施例的分数数据楔间隔电路300。分数数据楔间隔电路300包括计数器电路311,该计数器电路311在伺服时钟313的每个上升沿上增一,且每当SAMFOUND信号315断言时被复位。如前面暗示的,SAMFOUND信号315每当在伺服楔100中识别出伺服地址标记104时被断言。另外,每当SAMFOUND信号315被断言,来自计数器电路311的计数值314被存储在寄存器电路321中。寄存器电路321将计数值314作为计数输出324提供给比较器电路340。

[0031] SAMFOUND信号315的连续断言之间的间距是已知的并可表示为数个时钟循环。该已知数量的时钟循环被称为预期的SAM至SAM计数303。预期的SAM至SAM计数303被提供给比较器电路340,该比较器电路340用于确定预期的SAM至SAM计数303和计数输出324之间的差,并将该差作为频率误差351提供。换句话说,预期的SAM至SAM计数303与SAMFOUND信号315的连续断言间的时钟循环的实际数量之间的任何差归因于频率误差。

[0032] 频率误差351被提供给除法器电路355,该除法器电路355根据下列方程将频率误差351除以与预期SAM至SAM计数303对应的数以得到频率误差百分比359:

[0033] 频率误差百分比359 =  $\frac{\text{频率误差 } 351}{\text{预期的SAM至SAM计数}303}$ 。

[0034] 时钟乘法器电路361根据下列方程将基准时钟363乘以与频率误差百分比359对应的值以得到伺服时钟313:

[0035] 伺服时钟313 = 伺服时钟乘数\*

[0036] [基准时钟363\*(1+频率误差百分比359)]°

[0037] 基准时钟363与使用来自伺服楔的信息产生的时钟相位和频率对准。伺服时钟乘数是基准时钟363频率的定义倍数以得到伺服时钟313。在一些情形下,伺服时钟乘数可以通过编程的变量或可以是固定的。例如,在伺服时钟313要求为1.02GHz时钟且基准时钟363是30MHz时钟的情形下,则伺服时钟乘数为三十四(34)(即1.02GHz/30MHz)。应当注意,伺服时钟乘数不必是整数,而是也可包括分数分量。在包括分数值的情形下,时钟乘数电路361中的寄存器大小增加以适应表征分数部分的位。

[0038] 时钟乘法器电路381将基准时钟363乘以与频率误差百分比359对应的值并乘以数据-伺服时钟比304以得到原始数据时钟383。数据-伺服时钟比304是连续伺服楔之间的数据区内的数据频率和伺服数据区中的信息频率之间的预期比,用下面方程表达:

[0039] 数据-伺服时钟比304 =  $\frac{\text{数据区的频率}}{\text{伺服数据扇区的频率}}$ 。

[0040] 下面的方程得到原始数据时钟383:

[0041] 原始数据时钟383 = 数据时钟乘数\*

[0042] [基准时钟363\*(1+频率误差百分比359)\*数据-伺服时钟比304]°

[0043] 伺服时钟313和原始数据时钟383是从基准时钟363产生的,取得盘时钟锁定。数据时钟乘数是基准时钟363频率的定义倍数,用以得到原始数据时钟383。例如,在原始数据时钟383要求为1.38GHz时钟并且基准时钟363为30MHz时钟的情形下,则数据时钟乘数是四十六(46)(即1.38GHz/30MHz)。应当注意,数据时钟乘数不必是整数,而是也可包括分数分量。在包括分数值的情形下,时钟乘数电路381中的寄存器大小增加以适应表征分数部分的位。

[0044] 该盘时钟锁定将原始数据时钟383的频率锁定至与伺服时钟313的频率成比例的频率。内部读通道时钟和自旋盘之间的这种频率关系尤其使在连续伺服楔之间延伸的用户数据区用较小的频率变化写入。这种频率变化的减小使得主导用户数据写入的定时恢复电路必须工作在的范围量减小。

[0045] 数据楔间隔电路300的前述部分提供与伺服楔中的信息频率对应的伺服时钟313以及与存储至居间于连续伺服楔之间的用户数据区的数据频率对应的原始数据时钟383。伺服时钟313和原始数据时钟383两者取自同一基准时钟363并由同一频率误差百分比359调整。然而,由于原始数据时钟383和伺服时钟313运行在不同的频率下(即使针对伺服楔达到相位锁定),原始数据时钟383仍然随时间作相位漂移,因为原始数据时钟383在盘的一转至盘的下一转撞上伺服时钟313。下面描述的分数数据楔间隔电路300的电路用于达成在伺服时钟313和原始数据时钟383两者的域内的预定点处的相位锁定,即使这两个时钟可被编程至具有任意不同的频率。在本发明的一些实施例中,在每个伺服楔对原始数据时钟383作出预测且受控制的相位调整,该相位调整不基于时序恢复环回读波形,而是基于原始数据

时钟383和伺服时钟313之间的频率比的系统知识。

[0046] 相位调整电路301确保经相位调整的数据时钟399的第一边沿与伺服时钟313的相应边沿相位对准。相位调整电路301用于将分数相位偏移(即伺服时钟313的子周期)施加于原始数据时钟383并由此使经相位调整的数据时钟399与伺服时钟313对准。值得注意的是,原始数据时钟383通过时钟乘法器电路381频率匹配于伺服时钟313(即匹配于与伺服时钟313的频率成比例的频率)。因此,经相位调整的数据时钟399在伺服楔结束处和用户数据区开始处既相位对准又频率对准。

[0047] 相位调整电路301包括接收分子值385和分母值386的可编程模累加器电路389。分母值386设定为等于由乘法器电路361使用的伺服时钟乘数。分子值385是根据下列方程设定的:

$$[0048] \quad \text{分子值 } 385 = \text{余数} \left[ \text{间距} * \frac{\text{数据时钟乘数}}{\text{伺服时钟乘数}} \right],$$

[0049] 其中间距是从一个伺服楔至后一个伺服楔的伺服时钟313的周期数。

[0050] 可编程模累加器电路389计算原始数据时钟的周期数383对分母值386取模以得到模输出391。因此,例如在分母值为8且原始数据时钟383周期的计数为9的情况下,模输出为 $1+1/8$ 。模输出391每当SAMFOUND 315被断言时被更新。在本发明的一个实施例中,可编程模累加器电路389根据下列伪代码运作:

```
Temporary Value = Old Accumulator + Numerator Value 385;
```

```
If (SAMFOUND 315 is asserted)
```

```
{
```

```
Old Accumulator = Modulus Output 391;
```

```
If (Temporary Value < Denominator Value 386)
```

```
{
```

```
[0051] Modulus Output 391 = Temporary Value
```

```
}
```

```
Else
```

```
{
```

```
Modulus Output 391 = Temporary Value - Denominator Value 386
```

```
}
```

```
}
```

[0052] 要注意,如同前述伺服时钟乘法器和数据时钟乘法器,分母值386不必是整数值,而是也可包括分数分量。在这些情形下,累加器的大小被扩展以适应分数位。

[0053] 如前面伪代码所暗示的,一旦断言SAMFOUND信号315,模输出391被更新。模输出391被提供给舍入和定标电路393,该舍入和定标电路393将模输出舍入至通过数据时钟相位控制电路397取得的步长。舍入和定标电路393提供经修正的模输出391作为经修正的输

出395。数据时钟相位控制电路397将相移施加至原始数据时钟383,该原始数据时钟383对应于修正的输出395以得到经相位调整的数据时钟399。数据时钟相位控制电路397可以是能够将相移施加于时钟信号以得到相移时钟信号作为输出的业内已知的任何电路。基于这里给出的公开内容,本领域内技术人员将发现可关联于本发明不同实施例使用的多种相移电路。在SAMFOUND信号315与伺服时钟313同步的情形下,经相位调整的数据时钟399在SAMFOUND信号315断言之后的第一个上升沿与伺服时钟313相位对准。在一些情形下,相位对准是精确的,而在其它情形下,在伺服时钟313和经相位调整的数据时钟399的上升沿之间存在一已知的延时,该延时由于是已知的因此能被补偿。在其它实施例中,可使用也与伺服时钟313同步的除SAMFOUND信号315以外的触发。在任一情形下,通过数据时钟相位控制信号397强制使经相位调整的数据时钟399在触发断言后的首个边沿与伺服时钟397呈预定的相位对准。

[0054] 仅作为通过使用与分数数据楔间隔电路300类似的电路取得的一个优势,控制原始数据时钟383相位的能力可通过消除伺服楔和居间数据区的相对位置的某些不确定性而实现改善的格式效率(数量减少的格式化位)。作为可通过使用与分数数据楔间隔电路300类似的电路所取得的另一示例优势,如果相邻数据磁道的时钟相位一直是已知的和受控制的,则可获得盖瓦式记录应用的优势。作为可通过使用与分数数据楔间隔电路300类似的电路取得的另一示例性优势,本发明的各实施例可结合位图案的媒体使用,在这种媒体中可能需要适应伺服楔之间的分数数据周期同时获得对这些数据岛的相位锁定。基于本文提供的公开,本领域内技术人员将发现作为通过使用与结合图3描述相似的电路可取得的前面提到的优势的附加或取代的多种其它优势。

[0055] 作为分数数据楔间隔电路300的操作的一个示例,伺服时钟乘数是三十四(34)而数据时钟乘数为四十六(46)。时钟乘法器电路361和时钟乘法器电路381用来锁定伺服时钟313的相位和频率以强制每个SAM-SAM周期准确地为伺服时钟313的10000个周期(即预期的SAM-SAM计数303为10000)。该盘锁定强制间隔以避免原始数据时钟383相对于用户数据区任一侧上的伺服楔的相移。为此,原始数据时钟383准确地具有每SAM-SAM周期13529又14/34个周期(即 $10,000 \times 46 / 34 = 13,529.4118$ )。

[0056] 这可通过对原始数据时钟383执行+14/34次相位调整来达成,从而每当断言SAMFOUND信号315时得到经相位调整的数据时钟399。使用经相位调整的数据时钟399,包含作为读通道电路一部分的数据处理电路可使用数据位计数器,该数据位计数器将每13529个时钟周期打包以监视相对于在前伺服楔的当前数据时钟周期位置。

[0057] 数据时钟相位控制电路397典型地设计成具有与2的幂(即1、2、4、8、16、64、128……)对准的分辨率。在一示例实施例中,数据时钟相位控制电路397的分辨率为 $T/64$ (即经相位调整的数据时钟399可以原始数据时钟383的周期的 $1/64$ 的增量调整)。在这一情形下,14/34相移必须表达为 $nT/64$ 的增量。在这种情形下,14/34最接近 $26T/64$ 。要注意,在一些情形下,可设计简单的数字电路以跟踪14/34T调整,平均需要对每个伺服楔进行该调整,并且施加于经相位调整的数据时钟399的相位调整的实际量可以从该值的舍入。

[0058] 遵照通过多个连续伺服楔的前述例子,下表示出在每个连续伺服楔结束处施加的相移的进程:

[0059]

| 伺服楔数  | 模输出 391     | 经调节的输出 395 | 施加于经相位调整的数据时钟 399 的累计数据时钟相位调整 |
|-------|-------------|------------|-------------------------------|
|       |             |            |                               |
| 1     | 14/34       | 26/64      | 26/64                         |
| 2     | 28/34       | 53/64      | 53/64                         |
| 3     | 8/34 (周围包裹) | 15/64      | 1 又 15/64                     |
| 4     | 22/34       | 41/64      | 1 又 41/64                     |
| 5     | 2/34 (周围包裹) | 4/64       | 2 又 4/64                      |
| 6     | 16/34       | 30/64      | 2 又 30/64                     |
| . . . | . . .       | . . .      | . . .                         |

[0060] 通过使用该分数锁定,可针对经相位调整的数据时钟399和伺服时钟313取得相位锁定。这样的成本

[0061] 转向图4,时序图400示出分数数据楔间距电路300的示例操作。在时序图400之后,原始数据时钟383和伺服时钟313工作在不同的频率下。当找到扇区地址标记时,SAMFOUND信号315被断言。一旦SAMFOUND信号315的断言与伺服时钟313的时钟边沿410同步,数据时钟相位控制电路397将经相位调整的数据时钟399相移一相位量420。相位量420对应于由修正的输出395指出的量。

[0062] 转向图5,流程图500示出根据本发明一些实施例的用于分数数据楔间隔的方法。遵照流程图500,判断扇区地址标记是否已识别(方框505)。可使用业内已知的用于识别扇区地址标记的任何方法。在扇区地址标志已被识别的情形下(方框505),将指示发生在伺服楔之间的时钟数目的时钟计数输出与预期的SAM-SAM计数比较以确定频率误差(方框510)。基于频率误差来计算频率误差百分比(方框515)。可根据下列方程来计算频率误差百分比。

$$[0063] \quad \text{频率误差百分比} = \frac{\text{频率误差 351}}{\text{预期的SAM-SAM计数}}$$

[0064] 伺服时钟和原始数据时钟两者是基于频率误差百分比从基准时钟生成的(方框520)。伺服时钟可通过将基准时钟乘以与频率误差百分比对应的值而生成的,如下面方程所示:

$$[0065] \quad \text{伺服时钟} = \text{伺服时钟乘数} \times$$

$$[0066] \quad [\text{基准时钟} \times (1 + \text{频率误差百分比})]$$

[0067] 基准时钟与使用来自伺服楔的信息产生的时钟相位和频率对准。伺服时钟乘数是得到伺服时钟的基准时钟的频率的定义倍数。在一些情形下,伺服时钟乘数可通过编程变化或者是固定的。例如,在伺服时钟313要求为1.02GHz时钟且基准时钟363是30MHz时钟的情形下,则伺服时钟乘数为三十四(34)(即1.02GHz/30MHz)。应当注意,伺服时钟乘数不必

是整数值,而是也可包括分数分量。

[0068] 原始数据时钟可通过将基准时钟乘以与频率误差百分比对应的值并将基准时钟乘以数据-伺服时钟比来产生。数据-伺服时钟比是连续伺服楔之间的数据区中的数据的频率与伺服数据区中的信息的频率之间的预期比,由下列方程表示:

$$[0069] \quad \text{数据-伺服时钟比} = \frac{\text{数据区的频率}}{\text{伺服数据扇区的频率}}$$

[0070] 下列等式得出原始数据时钟:

[0071] 原始数据时钟=数据时钟乘数\*

[0072] [基准时钟\*(1+频率误差百分比)\*数据-伺服时钟比]

[0073] 由于伺服时钟和原始数据时钟是从同一基准时钟产生的,取得盘时钟锁定。

[0074] 另外,模输出被更新(方框540)。模输出指示原始数据时钟从扇区地址标记信号的断言偏移的原始数据时钟的周期的分数。可舍入模输出以使其处于与由相移电路适应的相同的步长(方框545)。经舍入的值作为经修正的输出被提供给相移电路。原始数据时钟随后被相移一个量,该量与经修正的输出对应以得到经相位调整的数据时钟(方框550)。

[0075] 应当注意,前面应用中讨论的各个框图可连同其它功能地实现为集成电路。该集成电路可包括给定的方框、系统或电路或仅方框、系统或电路的一个子集的全部功能。此外,方框、系统或电路中的要素可跨多个集成电路实现。这类集成电路可以是业内已知的任何类型集成电路,包括但不限于单片集成电路、倒装式集成电路、多片模块集成电路和/或混合信号集成电路。还要注意,这里描述的方框、系统或电路的多种功能可实现在软件或固件中。在某些这样的情形下,整个系统、方框或电路可使用其软件或固件等效物来实现。在其它情形下,给定系统、方框或电路的一部分可实现在软件或固件中,而其它部分可实现在硬件中。

[0076] 总之,本发明提供用于数据处理的新颖系统、设备、方法和配置。尽管上面已给出本发明一个或多个实施例的详细描述,然而各种替代、修正和等效物对本领域内技术人员来说是显而易见的,并且不会改变本发明的精神。因此,上述内容不应当被解释为限制由所附权利要求限定的本发明的范围。

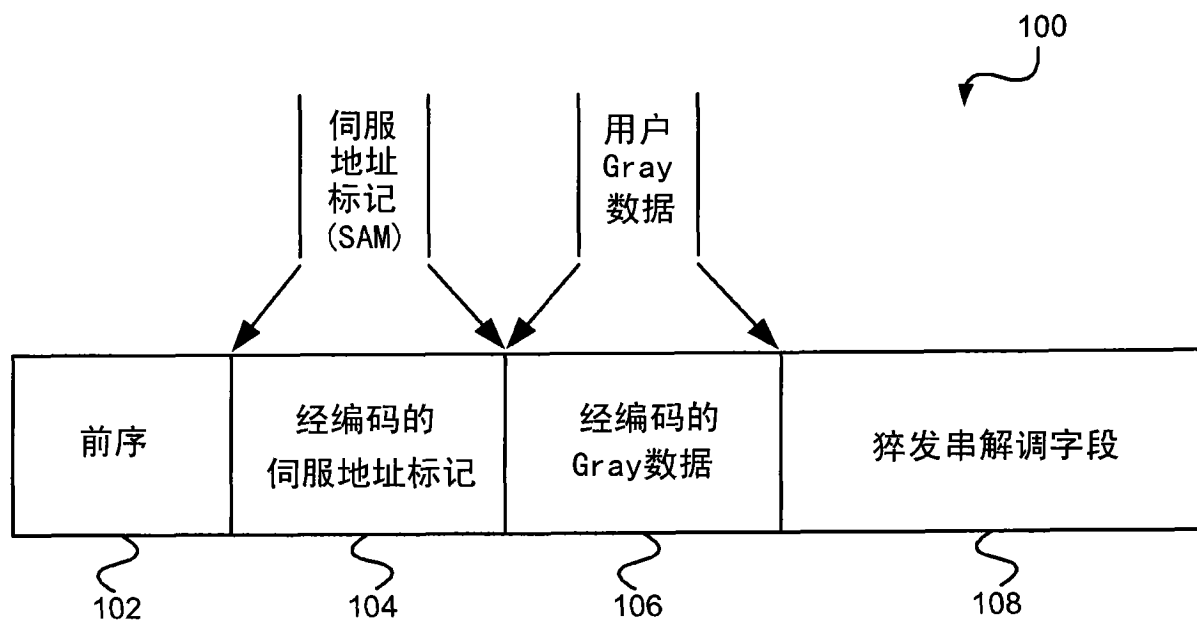


图1a现有技术

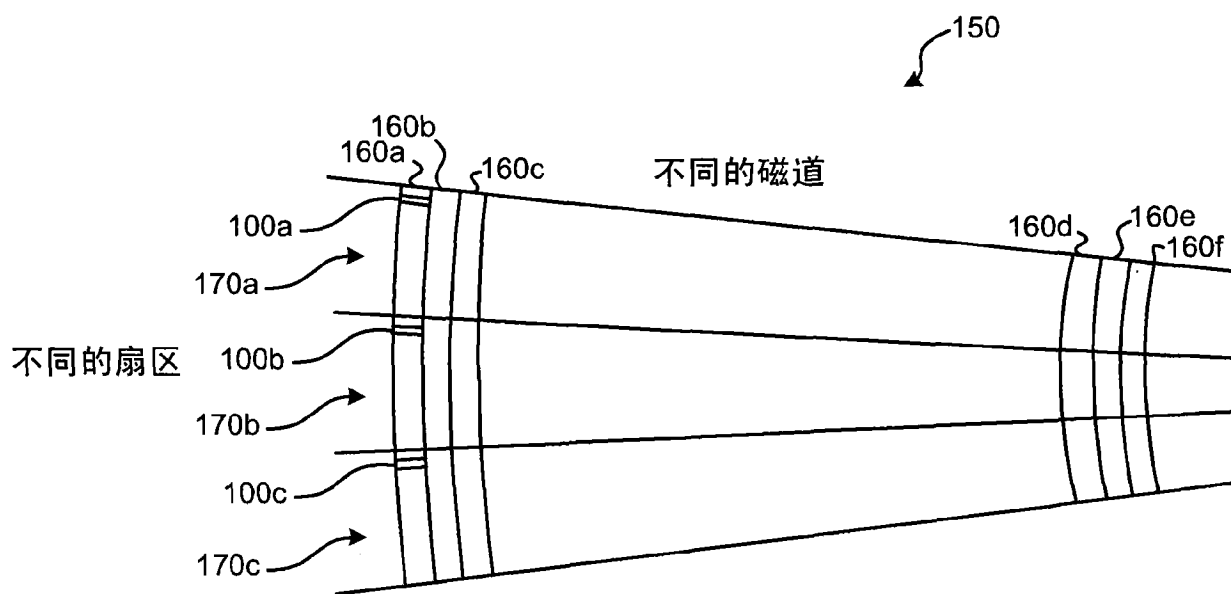


图1b现有技术

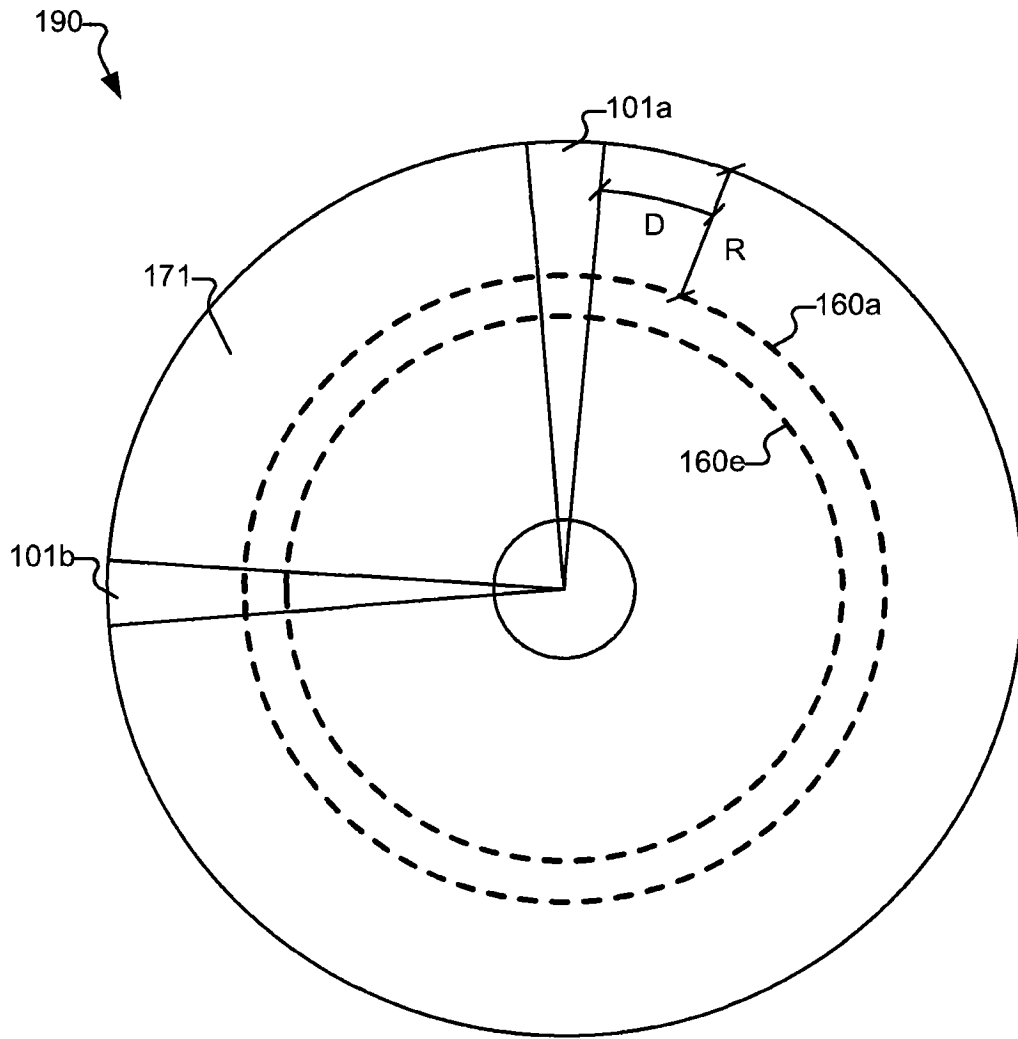


图1c现有技术

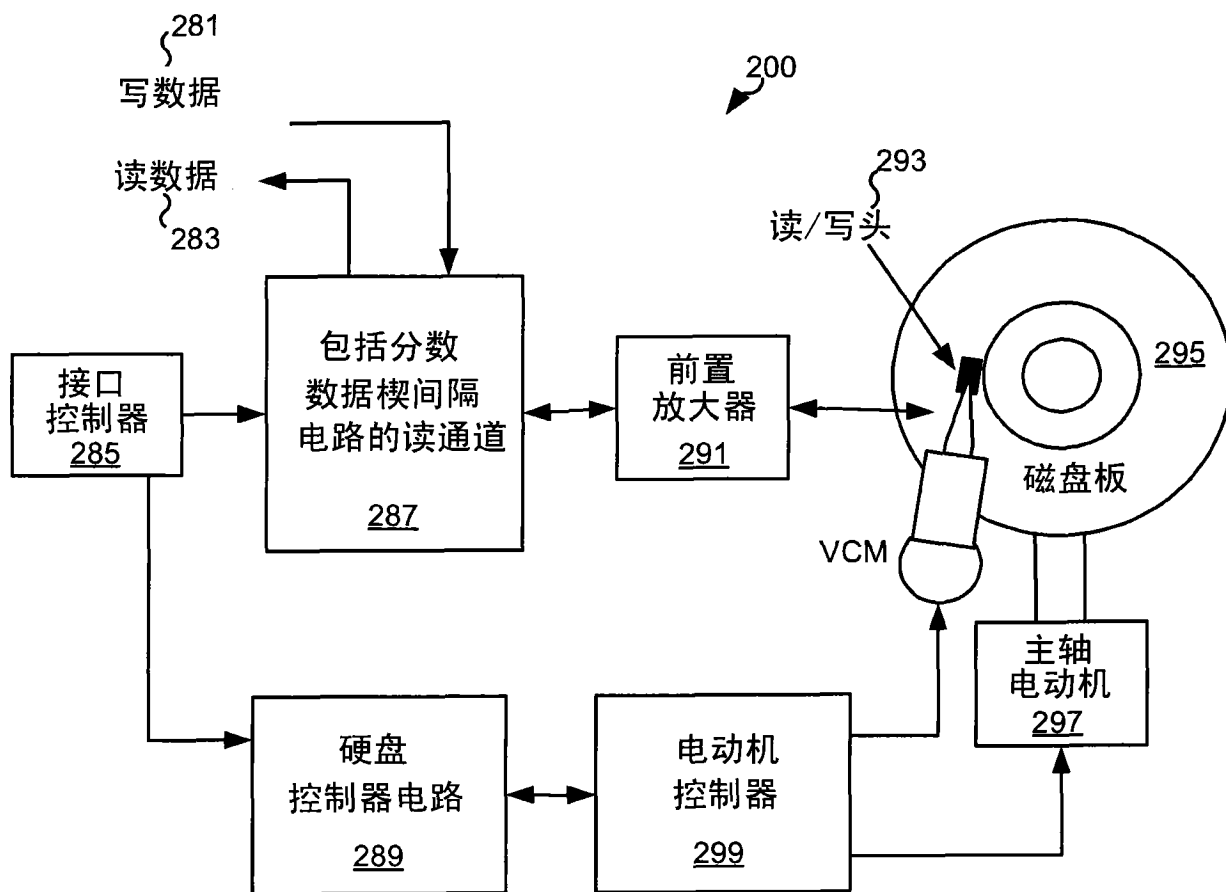


图2

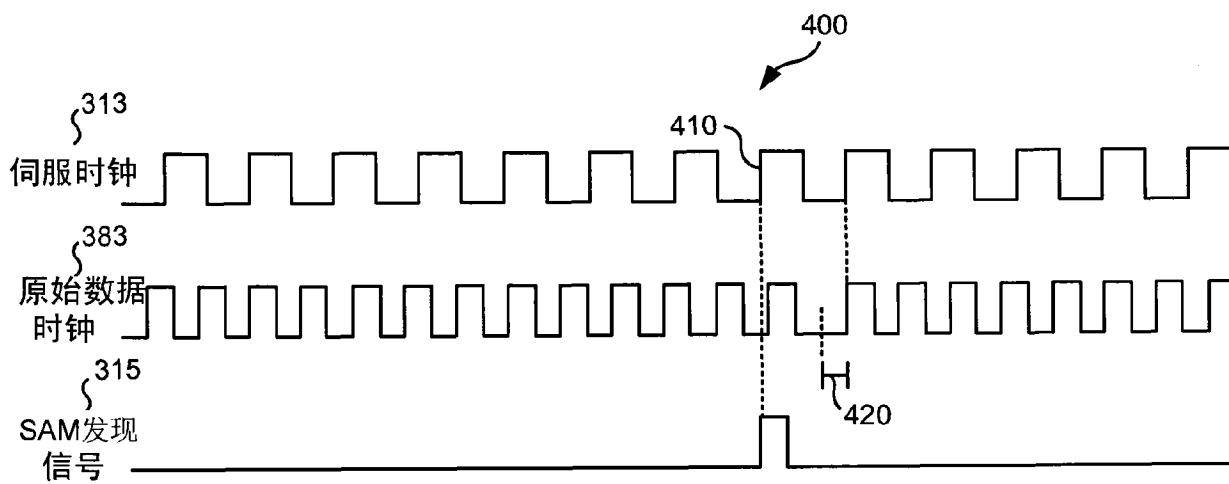


图4

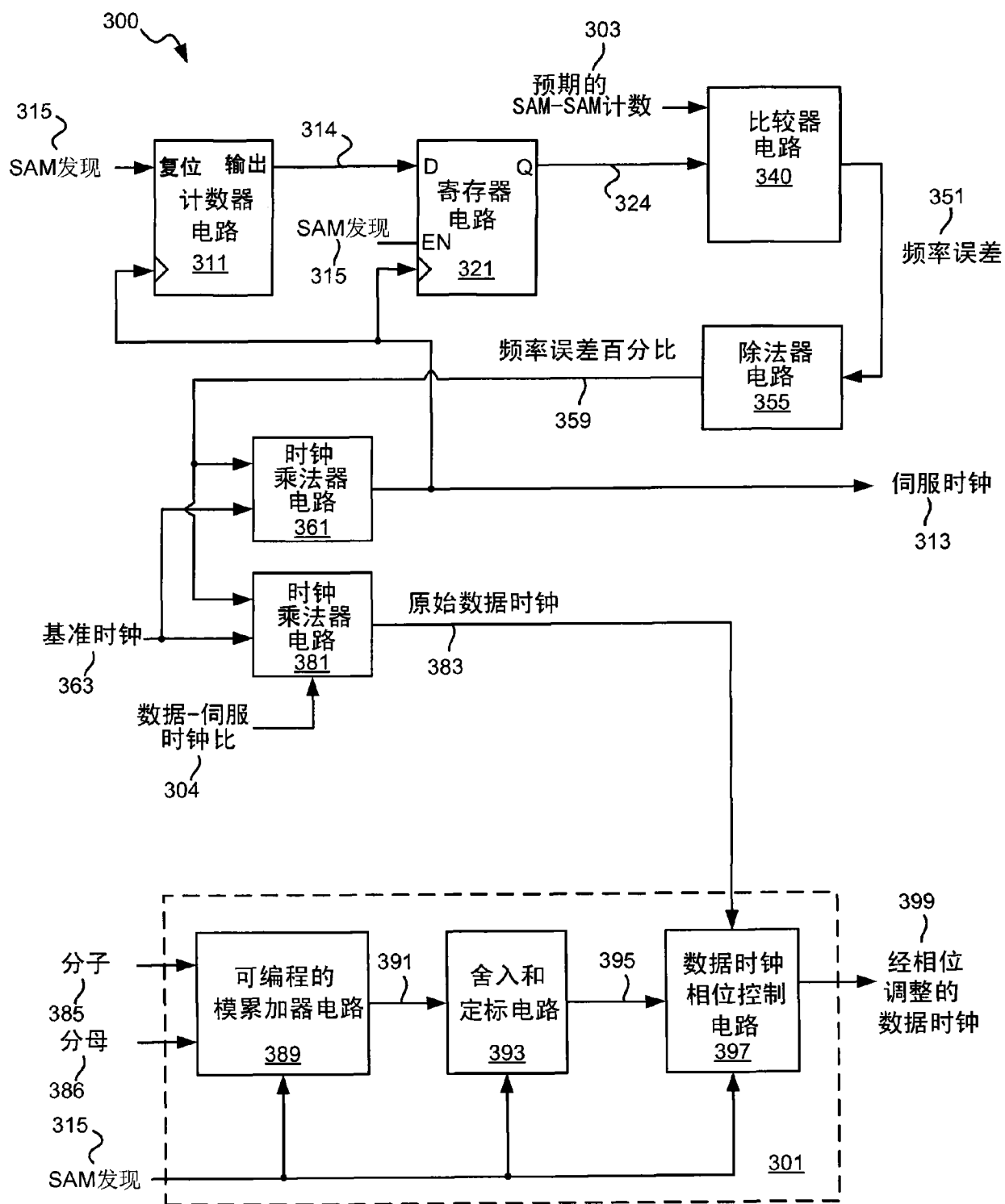


图3

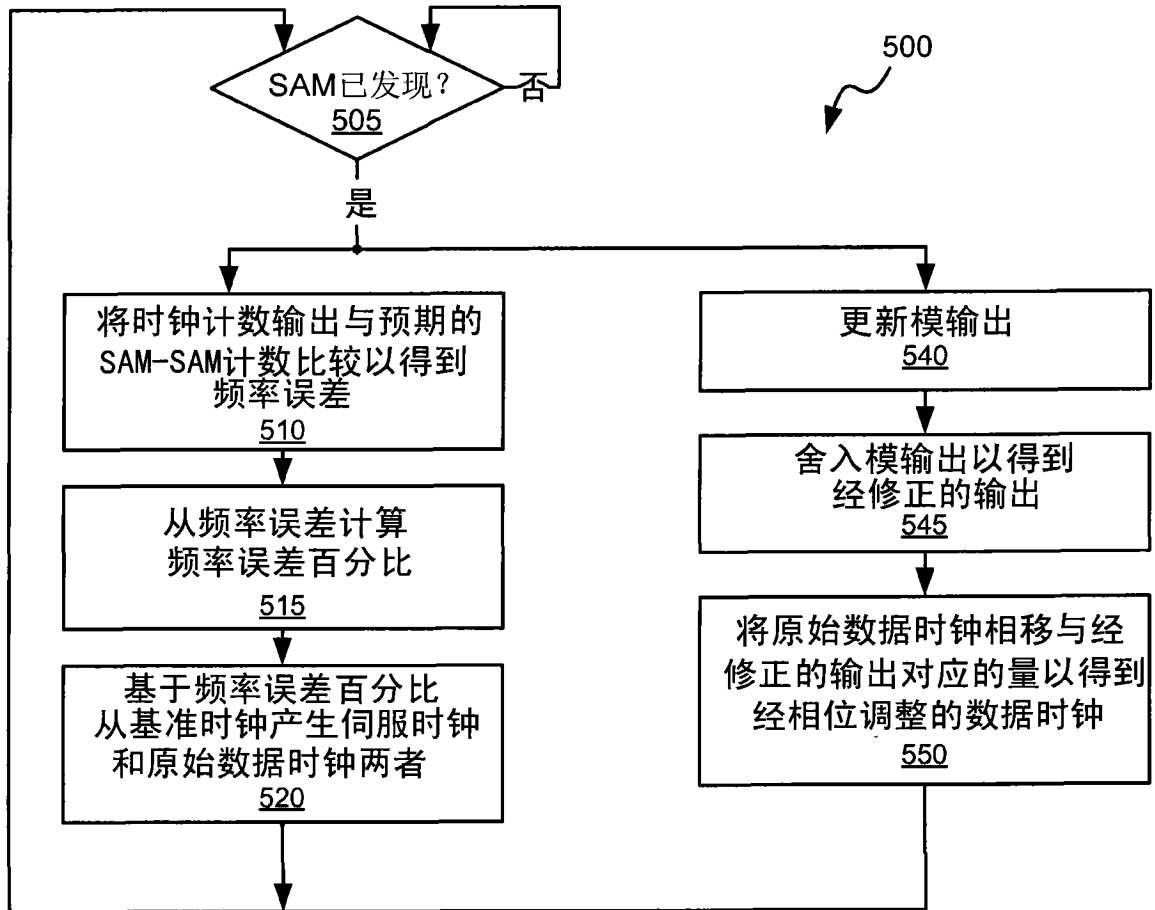


图5