

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和6年5月21日(2024.5.21)

【公開番号】特開2023-183911(P2023-183911A)

【公開日】令和5年12月28日(2023.12.28)

【年通号数】公開公報(特許)2023-245

【出願番号】特願2022-97715(P2022-97715)

【国際特許分類】

A 63 F 5/04 (2006.01)

10

【F I】

A 63 F 5/04 601 B

A 63 F 5/04 697

【手続補正書】

【提出日】令和6年5月13日(2024.5.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

20

【補正の内容】

【特許請求の範囲】

【請求項1】

遊技の進行を制御する主制御部と、遊技価値の管理に関する制御を行う遊技価値制御部とが搭載された主制御基板を備える遊技機であって、

前記主制御基板には、前記主制御基板の表面側でその端子が半田付けされる複数の表面実装部品と、前記主制御基板を貫通するスルーホールに前記主制御基板の表面側からその端子を挿通させ、前記主制御基板の裏面側でその端子が半田付けされる複数のディップ実装部品と、が実装され、

前記複数の表面実装部品は、前記主制御部のマイクロプロセッサに接続された第1の集積回路と、前記遊技価値制御部のマイクロプロセッサに接続された第2の集積回路と、を少なくとも含み、

前記第1の集積回路及び前記第2の集積回路はそれぞれ複数の端子を有しており、前記第1の集積回路の複数の端子と前記第2の集積回路の複数の端子との間がそれぞれ配線で接続され、

前記第1の集積回路の複数の端子と前記第2の集積回路の複数の端子との間を接続する配線のそれぞれに対してテストポイントが設けられており、

前記テストポイントは、配線で接続された前記表面実装部品のそれぞれの端子ピッチが特定サイズ以下の場合に設けられ、

前記主制御部のマイクロプロセッサと前記遊技価値制御部のマイクロプロセッサとは同一の構成である、遊技機。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

(1) 本発明の遊技機は、

遊技の進行を制御する主制御部(例えば、主制御部411a)と、遊技価値の管理に関する制御を行う遊技価値制御部(例えば、メダル数制御部411b)と、が搭載された主制

40

50

御基板（例えば、主制御基板 411）を備える遊技機であって、

前記主制御基板には、前記主制御基板の表面側でその端子が半田付けされる複数の表面実装部品と、前記主制御基板を貫通するスルーホールに前記主制御基板の表面側からその端子を挿通させ、前記主制御基板の裏面側でその端子が半田付けされる複数のディップ実装部品と、が実装され、

前記複数の表面実装部品は、前記主制御部のマイクロプロセッサに接続された第1の集積回路（例えば、I C 3）と、前記遊技価値制御部のマイクロプロセッサに接続された第2の集積回路（例えば、I C 5）と、を少なくとも含み、

前記第1の集積回路及び前記第2の集積回路はそれぞれ複数の端子を有しており、前記第1の集積回路の複数の端子と前記第2の集積回路の複数の端子との間がそれぞれ配線で接続され、

前記第1の集積回路の複数の端子と前記第2の集積回路の複数の端子との間を接続する配線のそれぞれに対してテストポイントが設けられており、

前記テストポイントは、配線で接続された前記表面実装部品のそれぞれの端子ピッチが特定サイズ以下の場合に設けられ、

前記主制御部のマイクロプロセッサと前記遊技価値制御部のマイクロプロセッサとは同一の構成である。

10

20

30

40

50