(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0049561
(43) 공개일자 2018년05월11일

(51) 국제특허분류(Int. Cl.)
H02M 3/158 (2006.01)
(52) CPC특허분류
H02M 3/1582 (2013.01)
(21) 출원번호 10-2016-0145607
(22) 출원일자 2016년11월03일
심사청구일자 2016년11월03일

(71) 출원인
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
정해영
인천광역시 부평구 마장로220번길 13, 101동 1201호(산곡동, 한신휴아파트)
이석현
인천광역시 남구 학익소로63번길 59, 38동 403호 (학익동, 신동아아파트6차)
(뒷면에 계속)
(74) 대리인
양성보

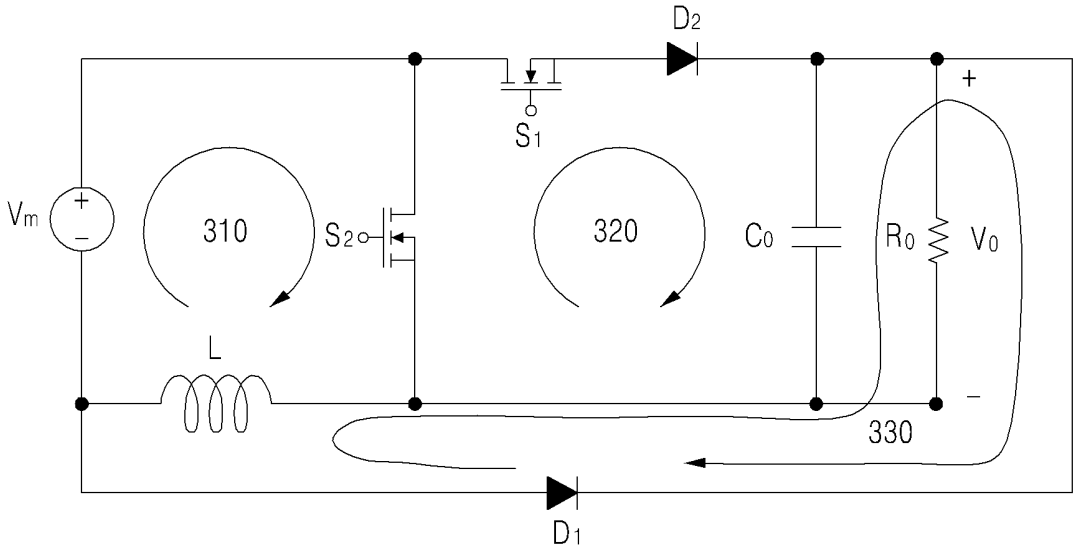
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **새로운 방식의 두 스위치 벅 부스트 회로**

(57) 요 약

새로운 방식의 두 스위치 벅 부스트 회로 가 제시된다. 본 발명에서 제안하는 새로운 방식의 두 스위치 벅 부스트 회로는 전원 공급원, 제2 스위치 및 인덕터를 포함하는 제1 루프, 상기 제2 스위치, 제1 스위치, 제2 다이오드 및 출력 캐패시터를 포함하는 제2 루프 및 상기 인덕터, 상기 출력 캐패시터 및 제1 다이오드를 포함하는 제3 루프를 포함한다. 상기 인덕터는 그라운드와 연결되고, 벅(Buck) 회로, 부스트(Boost) 회로 또는 벅-부스트(Buck-Boost) 회로 중 어느 하나의 회로로서 동작할 때 해당 전류패스에 포함된 스위치 및 다이오드의 수를 감소시킬 수 있다.

대 표 도 - 도3



(72) 발명자

김재환

인천광역시 남동구 에코중앙로 96, 902동 1301호(논현동, 에코메트로9단지한화꿈에그린아파트)

김성환

서울특별시 구로구 새말로16길 70, 2208호(구로동, 다솜금호아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 2015R1A3A2066301
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 리더연구자지원
연구과제명 나노셀룰로오스 기반 미래복합재
기 여 율 4/10
주관기관 인하대학교
연구기간 2016.12.01 ~ 2018.09.30

이 발명을 지원한 국가연구개발사업

과제고유번호 2016R1D1A1B03935974
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 기본연구지원
연구과제명 압전소자를 이용한 플라즈마 진단법
기 여 율 3/10
주관기관 인하대학교산학협력단
연구기간 2016.11.01 ~ 2018.08.31

이 발명을 지원한 국가연구개발사업

과제고유번호 M01201620140550
부처명 해양수산부
연구관리전문기관 한국수산과학기술진흥원
연구사업명 해양에너지특성화대학원 지원사업
연구과제명 해양에너지 융복합 인력양성
기 여 율 3/10
주관기관 인하대학교산학협력단
연구기간 2016.03.01 ~ 2019.02.28

명 세 서

청구범위

청구항 1

전원 공급원, 제2 스위치 및 인덕터를 포함하는 제1 루프;

상기 제2 스위치, 제1 스위치, 제2 다이오드 및 출력 캐패시터를 포함하는 제2 루프; 및

상기 인덕터, 상기 출력 캐패시터 및 제1 다이오드를 포함하는 제3 루프를 포함하고,

상기 인덕터는 그라운드와 연결되고,

벅(Buck) 회로, 부스트(Boost) 회로 또는 벅-부스트(Buck-Boost) 회로 중 어느 하나의 회로로서 동작할 때 해당 전류패스에 포함된 스위치 및 다이오드의 수를 감소시키는 두 스위치 벅 부스트 회로.

청구항 2

제1항에 있어서,

상기 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때,

벅 회로가 온 모드인 경우, 상기 전원 공급원으로부터의 해당 전류패스에 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 캐패시터 및 상기 인덕터를 포함하고, 상기 제2 스위치 및 상기 제1 다이오드는 해당 전류패스에 포함되지 않는 두 스위치 벅 부스트 회로.

청구항 3

제1항에 있어서,

상기 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때,

벅 회로가 오프 모드인 경우, 해당 전류패스에 상기 출력 캐패시터, 상기 제1 다이오드 및 상기 인덕터를 포함하고, 상기 제2 스위치, 상기 제1 스위치 및 상기 제2 다이오드는 해당 전류패스에 포함되지 않는 두 스위치 벅 부스트 회로.

청구항 4

제1항에 있어서,

상기 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때,

부스트 회로가 온 모드인 경우, 상기 전원 공급원으로부터의 해당 전류패스에 상기 제2 스위치 및 상기 인덕터를 포함하고, 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 캐패시터 및 상기 제1 다이오드는 해당 전류패스에 포함되지 않는 두 스위치 벅 부스트 회로.

청구항 5

제1항에 있어서,

상기 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때,

부스트 회로가 오프 모드인 경우, 상기 전원 공급원으로부터의 해당 전류패스에 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 캐패시터 및 상기 인덕터를 포함하고, 상기 제2 스위치 및 상기 제1 다이오드는 해당 전류패스에 포함되지 않는 두 스위치 벅 부스트 회로.

청구항 6

제1항에 있어서,

상기 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때,

벅-부스트 회로가 온 모드인 경우, 상기 전원 공급원으로부터의 해당 전류패스에 상기 제2 스위치 및 상기 인덕터를 포함하고, 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 캐패시터 및 상기 제1 다이오드는 해당 전류패스에 포함되지 않는 두 스위치 벅 부스트 회로.

청구항 7

제1항에 있어서,

상기 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때,

벅-부스트 회로가 오프 모드인 경우, 해당 전류패스에 상기 출력 캐패시터, 상기 제1 다이오드 및 상기 인덕터를 포함하고, 상기 제2 스위치, 상기 제1 스위치, 상기 제2 다이오드는 해당 전류패스에 포함되지 않는 두 스위치 벅 부스트 회로.

발명의 설명

기 술 분 야

[0001] 본 발명은 두 스위치 벅 부스트의 새로운 구동 회로에 관한 것이다.

배 경 기 술

[0002] 실생활에서 사용되는 전자 제품들은 일정한 전압을 동작 전압으로서 공급받는다. 따라서, 상기 전자 제품들에 대해 일정한 전압을 공급하기 위한 전압 제어기가 필요하며, 상기 전압 제어기로서 벅-부스트 컨버터(buck-boost converter)가 이용될 수 있다.

[0003] 벅-부스트 컨버터는 기준 전압보다 높거나 낮지 않은 전압을 출력하는 DC-DC 컨버터의 한 종류이다. 벅-부스트 컨버터는 기준 전압보다 낮은 입력 전압이 입력되면 상기 입력 전압을 승압하는 부스트 컨버터로서 작동하고, 기준 전압보다 높은 입력 전압이 입력되면 상기 입력 전압을 강압하는 벅-컨버터로서 작동한다.

[0004] 한국공개특허 제2013-0032585호에는 효율이 높은 벅-부스트 회로에 관하여 개시되어 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 두 스위치 벅 부스트 회로의 각각의 동작 모드에 해당하는 전류패스에서 종래 기술에 비해 스위치와 다이오드가 삭제됨으로써 효율을 상승시키는데 있다.

과제의 해결 수단

[0006] 일 측면에 있어서, 본 발명에서 제안하는 새로운 방식의 두 스위치 벅 부스트 회로는 전원 공급원, 제2 스위치 및 인덕터를 포함하는 제1 루프, 상기 제2 스위치, 제1 스위치, 제2 다이오드 및 출력 캐패시터를 포함하는 제2 루프 및 상기 인덕터, 상기 출력 캐패시터 및 제1 다이오드를 포함하는 제3 루프를 포함한다. 상기 인덕터는 그라운드와 연결되고, 벅(Buck) 회로, 부스트(Boost) 회로 또는 벅-부스트(Buck-Boost) 회로 중 어느 하나의 회로로서 동작할 때 해당 전류패스에 포함된 스위치 및 다이오드의 수를 감소시킬 수 있다.

[0007] 상기 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때 벅 회로가 온 모드인 경우, 상기 전원 공급원으로부터의 해당 전류패스에 상기 제1 스위치, 제2 다이오드, 상기 출력 캐패시터 및 상기 인덕터를 포함하고, 상기 제2 스위치 및 상기 제1 다이오드는 해당 전류패스에 포함되지 않는다.

[0008] 상기 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 오프 모드인 경우, 해당 전류패스에 상기 인덕터, 상기 출력 캐패시터 및 상기 제1 다이오드를 포함하고, 상기 제2 스위치, 상기 제1 스위치 및 상기 제2 다이오드는 해당 전류패스에 포함되지 않는다.

[0009] 상기 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 온 모드인 경우, 상기 전원 공급원으로부터의 해당 전류패스에 상기 제2 스위치 및 상기 인덕터를 포함하고, 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 캐패시터 및 상기 제1 다이오드는 해당 전류패스에 포함되지 않는다.

[0010] 상기 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 오프 모드인 경우, 상기 전원 공

급원으로부터의 해당 전류패스에 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 캐패시터 및 상기 인덕터를 포함하고, 상기 제2 스위치 및 상기 제1 다이오드는 해당 전류패스에 포함되지 않는다.

[0011] 상기 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 온 모드인 경우, 상기 전원 공급원으로부터의 해당 전류패스에 상기 제2 스위치 및 상기 인덕터를 포함하고, 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 캐패시터 및 상기 제1 다이오드는 해당 전류패스에 포함되지 않는다.

[0012] 상기 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 오프 모드인 경우, 해당 전류패스에 상기 인덕터, 상기 출력 캐패시터 및 상기 제1 다이오드를 포함하고, 상기 제2 스위치, 상기 제1 스위치, 상기 제2 다이오드는 해당 전류패스에 포함되지 않는다.

발명의 효과

[0013] 본 발명의 실시예들에 따르면 두 스위치 벅 부스트 회로의 각각의 동작 모드에 해당하는 전류패스에서 종래 기술에 비해 스위치와 다이오드가 삭제됨으로써 효율을 상승시킬 수 있다.

도면의 간단한 설명

[0014] 도 1은 종래 기술에 따른 두 스위치 벅 부스트 회로이다.

도 2는 종래 기술에 따른 두 스위치 벅 부스트 회로의 모드별 동작을 나타내는 회로이다.

도 3은 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로이다.

도 4는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로의 모드별 동작을 나타내는 회로이다.

도 5는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로의 모드별 동작의 시뮬레이션 결과이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0016] 도 1은 종래 기술에 따른 두 스위치 벅 부스트 회로이다.

[0017] 도 1을 참조하면, 종래 기술에 따른 두 스위치 벅 부스트 회로는 전원 공급원(Vm), 제1 스위치(S_1), 제1 다이오드(D_1)를 포함하는 제1 루프(110), 제1 다이오드(D_1), 인덕터(L), 제2 스위치(S_2)를 포함하는 제2 루프(120) 및 제2 스위치(S_2), 제2 다이오드(D_2), 출력 캐패시터(Co)를 포함하는 제3 루프(130)를 포함한다.

[0018] 벅-부스트 컨버터는 기준 전압보다 높거나 낮지 않은 전압을 출력하는 DC-DC 컨버터의 한 종류이다. 벅-부스트 컨버터는 기준 전압보다 낮은 입력 전압이 입력되면 상기 입력 전압을 승압하는 부스트 컨버터로서 작동하고, 기준 전압보다 높은 입력 전압이 입력되면 상기 입력 전압을 강압하는 벅-컨버터로서 작동한다.

[0019] 종래 기술에 따른 두 스위치 벅 부스트 회로는 제1 스위치(S_1), 제2 스위치(S_2)의 On/Off를 제어하여 벅(Buck) 회로, 부스트(Boost) 회로 및 벅-부스트(Buck-Boost) 회로로서 3가지 경우에 따라 각각 다른 모드로 사용할 수 있다. 이러한 종래 기술에 따른 두 스위치 벅 부스트 회로의 모드 별 동작에 관하여 도 2를 참조하여 더욱 상세히 설명한다.

[0020] 도 2는 종래 기술에 따른 두 스위치 벅 부스트 회로의 모드별 동작을 나타내는 회로이다.

[0021] 도 2(a)는 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 온 모드인 경우의 동작을 나타내는 회로이다.

[0022] 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 온 모드인 경우, 전원 공급원(V_m)으로부터의 해당 전류패스에 제1 스위치(S_1), 인덕터(L), 제2 다이오드(S_2) 및 출력 캐패시터(Co)를 포함하

고, 상기 제1 다이오드(D_1) 및 상기 제2 스위치(S_2)는 해당 전류패스에 포함되지 않는다.

[0023] 도 2(b)는 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 오프 모드인 경우의 동작을 나타내는 회로이다.

[0024] 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 오프 모드인 경우, 해당 전류패스에 제1 다이오드(D_1), 인덕터(L), 제2 다이오드(D_2) 및 출력 캐패시터(Co)를 포함하고, 제1 스위치(S_1) 및 제2 스위치(S_2)는 해당 전류패스에 포함되지 않는다.

[0025] 도 2(c)는 종래 기술에 따른 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 온 모드인 경우의 동작을 나타내는 회로이다.

[0026] 종래 기술에 따른 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 온 모드인 경우, 전원 공급원(V_m)으로부터의 해당 전류패스에 제1 스위치(S_1), 인덕터(L) 및 제2 스위치(S_2)를 포함하고, 제2 다이오드(D_2), 제1 다이오드(D_1) 및 출력 캐패시터(Co)는 해당 전류패스에 포함되지 않는다.

[0027] 도 2(d)는 종래 기술에 따른 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 오프 모드인 경우의 동작을 나타내는 회로이다.

[0028] 종래 기술에 따른 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 오프 모드인 경우, 전원 공급원(V_m)으로부터의 해당 전류패스에 제1 스위치, 인덕터, 제2 다이오드 및 출력 캐패시터를 포함하고, 제1 다이오드 및 제2 스위치는 해당 전류패스에 포함되지 않는다.

[0029] 도 2(e)는 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 온 모드인 경우의 동작을 나타내는 회로이다.

[0030] 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 온 모드인 경우, 전원 공급원(V_m)으로부터의 해당 전류패스에 제1 스위치(S_1), 인덕터(L) 및 제2 스위치(S_2)를 포함하고, 제2 다이오드(D_2), 제1 다이오드(D_1) 및 출력 캐패시터(Co)는 해당 전류패스에 포함되지 않는다.

[0031] 도 2(f)는 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅 회로가 오프 모드인 경우의 동작을 나타내는 회로이다.

[0032] 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 오프 모드인 경우, 해당 전류패스에 제1 다이오드(D_1), 인덕터(L), 제2 다이오드(D_2) 및 출력 캐패시터(Co)를 포함하고, 제1 스위치(S_1) 및 제2 스위치(S_2)는 해당 전류패스에 포함되지 않는다.

[0033] 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅 회로, 부스트 회로, 벅-부스트 회로로서 동작할 때, 온/오프 모드에 따라 해당 전류패스에 포함된 스위치 또는 다이오드를 정리하면 아래 표 1과 같다.

[0034] <표 1>

[0035]

	On	Off
Buck	S1,D2	D1,D2
Boost	S1,S2	S1, D2
Buck-Boost	S1,S2	D1,D2

[0036] 반면에, 본 발명에서 제안하는 새로운 방식의 두 스위치 벅 부스트 회로는 종래기술에 비교하여 벅 회로, 부스트 회로, 벅-부스트 회로로서 동작할 때, 온/오프 모드에 따라 해당 전류패스에 포함된 스위치 또는 다이오드의 수를 감소시킬 수 있다. 따라서 각각의 스위치와 다이오드 패스에 대한 손실(loss)를 줄일 수 있어 기존 회로에

비하여 효율을 향상시킬 수 있다. 도 3 및 도 4를 참조하여 더욱 상세히 설명한다.

[0037] 도 3은 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로이다.

[0038] 제안하는 새로운 방식의 두 스위치 벅 부스트 회로는 스위치 2개와 다이오드 2개의 사용은 종래기술의 회로와 같지만, 각각의 온/오프 모드에 해당하는 전류패스에 포함된 스위치와 다이오드가 삭제됨으로써 효율이 상승한다.

[0039] 도 3을 참조하면, 제안하는 새로운 방식의 두 스위치 벅 부스트 회로는 전원 공급원(Vm), 제2 스위치(S_2) 및 인덕터(L)를 포함하는 제1 루프(310), 제2 스위치(S_2), 제1 스위치(S_1), 제2 다이오드(D_2) 및 출력 캐패시터(Co)를 포함하는 제2 루프(320) 및 출력 캐패시터(Co), 제1 다이오드(D_1) 및 인덕터(L)를 포함하는 제3 루프(330)를 포함한다.

[0040] 새로운 방식의 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 오프 모드에서는 제2 다이오드(D_2)를 통과하지 않아 전도 손실(conduction loss)를 줄일 수 있다. 또한, 부스트 회로로서 동작할 때, 온 모드에서는 제1 스위치(S_1)에 대한 손실을 줄일 수 있다. 또한, 벅-부스트 회로로서 동작할 때, 온/오프 모드에서는 각각의 스위치와 다이오드 패스에 대한 손실을 줄일 수 있어 종래기술에 따른 회로에 비하여 효율을 향상시킬 수 있다. 새로운 방식의 두 스위치 벅 부스트 회로의 온/오프 모드 별 전류 패스는 도 4에서 더욱 상세히 설명한다.

[0041] 도 4는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로의 모드별 동작을 나타내는 회로이다.

[0042] 도 4(a)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 온 모드인 경우의 동작을 나타내는 회로이다.

[0043] 새로운 방식의 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 온 모드인 경우, 전원 공급원(V_m)으로부터의 해당 전류패스에 제1 스위치(S_1), 제2 다이오드(D_2), 출력 캐패시터(Co) 및 인덕터(L)를 포함하고, 제2 스위치(S_2) 및 제1 다이오드(D_1)는 해당 전류패스에 포함되지 않는다.

[0044] 도 4(b)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 오프 모드인 경우의 동작을 나타내는 회로이다.

[0045] 새로운 방식의 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로가 오프 모드인 경우, 해당 전류패스에 출력 캐패시터(Co), 제1 다이오드(D_1) 및 인덕터(L)를 포함하고, 제2 스위치(S_2), 제1 스위치(S_1) 및 제2 다이오드(D_2)는 해당 전류패스에 포함되지 않는다.

[0046] 도 4(c)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 온 모드인 경우의 동작을 나타내는 회로이다.

[0047] 새로운 방식의 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 온 모드인 경우, 전원 공급원(V_m)으로부터의 해당 전류패스에 제2 스위치(S_2) 및 인덕터(L)를 포함하고, 제1 스위치(S_1), 제2 다이오드(D_2), 출력 캐패시터(Co) 및 제1 다이오드(D_1)는 해당 전류패스에 포함되지 않는다.

[0048] 도 4(d)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 오프 모드인 경우의 동작을 나타내는 회로이다.

[0049] 새로운 방식의 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로가 오프 모드인 경우, 전원 공급원(V_m)으로부터의 해당 전류패스에 제1 스위치(S_1), 제2 다이오드(D_2), 출력 캐패시터(Co) 및 인덕터(L)를 포함하고, 제2 스위치(S_2) 및 제1 다이오드(D_1)는 해당 전류패스에 포함되지 않는다.

[0050] 도 4(e)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 온 모드인 경우의 동작을 나타내는 회로이다.

[0051] 새로운 방식의 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 온 모드인 경우, 전원 공급원(V_m)으로부터의 해당 전류패스에 제2 스위치(S_2) 및 인덕터(L)를 포함하고, 제1 스위치(S_1), 제2 다이오드(D_2), 출력 캐패시터(Co) 및 제1 다이오드(D_1)는 해당 전류패스에 포함되지 않는다.

[0052] 도 4(f)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 오프 모드인 경우의 동작을 나타내는 회로이다.

[0053] 새로운 방식의 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로가 오프 모드인 경우, 해당 전류패스에 벅-부스트 회로가 오프 모드인 경우, 해당 전류패스에 상기 출력 캐패시터(Co), 제1 다이오드(D_1) 및 인덕터(L)를 포함하고, 제2 스위치(S_2), 제1 스위치(S_1), 제2 다이오드는 해당 전류패스에 포함되지 않는다.

[0054] 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로가 벅 회로, 부스트 회로, 벅-부스트 회로로서 동작할 때, 온/오프 모드에 따라 해당 전류패스에 포함된 스위치 또는 다이오드를 정리하면 아래 표 2과 같다.

[0055] <표 2>

[0056]

	On	Off
Buck	S1,D2	D1
Boost	S2	S1, D2
Buck-Boost	S2	D1

[0057] 제안하는 새로운 방식의 두 스위치 벅 부스트 회로와 종래기술에 따른 두 스위치 벅 부스트 회로를 비교하면, 새로운 방식의 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 오프 모드에서는 제2 다이오드(D_2)를 통과하지 않아 전도 손실(conduction loss)를 줄일 수 있다. 또한, 부스트 회로로서 동작할 때, 온 모드에서는 제1 스위치(S_1)에 대한 손실을 줄일 수 있다. 또한, 벅-부스트 회로로서 동작할 때, 온/오프 모드에서는 각각의 스위치와 다이오드 패스에 대한 손실을 줄일 수 있어 종래기술에 따른 회로에 비하여 효율을 향상시킬 수 있다.

[0058] 도 5는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로의 모드별 동작의 시뮬레이션 결과이다.

[0059] 도 5(a)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로와 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅 회로로서 동작할 때, 벅 회로의 온/오프 모드 동작에서의 전압 변화를 나타내는 시뮬레이션 결과이다.

[0060] 도 5(b)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로와 종래 기술에 따른 두 스위치 벅 부스트 회로가 부스트 회로로서 동작할 때, 부스트 회로의 온/오프 모드 동작에서의 전압 변화를 나타내는 시뮬레이션 결과이다.

[0061] 도 5(c)는 본 발명의 일 실시예에 따른 새로운 방식의 두 스위치 벅 부스트 회로와 종래 기술에 따른 두 스위치 벅 부스트 회로가 벅-부스트 회로로서 동작할 때, 벅-부스트 회로의 온/오프 모드 동작에서의 전압 변화를 나타내는 시뮬레이션 결과이다.

[0062] 도 5(a), 도 5(b) 및 도 5(c)에서 보여진 것과 같이, 종래 기술에 따른 두 스위치 벅 부스트 회로의 시뮬레이션 결과(reference) 대비 본 발명의 일 실시예에 따른 효율 개선된 두 스위치 벅 부스트 회로의 시뮬레이션 결과(proposed)는 동일하다.

[0063] 이와 같이, 종래 기술에 따른 두 스위치 벅 부스트 회로의 전압 파형을 유지하면서도 스위칭 손실과 컨덕션 손실을 줄일 수 있다. 다시 말해, 부하에서 필요한 전압(다시 말해, 전압파형)을 동일하게 나타내면서 사용되는 회로의 전류 패스에서 컨덕션 손실, 스위칭 손실을 줄일 수 있다.

[0064] 따라서, 종래 기술에 따른 두 스위치 벅 부스트 회로의 전류 패스에 의한 소자 손실대비 본 발명의 일 실시예에 따른 효율 개선된 두 스위치 벅 부스트 회로의 전류 패스에서 상대적으로 적은 개수의 소자를 거치므로 효율이 향상될 수 있다.

[0065] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0066] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

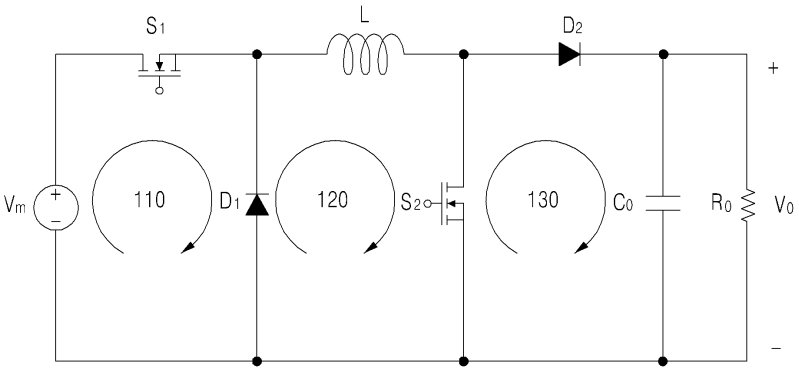
[0067] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0068] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

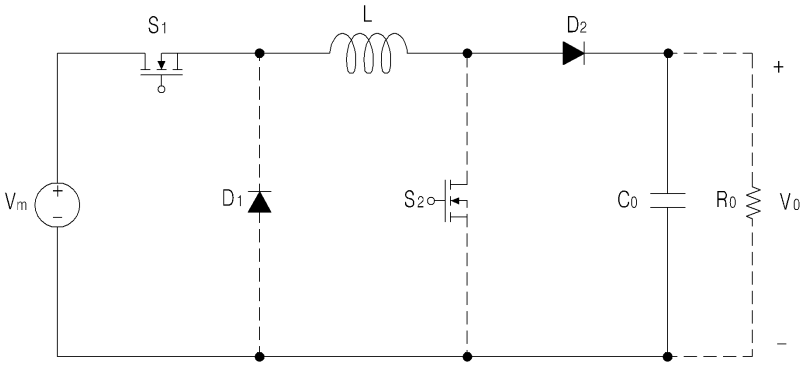
[0069] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

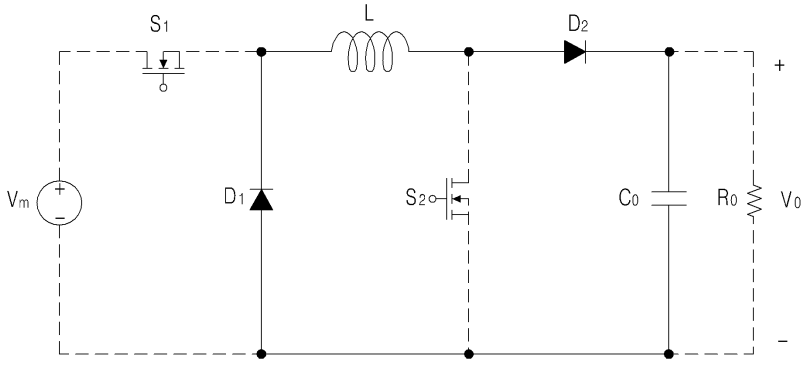
도면1



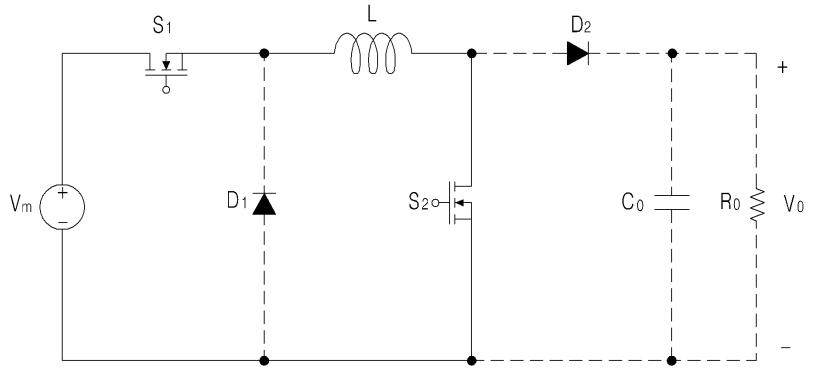
도면2a



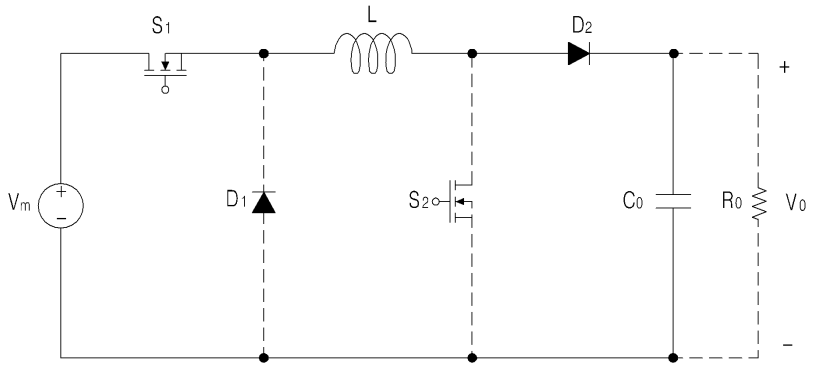
도면2b



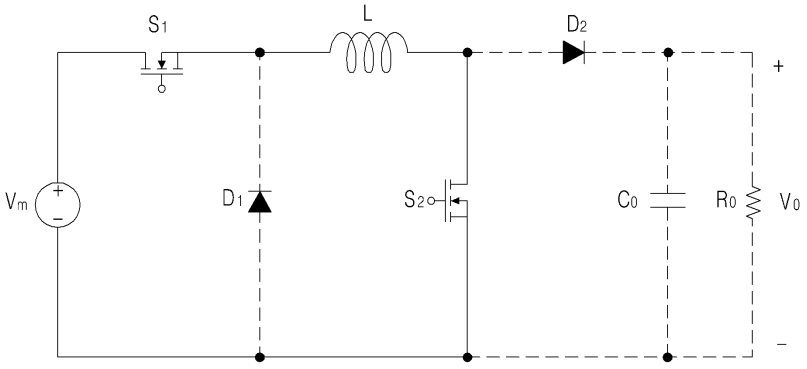
도면2c



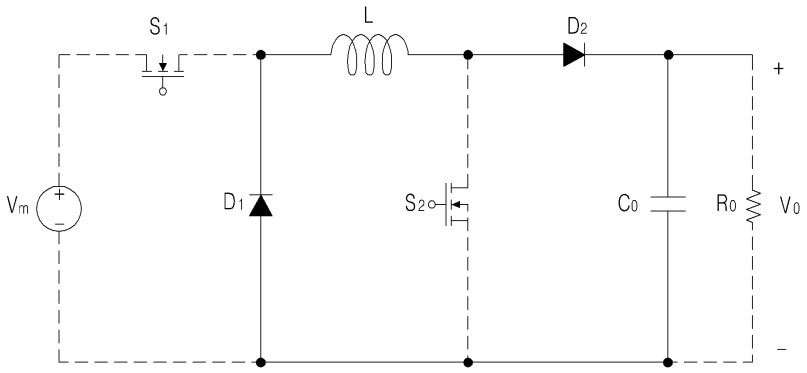
도면2d



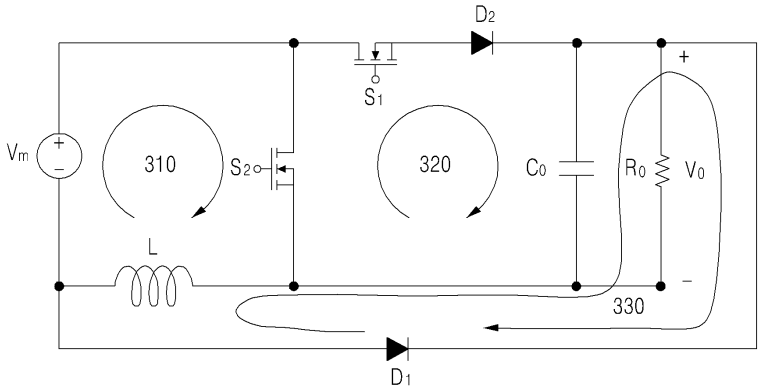
도면2e



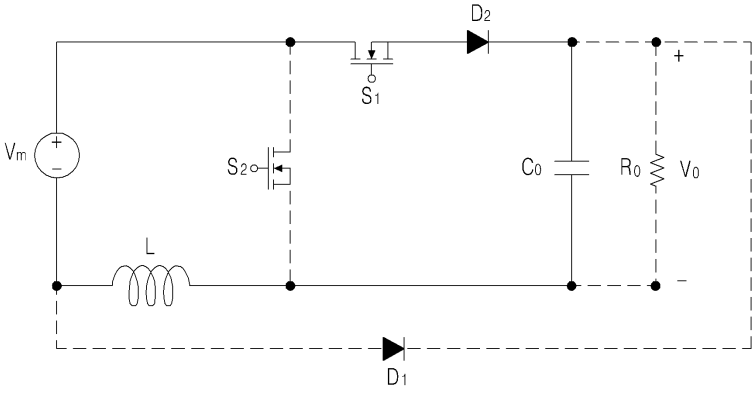
도면2f



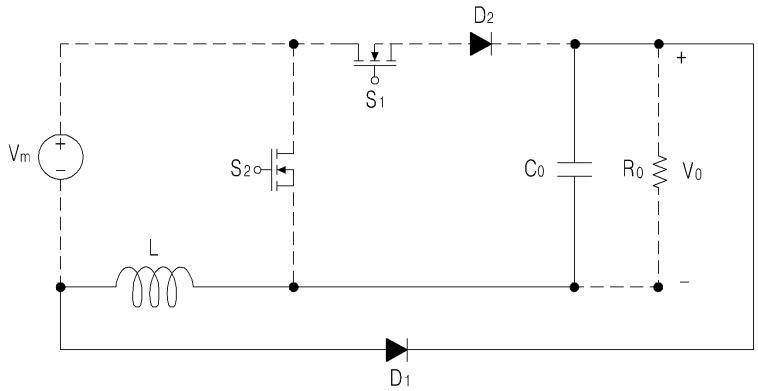
도면3



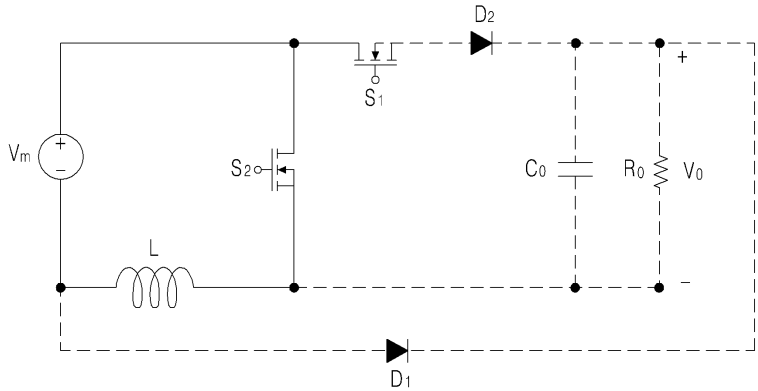
도면4a



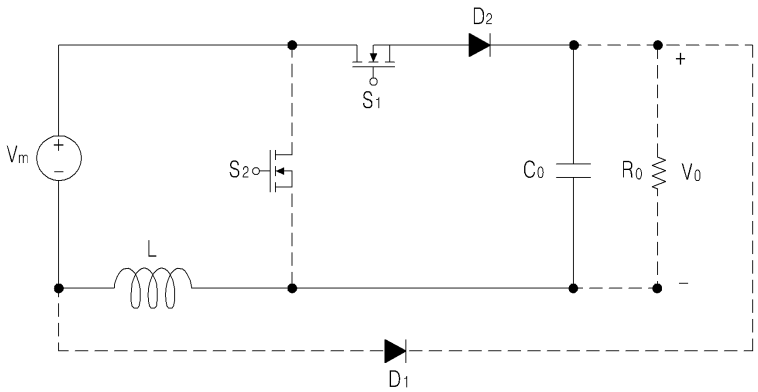
도면4b



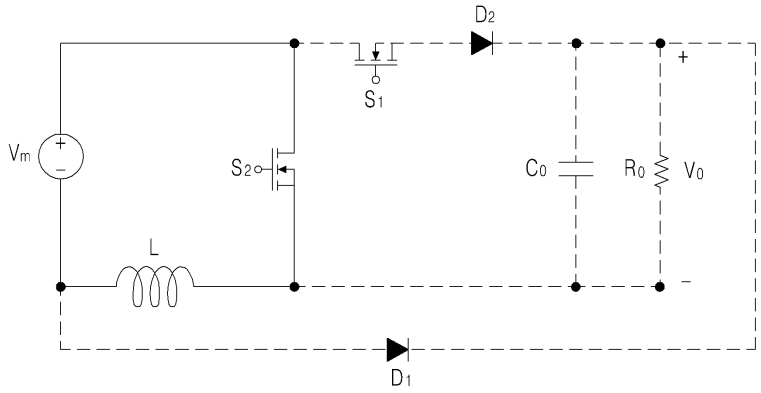
도면4c



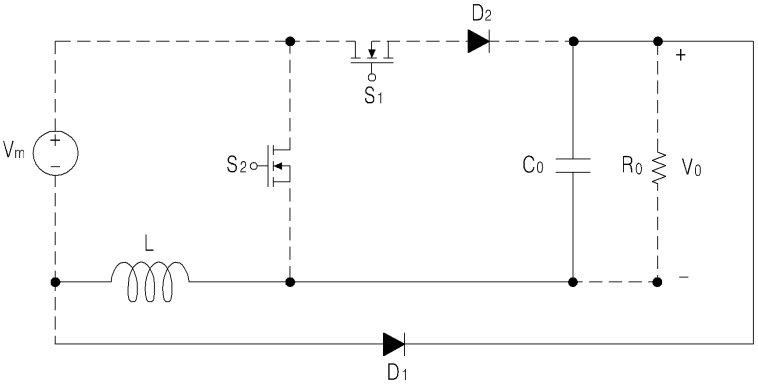
도면4d



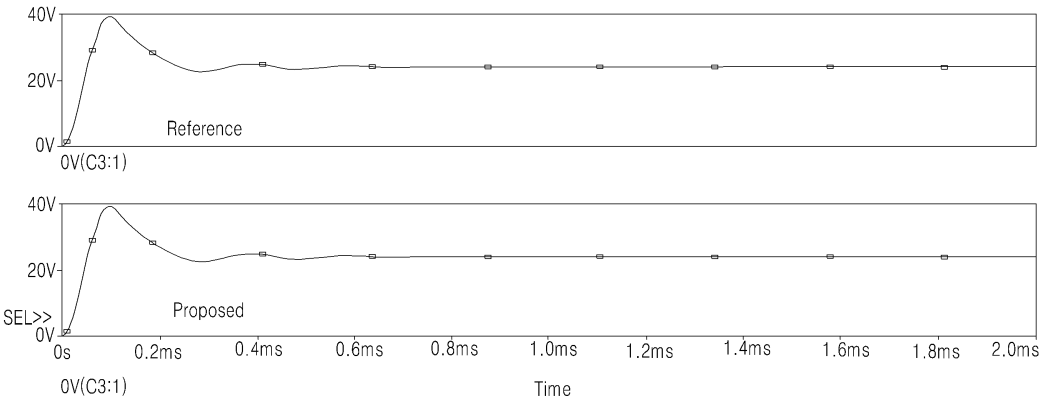
도면4e



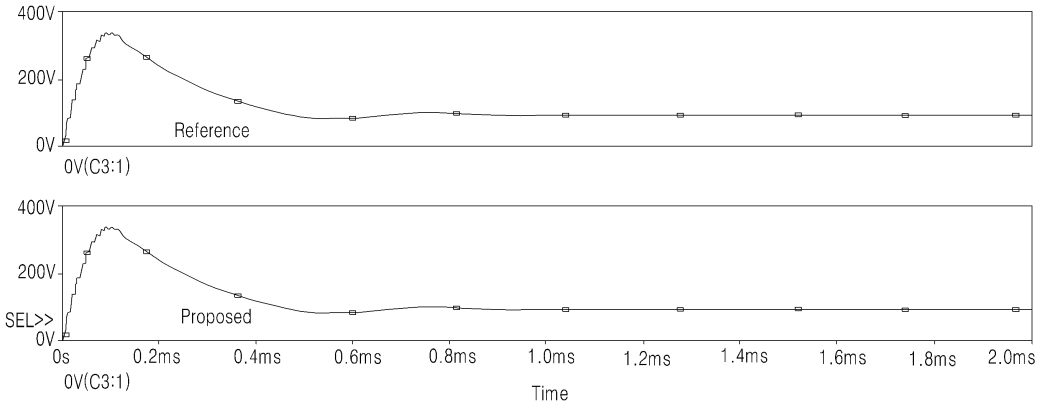
도면4f



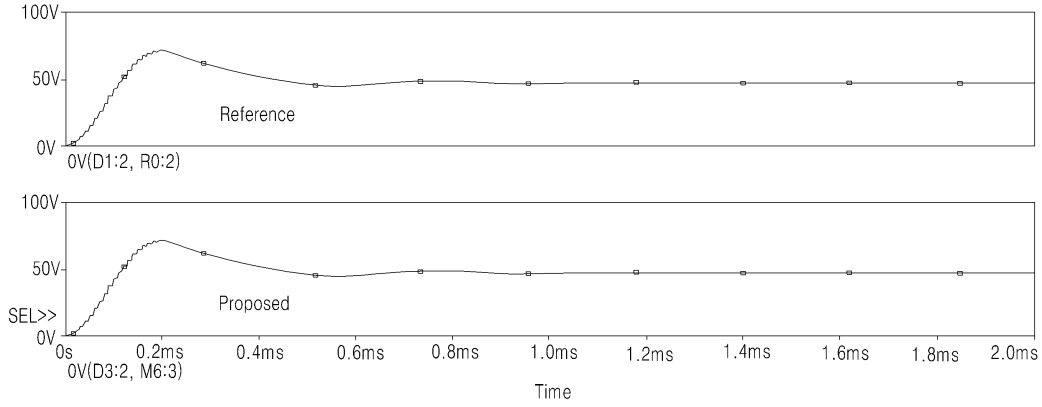
도면5a



도면5b


400V
200V
0V
Reference
0V(C3:1)
400V
200V
SEL>>
0V
Proposed
0s
0.2ms
0.4ms
0.6ms
0.8ms
1.0ms
1.2ms
1.4ms
1.6ms
1.8ms
2.0ms
0V(C3:1)
Time

도면5c


100V
50V
0V
Reference
0V(D1:2, R0:2)
100V
50V
SEL>>
0V
Proposed
0s
0.2ms
0.4ms
0.6ms
0.8ms
1.0ms
1.2ms
1.4ms
1.6ms
1.8ms
2.0ms
0V(D3:2, M6:3)
Time