



[12] 发明专利说明书

[21] ZL 专利号 01120693.4

[45] 授权公告日 2005 年 3 月 16 日

[11] 授权公告号 CN 1193596C

[22] 申请日 2001.8.13 [21] 申请号 01120693.4

[30] 优先权

[32] 2000.8.15 [33] US [31] 09/638,503

[71] 专利权人 匹克希姆公司

地址 美国加利福尼亚州

[72] 发明人 O·O·埃韦德米 邓中韩

R·J·莫塔 杨晓东

审查员 韩 岳

[74] 专利代理机构 北京纪凯知识产权代理有限公司

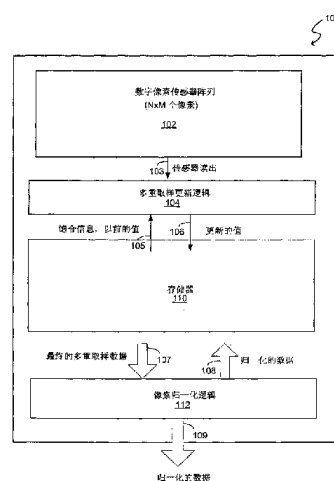
代理人 沙 捷

权利要求书 3 页 说明书 21 页 附图 11 页

[54] 发明名称 用于数字像素传感器读出信号中的像素重排的电路和方法

[57] 摘要

一种图像传感器包括传感器阵列、用于存储像素数据的数据存储器以及像素归一化电路。传感器阵列具有二维的像素元件阵列并输出作为表示景物图像的像素数据的数字信号。传感器阵列输出的像素数据以传感器-比特排列的形式排列，并且像素归一化电路把像素数据重排为像素-比特顺序。在另一个实施例中，图像传感器包括传感器阵列、数据存储器 and 像素归一化电路，它们均构建在一个集成电路上。像素归一化电路包括一个或多个像素重排电路、格雷码到二进制转换电路、复位减法电路和多重取样归一化电路。最后，格雷码到二进制转换电路的提供是为了高速转换。



1. 一种图像传感器，其特征在于所述图像传感器包括：
传感器阵列，包括二维的像素元件阵列，它输出作为表示景物图像的像素数据的数字信号，所述像素数据以传感器比特排列的方式排列；
数据存储器，与所述传感器阵列通信，用于存储所述像素数据；
和
像素归一化电路，与所述数据存储器耦合，用于把所述像素数据重排为像素比特顺序并提供作为输出信号的所述重排像素数据。
2. 根据权利要求1的图像传感器，其中所述传感器阵列、所述数据存储器 and 所述像素归一化电路构建在一个集成电路上。
3. 根据权利要求1的图像传感器，其中所述像素归一化电路通过所述数据存储器 and 所述像素归一化电路之间的信号线的路由选择重排所述像素数据。
4. 根据权利要求3的图像传感器，其中所述路由选择为硬连线。
5. 根据权利要求1的图像传感器，其中所述重排的像素数据被写入所述数据存储器中。
6. 根据权利要求1的图像传感器，其中所述像素数据具有 k-比特并且所述重排的像素数据具有连续顺序的 k 比特的第一像素，之后是 k 比特的第二像素。

7. 根据权利要求 1 的图像传感器，其中所述像素归一化电路包括用于存储来自所述数据存储器的一部分所述像素数据的缓冲器，并且所述像素归一化电路通过所述数据存储器 and 所述缓冲器之间的信号线的路由选择来重排所述像素数据。

8. 根据权利要求 1 的图像传感器，其中所述传感器阵列是 $N \times M$ 个像素的阵列且每个所述像素元件具有 k -比特。

9. 根据权利要求 8 的图像传感器，其中所述数据存储器具有 $N \times M \times k$ 个比特并且所述数据存储器连续存储每个所述像素元件的第一比特，之后是每个所述像素元件的第二比特。

10. 根据权利要求 9 的图像传感器，其中所述重排的像素数据具有连续比特顺序的第一像素元件的 k 比特，之后是第二像素元件的 k 比特。

11. 根据权利要求 10 的图像传感器，其中所述第一像素元件和所述第二像素元件在所述传感器阵列中不是相邻像素元件。

12. 一种用于图像传感器中的方法，包括：
使用传感器阵列捕获景物的图像；
以传感器-比特顺序输出表示所述图像的像素数据；
把所述像素数据存储在数据存储器中；并且
把所述像素数据重排为像素-比特顺序。

13. 根据权利要求 12 的方法，还包括：
在所述数据存储器中存储所述重排的像素数据。

14. 根据权利要求 12 的方法，还包括：
从所述图像传感器提供作为输出信号的所述重排像素数据。

15. 根据权利要求 12 的方法，其中重排所述像素数据的所述操作通过信号线的路由选择来执行。

用于数字像素传感器读出信号中的像素重排的电路和方法

技术领域

本发明涉及数字像素传感器，特别是涉及一种具有数字像素数据处理电路的数字像素传感器。

背景技术

本发明是两个共同待审美国专利申请 No. 09/567, 638（代理卷号 PIXI0002）和 No. 09/567, 786（代理卷号 PIXI0001）的后续申请，这两个申请分别题为“具有感测区和数字存储区的集成数字像素传感器”和“利用时间索引法实现宽动态范围的多重取样”，它们均在 2000 年 5 月 9 日由 David Yang 等人提交，其中的两个人也是所述发明的共同发明人。

本申请与同时提交的美国专利申请 No. xx/xxx, xxx（代理卷号 M-9054 US）和 No. xx/xxx, xxx（代理卷号 M-9055 US）相关，这两个申请分别题为“数字像素传感器中的像素归一化的实施方案”和“格雷码至二进制转换的电路和方法”，发明人为 Seye Ewedemi 等。

本发明涉及图像传感器系统；尤其涉及利用数字像素传感器体系结构的一种图像传感器。

数字照相术是近年出现的最令人兴奋的技术之一。利用适当的硬件和软件（及一些知识），任何人都可把数字照相术的原理付诸实践。举例来说，数码相机就处于数字照相的前沿。近期的产品推介、技术进步和价格下调以及电子邮件和万维网的出现推动了数码相机成为最热门的新型消费者电子产品。

但是，数码相机并不是以传统的胶片相机的方式工作。事实上，它们更接近于计算机扫描仪、复印机或传真机。大多数数码相机使用图像传感器或光敏器件，如电荷耦合器件（CCD）或互补金属氧化物器件（CMOS）来感测景物。光敏器件感应景物反射的光并把该感应强度转换为电子电荷信号，这些电子电荷信号进而被数字化。例如，通过

使光经过红、绿和蓝滤波器，可针对每个独立的色谱来测量该感应。当读出信号是通过软件来组合和估值时，相机可确定画面每一部分的具体颜色。由于图像实际上是数值数据的集合，因此可以容易地将其下载到计算机中并进行处理以获得更丰富的艺术效果。

但是，数码相机不具有通过传统照相术可获得的清晰度。虽然基于胶片的传统技术仅受限于根据化学方法制造的基片的粒度的影响，但它一般具有数千万个像素的清晰度，而普通消费者可接受的大多数商用数码相机中所使用的图像传感器具有略多于一或两百万个像素的清晰度。尽管有清晰度达到六百万个像素的数码相机，但这些高清晰度相机的价格过高。而且，数字图像传感器的动态范围常常并不象使用基于胶片的传统照相术的动态范围宽。这种情况尤其出现在 CMOS 图像传感器中，通常，CMOS 图像传感器具有比 CCD 低的动态范围。

授予 B. Fowler 等人的美国专利 No. 5, 461, 425 中描述了一种具有像素级上的模-数转换 CMOS 图像传感器。被称作数字像素传感器 (DPS) 的这类图像传感器以每个像素元件提供表示由该像素元件检测的光强的数字输出信号。光敏晶体管与模-数 (A/D) 转换器的结合有助于提高检测精确度并降低功耗，并且提高整个系统的性能。而且，美国专利申请 No. 09/567, 638 中描述了一种与存储至少一帧图像数据的单片存储器集成的 DPS 传感器。片载存储器的结合使用减轻了与使用存储像素数据的芯片外存储器相关的数据传输的瓶颈问题。存储器与 DPS 传感器的集成尤其促进了多重取样的使用，从而提高了捕获图像的质量。多重取样被认为是可以实现宽动态范围、又没有与其它动态范围增加技术相关的许多缺点的技术，例如没有信噪比降低和实施方案的复杂性增加的缺点。美国专利申请 No. 09/567, 786 中公开了一种使用时间索引法以利于图像多重取样的方法。上述专利和专利申请整体结合在此作为参考。

在 425 专利的 DPS 传感器中，模-数转换 (ADC) 以一阶 $\Sigma-\Delta$ 调制为基础。尽管这种 ADC 法只需要非常简单且稳定的电路，但它的缺点是产生太多的数据并会受到差的弱光性能的伤害。美国专利 No. 5, 801, 657 和序列号为 09/274, 202 的美国专利申请提供了另外可选的 ADC 装置，它可显著提高整个系统的性能，同时减小 A/D 转换器

的尺寸。上述专利及专利申请整体结合在此作为参考。

因而需要一种具有提高图像传感器性能的集成配套电路的数字图像传感器。

发明内容

根据本发明的一个方案，一种图像传感器包括传感器阵列、数据存储器和像素归一化电路。传感器阵列具有二维的像素元件阵列并且输出作为表示景物图像的像素数据的数字信号。传感器阵列输出的像素数据以传感器比特排列的形式排列。数据存储器与传感器阵列通信并存储像素数据。像素归一化电路与数据存储器耦合以把像素数据重排为像素比特顺序，并提供作为输出信号的重排像素数据。

根据本发明的另一个方案，一种图像传感器包括传感器阵列、数据存储器和像素归一化电路，它们全都构建在一个集成电路上。传感器阵列具有二维的像素元件阵列并输出作为表示景物图像的像素数据的数字信号。数据存储器与传感器阵列通信以存储像素数据。像素归一化电路与数据存储器耦合以使像素数据归一化并提供归一化的像素数据作为输出信号。在一个实施例中，传感器阵列以传感器比特排列的形式输出像素数据，并且像素归一化电路包括像素重排电路，用于把像素数据重排为像素比特排列。在另一个实施例中，传感器阵列输出以格雷码表示的像素数据并且像素归一化电路包括转换电路，用于把像素数据转换为二进制表示。在另一个实施例中，数据存储器存储传感器阵列中的每个像素元件的复位值，并且像素归一化电路包括复位减法电路，用于从每个像素元件的像素数据中减去复位值。在又一个实施例中，传感器阵列使用多重取样以建立传感器阵列的宽动态范围，并且数据存储器包括时间索引存储器，用于存储每个像素元件的时间索引值。在另一个实施例中，像素归一化电路包括多重取样归一化电路，用于根据像素数据和时间索引值计算每个像素元件的归一化像素数据。

根据本发明的另一个方案描述了一种用于构建 n -比特格雷码到二进制转换电路的方法。一种用于把 n -比特格雷码数转换为 n -比特二进制数的方法包括 (1) 使用 XOR 树计算 n -比特格雷码数的最低有效比特

(LSB) 的二进制值; XOR 树包括第一组 XOR 门, 用于求出 n -比特格雷码数的值并以最短的门延迟时间计算 LSB 的二进制值; (2) 确定在 XOR 树中的不是 LSB 的第一比特组, 为此同样也产生用于该第一组比特的二进制值; 并且 (3) 提供第二组 XOR 门, 用于计算不是第一组比特和 LSB 的 n -比特格雷码数的第二组比特的二进制值, 第二组 XOR 门以少于或等于 XOR 树的最短门延迟时间的门延迟时间计算二进制值。

根据本发明的又一个方案, 一种用于把 n -比特格雷码数转换为 n -比特二进制数的方法包括: (1) 提供用于转换 2-比特、3-比特、和 4-比特格雷码数的多个模块电路 (building block), 每个所述模块电路均包括一个或多个 XOR 门并具有用于转换 2-比特、3-比特、或 4-比特格雷码数的最短门延迟时间; (2) 选择用于转换所述 n -比特格雷码数的所述模块电路的组合; 和 (3) 在根据需要转换所述 n -比特格雷码数的低阶比特的所述模块电路的输出端提供第一组 XOR 门。根据本发明的格雷码至二进制转换电路可提供高速转换并节省电路面积。

附图说明

在考虑了以下的详细描述和附图之后将会更好地理解本发明。

图 1 是根据本发明一个实施例的图像传感器的框图。

图 2 示出了根据本发明一个实施例的图 1 所示图像传感器中的存储器的存储配置。

图 3 示出了像素数据以传感器比特排列的形式存储时的图 1 所示图像传感器中的存储器的存储配置。

图 4 示出了图 1 的图像传感器的希望的像素比特排列。

图 5 表示使用递归 XOR 方程的简捷实施方案的 n -比特格雷码至二进制转换电路的电路图。

图 6 表示图 1 所示图像传感器的图像阵列中的四个代表像素的像素强度值与时间的关系。

图 7 表示在图 1 所示图像传感器中使用多重取样更新电路 104 的一个实施例。

图 8 表示根据本发明一个实施例的像素归一化电路。

图 9 表示根据本发明一个实施例的 4-比特格雷码至二进制转换电

路的电路图。

图 10 表示用于根据本发明的一个实施例计算 15-比特格雷码数的最低有效比特的二进制值的嵌套 XOR 树。

图 11 表示用于根据本发明的一个实施例把 15-比特格雷码输入值的所有比特转换为 15-比特二进制输出值的 XOR 树。

图 12 表示根据本发明另一个实施例的一种 15-比特格雷码至二进制转换电路。

图 13 表示根据本发明又一个实施例的一种 15-比特格雷码至二进制转换电路。

图 14 表示用于构建根据本发明一个实施例的 n-比特格雷码至二进制转换电路的一些模块电路。

图 15 表示使用图 14 所示模块电路构建根据本发明一个实施例的 15-比特格雷码至二进制转换电路。

在本说明书中，在不止一个附图中出现的相似对象以相似的参考数字表示。

具体实施方式

根据本发明，以数字像素传感器（DPS）的体系结构为基础的图像传感器与像素归一化电路集成以用于提高图像传感器的性能和效率。在本发明的图像传感器中的像素归一化电路执行一种或多种像素归一化功能，包括像素比特重排、格雷码至二进制转换、数字相关的二重取样操作、和多重取样的归一化操作。图 1 示出了根据本发明一个实施例的图像传感器的框图。图像传感器 100 可用于诸如数码相机的图像捕获设备中，用于捕获静止或视频照相。图像传感器 100 产生作为总线 109 上的输出信号的数字图像数据。

数字像素传感器（DPS）阵列 102 使用作为图像传感器 100 的图像传感器核。DPS 阵列 102 是一个二维的也称作光检测器的光检测元件的阵列。在图 1 中，DPS 阵列 102 以 N 行×M 列的光检测器排列并具有 N×M 个像素的图像清晰度。对于彩色应用来说，选择滤波器的嵌镶光电阴极与每个光检测器对准叠置，以使第一、第二和第三光检测器的选择组分别感测三个不同色域，如可见光谱的红、绿和蓝色域。DPS 阵列

102 产生作为输出总线 103 上的传感器读出信号的数字信号。

在本说明中, DPS 阵列或传感器阵列指的是的一种具有光检测器阵列且每个光检测器产生一个数字输出信号的图像传感器。在本实施例中, DPS 阵列 102 实施如上述美国专利 No. 5, 461, 425 (425 专利) 中描述的数字像素传感器的体系结构, 它使用像素级的模-数转换。DPS 阵列的光检测器有时被称作传感器像素或传感器元件或数字像素, 这些术语用于表示 DPS 阵列的每个光检测器包括模-数 (A/D) 转换电路, 并且可与包括光敏元件并产生模拟信号的传统光检测器相区别。DPS 阵列的数字输出信号优于传统模拟信号之处在于数字信号能以相当高的速率读出。当然, 在面型图像传感器中用于实施像素级的 A/D 转换的其它方案也可用在本发明的图像传感器中。

而且, 在本实施例中, DPS 阵列 102 利用在上述美国专利 No. 5, 801, 657 中描述的多通道比特串行 (MCBS) 模-数转换。DPS 阵列 102 使用 k-比特 MCBS ADC 并输出以格雷码表示的数字信号。MCBS ADC 具有可应用于图像获取的许多优点, 而尤其是便于高速读出。当然也可使用其它 ADC 技术, 如一阶 $\Sigma-\Delta$ 调制 ADC。

图像传感器 100 还包括集成的片载存储器 110, 用于存储来自 DPS 阵列 102 的至少一帧的图像数据。因此, 存储器 110 具有存储至少是 $N \times M$ 个 k-比特像素的像素数据的容量。在本实施例中, 存储器 110 还包括用于存储由图像传感器 100 使用的其它参数的附加存储容量, 这将在以下进行详细讨论。在一个实施例中, DPS 阵列具有 1000×1000 个 10 个比特像素并且存储器 110 的大小至少为 1.2 兆字节, 以便以帧速率存储来自 DPS 阵列 102 中的所有像素元件的数字信号。正如在上述专利申请 No. 09/567, 638 中所描述的, 把片载存储器与数字像素传感器阵列集成可解决数据传输的瓶颈问题并实现从传感器阵列快速读出数据。图 2 示出了根据本发明一个实施例的存储器 110 的存储器存储配置。存储器 110 包括存储空间 (location) 220, 用于存储 DPS 阵列 102 产生的 k-比特像素数据。存储器 110 还包括存储空间 222 和 224, 用于在使用多重取样时存储每个像素的阈值指示符和时间索引信息, 这将在以下进行详细描述。而且, 存储器 110 还包括存储空间 226, 用于存储来自 DPS 阵列 102 中的每个像素的复位值。复位值在相关的二

重取样（CDS）法中用来消除传感器阵列的不一致性，这将在下面进行详细讨论。仅在图像传感器 100 采用 CDS 方法时才包含存储空间 226。在其它实施例中，当不使用 CDS 方法时则不需要存储空间 226。

在操作时，图像被聚焦在 DPS 阵列 102 上，使得被聚焦图像的不同部分照射到该阵列中的每个传感器像素上。每个传感器像素包括一个光晶体管，它的传导率与照射到光晶体管基极的光强相关。流经光晶体管的模拟电流因而对应于照射到光晶体管上的光强。来自阵列 102 中的所有光晶体管的模拟信号同时由位于每个传感器像素中的专用 A/D 转换器转换为串行比特流。在一个帧周期中产生的串行比特流在总线 103 上提供以作为表示照射到光晶体管上的平均光强的数字输出信号。

在图像传感器 100 中，来自 DPS 阵列 102 的传感器读出信号经多重取样更新电路 104 提供给存储器 110 进行存储。多重取样更新逻辑电路 104 用于执行多重取样以增加图像传感器 100 的动态范围，这将在以下进行详细描述。在不使用多重取样的情况下，来自 DPS 阵列 102 的传感器读出信号可直接耦合到存储器 110。DPS 阵列 102 以比特面的形式提供传感器读出信号。图 3 示出了由于把来自 DPS 阵列 102 的传感器读出信号直接存储到存储器 110 中而产生的存储器 110 中的存储单元 220 的存储配置。在 DPS 阵列 102 中，光检测器同时产生一比特的数字像素数据并把一比特的数字数据作为总线 103 上的输出信号提供。因而，传感器阵列中的所有像素的数字像素数据的第一比特（即比特 0）被写入存储器 110 中，形成像素比特 0 的比特面 220a。光检测器随后产生每个传感器像素的 k-比特像素数据的下一个比特，并且包含所有像素的比特 1 的下一个比特面被写入存储器 110 中以作为像素比特 1 的像素面 220b。DPS 阵列 102 的光检测器连续产生每个传感器像素的 k 比特的数字像素数据，并且数据被写入存储器 110 中以作为图 3 所示的连续比特面 220a 到 220p。存储器 110 的存储单元 220 包括存储 k 比特数字像素数据的所有比特面的存储容量。

由于 DPS 阵列 102 以传感器比特排列的形式输出像素数据，所以像素数据以比特面的形式存储在存储器 110 中。但是当用于一个像素的 k 比特像素数据被散布在存储器 110 中时，存储器 110 中的像素数

据的传感器比特排列对于与的图像传感器 100 连系的应用来说是没有用处的。为了保证可与其它图像处理设备兼容的接口能够接收由图像传感器 100 捕获的图像，像素数据需要是像素比特排列，即一个像素的所有比特彼此相邻。一个 4-比特像素在存储器 110 中的希望的像素比特排列在图 4 中示出。存储单元 220 的前四个比特存储像素 0 的 4-比特像素数据，之后是像素 1 和像素 2 的 4-比特像素数据，如此类推。尽管图 4 表示像素 0 到像素 4 是按顺序排列的，但在像素比特排列中像素顺序并不重要。也就是说，相邻像素彼此相邻排列并不重要。对于像素比特排列来说，一个像素的所有比特以连续的比特顺序组合在一起才是最重要的。像素的顺序能够以特定应用所希望的任何形式排列。因而，在一个实施例中，在像素比特排列中，像素 0 的所有比特之后是像素 3 的所有比特，再之后是像素 2 的所有比特。存储在存储器 110 中的像素数据可使用适当的存储器寻址方案读出。

根据本发明提供了一种像素归一化电路 112，用于对存储在存储器 110 中的像素数据执行像素重排操作。像素归一化电路 112 被集成到图像传感器 100 的同一个集成电路芯片上。像素归一化电路 112 结合在图像传感器 100 上可提高图像传感器 100 的速度和性能。在一个实施例中，像素归一化电路 112 仅用于重排存储器 110 中的像素数据的配置。重排的像素数据可再次写入存储器 110 中，以使存储器 110 存储一个图像的希望的像素比特排列。在另一个实施例中，重排的像素数据仅仅在总线 109 上输出到被耦合用以接收来自图像传感器 100 的图像数据的其它设备，并且存储器 110 中的数据并不以像素比特排列的形式更新。在本发明的另一个实施例中，除了像素重排之外，像素归一化电路 112 还包括用于对从 DPS 阵列 102 读出的像素数据执行其它归一化功能的电路。归一化功能可包括但不限于格雷码转换、CDS 减法和多重取样归一化。在这些情况下，像素比特排列的归一化像素数据可再次写入存储器 110 中进行存储或在总线 109 上输出。

在本实施例中，像素归一化电路 112 的像素重排操作完全通过存储器 110 和像素归一化电路 112 之间进行的路由选择或硬连线实现。图 8 表示根据本发明一个实施例的像素归一化电路 112。在图 8 中，像素归一化电路 112 执行像素重排操作和其它像素归一化功能。但这仅

是示意性的，本专业技术人员应当理解，像素归一化电路 112 可仅仅为了像素重排的目的而构建。

参考图 8，像素归一化电路 112 包括缓冲器 830，用于存储来自存储器 110 的进行归一化处理的一个像素数据块。在每个处理周期，缓冲器 830 中的一部分像素数据被操作并被称作转换窗。在图 8 中，转换窗是 4-像素宽，也就是说，它包括缓冲器 830 的四列。当电路 112 完成转换窗中的像素数据的处理时，电路 112 进而对下一个转换窗即缓冲器 830 的下四列中的像素数据执行操作。如图 8 所示，缓冲器 830 被分成三个独立块。这是为了表示电路 112 的转换窗的操作。在实际的实施方案中，缓冲器 830 能以任何形式实施，并且每个转换窗的列之间不必存在物理间隔。

在本实施例中，像素归一化电路 112 从存储器 110 中的每个比特面中读出第一行像素数据并把数据存储在电路 112 的缓冲器 830 中。在本实施例中，假定存储器 110 和缓冲器 830 均为 12-比特宽且每个像素数据具有 4 个比特。通过从每个比特面中读出第一行像素数据，缓冲器 830 在缓冲器 830 的垂直列中保存每个像素的 4-比特像素数据。例如，在缓冲器 830 的第一列中，像素 0 的比特 0 至比特 3 被存储；而在第二列中，像素 1 的比特 0 至比特 3 被存储，如此类推。在图 8 中，缓冲器 830 还包含用于其它归一化功能的数据值，这将在以下进行详细描述。通过把缓冲器 830 的输出端与总线 109 或总线 108 连接以使缓冲器 830 以列顺序输出像素数据，像素数据可被重排为像素比特排列。重排的像素数据则在总线 109 上输出或以像素比特顺序再次写入存储器 110 中。在缓冲器 830 中的所有像素数据都被处理之后，重排操作继续进行，步骤是把存储在存储器 110 中的每个比特面的第二行像素数据装入缓冲器 830 中，并以希望的像素比特顺序在总线 109 上输出，或在总线 108 上输出以再次写入存储器 110 中。

在重排的像素数据被再次写入存储器 110 的情况下，数据将被写入可从其读出了像素数据的地址位置。例如，在图 8 中，来自每个比特面的第一行的像素数据被读入缓冲器 830 中。重排的数据将再次写入每个比特面的第一行，不过是按照适当的像素顺序。即使像素数据的像素比特并不位于存储器 110 的连续行中，它们也是隔开了已知的

行数，而且，根据在存储器寻址中熟知的手段修改存储器 110 的寻址方案，像素数据能够以连续的顺序读出。

根据本发明的另一个实施例，来自 DPS 阵列 102 的传感器读出信号通过使用改进的寻址方案可写入存储器 110 中，以使相邻像素比特写入存储器 110 的连续行中。在此情况下，当比特面在总线 103 上输出时，第一行比特被写入存储单元 220 中的第一行，并且来自 DPS 阵列 102 的随后行的比特被写入与前行相隔 k 行的行中。下一个比特面被写入存储单元 220 的第二行中并且随后的行也被写入相隔 k 行的行中。在 4-比特像素情况下，由此产生的存储器配置与图 8 中的缓冲器 830 的像素配置相同。当像素比特使用修改的寻址方案写入存储器 110 中时，像素归一化电路 112 仅把像素数据的连续行读入缓冲器 830 中并根据需要执行像素归一化操作。在这种情况下，重排的像素数据可按照像素比特顺序再次写入存储器 110 中，这样，存储器 110 假定为图 4 所示的像素比特配置。

在上面的描述中，存储器 110 和缓冲器 830 均为 12-比特宽并且像素数据具有 4 个比特。这仅仅是示意性的，而且本发明的像素归一化电路可用于 k -比特的像素数据，存储器 110 和缓冲器 830 也可具有其它容量。

在一个实施例中，用于像素重排操作的路由选择通过在总线 107 上把存储器 110 中的像素数据硬连线至像素归一化电路 112 来执行，以使数据从存储器 110 的行中读入到缓冲器 830 中并在随后在总线 108 上把缓冲器 830 中的像素数据硬连线到存储器 110，以便以列顺序从缓冲器 830 中读出像素数据。

为了实现图像传感器 100 的最佳性能和有效操作，DPS 阵列 102 的宽度和存储器 110 的宽度应当被选择为像素比特数 k 的整数倍。这种情况大大简化了存储器 110 和像素归一化电路 112 之间的逻辑连接。如果 DPS 阵列 102 的宽度不是 k 的整数倍，则存储器 110 的宽度不得不选择为 k 的下一个整数倍，它大于 DPS 阵列 102 的宽度。尽管像素重排操作以与上述相同的方式进行，但在结束像素重排操作之后还会剩有未用的存储器 110 的行。

根据本发明的另一个方案，像素归一化电路 112 包括用于执行图 8

所示的其它像素数据归一化操作的电路。像素归一化电路 112 把所有的归一化功能都集成在图像传感器的同一个集成电路芯片上，由此提高了图像传感器的速度和效率。在本实施例中，除了像素重排之外，像素归一化电路 12 还包括用于执行格雷码转换、数字相关的二重取样（CDS）操作和多重取样归一化的电路。但本发明仅是示意性的，像素归一化电路 112 还可包括任意一种或任意数量的归一化操作。

如上所述，像素归一化电路 112 包括用于存储将要处理的像素数据的缓冲器 830。电路 112 还包括格雷码转换电路 832 的存储体(bank)、CDS 减法电路 834 的存储体和多重取样归一化电路 836（表示为 MS 归一化电路）的存储体。如上所述，电路 112 的归一化操作对缓冲器 830 中转换窗内的存储的像素数据部分执行。转换窗中的像素数据从缓冲器 830 中读出。每次当转换窗中的像素数据被处理时，数据或者在总线 109 上输出或者在总线 108 上被再次写入存储器 110 中。电路 112 则进而处理转换窗中的下一组像素数据并以相同方式执行归一化。直到存储在缓冲器 830 中的所有像素数据都被处理之后才停止该处理。在图 8 所示的实施例中，转换窗是 4 比特宽。尽管转换窗可具有任意尺寸，但为了有效地操作，转换窗最好是缓冲器 830 的宽度的整数商。

在图 8 的缓冲器 830 中，装入缓冲器 830 中的数据不仅包括存储器 110 中的一行像素的像素数据，而且还包括与像素数据相关的 CDS 减法值和时间索引信息。在此，2-比特的时间索引信息被装入缓冲器 830 的第 5 和第 6 行中，且 2-比特的 CDS 减法值被装入缓冲器 830 的第 7 和第 8 行中。

如上所述，由 DPS 阵列 102 产生的像素数据以格雷码表示。使用格雷码是因其不易受噪声误差的影响。格雷码表示的像素数据需要转换为二进制表示，以便用在其它图像处理操作中。下面示出典型的 4-比特格雷码至二进制转换的表。

格雷码	二进制
0000	0000
0001	0001
0011	0010
0010	0011
0110	0100
0111	0101
0101	0110
0100	0111
1100	1000
1101	1001
1111	1010
1110	1011
1010	1100
1011	1101
1001	1110
1000	1111

用于执行格雷码转换的电路是已知的，本专业普通技术人员应当知道如何执行 n -比特格雷码至二进制转换的电路。例如，格雷码至二进制转换可通过以最高有效比特（MSB）和下一个 MSB 为开始而对每个比特使用递归 XOR 操作（recursive XOR operation）来执行。通过使用前个 XOR 操作的比特结果与格雷码数中的下一个比特来继续进行递归 XOR 操作，直至达到最低有效比特（LSB）为止。用于转换 n -比特格雷码值的递归逻辑方程如下：

二进制 MSB =格雷 MSB;
二进制 MSB-1 =二进制 MSB XOR 格雷 MSB-1;
二进制 MSB-2 =二进制 MSB-1 XOR 格雷 MSB-2;

...

二进制 MSB-(n-2) = 二进制 MSB-(n-3) XOR 格雷 MSB-(n-2);

和

二进制 LSB = 二进制 LSB+1 XOR 格雷 LSB

其中二进制 MSB 表示 MSB 的二进制比特值并且格雷 MSB 表示 MSB 的格雷码值, 依此类推。图 5 表示用于转换 15-比特格雷码数的上述递归逻辑方程的简捷实施方案。在该图 5 的简捷实施方案中, 转换电路 500 包括一系列 XOR 门, 其中前面的转换结果级联 (cascade) 至最低有效比特。尽管转换电路 500 简单且使用的 XOR 门数最少, 但由于其转换时间根据波动至 LSB 的最后 XOR 的 XOR 结果, 所以 LSB 的延迟时间明显比 MSB 的延迟时间要长。在转换电路 500 中, 只需要 14 个门执行格雷码转换但 LSB 的门延迟数也得是 14 个 XOR 门。对于 n-比特转换来说, 简捷实施方案需要 n-1 个 XOR 门且具有 n-1 个 XOR 门延迟。简捷实施方案有时并不是所希望的, 这是因为 LSB 的延迟时间明显大于 MSB 的延迟时间, 尤其是在大比特数时。

根据本发明的一个实施例, 图像传感器 100 的像素归一化电路 112 使用图 5 所示的电路执行格雷码至二进制的转换。对于 4-比特像素数据来说, 只需要 3 个 XOR 门并且每个转换电路 832 作为图 5 的电路 500 中的比特 MSB 至 MSB-3 的 XOR 电路来实施。转换电路 832 的 LSB 具有 3 个 XOR 门的门延迟。根据本发明的另一个方案, 提供的一种用于执行 n-比特格雷码至二进制转换的电路以高转换速率操作并且尽可能减小格雷码值的最高有效比特 (MSB) 和最低有效比特 (LSB) 之间的转换延迟时间的差异。图 9 示出了根据本发明一个实施例的 4-比特格雷码转换电路。在图像传感器 100 的另一个实施例中, 像素归一化电路 112 使用图 9 所示的转换电路 900 执行 4-比特像素数据的格雷码转换以增强图像传感器 100 的操作。转换电路 900 使用 4 个 XOR 门但对于 LSB (B0) 来说只有两个 XOR 门的门延迟时间, 一个门延迟小于图 5 的简捷实施方案。下面参考图 10-15 将详细描述包括 n-比特转换电路的实施方案的本发明新颖的格雷码至二进制转换电路。

如图 8 所示, 像素归一化电路 112 还包括用于执行相关二重抽样 (CDS) 方法的 CDS 减法电路 834 的存储体。CDS 是一种消除传感器阵

列中由于固定模式噪声引起的不一致性的方法。在这种情况下，CDS 用于校正阵列中的光检测器之间的变量比较器的偏移值。在本实施例中执行数字 CDS 方法。在传感器阵列被复位之后，每个光检测器的复位值被测量并被存储到存储器 110 的存储单元 226 中。随后，对于传感器阵列捕获的每一帧像素数据来说，所存的复位值被从像素值中减去以使像素数据归一化。在像素归一化电路 112 中，CDS 减法电路 834 被构建为对像素数据执行减法运算。在图 8 中，转换窗中的像素数据（即像素 0 到 3 的像素数据）首先从格雷码表示转换为二进制表示。二进制的像素数据随即被提供给 CDS 减法电路 834。存储在缓冲器 830 中的复位值也提供给 CDS 减法电路 834。CDS 减法电路 834 从每个像素的像素数据中减去复位值。CDS 减法电路 834 的减法操作可根据本专业技术人员已知的方法来执行。

在本实施例中，在 CDS 减法电路 834 对二进制像素数据执行运算之后，CDS 归一化的像素数据被提供给多重取样归一化电路 836。如上所述，多重取样是一种算法，它通过在整个过程中从传感器阵列执行多次读出并在随后根据多重取样信息使读出值归一化而用来增加传感器阵列的动态范围。以归一化的像素数据为基础的图像的产生所具有的模拟敏感度的范围远大于传感器元件的实际敏感度范围。在本实施例中，图像传感器 100 根据美国专利申请 No. 09/567, 786（代理卷号 PIXI0001）中描述的方法执行多重取样，该申请在多重取样时使用一种时间索引法。当然，本发明的图像传感器也可使用其它的多重取样算法。

现在将简要描述图像传感器 100 中的多重取样的操作。详细的多重取样操作可见于上面参考的专利申请中。图 6 表示 DPS 阵列 102 中的四个代表像素 A、B、C 和 D 的像素强度值与曝光时间的关系。当使用多重取样时，像素值首先在曝光时间 $1T$ 读出并且多重取样更新电路 104 对像素值执行饱和比较操作。饱和比较操作可利用各种方法来执行。在一个实施例中，50%的饱和阈值被使用。因此，在时间 $1T$ ，多重取样更新电路 104 比较从 DPS 阵列 102 读出的像素值并确定哪些像素强度值超过了该 50%饱和阈值。例如，在图 6 中，像素 A 具有超过 50%像素饱和阈值的强度值，而像素 B 至 D 具有低于该饱和阈值的强度值。

多重取样更新电路 104 把像素 A 至 D 的像素值写入存储器 110 中。多重取样更新电路 104 还把存储单元 222 中的对应于像素 A 的阈值指示比特设置为一个预定值, 如“1”, 以表示像素 A 已达到饱和。通过设置像素 A 的阈值指示比特, 多重取样更新电路 104 将防止再次更新进入存储器 110 的像素 A 的像素值。多重取样更新电路 104 还把像素 A 的时间索引 1T 存储到存储单元 224 中。像素归一化电路 112 将使用像素 A 的时间索引值和像素值来导出像素 A 的模拟强度值。在图 6 中, 多重取样处理利用在曝光时间 2T、4T、8T 和 16T 之后得到的传感器的读出来继续。每次当一个像素的像素强度值超过 50%饱和阈值时, 则阈值指示比特被设置并且该像素的饱和时间索引与测量的像素值一起存储在存储器 110 中。图 7 示出了在图像传感器 100 中使用的多重取样更新电路 104 的一个实施例。本专业技术人员应当知道, 其它的实施方案也是可以的。

在另一个实施例中, 饱和阈电平被选为接近光检测器的饱和电平的值。例如可使用 90%饱和阈值。当使用 90%饱和阈值时, 多重取样更新电路 104 将在存储器 110 中写入并更新像素值, 直到一个像素值超过 90%饱和阈值为止。在存储器 110 中, 存储单元 222 存储在传感器阵列 102 中的每个像素的饱和比特。无论何时像素的像素值超过 90%阈值, 该饱和比特都被设置为一个预定的值, 如“1”。在此情况下, 饱和像素值将不写入存储器 110 中。相反, 多重取样更新电路 104 将在检测到饱和时存储时间索引。例如, 假定图 6 中的像素饱和电平处于 90%的电平, 则在时间 1T, 像素 A 已饱和且一个预定的像素值将写入存储器 110 中, 并且像素 A 的时间索引 1T 将被存储且像素 A 的饱和比特也将设置为“1”。另一方面, 像素 B 直到时间 4T 才变为饱和。在时间 4T, 多重取样更新电路 104 将不改写已存储的像素 B 的像素值, 而是更新像素 B 的时间索引和饱和比特。像素 B 在饱和之前的像素值和发生饱和的时间索引将由像素归一化电路 112 用来确定像素 B 的模拟像素值。在多重取样更新电路的另一个实施例中, 饱和比特可用作存储器 110 的写入掩码(mask)。因此, 饱和比特作为每个像素的写使能信号使用, 并确定像素数据是否写入存储器 110 中。

在取样希望的次数之后, 图像传感器 100 已经捕获了图像中的所

有像素的光强值。存储器 110 存储在光检测器变饱和之前的每个像素的像素值。存储器 110 还存储对应于像素变饱和的时间的每个像素的时间索引值。像素归一化电路 112 根据针对每个像素存储的时间索引值和像素值对像素数据执行多重取样的归一化操作。多重取样归一化假设在整个过程中像素值对光的响应是线性的。线性响应近似是 CMOS 传感器的良好近似。多重取样归一化通过把像素值与对应于总曝光时间与像素饱和时间之比的常数相乘来实现。

参考图 6, 像素 A 的归一化像素值等于在像素 A 饱和之后 (即时间 1T) 的时间间隔从像素阵列中读出的像素值乘以总曝光时间 (16T) 与饱和时间间隔 (1T) 之比。因此, 下面的公式给出了像素 A 的归一化值:

$$\begin{aligned}\text{像素 A (归一化)} &= \text{像素 A (读出)} \times (\text{总曝光时间} / \text{饱和曝光时间}) \\ &= \text{像素 A (读出)} \times (16/1) = \text{像素 A (读出)} \times 16\end{aligned}$$

类似地, 像素 B 到 D 的归一化值如下:

$$\text{像素 B (归一化)} = \text{像素 B (读出)} \times (16/4) = \text{像素 B (读出)} \times 4$$

$$\text{像素 C (归一化)} = \text{像素 C (读出)} \times (16/8) = \text{像素 C (读出)} \times 2; \text{ 和}$$

$$\text{像素 D (归一化)} = \text{像素 D (读出)} \times (16/16) = \text{像素 D (读出)}。$$

上述公式表示当选择 50%饱和阈值时的归一化运算。当然, 同样的归一化运算也可用于 90%饱和阈值。在像素归一化电路 112 中, 多重取样归一化电路 836 执行上述多重取样归一化运算以提供具有宽动态范围的像素数据输出。电路 836 使用存储在像素归一化电路 112 的缓冲器 830 中的、诸如缓冲器 830 的第 5 和第 6 行中的时间索引值进行归一化计算。多重取样归一化电路 836 对像素数据和时间索引值执行运算以计算归一化的像素数据。

根据本发明的另一个方案提供了一种用于执行 n-比特格雷码到二进制转换的电路。本发明的格雷码转换电路显著减少了用于转换 n-比特格雷码值的低阶比特的门延迟时间。在一个实施例中, 与简捷实施方案中的 14 个 XOR 门延迟相比, 根据本发明的 15-比特格雷码转换电路仅有 4 个 XOR 门延迟。本发明的图像传感器 100 与本发明的格雷码转换电路结合以提高图像传感器 100 的运行速度。

格雷码到二进制转换可使用上述递归 XOR 方程来执行。本发明的格雷码到二进制转换电路使用嵌套 XOR 树体系结构来尽可能减少 LSB 的延迟时间，以取代会产生 LSB 的长延迟时间的递归 XOR 公式的简捷实施方案。 n -比特格雷码数的 LSB 的延迟时间是转换电路的关键路径，这是因为它是整个 n -比特格雷码转换电路的最大延迟。根据本发明的一种方法提供了用于产生 n -比特格雷码数的格雷码至二进制转换电路，而使关键路径的延迟时间最小。而且，本发明的方法还允许电路中的电路尺寸或 XOR 门数尽可能少，同时保持关键路径中的最短延迟时间。

转换电路和用于构建该电路的方法将根据 15-比特格雷码数来描述。当然，本发明的电路和方法也适用于任何 n -比特格雷码数。首先构建嵌套 XOR 树，以便使用 15-比特格雷码数转换二进制值的 LSB B0。XOR 树构建的目的是为了尽可能减少关键路径的延迟时间。图 10 示出 15-比特格雷码数的嵌套 XOR 树 1010。使用 2-输入 XOR 门转换 n -比特格雷码至二进制转换电路的二进制 LSB 的最小门延迟数是 $\log_2 n$ 。对于 15-比特格雷码数来说，门延迟数是图 10 所示的 4。为了通过转换 15-比特格雷码数的比特 G0 到 G14 而获得二进制 LSB B0，图 10 的 XOR 树 1010 包括四层 XOR 门。在第一层中，七个 2-输入 XOR 门对 15-比特格雷码输入值的比特对 G14 到 G1 执行 XOR 操作。在第二层，四个 2-输入 XOR 门对第一层的 XOR 操作结果和 LSB 比特 G0 执行 XOR 操作。如果 n 是偶数，则第一层对输入值的全部 n -比特执行操作并且第二层对第一层的 XOR 操作结果执行操作。转换处理在第三层利用第二层的四个 XOR 操作结果继续进行。最终，LSB 的二进制值 B0 通过第四层的 XOR 门产生。利用这种方法，XOR 树 1010 被构建用于在关键路径只有 4 个 XOR 门延迟的情况下转换 15-比特格雷码输入值的 LSB。

尽管可针对每个二进制输出比特产生 XOR 树，但这种实施方案不现实，因为如果每个比特具有其自身的 XOR 树，则每个比特的转换要分享逻辑项和逻辑电路结果的重复。相反，构建 15-比特格雷码输入值的转换电路的下一步涉及识别图 10 的 XOR 树 1010 包括不是 LSB (比特 B0) 的输出比特的转换的二进制值。参考图 10，XOR 树 1010 还产生比特 B14、B13、B11 和 B8 的二进制值。因而剩下的工作就是通过添加用

于转换剩余比特的 XOR 门来完成转换电路。

接着, XOR 门被加入 XOR 树 1010 中以用于转换还未转换的比特。在图 10 中, 剩余的未转换比特是 B12、B10、B9 和 B7 到 B1。在此的主要限制是转换剩余比特的 XOR 门的添加并不产生比 LSB 更多的门延迟。也就是说, 所有剩余比特都将以 15-比特格雷码值的 4 个门延迟或 $\log_2 n$ 的最大延迟来转换。其目的是尽可能多地再用在 XOR 树 1010 中已经产生的逻辑项。图 11 表示用于把格雷码输入值的全部 15 个比特转换为 15-比特的二进制输出值的 XOR 树 1110。XOR 树 1110 包括图 10 的 XOR 树 1010 和用于转换剩余比特的附加 XOR 门。在 XOR 树 1110 中, 总共有 28 个 XOR 门被使用并保持 4-XOR 门延迟。

在某些应用中, 希望尽可能减小执行本发明的格雷码转换电路的区域。在这种情况下, 本发明的转换电路可针对最小区域和关键路径延迟时间进行优化。优化是通过重排一个或多个比特的 XOR 电路而不是 LSB 来执行的, 这样则可使用较少的 XOR 门来产生比特的二进制值。这通过在产生二进制比特时最大限度地使用共享项来实现。即使 XOR 门的重排导致特定比特的门延迟增加, 也可以保持总延迟时间, 即关键路径的延迟时间。图 12 示出了 15-比特格雷码到二进制转换电路的一个实施例, 其中比特 B8 的转换电路已被重排以便尽可能减小电路尺寸。在图 11 中, 电路 1110 使用 28 个门且具有 4-XOR 门延迟。电路 1110 以 3 个 XOR 门延迟计算比特 B8。具体来说, 比特 G10 和 G9 执行 XOR 操作。该结果与比特 G8 一起进行 XOR 操作。该结果与对比特 G14、G13、G12 和 G11 执行 XOR 操作的结果一起再次执行 XOR 操作。但是, 电路 1110 可通过去掉至少一个 XOR 门来优化电路尺寸。参考图 12 的电路 1210, 二进制输出比特 B8 使用 XOR 门 1214 的输出产生。图 11 的 XOR 门 1113 被去掉。因此, 仅使用 27 个门来实施电路 1210, 比图 11 的电路 1110 少一个门, 同时保持关键路径中的 4-XOR 门延迟。尽管 B8 相对于前面电路的 3-XOR 门延迟目前具有 4-XOR 门延迟, 但其关键路径的延迟时间相同, 因此, 整个转换电路的性能不受影响。利用这种方法可优化本发明的 n-比特格雷码到二进制转换电路的电路尺寸和关键路径延迟时间。

在某些情况下, 即使关键路径的门延迟需要增加, 也必须尽可能

减小本发明的格雷码转换电路的电路尺寸。图 13 表示根据本发明另一个实施例的 15-比特格雷码到二进制转换电路。转换电路 1310 在产生 LSB（比特 MSB-14）时具有 5-XOR 门延迟，但总共只使用 23 个 XOR 门。电路 1310 在把关键路径的延迟时间只增加一个 XOR 门的同时把 XOR 门数减少四个。转换电路 1310 在希望最小电路尺寸并可牺牲一些延迟时间时适用。

总之，在本发明的上述方法中，通过构建嵌套 XOR 树来实施 n-比特格雷码到二进制转换电路。XOR 树首先通过优化作为最低有效比特（LSB）的转换的关键路径的延迟时间来构建。对于不在关键路径上的比特，XOR 树通过尽可能减小电路尺寸来构建。因此，XOR 树通过再用已经针对 LSB 或其它比特实施的最近的逻辑项来构建。通过尽可能多地依赖于已执行的项和波动（ripple）逻辑且在关键路径的门延迟之内，最小的电路尺寸能够得以实现。当然，本发明的 n-比特格雷码到二进制转换电路的不同变化可通过优化关键路径的延迟时间或电路尺寸之一或二者来实施。

根据本发明的另一个方案提供了另一种用于构建 n-比特格雷码到二进制转换电路的方法。该 n-比特格雷码到二进制转换电路通过选择和组合若干模块电路来实施。尽管对于相同的 n-比特转换电路来说模块电路的几种组合是可以的，但这些组合具有不同的总 XOR 门数和不同的 XOR 门延迟数。根据本发明，一种格雷码转换电路可被构建用以获得希望的最小电路尺寸和希望的关键路径的最小门延迟。图 14 表示可用于构建根据本发明一个实施例的 n-比特格雷码到二进制转换电路的若干模块电路。在图 14 中示出了用于转换 2-比特、3-比特、4-比特和 8-比特格雷码数的六个不同模块电路。电路 C2 是 2-比特转换电路。电路 C3 是 3-比特转换电路，具有 2-XOR 门延迟。电路 C41 和 C42 均为 4-比特转换电路，其中电路 C41 针对门延迟进行优化，而电路 C42 针对电路尺寸进行优化。当需要 4-比特转换电路时，根据是需要最短延迟时间还是需要最小电路尺寸可使用模块电路 C41 或模块电路 C42。

图 14 的模块电路还包括两个 8-比特转换电路。电路 C81 和 C82 表示在构建具有较大比特数的更复杂转换电路时如何有利地使用以前的模块电路。例如，电路 C81 使用两个实例电路 C41 用于 8-比特格雷

码转换的。在电路 C81 中，第 4 最高有效比特被用于波动至最低有效输出比特。电路 C81 使用 12 个 XOR 门并具有 3-XOR 门延迟。而电路 C82 仅使用电路 C41 的一个实例。在电路 C82 中用于产生四个最低有效比特的逻辑电路针对电路尺寸而不是延迟时间进行优化。因此，电路 C82 使用 11 个 XOR 门但有 4-XOR 门延迟。在电路 C82 中，关键路径实际上是紧挨最低有效比特的比特 1。电路 C82 的 LSB 实际上只有一个 3-XOR 门延迟。

通过提供一些模块电路，n-比特格雷码至二进制转换电路可通过选择和组合适当数量的模块电路并在随后增加波动逻辑以完成低阶比特的计算来构建。例如图 15 所示，图 12 的转换电路 1210 可使用模块电路 C82、C41 和 C3 来构建。转换电路 1510 与电路 1210 完全相同并具有 27 个 XOR 门和一个 4-XOR 门延迟。27 个 XOR 门的实施方案是 15-比特格雷码转换电路的最小实施方案。任何 n-比特数的转换电路可以按照类似的方式构建。

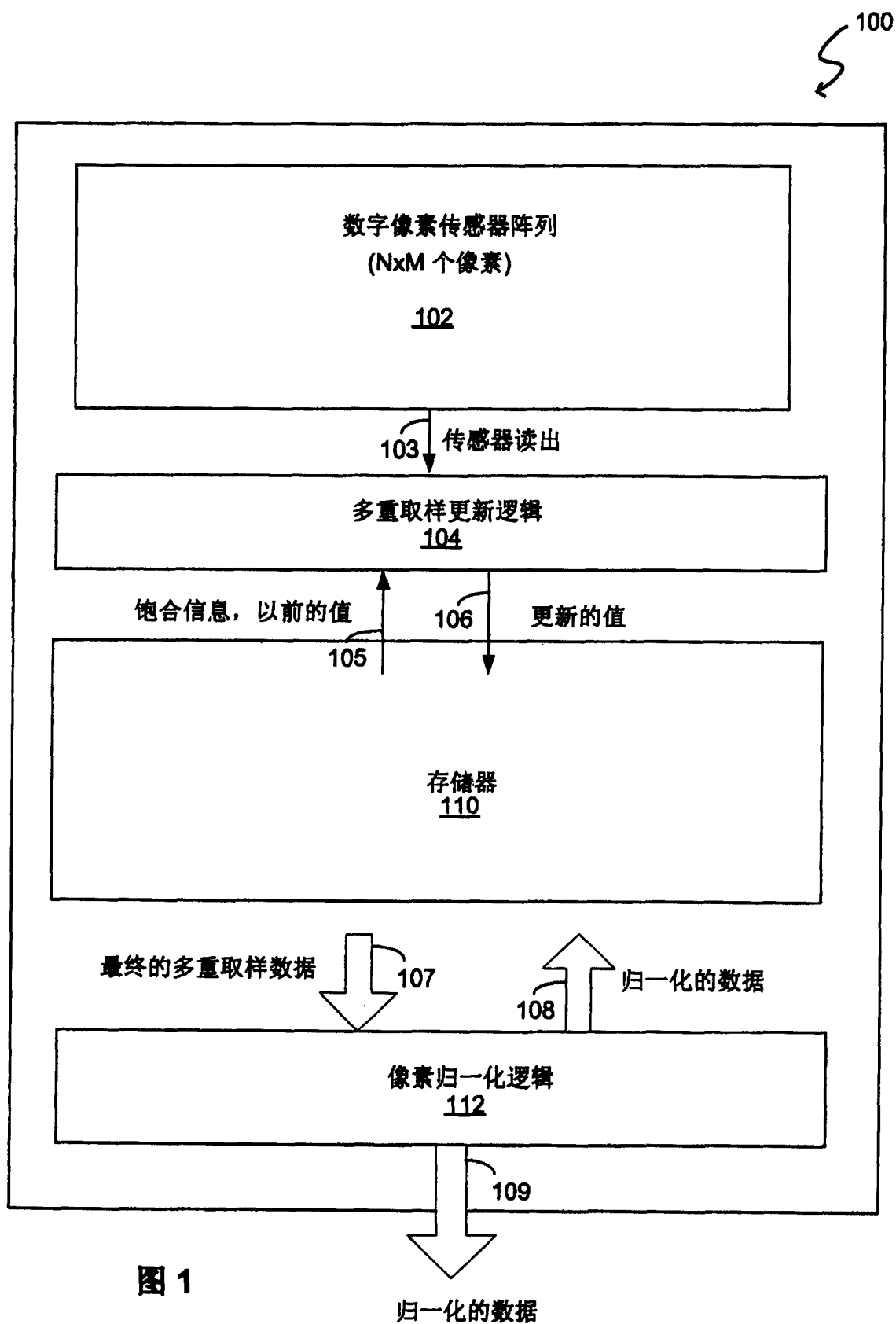
在本实施例中，使用 2-输入 XOR 门构建模块电路。当然，其它模块电路也可使用 3 或 4-输入 XOR 门构建。图 1 所示的模块电路仅是示意性的。

总之，在本发明的一个实施例中，结合像素归一化电路 112 的图像传感器 100 的操作如下。首先，图像传感器 100 执行 CDS 初始化以复位 DPS 阵列 102。在传感器阵列复位之后，复位值被读出并存储在存储器 110 的存储单元 226 中（图 2）。DPS 阵列 102 随后曝光，以捕获图像。在第一曝光时间间隔（时间 1T）之后，多重取样更新电路 104 执行饱和电平比较并根据像素值是否变为饱和而按照需要把像素值、时间索引和阈值指示比特存储到存储器 110 中。多重取样处理在整个曝光时间上继续。存储器 110 存储以比特面排列的方式排列的所有像素的像素值并且还存储阈值指示值（存储单元 222）、时间索引值（存储单元 224）和复位值（存储单元 226）。像素归一化电路 112 则通过首先把来自每个比特面的第一行像素数据装入缓冲器 830 中（图 8）而执行归一化操作。与像素有关的复位减法值和时间索引信息也被装入缓冲器 830 中。在转换窗中的像素数据部分提供给格雷码转换电路 832 以用于把数据从格雷码表示转换为二进制表示。二进制像素数据随即

耦合到 CDS 减法电路 834，在电路 834 中，复位值被从二进制像素数据中减去。CDS 归一化的数据随后提供给多重取样归一化电路 836，在电路 836 中，像素数据使用时间索引信息进行归一化。最终的归一化数据或者以像素比特排列的形式在总线 109 上输出或者也以像素比特排列的形式经总线 108 重新写入存储器 110 中。像素归一化电路 112 则继续处理转换窗中的下一组像素数据。该归一化处理直到缓冲器 830 中的所有像素数据都被归一化之后才结束。随后，像素归一化电路 112 把来自每个比特面的下一行像素数据装入存储器 110 中，并且如上所述，归一化处理重复进行，直到所有的像素数据都被归一化为止。

根据本发明的原理，图像传感器把传感器阵列、存储器和像素归一化电路集成在一个集成电路上。单芯片的实施方案提高了图像传感器的效率并使图像传感器易于与外部系统兼容。本发明的图像传感器可与任何成像系统耦合，从而不必参与电路处理像素数据就可以接收捕获的图像。根据本发明的图像传感器的这些能力通过传统的图像传感器还不能实现。

上面提供的详细描述是为了显示本发明的特定实施例并且不应作为本发明的限制。在本发明范围内的各种改进和变化也是可能的。本发明由所附的权利要求来定义。



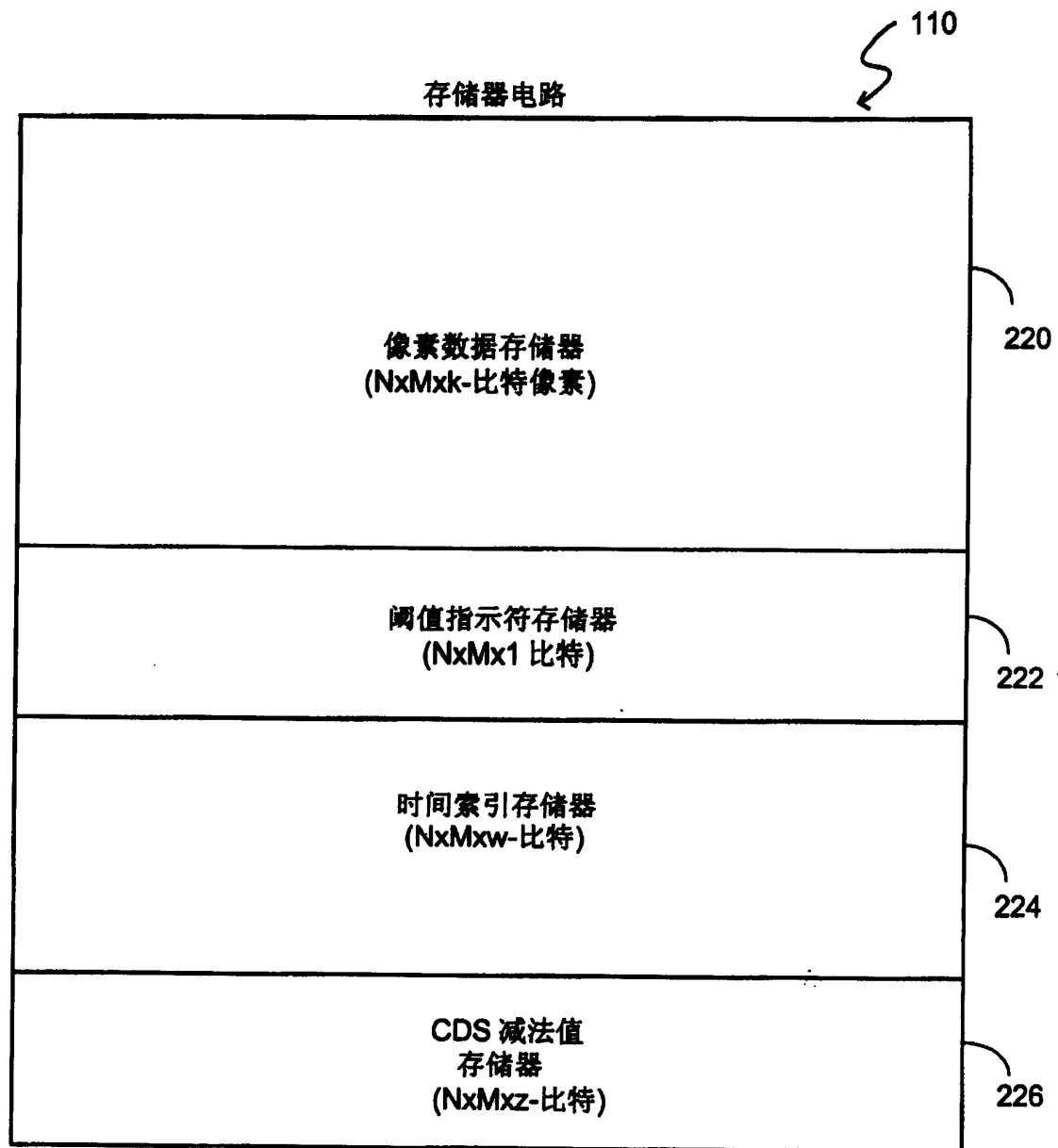


图 2

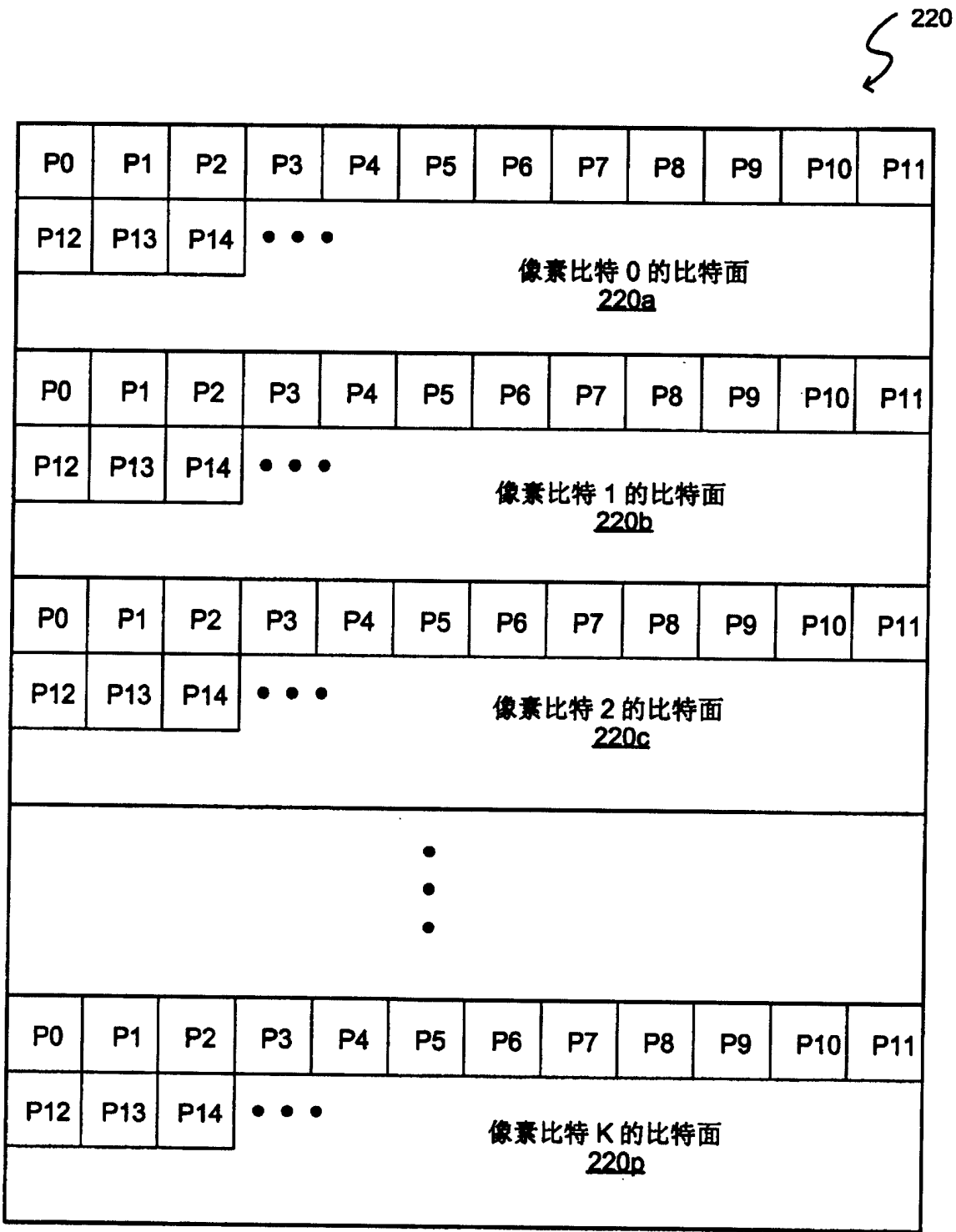


图 3

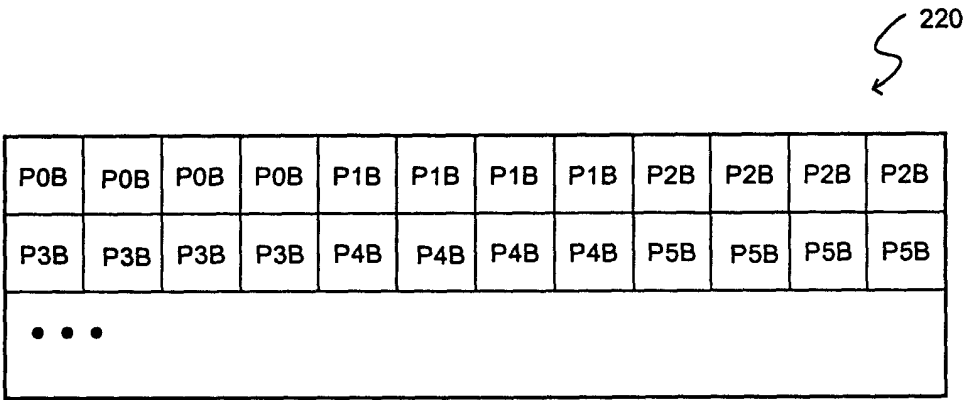


图 4

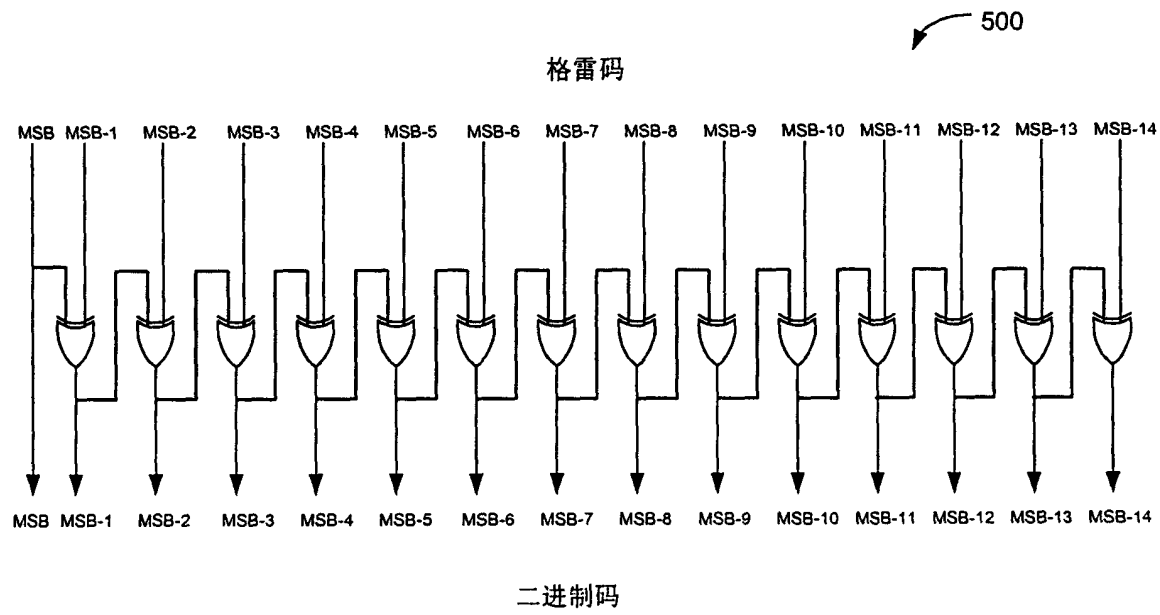


图 5

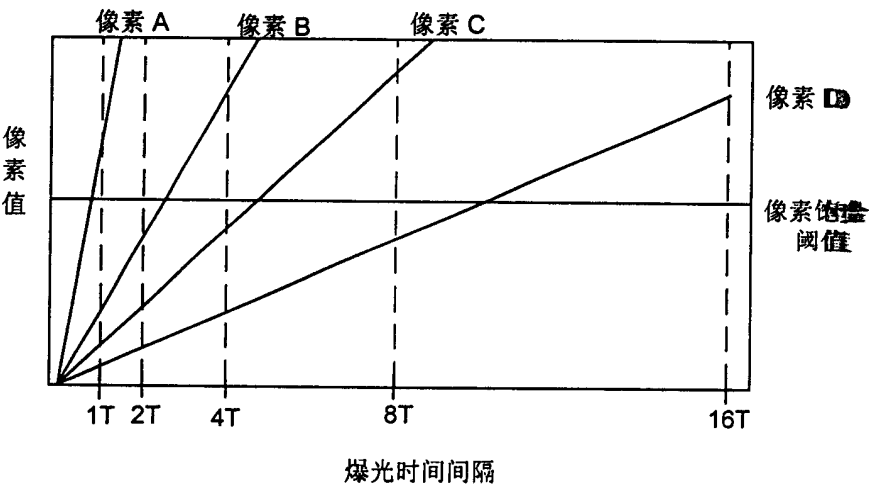


图 6

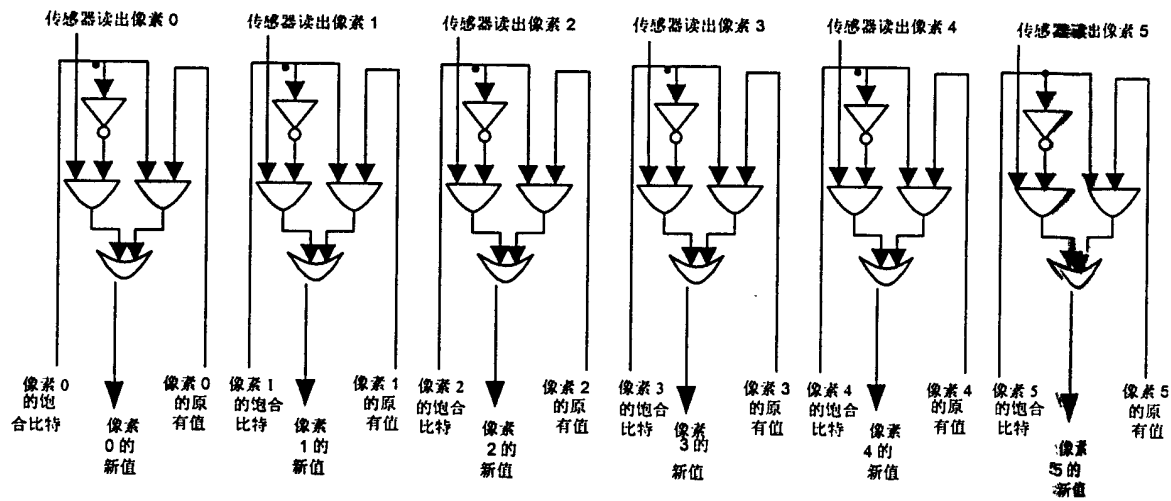


图 7

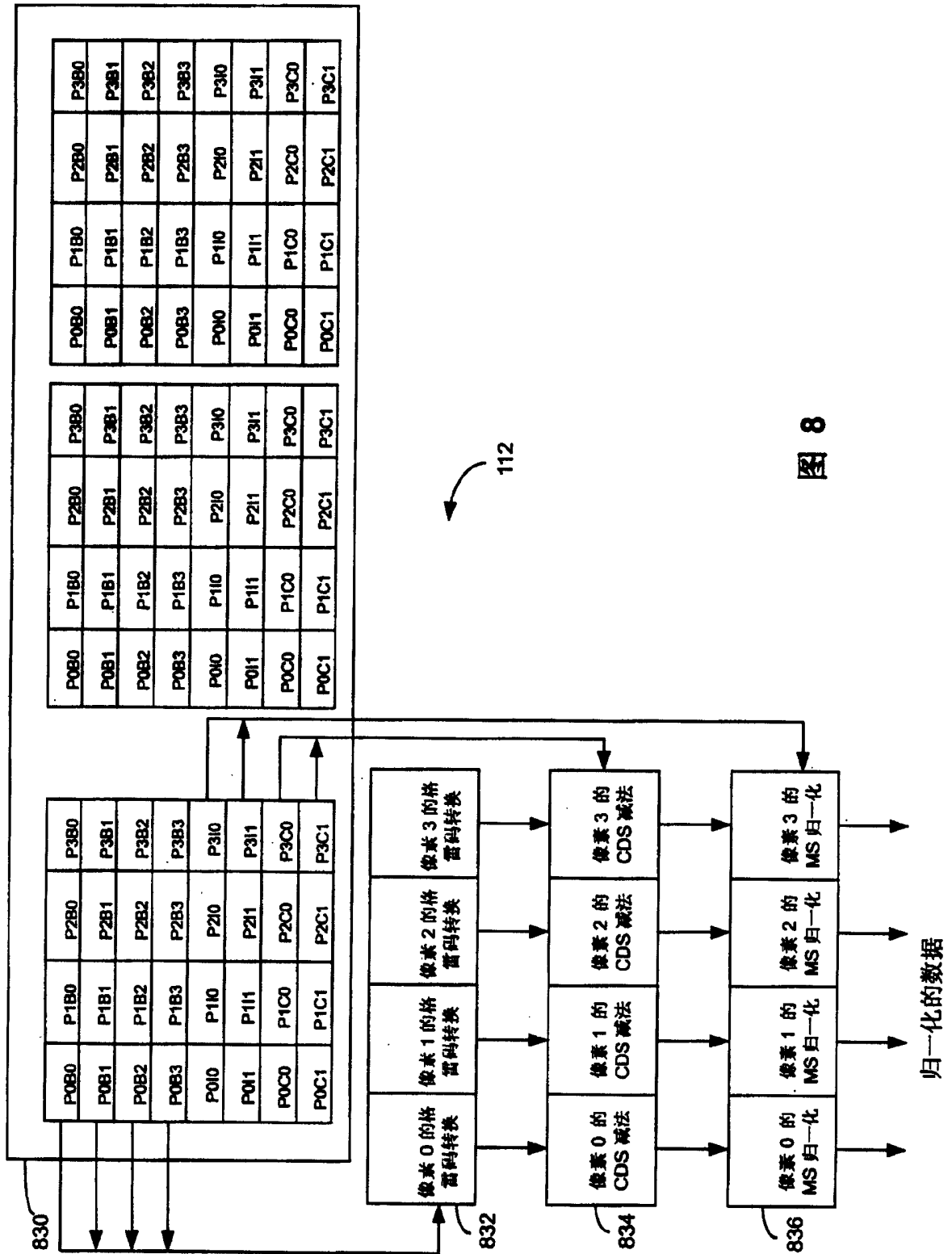


图 8

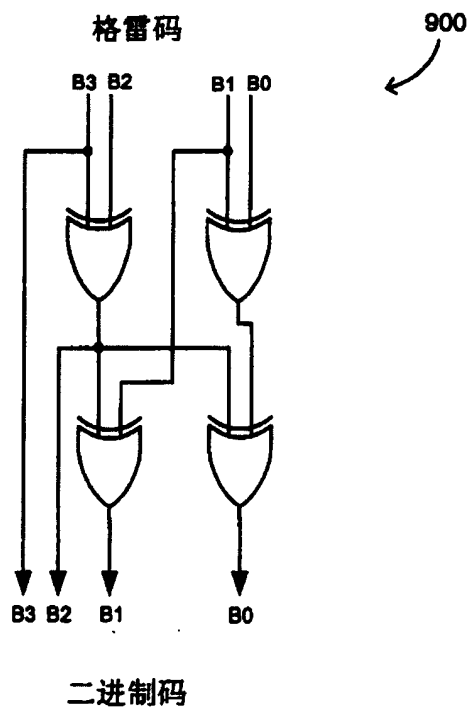


图 9

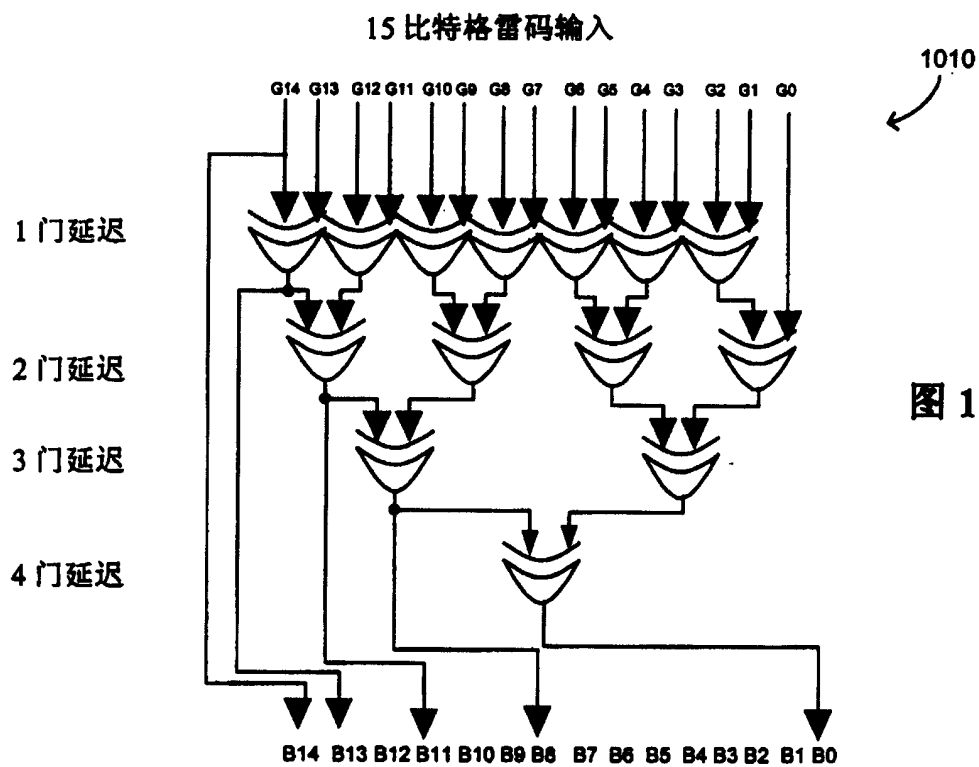


图 10

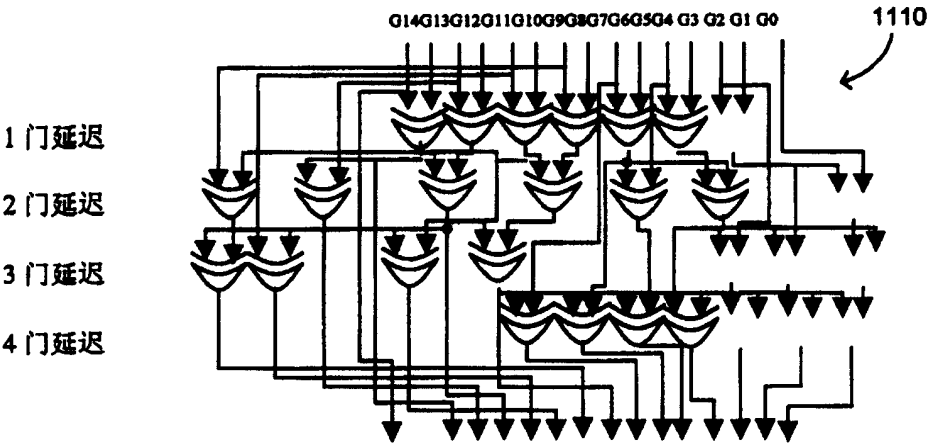


图 11

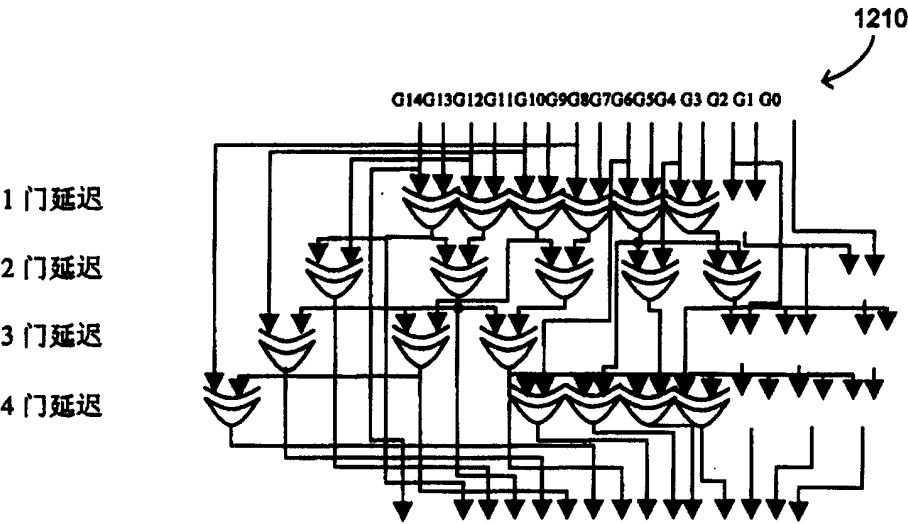
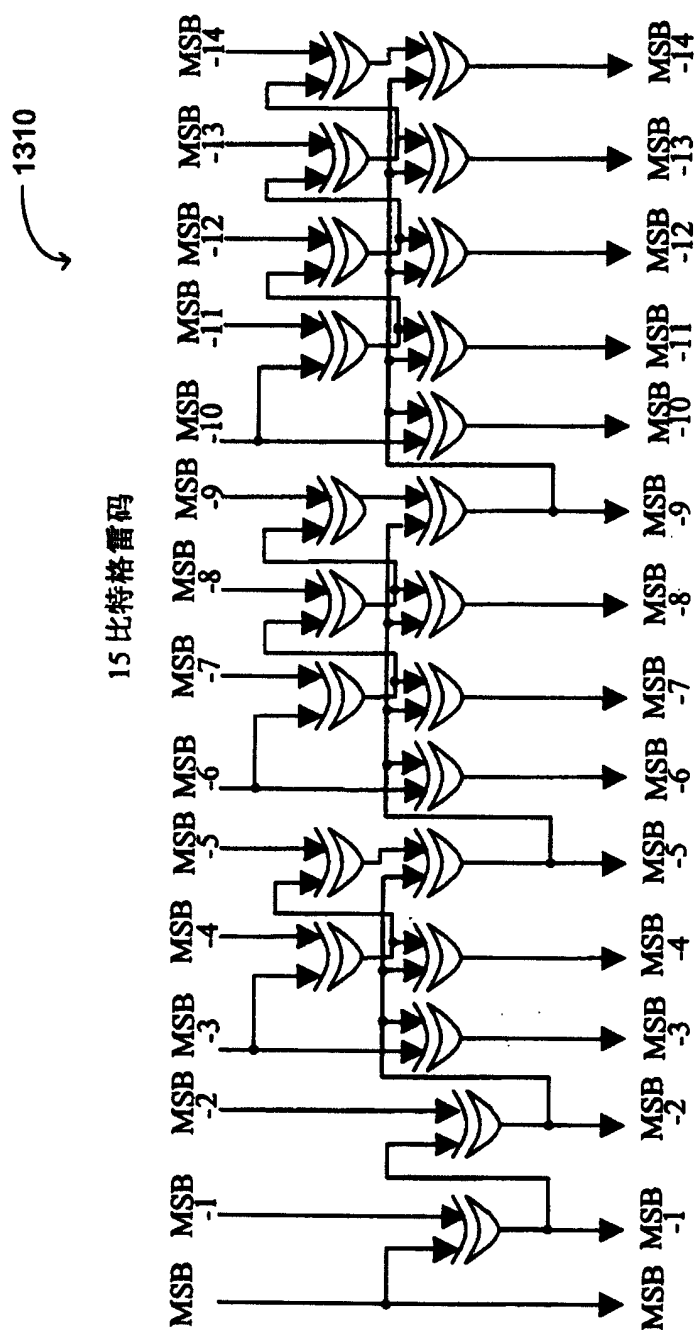


图 12



15 比特二进制码

图 13

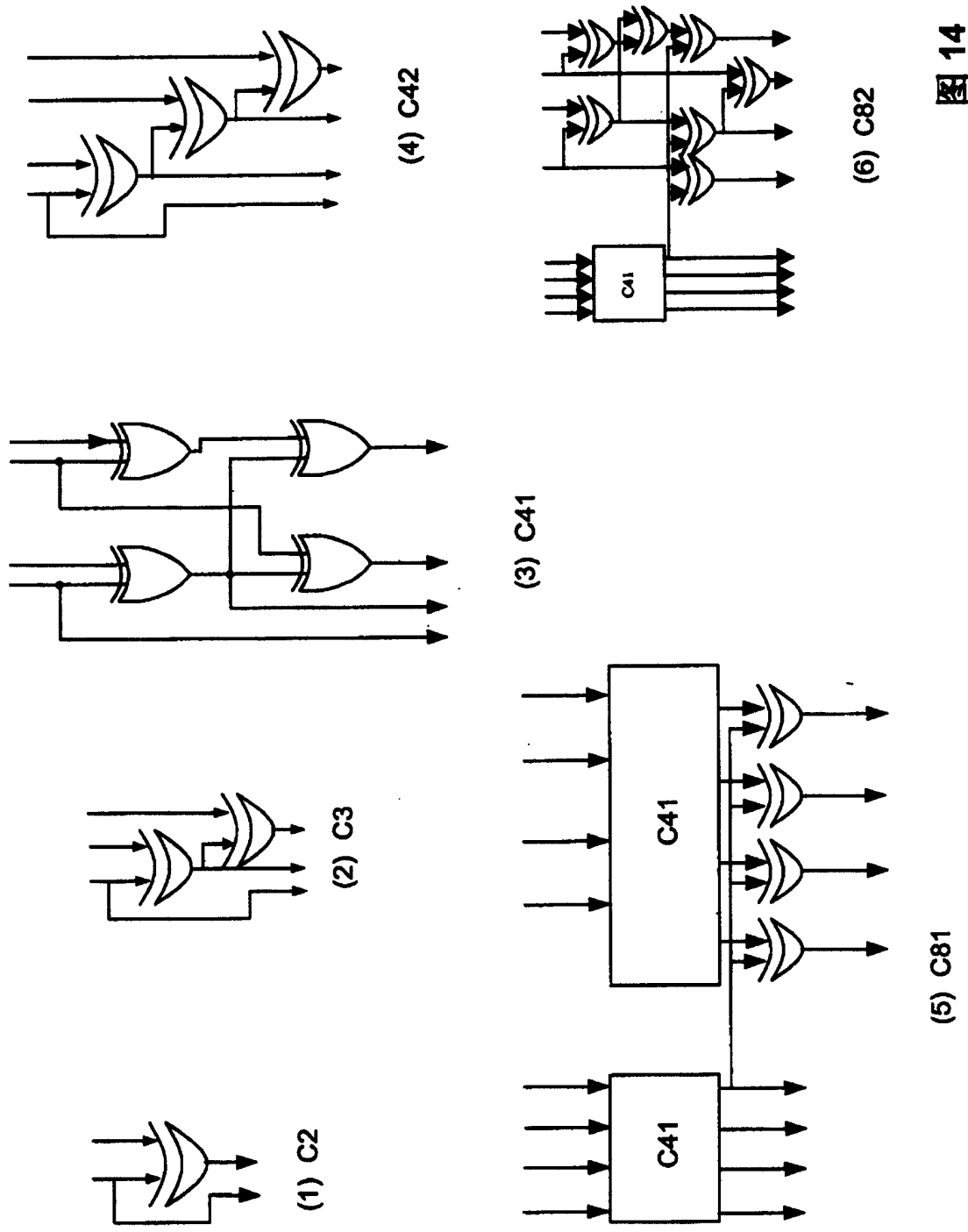


图 14

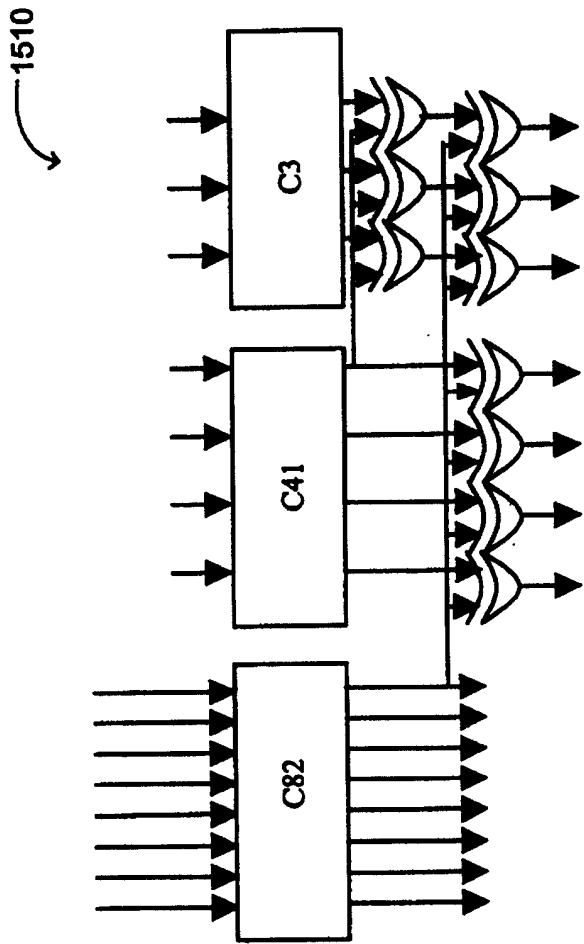


图 15