



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201250984 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：100119880

(22)申請日：中華民國 100 (2011) 年 06 月 07 日

(51)Int. Cl. : **H01L27/04 (2006.01)**

H01L21/77 (2006.01)

(71)申請人：聯詠科技股份有限公司 (中華民國) NOVATEK MICROELECTRONICS CORP.
(TW)

新竹縣新竹科學工業園區創新一路 13 號 2 樓

(72)發明人：鄧永佳 TANG, WING KAI (TW)；林清淳 LIN, CHING CHUN (TW)；黃浩然
HUANG, HAO JAN (TW)；盧佑宗 LU, YU TSUNG (TW)；蔡竣傑 TSAI, JIUN JIE
(TW)；張岑瑋 CHANG, TSEN WEI (TW)

(74)代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：6 項 圖式數：6 共 16 頁

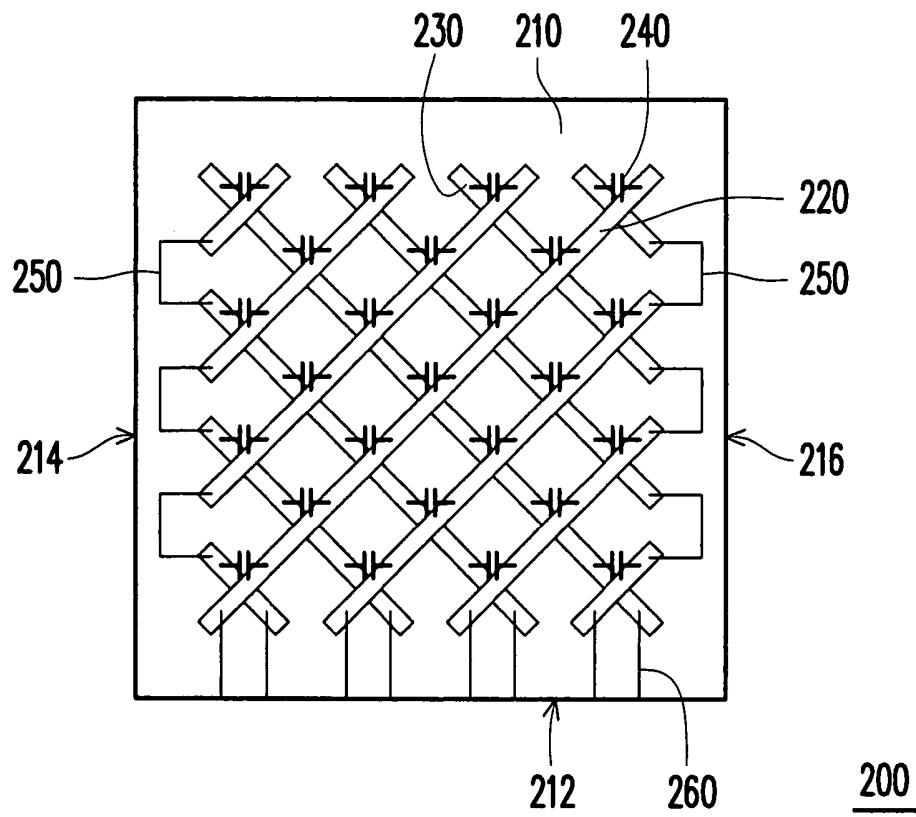
(54)名稱

電容陣列基板

CAPACITOR ARRAY SUBSTRATE

(57)摘要

一種電容陣列基板，包括一基板、多條第一走線、多條第二走線、多個電容器、多條連接線以及多條訊號線。基板具有一第一側、一第二側與一第三側。第一側連接第二側。第一側連接第三側。第一走線互相平行地配置於基板。各第一走線不垂直也不平行第一側。第二走線互相平行地配置於基板。電容器配置於基板，位於第一走線與第二走線的交會處，且連接第一走線與第二走線。連接線配置於基板的第二側與第三側，每條連接線連接一條第一走線與一條第二走線。訊號線配置於基板。每條訊號線連接一條第一走線或一條第二走線，並從第一側傳輸訊號。



六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種基板，且特別是有關於一種電容陣列基板。

【先前技術】

圖 1 是一種習知電容陣列基板的示意圖。請參照圖 1，在習知電容陣列基板 100 中，排成陣列的電容 110 是由水平方向的走線 120 與垂直方向的走線 130 連接。由於走線 120 與走線 130 分別平行於電容陣列基板 100 的兩個側邊，若要在同一側進行所有的訊號傳輸，則需在電容陣列基板 100 的側邊佈設用於走線 120 的訊號線 140。如此一來，就大幅增加了電容陣列基板 100 的側邊的寬度，不僅增加電容陣列基板 100 的成本，過長的訊號線 140 也容易導致訊號品質下降。

【發明內容】

本發明提供一種電容陣列基板，具有精簡的尺寸。

本發明的電容陣列基板包括一基板、多條第一走線、多條第二走線、多個電容器、多條連接線以及多條訊號線。基板具有一第一側、一第二側與一第三側。第一側連接第二側。第一側連接第三側。第一走線互相平行地配置於基板。各第一走線不垂直也不平行第一側。第二走線互相平行地配置於基板。電容器配置於基板，位於第一走線與第

二走線的交會處，且連接第一走線與第二走線。連接線配置於基板的第二側與第三側，每條連接線連接一條第一走線與一條第二走線。訊號線配置於基板。每條訊號線連接一條第一走線或一條第二走線，並從第一側傳輸訊號。

在本發明之一實施例中，第一走線垂直第二走線。

在本發明之一實施例中，第一走線與第一側的夾角為45度。

在本發明之一實施例中，連接線未交會。

在本發明之一實施例中，連接線相交會。

在本發明之一實施例中，第一側垂直第二側。

基於上述，在本發明的電容陣列基板中，連接電容器的走線都傾斜於基板的側邊，再搭配連接線，即可縮小佈線所需面積。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖2是本發明一實施例的電容陣列基板的示意圖。請參照圖2，本實施例的電容陣列基板200包括一基板210、多條第一走線220、多條第二走線230、多個電容器240、多條連接線250以及多條訊號線260。基板210具有一第一側212、一第二側214與一第三側216。第一側212連接第二側214，而第一側212也可垂直第二側214。第一側212連接第三側216，但第一側212可垂直或不垂直第三側

216。基板 210 通常呈矩形，但不限於此。各條第一走線 220 互相平行地配置於基板 210，且各條第一走線 220 不垂直也不平行第一側 212。換言之，若第一側 212 的邊緣為水平的，則第一走線 220 不會呈垂直或水平狀態。各條第二走線 230 互相平行地配置於基板 210。

在此，「垂直」與「平行」都是指概略的狀態，並不侷限需非常精準，可容許因製程誤差或刻意變化而造成的近似垂直與近似平行。

電容器 240 配置於基板 210。每個電容器 240 位於一條第一走線 220 與一條第二走線 230 的交會處，且連接一條第一走線 220 與一條第二走線 230。連接線 250 配置於基板 210 的第二側 214 與第三側 216。每條連接線 250 連接一條第一走線 220 與一條第二走線 230。訊號線 260 配置於基板 210。每條訊號線 260 連接一條第一走線 220 或一條第二走線 230，並從第一側 212 傳輸訊號。

依據此配置方式，每個電容器 240 都可經由兩條訊號線 260 而被控制，每個電容器 240 的電容值變化也可由兩條訊號線 260 而被感知。而且，基板 210 的第二側 214 與第三側 216 只要保留少許空間就可供配置連接線 250。因此，本實施例的電容陣列基板 200 在精簡的尺寸下，就可達成單側傳輸訊號的目的，大幅降低了整體成本。另外，訊號線 260 與連接線 250 的長度也可被控制在較短的狀態，以提升訊號的傳輸品質。

本實施例的第一走線 220 垂直第二走線 230。此外，

本實施例的第一走線 220 與第一側 212 的夾角為 45 度。另外，本實施例的各條連接線 250 之間未交會，亦即各條連接線 250 是連接最靠近自己的第一走線 220 與第二走線 230。

圖 3 是本發明另一實施例的電容陣列基板的示意圖。請參照圖 3，本實施例的電容陣列基板 300 與圖 2 的電容陣列基板 200 相似，差異在於本實施例的連接線 350 與其他連接線 350 相交會，甚至連接線 350 也可能與訊號線 360 相交會。換言之，連接線 350 並非連接最靠近自己的第一走線 320 與第二走線 330。這種設計方式可優化電容器陣列的電位分佈，進而提升電容陣列基板 300 的效能。

圖 4 是本發明另一實施例的電容陣列基板的示意圖。請參照圖 4，本實施例的電容陣列基板 400 與圖 2 的電容陣列基板 200 相似，差異在於本實施例的電容陣列基板 400 的第一側 412 的長度大於第二側 414 與第三側 416 的長度。由本實施例可知，本發明也可應用在呈長方形的電容陣列基板 400。

圖 5 是本發明另一實施例的電容陣列基板的示意圖。請參照圖 5，本實施例的電容陣列基板 500 與圖 2 的電容陣列基板 200 相似，差異在於本實施例的電容陣列基板 500 的第一側 512 的長度小於第二側 514 與第三側 516 的長度。由本實施例可知，本發明也可應用在呈長方形且以短邊為訊號傳輸側的電容陣列基板 500。另外，在電容陣列基板 500 的第二側 514 或第三側 516，也可取消部分靠近

第一側 512 的連接線 550 而取代為直接連接訊號側的訊號線。

圖 6 是本發明另一實施例的電容陣列基板的示意圖。請參照圖 6，本實施例的電容陣列基板 600 與圖 5 的電容陣列基板 500 相似，差異在於本實施例的訊號線 660 並不是僅連接最靠近第一側 612 的第一走線 620 與第二走線 630，位於第三側 616 的部分訊號線 660 會朝基板 610 內部延伸而連接基板 610 內部的第一走線 620 或第二走線 630。

綜上所述，在本發明的電容陣列基板中，連接電容器的走線都傾斜於基板的側邊，易於由同一側進行訊號的傳輸。另外，再搭配連接線，即可在保有大尺寸的可工作面積下縮小佈線所佔面積，進而降低成本。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是一種習知電容陣列基板的示意圖。

圖 2 是本發明一實施例的電容陣列基板的示意圖。

圖 3 是本發明另一實施例的電容陣列基板的示意圖。

圖 4 是本發明另一實施例的電容陣列基板的示意圖。

圖 5 是本發明另一實施例的電容陣列基板的示意圖。

圖 6 是本發明另一實施例的電容陣列基板的示意圖。

【主要元件符號說明】

100：電容陣列基板

110：電容

120、130：走線

140：訊號線

200、300、400、500、600：電容陣列基板

210、610：基板

212、412、512、612：第一側

214、414、514：第二側

216、416、516、616：第三側

220、320、620：第一走線

230、330、630：第二走線

240：電容器

250、350、550：連接線

260、360、660：訊號線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：00119880

※申請日：

※IPC 分類：

H01L 27/04 (2006.01)
H01L 21/77 (2006.01)

一、發明名稱：

電容陣列基板 / CAPACITOR ARRAY SUBSTRATE

二、中文發明摘要：

一種電容陣列基板，包括一基板、多條第一走線、多條第二走線、多個電容器、多條連接線以及多條訊號線。基板具有一第一側、一第二側與一第三側。第一側連接第二側。第一側連接第三側。第一走線互相平行地配置於基板。各第一走線不垂直也不平行第一側。第二走線互相平行地配置於基板。電容器配置於基板，位於第一走線與第二走線的交會處，且連接第一走線與第二走線。連接線配置於基板的第二側與第三側，每條連接線連接一條第一走線與一條第二走線。訊號線配置於基板。每條訊號線連接一條第一走線或一條第二走線，並從第一側傳輸訊號。

三、英文發明摘要：

A capacitor array substrate including a substrate, a plurality of first traces, a plurality of second traces, a plurality of capacitors, a plurality of connecting lines and a plurality of signal lines. The substrate has a first side, a

second side and a third side. The first side is connected to the second side, and the first side is connected to the third side. The first traces are parallel to each other and disposed on the substrate. Each first trace is not vertical or parallel to the first side. The second traces are parallel to each other and disposed on the substrate. The capacitors are disposed on the substrate, located at the intersections of the first traces and the second traces, and electrically connected to the first traces and the second traces. The connecting lines are disposed on the second side and the third side of the substrate. Each connecting line is connected to one of the first traces and one of the second traces. The signal lines are disposed on the substrate. Each signal line is connected to one of the first traces or one of the second traces and transmits signals from the first side.

四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

200：電容陣列基板

210：基板

212：第一側

214：第二側

216：第三側

七、申請專利範圍：

1.一種電容陣列基板，包括：

一基板，具有一第一側、一第二側與一第三側，其中該第一側連接該第二側，該第一側連接該第三側；

多條第一走線，互相平行地配置於該基板，其中各該第一走線不垂直也不平行該第一側；

多條第二走線，互相平行地配置於該基板；

多個電容器，配置於該基板，位於該些第一走線與該些第二走線的交會處，且連接該些第一走線與該些第二走線；

多條連接線，配置於該基板的該第二側與該第三側，分別連接一條第一走線與一條第二走線；以及

多條訊號線，配置於該基板，分別連接一條第一走線或一條第二走線，並從該第一側傳輸訊號。

2.如申請專利範圍第 1 項所述之電容陣列基板，其中該些第一走線垂直該些第二走線。

3.如申請專利範圍第 1 項所述之電容陣列基板，其中該些第一走線與該第一側的夾角為 45 度。

4.如申請專利範圍第 1 項所述之電容陣列基板，其中該些連接線未交會。

5.如申請專利範圍第 1 項所述之電容陣列基板，其中該些連接線相交會。

6.如申請專利範圍第 1 項所述之電容陣列基板，其中該第一側垂直該第二側。

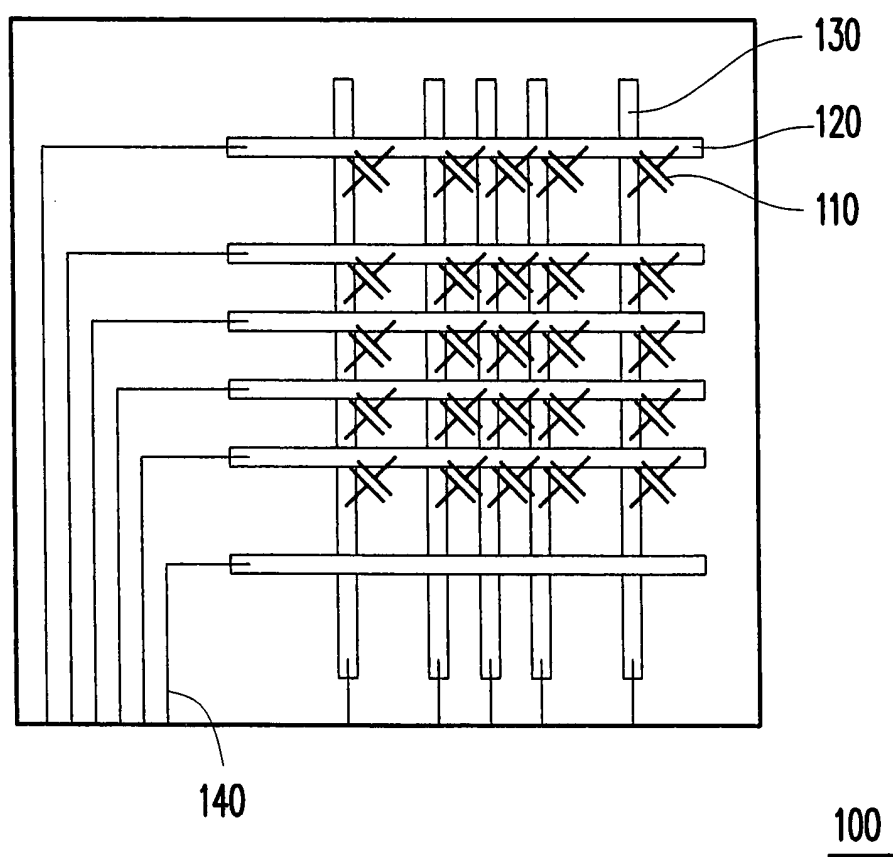


圖 1

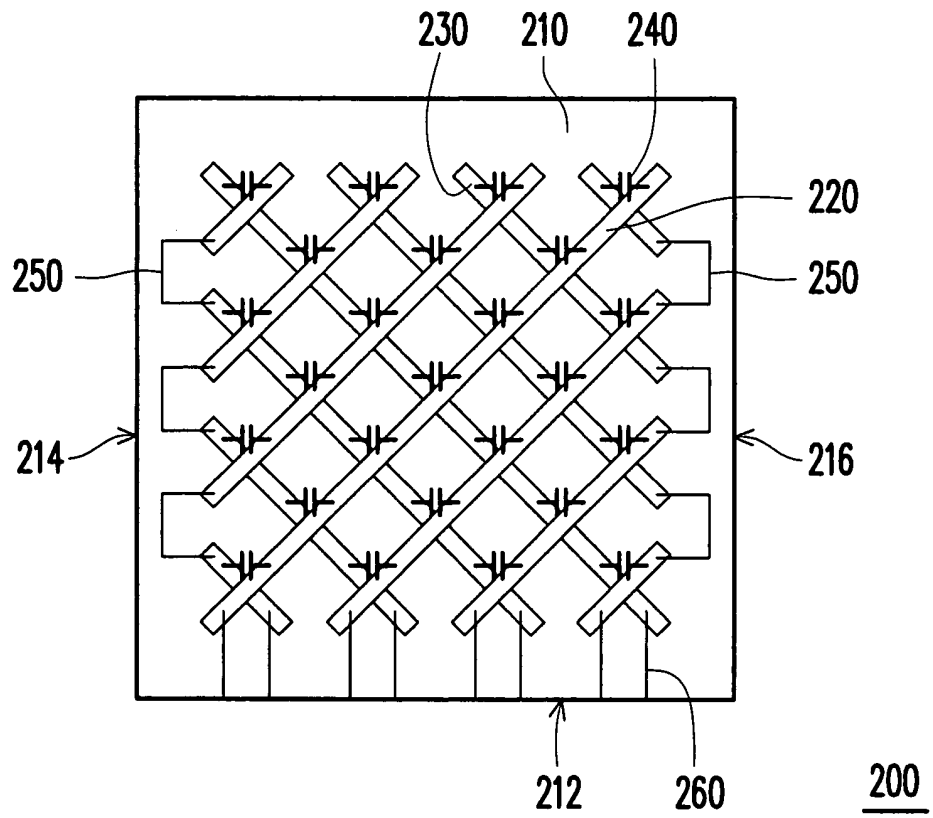


圖 2

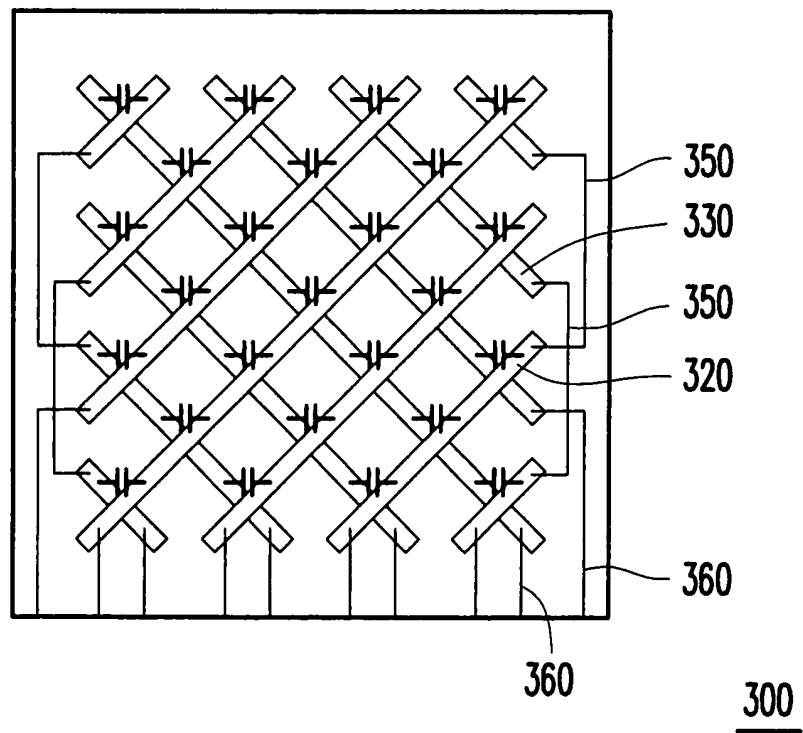


圖 3

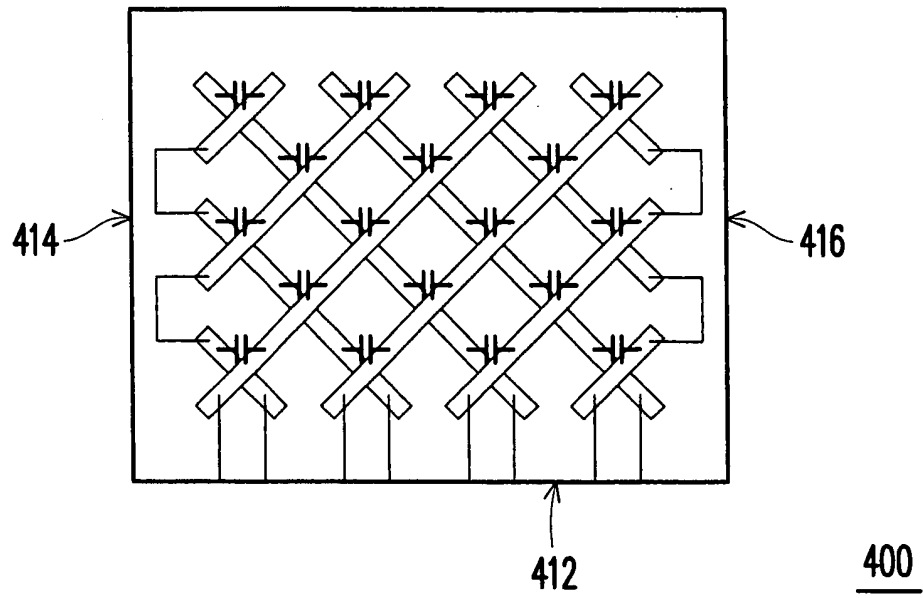


圖 4

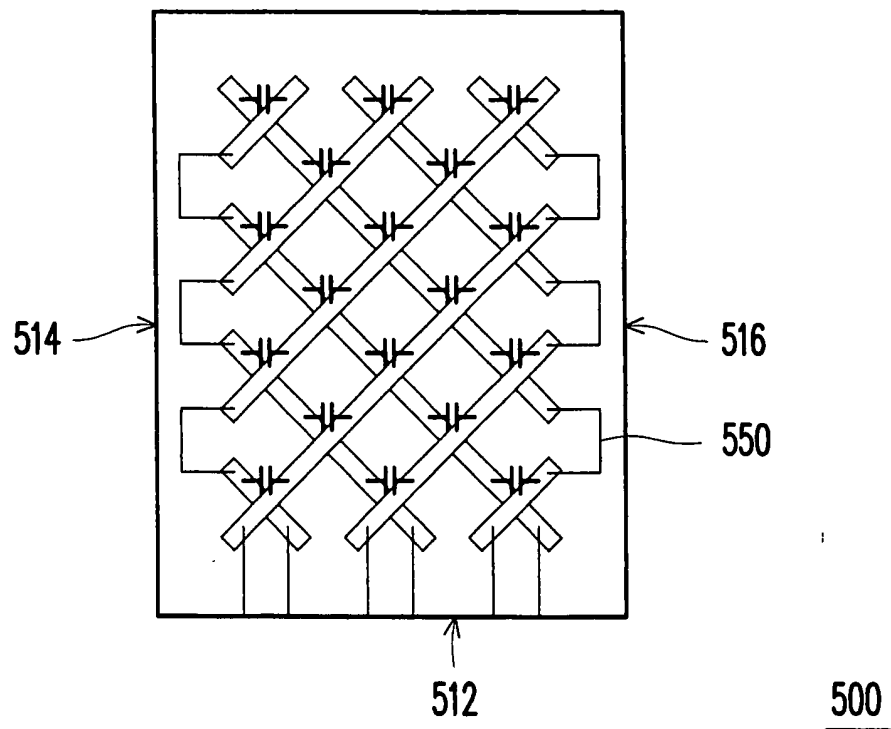


圖 5

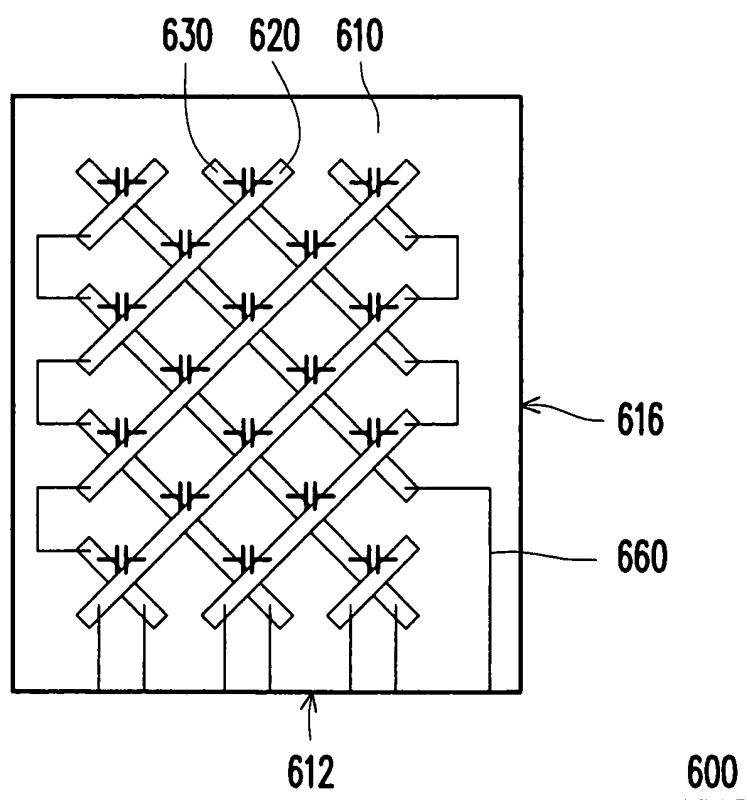


圖 6

second side and a third side. The first side is connected to the second side, and the first side is connected to the third side. The first traces are parallel to each other and disposed on the substrate. Each first trace is not vertical or parallel to the first side. The second traces are parallel to each other and disposed on the substrate. The capacitors are disposed on the substrate, located at the intersections of the first traces and the second traces, and electrically connected to the first traces and the second traces. The connecting lines are disposed on the second side and the third side of the substrate. Each connecting line is connected to one of the first traces and one of the second traces. The signal lines are disposed on the substrate. Each signal line is connected to one of the first traces or one of the second traces and transmits signals from the first side.

四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

200：電容陣列基板

210：基板

212：第一側

214：第二側

216：第三側

220：第一走線

230：第二走線

240：電容器

250：連接線

260：訊號線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無