

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-170959
(P2007-170959A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int. Cl.	F I	テーマコード (参考)
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 G	2 G 1 3 2
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 T	5 F 0 3 8
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2005-368387 (P2005-368387)
(22) 出願日 平成17年12月21日 (2005.12.21)

(71) 出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(74) 代理人 100086807
弁理士 柿本 恭成
(72) 発明者 馬場 俊明
東京都港区虎ノ門1丁目7番12号 沖電
気工業株式会社内
Fターム(参考) 2G132 AA01 AB01 AC14 AG08 AK14
AK23
5F038 CD06 CD09 DF01 DT02 DT05
DT06 EZ20

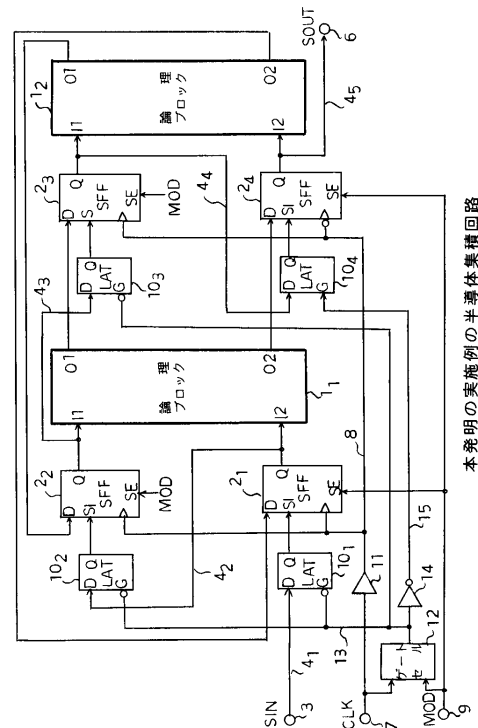
(54) 【発明の名称】 半導体集積回路とその設計方法

(57) 【要約】

【課題】 スキャンパスにおける遅延時間に、特別な配慮を必要としない半導体集積回路とその設計方法を実現する。

【解決手段】 論理ブロック1の入力端子Iの前段に設けられたスキャンFF2のスキャンデータ用の入力端子S Iに、スキャン経路4からきた信号をラッチ10でラッチして与えるように構成する。対応するラッチ10とスキャンFF2は、クロック信号CLKの異なるエッジ(一方が立ち上がりであれば、他方は立ち下がり)で動作するように組み合わせる。また、ゲートセル12を設け、通常動作時にラッチ10に対するクロック信号CLKを停止させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

与えられる入力信号に応じてそれぞれ所定の論理動作を行い、その論理動作に応じた信号を出力する複数の論理ブロックと、

前記論理ブロックに与えられる入力信号毎に設けられ、通常動作モード時には第 1 の入力端子に与えられる該論理ブロックに対する入力信号を選択し、スキャンモード時には第 2 の入力端子に与えられるスキャン信号を選択して、第 1 のクロック供給路から与えられるクロック信号に同期して出力する N (但し、 N は 2 以上の整数) 個のスキャン・フリップフロップと、

前記スキャン・フリップフロップに対応して設けられ、データ端子に与えられる信号をゲート端子に与えられるクロック信号に同期して保持して該スキャン・フリップフロップの第 2 の入力端子に出力する N 個のラッチと、

スキャン入力端子から前記複数のラッチの内の 1 番目のラッチのデータ端子に前記スキャン信号を伝搬する第 1 のスキャン経路と、

前記スキャン・フリップフロップの中で i (但し、 $i = 1 \sim N - 1$) 番目のラッチに対応する i 番目のスキャン・フリップフロップの出力側から、 $i + 1$ 番目のラッチのデータ端子に前記スキャン信号を伝搬する第 $i + 1$ のスキャン経路と、

前記 N 番目のスキャン・フリップフロップの出力側からスキャン出力端子に前記スキャン信号を伝搬する第 $N + 1$ のスキャン経路と、

スキャンモード時には外部クロック端子に与えられるクロック信号を出力し、通常動作モード時には該クロック信号の出力を停止するゲートセルと、

前記ゲートセルの出力側から前記複数のラッチのゲート端子に前記クロック信号を供給する第 2 のクロック供給路と、

前記外部クロック端子に与えられるクロック信号のタイミングを調整して前記第 1 のクロック供給路に出力する遅延バッファとを、

備えたことを特徴とする半導体集積回路。

【請求項 2】

前記スキャン・フリップフロップが、前記クロック信号の立ち上がりで動作するものと立ち下がりで動作するものが混在している場合に、該クロック信号の立ち上がりで動作するスキャン・フリップフロップに対してクロック信号の立ち下がりで動作するラッチを設け、該クロック信号の立ち下がりで動作するスキャン・フリップフロップに対してクロック信号の立ち上がりで動作するラッチを設けたことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

複数の論理ブロックとこれらの論理ブロックに入力信号をクロック信号に同期して与えるためのフリップフロップを有する半導体集積回路の回路図情報を準備する処理と、

前記回路図情報中のフリップフロップを、スキャン・フリップフロップに置き換える処理と、

前記スキャン・フリップフロップのスキャンの順番を決定し、スキャン入力端子からその順番に従って該スキャン・フリップフロップをチェーン状に接続してスキャン出力端子に至るスキャン経路を設ける処理と、

前記スキャン経路上の各スキャン・フリップフロップの前段に、クロック信号に従って該スキャン・フリップフロップへ与えるデータを保持するラッチを挿入する処理と、

スキャンモード時には外部クロック端子に与えられるクロック信号を出力し、通常動作モード時には該クロック信号の出力を停止するゲートセルを設ける処理と、

前記ゲートセルの出力側から前記複数のラッチに前記クロック信号を供給するクロック供給路を設ける処理と、

前記外部クロック端子に与えられるクロック信号のタイミングを調整して前記スキャン・フリップフロップに供給する遅延バッファを設ける処理とを、

順次行うことを特徴とする半導体集積回路の設計方法。

10

20

30

40

50

【請求項 4】

前記スキャン・フリップフロップが、前記クロック信号の立ち上がりで動作するものと立ち下がり動作するものが混在している場合に、

前記ラッチを挿入する処理において、クロック信号の立ち上がりで動作するスキャン・フリップフロップに対してクロック信号の立ち下がり動作するラッチを設け、クロック信号の立ち下がり動作するスキャン・フリップフロップに対してクロック信号の立ち上がりで動作するラッチを設け、

前記クロック供給路を設ける処理において、前記クロック信号の立ち下がり動作するラッチに対する第1のクロック供給路と、該クロック信号の立ち上がり動作するラッチに対する第2のクロック供給路を設け、該第2のクロック供給路には、該クロック信号の位相を反転したクロック信号を供給するように構成する、

10

ことを特徴とする請求項3記載の半導体集積回路の設計方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路、特にスキャン回路を有する半導体集積回路とその設計方法に関するものである。

【背景技術】

【0002】

図2は、スキャン回路を有する従来の半導体集積回路の概略の構成図である。

20

この半導体集積回路は、入力される信号に応じて論理処理を行いその結果を出力する論理ブロック 1_1 、 1_2 の入力側に、従来配置されているタイミング調整用のフリップフロップ(以下、「FF」という)に代えて、スキャンFF(SFF) $2_1 \sim 2_4$ を設けると共に、スキャン入力データSINを入力するためのスキャン入力端子3を設けている。

【0003】

スキャンFFは、通常動作モードが指定されたときには、入力端子Dに与えられるデータをクロック端子に与えられるクロック信号CLKに同期して出力端子Qへ出力し、スキャンモードが指定されたときには、入力端子SIに与えられるデータをこのクロック信号CLKに同期して出力端子Qへ出力するものである。

【0004】

30

スキャン入力端子3は、スキャン経路 4_1 とタイミング調整用の遅延バッファ 5_1 を介してスキャンFF 2_1 の入力端子SIに接続されている。スキャンFF 2_1 の出力端子Qは、論理ブロック 1_1 の入力端子I2に接続されると共に、スキャン経路 4_2 と遅延バッファ 5_2 を介してスキャンFF 2_2 の入力端子SIに接続されている。同様に、スキャンFF 2_2 の出力端子Qは、論理ブロック 1_1 の入力端子I1に接続されると共に、スキャン経路 4_3 と遅延バッファ 5_3 を介してスキャンFF 2_3 の入力端子SIに接続されている。更に、スキャンFF 2_3 の出力端子Qは、論理ブロック 1_2 の入力端子I1に接続されると共に、スキャン経路 4_4 と遅延バッファ 5_4 を介してスキャンFF 2_4 の入力端子SIに接続されている。そして、スキャンFF 2_4 の出力端子Qは、論理ブロック 1_2 の入力端子I2に接続されると共に、スキャン経路 4_5 を介してスキャン出力端子6に接続されている。

40

【0005】

スキャンFF $2_1 \sim 2_4$ のクロック端子には、クロック端子7に与えられるクロック信号CLKが、クロック供給路8を介して許容範囲内の位相差で与えられるようになっている。また、スキャンFF $2_1 \sim 2_4$ の選択端子SEには、モード設定端子9に入力されるモード選択信号MODが共通に与えられるようになっている。なお、図示していないが、論理ブロック 1_1 、 1_2 には、他の回路や外部入力端子からその他の入力信号が与えられ、処理結果の信号の一部は他の回路や外部出力端子へ出力されるようになっている。

【0006】

次に動作を説明する。

50

この半導体集積回路では、モード選択信号MODによってスキャンモードが指定されると、各スキャンFF₂₁～₂₄は入力端子SI側が選択される。これにより、スキャン入力端子3から、スキャン経路4₁ 遅延バッファ5₁ スキャンFF₂₁ スキャン経路4₂ 遅延バッファ5₂ スキャンFF₂₂ ・ ・ ・ スキャンFF₂₄ スキャン経路4₅を経てスキャン出力端子6に至るスキャンパスが構成される。

【0007】

この状態で、クロック端子7のクロック信号CLKに同期して、スキャン入力端子3からスキャン入力データSINを順次直列に入力すると、入力されたスキャン入力データSINはスキャンパスによってシフトレジスタを構成するスキャンFF₂₁～₂₄に保持される。スキャンFF₂₁～₂₄に保持されたスキャン入力データSINは、論理ブロック1₁, 1₂へ入力信号として与えられ、これによってこれらの論理ブロック1₁, 1₂からスキャン入力データSINに応じた処理結果の信号が出力される。

10

【0008】

ここで、モード選択信号MODを通常動作モードに切り替えて、クロック信号CLKを1パルスだけ与えると、論理ブロック1₁, 1₂の出力信号がスキャンFF₂₁～₂₄に保持される。

【0009】

その後、モード選択信号MODによってスキャンモードに戻し、クロック端子7にクロック信号CLKを与えると、スキャンFF₂₁～₂₄に保持されている論理ブロック1₁, 1₂の出力信号が、スキャン出力端子6から順次出力される。

20

【0010】

スキャン出力端子6から出力されたスキャン出力データSOUTを、スキャン入力データSINに対応して予め計算しておいた期待値と比較することにより、論理ブロック1₁, 1₂の動作を確認することができる。

【0011】

一方、モード選択信号MODによって通常動作モードが指定されたときには、各スキャンFF₂₁～₂₄は入力端子D側に切り替えられるので、これらのスキャンFF₂₁～₂₄を接続するスキャンチェーンは無くなる。これにより、論理ブロック1₁, 1₂には所定の入力信号経路で伝搬された入力信号が、スキャンFF₂₁～₂₄からクロック信号CLKのタイミングに従って与えられる。

30

【0012】

なお、下記特許文献1には、反転したクロック信号のタイミングでスキャンパスのデータを保持する第1のFFと、動作モードによって通常動作時のデータとこの第1のFFで保持したデータを切り替えるセレクタと、このセレクタで選択されたデータをクロック信号のタイミングで保持する第2のFFとで構成されるスキャンFFが記載されている。

【0013】

【特許文献1】特開平10-267994号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、前記半導体集積回路では、通常動作モードのデータ経路とスキャンモードのデータ経路の相違による伝搬遅延の相違を補正するために、各スキャン経路4中にタイミング調整用の遅延バッファ5を挿入している。このため、回路規模と消費電力が増加するという問題があった。更に、近年の集積回路の微細化により、遅延バッファ5を構成する素子の遅延量が少なくなってきたので、所望の遅延時間を得るための素子数が多くなり問題が顕著になっている。

40

【0015】

本発明は、スキャンモード時のスキャンパスにおける遅延時間に、特別な配慮を必要としない半導体集積回路とその設計方法を実現すること目的としている。

【課題を解決するための手段】

50

【0016】

本発明の半導体集積回路は、与えられる入力信号に応じてそれぞれ所定の論理動作を行い、その論理動作に応じた信号を出力する複数の論理ブロックと、前記論理ブロックに与える入力信号毎に設けられ、通常動作モード時には第1の入力端子に与えられる該論理ブロックに対する入力信号を選択し、スキャンモード時には第2の入力端子に与えられるスキャン信号を選択して、第1のクロック供給路から与えられるクロック信号に同期して出力するN（但し、Nは2以上の整数）個のスキャンFFと、前記スキャンFFに対応して設けられ、データ端子に与えられる信号をゲート端子に与えられるクロック信号に同期して保持して該スキャンFFの第2の入力端子に出力するN個のラッチと、スキャン入力端子から前記複数のラッチの内の1番目のラッチのデータ端子に前記スキャン信号を伝搬する第1のスキャン経路と、前記スキャンFFの中でi（但し、 $i = 1 \sim N - 1$ ）番目のラッチに対応するi番目のスキャンFFの出力側から、i+1番目のラッチのデータ端子に前記スキャン信号を伝搬する第i+1のスキャン経路と、前記N番目のスキャンFFの出力側からスキャン出力端子に前記スキャン信号を伝搬する第N+1のスキャン経路と、スキャンモード時には外部クロック端子に与えられるクロック信号を出力し、通常動作モード時には該クロック信号の出力を停止するゲートセルと、前記ゲートセルの出力側から前記複数のラッチのゲート端子に前記クロック信号を供給する第2のクロック供給路と、前記外部クロック端子に与えられるクロック信号のタイミングを調整して前記第1のクロック供給路に出力する遅延バッファとを備えたことを特徴としている。

10

【発明の効果】

20

【0017】

本発明では、スキャンFFの第2の入力端子（即ち、スキャンデータの入力端子）の前にラッチを設け、このラッチでスキャンデータをラッチしてから、スキャンFFに与えるようにしている。これにより、スキャンパスにおける遅延時間に特別な配慮を必要としない半導体集積回路が実現できるという効果がある。

【発明を実施するための最良の形態】

【0018】

複数のスキャンFFが同一特性ではなく、クロック信号の立ち上がりで動作するものと立ち下がりで動作するものが混在している場合には、クロック信号の立ち上がりで動作するスキャンFFに対してクロック信号の立ち下がりで動作するラッチを設け、クロック信号の立ち下がりで動作するスキャンFFに対してクロック信号の立ち上がりで動作するラッチを設ける。

30

【0019】

この発明の前記並びにその他の目的と新規な特徴は、次の好ましい実施例の説明を添付図面と照らし合わせて読むと、より完全に明らかになるであろう。但し、図面は、もっぱら解説のためのものであって、この発明の範囲を限定するものではない。

【実施例1】

【0020】

図1は、本発明の実施例を示す半導体集積回路の概略の構成図であり、図2中の要素と共通の要素には共通の符号が付されている。

40

【0021】

この半導体集積回路は、図2中の遅延バッファ $5_1 \sim 5_4$ に代えてラッチ（LAT） $10_1 \sim 10_4$ を設けると共に、スキャンFF $2_1 \sim 2_4$ に対するクロック信号CLKのタイミングを調整するための遅延バッファ11と、これらのラッチ $10_1 \sim 10_4$ にクロック信号CLKを供給するためのゲートセル12、クロック供給路13、15、及びインバータ14を設けている。

【0022】

即ち、この半導体集積回路は、入力される信号に応じて論理処理を行いその結果を出力する論理ブロック $1_1, 1_2$ の入力側にスキャンFF $2_1 \sim 2_4$ を設けると共に、スキャン入力データSINを入力するためのスキャン入力端子3を有している。

50

【0023】

スキャンFF $2_1 \sim 2_4$ は、通常動作モードが指定されたときには、入力端子Dに与えられるデータをクロック端子に与えられるクロック信号CLKに同期して出力端子Qへ出力し、スキャンモードが指定されたときには、入力端子SIに与えられるデータをこのクロック信号CLKに同期して出力端子Qへ出力するものである。

【0024】

一方、ラッチ $10_1 \sim 10_4$ は、ゲート端子Gに与えられるクロック信号CLKがレベル“L”の時は、入力端子Dの信号をそのまま出力端子Qから出力し、このクロック信号CLKがレベル“H”の時は、“H”に立ち上がる直前の出力端子Qの信号を保持するものである。

10

【0025】

スキャン入力端子3は、スキャン経路 4_1 とラッチ 10_1 を介してスキャンFF 2_1 の入力端子SIに接続されている。スキャンFF 2_1 の出力端子Qは、論理ブロック 1_1 の入力端子I 2 に接続されると共に、スキャン経路 4_2 とラッチ 10_2 を介してスキャンFF 2_2 の入力端子SIに接続されている。同様に、スキャンFF 2_2 の出力端子Qは、論理ブロック 1_1 の入力端子I 1 に接続されると共に、スキャン経路 4_3 とラッチ 10_3 を介してスキャンFF 2_3 の入力端子SIに接続されている。更に、スキャンFF 2_3 の出力端子Qは、論理ブロック 1_2 の入力端子I 1 に接続されると共に、スキャン経路 4_4 とラッチ 10_4 を介してスキャンFF 2_4 の入力端子SIに接続されている。そして、スキャンFF 2_4 の出力端子Qは、論理ブロック 1_2 の入力端子I 2 に接続されると共に、スキャン経路 4_5 を介してスキャン出力端子6に接続されている。

20

【0026】

スキャンFF $2_1 \sim 2_4$ のクロック端子には、クロック端子7に与えられるクロック信号CLKが遅延バッファ11でタイミングを調整され、クロック供給路8を介して許容範囲内の位相差で与えられるようになっている。また、スキャンFF $2_1 \sim 2_4$ の選択端子SEには、モード設定端子9に入力されるモード選択信号MODが、共通に与えられるようになっている。

【0027】

また、クロック信号CLKとモード選択信号MODは、ゲートセル12に与えられている。ゲートセル12は、モード選択信号MODで通常動作モードが指定されたときは、“L”を出力し、スキャンモードが指定されたときには、クロック信号CLKをそのまま出力するものである。ゲートセル12は、ANDゲートと同様の機能を有しているが、入力信号の変化時にひげ状のパルスが発生しないように構成されたゲートである。

30

【0028】

ゲートセル12の出力側は、クロック供給路13を介してラッチ $10_1 \sim 10_3$ のゲート端子Gに接続されると共に、インバータ14とクロック供給路15を介してラッチ 10_4 のゲート端子Gに接続されている。なお、図示していないが、論理ブロック $1_1, 1_2$ には、他の回路や外部入力端子からその他の入力信号が与えられ、処理結果の信号の一部は他の回路や外部出力端子へ出力されるようになっている。

【0029】

図3は、図1の半導体集積回路の設計手順を示すフローチャートである。また、図4は、スキャンFF間のデータ転送タイミングの説明図であり、図5は、ラッチとスキャンFFに与えられるクロック信号のタイミングの説明図である。以下、これらの図3～図5を参照しつつ、図1の半導体集積回路の設計方法を説明する。

40

【0030】

ステップS1において、通常のタイミング調整用のFFを使用した回路図の情報(ネットリスト)を用い、この通常のFFをスキャンFF $2_1 \sim 2_4$ に置き換える。

【0031】

ステップS2において、スキャン入力端子3からスキャン出力端子6に至るスキャンパスを設定する。即ち、スキャンFF $2_1 \sim 2_4$ のスキャンの順番を決定し、スキャン入力

50

端子3とスキャン出力端子6を設け、決定した順番に従ってスキャンFFをチェーン状に接続するスキャン経路 $4_1 \sim 4_5$ を設ける。

【0032】

ステップS3において、スキャンパス上の各スキャンFF $2_1 \sim 2_4$ の前段に、ラッチ $10_1 \sim 10_4$ を挿入する。このとき、クロック信号CLKの立ち上がりエッジで動作するスキャンFF $2_1 \sim 2_3$ には、このクロック信号CLKの立ち下がりエッジで動作するラッチ $10_1 \sim 10_3$ を挿入する。また、クロック信号CLKの立ち下がりエッジで動作するスキャンFF 2_4 には、このクロック信号CLKの立ち上がりエッジで動作するラッチ 10_4 を挿入する。

【0033】

ステップS4において、クロック信号CLKの出力をモード選択信号MODによって制御するゲートセル12を設ける。

【0034】

ステップS5において、ステップS3で挿入したラッチの中でクロック信号の立ち下がりエッジで動作するラッチ $10_1 \sim 10_3$ には、クロック信号CLKを同位相で供給するためのクロック供給路13を設ける。また、クロック信号CLKの立ち上がりエッジで動作するラッチ 10_4 には、クロック信号CLKを反転して供給するためのインバータ14とクロック供給路15を設ける。

【0035】

ここで、クロック信号の立ち上がりで動作するラッチと、立ち下がりで動作するラッチを分離する理由は次のとおりである。

【0036】

例えば図4に示すように、クロック信号CLKの立ち上がりエッジで動作するスキャンFF 2_3 の後段に、クロック信号CLKの立ち下がりエッジで動作するスキャンFF 2_4 が接続された場合、クロック1サイクル中にスキャンFF $2_3, 2_4$ のデータが変化してしまうので、スキャン経路 4_4 に故障が発生してもスキャンモードでの故障判断ができなくなるためである。また、スキャンFF $2_3, 2_4$ の接続順序が逆の場合は、故障判定が2サイクルとなるので判断は可能であるが、ラッチ挿入後のクロックの調整が非常に難しくなるためである。

【0037】

ステップS6において、各スキャンFF $2_1 \sim 2_4$ に供給されるクロック信号と、各ラッチ $10_1 \sim 10_4$ に供給されるクロック信号のタイミング差を算定し、クロック端子7とクロック供給路8の間に遅延時間を調整するための遅延バッファ11を挿入する。

【0038】

ここで、図5に示すように、クロック信号の立ち上がりで動作するスキャンFFに対しては、前段にクロック信号の立ち下がりエッジで動作するラッチが設けられているので、このスキャンFFにはラッチに与えるクロック信号が立ち下がった後で、クロック信号が立ち上がるように遅延バッファ11の遅延量を設定する。また、クロック信号の立ち下がりエッジで動作するスキャンFFに対しては、前段にクロック信号の立ち上がりエッジで動作するラッチが設けられているので、このスキャンFFにはラッチに与えるクロック信号が立ち上がった後で、クロック信号が立ち下がるように遅延バッファ11の遅延量を設定する。

【0039】

ステップS7において、シミュレーションによってタイミングの確認を行い、所定の機能が満たされていると判定されれば、設計は終了する。

【0040】

次に、図1の半導体集積回路の動作を説明する。

この半導体集積回路では、モード選択信号MODによってスキャンモードが指定されると、各スキャンFF $2_1 \sim 2_4$ は入力端子SI側が選択される。これにより、スキャン入力端子3から、スキャン経路 4_1 ラッチ 10_1 スキャンFF 2_1 スキャン経路 4_2 ラッチ 10_2 スキャンFF 2_2 … スキャンFF 2_4 スキャン経路 4_5 を経

10

20

30

40

50

てスキャン出力端子6に至るスキャンパスが構成される。

【0041】

この状態で、クロック端子7のクロック信号CLKに同期して、スキャン入力端子3からスキャン入力データSINを順次直列に入力すると、入力されたスキャン入力データSINは、クロック信号CLKが“L”の時にラッチ10₁に取り込まれ、このクロック信号CLKが“H”になると、直前に取り込んだデータがそのまま保持される。従って、スキャンFF2₁には、クロック信号CLKの立ち上がりによってラッチ10₁に保持されたデータが取り込まれて出力される。クロック信号CLKの立ち上がり毎に、このような動作が繰り返され、クロック信号CLKに同期して順次直列に入力されたスキャン入力データSINが、スキャンパス上のシフトレジスタを構成するスキャンFF2₁~2₄に保持される。スキャンFF2₁~2₄に保持されたスキャン入力データSINは、論理ブロック1₁, 1₂へ入力信号として与えられ、これによってこれらの論理ブロック1₁, 1₂からスキャン入力データSINに応じた処理結果の信号が出力される。

10

【0042】

ここで、モード選択信号MODを通常動作モードに切り替えて、クロック信号CLKを1パルスだけ与えると、論理ブロック1₁, 1₂の出力信号がスキャンFF2₁~2₄に保持される。

【0043】

その後、モード選択信号MODによってスキャンモードに戻し、クロック端子7にクロック信号CLKを与えると、スキャンFF2₁~2₄に保持されている論理ブロック1₁, 1₂の出力信号が、スキャン出力端子6から順次出力される。

20

【0044】

スキャン出力端子6から出力されたスキャン出力データSOUTを、スキャン入力データSINに対応して予め計算しておいた期待値と比較することにより、論理ブロック1₁, 1₂の動作を確認することができる。

【0045】

一方、モード選択信号MODによって通常動作モードが指定されたときには、各スキャンFF2₁~2₄は入力端子D側に切り替えられるので、これらのスキャンFF2₁~2₄を接続するスキャンチェーンは無くなる。これにより、論理ブロック1₁, 1₂には所定の入力信号経路で伝搬された入力信号が、スキャンFF2₁~2₄からクロック信号CLKのタイミングに従って与えられる。

30

【0046】

以上のように、本実施例の半導体集積回路は、スキャンパス上にタイミング調整用の遅延バッファ5に代えてラッチ10を設け、スキャンFF2とは反対のクロックエッジでデータを保持するようにしている。これにより、スキャンパスにおける遅延時間に特別な配慮を必要とせず、データのシフト動作が可能になるという利点がある。

【0047】

また、ゲートセル12を設け、通常動作モード時にラッチ10に対するクロック信号CLKの供給を停止するようにしている。これにより、遅延バッファ5を用いた場合よりも消費電力を低減することができる。

40

【0048】

また、スキャンFF2と同数のラッチ10が必要になるが、ラッチ10を構成するゲート数は一定であるので、必要な遅延時間に応じて遅延素子の数を増減させる場合に比べて回路規模を縮小することができる可能性が高い。

【0049】

更に、スキャンFFに与えるクロック信号CLKのタイミングを調整するだけで、スキャンモード時のデータ保持タイミングを保証することができるので、回路規模の縮小と設計時間の短縮が可能である。例えば、200kゲート程度のマイクロプロセッサの場合、従来の設計方法に比べて、面積で3%程度、ゲート数で7%程度の縮小が可能になり、消費電力では8%程度の削減ができた。また、設計に必要な日数では、3日程度の短縮効果

50

が見られた。

【0050】

なお、本発明は、上記実施例1に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

(1) 論理ブロックやその入出力信号の数は一例である。また、スキャンパスは1本として説明したが、複数のスキャンパスを並列して設けることができる。

(2) 単一のクロック信号を用いる回路を説明したが、複数のクロック信号を用いる回路では、各クロック信号に対して同様の回路を構成することができる。

(3) クロック信号CLKの立ち上がりエッジで動作するスキャンFFと、立ち下がりエッジで動作するスキャンFFが混在した場合を説明したが、すべてのスキャンFFが同じエッジで動作する場合には、ラッチに対するクロック供給路は1つで良い。

【図面の簡単な説明】

【0051】

【図1】本発明の実施例を示す半導体集積回路の概略の構成図である。

【図2】従来の半導体集積回路の概略の構成図である。

【図3】図1の半導体集積回路の設計手順を示すフローチャートである。

【図4】スキャンFF間のデータ転送タイミングの説明図である。

【図5】ラッチとスキャンFFに与えられるクロック信号のタイミングの説明図である。

【符号の説明】

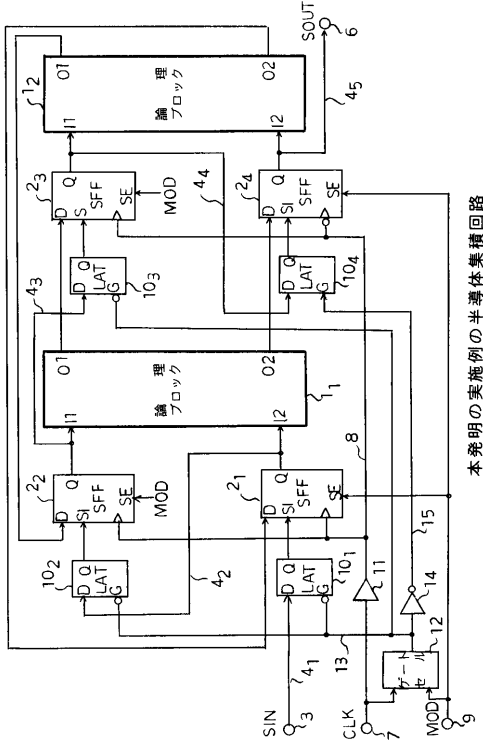
【0052】

- 1 論理ブロック
- 2 スキャンFF
- 4 スキャン経路
- 10 ラッチ
- 11 遅延バッファ
- 12 ゲートセル

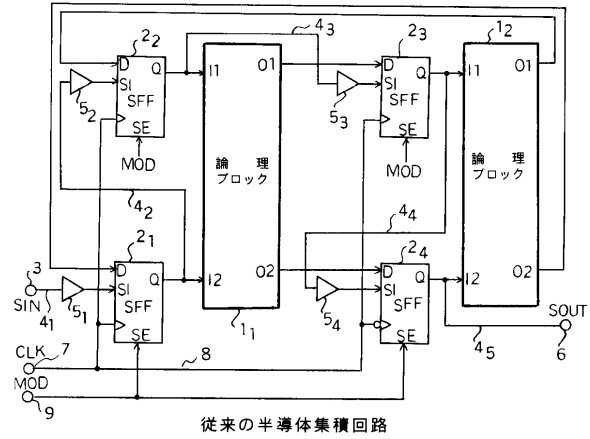
10

20

【図1】



【図2】



【図3】

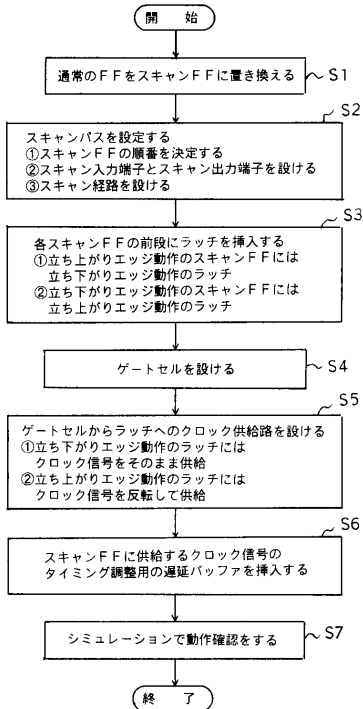
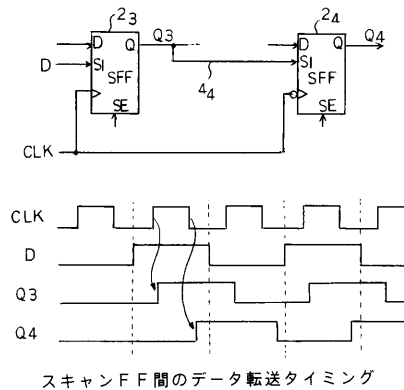


図1の半導体集積回路の設計手順

【図4】



【図5】

