



(12) 发明专利申请

(10) 申请公布号 CN 106298523 A

(43) 申请公布日 2017. 01. 04

(21) 申请号 201510264905. 4

H01L 29/786(2006. 01)

(22) 申请日 2015. 05. 22

H01L 21/77(2006. 01)

(71) 申请人 鸿富锦精密工业(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇油松第十工业区东环二路2号

申请人 鸿海精密工业股份有限公司

(72) 发明人 方国龙 高逸群 林欣桦 施博理 李志隆

(74) 专利代理机构 深圳市赛恩倍吉知识产权代理有限公司 44334

代理人 汪飞亚

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 27/12(2006. 01)

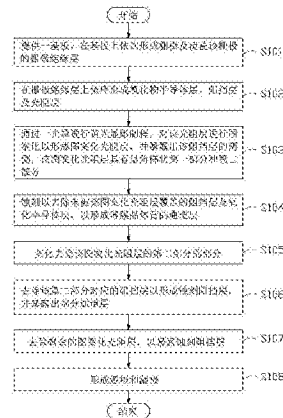
权利要求书2页 说明书5页 附图5页

(54) 发明名称

薄膜晶体管、薄膜晶体管的制造方法及阵列基板的制造方法

(57) 摘要

本发明提供了一种薄膜晶体管的制造方法,包括:于一基板上形成栅极及栅极绝缘层,依序在栅极绝缘层上覆盖半导体层、阻挡层及光阻层;图案化该光阻层以形成具有呈阶梯结构的第一、二部分的图案化光阻层,第一部分的高度大于第二部分的高度且第二部分至少包括位于第一部分的两相对侧的部分;去除未被图案化光阻层覆盖的半导体层及阻挡层,以形成通道层;去除第二部分,以暴露出部分阻挡层;去除第二部分对应的阻挡层,以形成蚀刻阻挡层;去除剩余的图案化光阻层并形成分别覆盖于蚀刻阻挡层两相对侧且分别与通道层接触的源/漏极。通过形成高度不同的图案化光阻层以将蚀刻阻挡层与通道层结合至一道光罩制程中,可节省一道光罩次数。



1. 一种薄膜晶体管的制造方法,其特征在于,该制造方法包括:

于一基板上形成栅极及栅极绝缘层,并依序在该栅极绝缘层上覆盖半导体层、阻挡层及光阻层;

图案化该光阻层以形成图案化光阻层,该图案化光阻层具有呈阶梯结构的第一部分及第二部分,该第一部分的高度大于该第二部分的高度且该第二部分至少包括位于该第一部分的两相对侧的部分;

蚀刻以去除未被该图案化光阻层覆盖的半导体层及阻挡层,以形成通道层;

去除该图案化光阻层的第二部分,以暴露出部分所述阻挡层;

去除与该第二部分对应的阻挡层,以形成蚀刻阻挡层,并暴露出该通道层的两侧;

去除该图案化光阻层并形成源极和漏极,该源极及该漏极分别覆盖于该蚀刻阻挡层两相对侧且分别与该通道层接触。

2. 如权利要求 1 所述的薄膜晶体管的制造方法,其特征在于,通过一灰阶掩膜或半色调掩膜图案化该光阻层以形成图案化光阻层。

3. 如权利要求 1 所述的薄膜晶体管的制造方法,其特征在于,去除该图案化光阻层的第二部分是通氧气或者臭氧进行灰化处理而去除。

4. 如权利要求 1 所述的薄膜晶体管的制造方法,其特征在于,该通道层包括二相对的第一侧及二相对的第二侧,该二第一侧凸露于该蚀刻阻挡层外以分别与该源极及该漏极接触,该二第二侧均被该蚀刻阻挡层所覆盖。

5. 如权利要求 4 所述的薄膜晶体管的制造方法,其特征在于,该蚀刻阻挡层的二相对侧缘分别凸出该二第二侧外,从而该蚀刻阻挡层的一侧缘与对应的一该第二侧之间形成有一空隙。

6. 一种薄膜晶体管,包括:栅极、覆盖该栅极的栅极绝缘层、设置于该栅极绝缘层上且与该栅极对应的通道层、位于该通道层上的蚀刻阻挡层、覆盖位于该蚀刻阻挡层两相对侧且分别与该通道层接触的源极及漏极,其特征在于:该通道层包括二相对的第一侧及二相对的第二侧,该二第一侧均凸露于该蚀刻阻挡层外以分别与该源极及该漏极接触,该二第二侧均被该蚀刻阻挡层所覆盖。

7. 如权利要求 6 所述的薄膜晶体管,其特征在于,该蚀刻阻挡层的二相对侧缘分别凸出该二第二侧外,从而该蚀刻阻挡层的一侧缘与对应的一该第二侧之间形成有一空隙。

8. 如权利要求 7 所述的薄膜晶体管,其特征在于,进一步包括一覆盖该蚀刻阻挡层、该源极及该漏极的平坦层,该平坦层为半固化材料经固化后成型,该平坦层在成型过程中填充该二空隙。

9. 一种阵列基板的制造方法,其特征在于,该制造方法包括:

在一基板上形成栅极、第一金属线,并在形成有该栅极及第一金属线的基板上形成栅极绝缘层,该栅极与该第一金属线电性连接;

依序在该栅极绝缘层上形成半导体层、阻挡层及光阻层;

图案化该光阻层以形成图案化光阻层,该图案化光阻层具有呈阶梯结构的第一部分及第二部分,该第一部分的高度大于该第二部分的高度,且该第二部分至少包括位于该第一部分的两相对侧的部分;

蚀刻以去除未被该图案化光阻层覆盖的半导体层及阻挡层,以形成通道层;

去除该图案化光阻层的第二部分,以暴露出部分所述阻挡层;
去除与该第二部分对应的阻挡层,以形成蚀刻阻挡层,并显露出该通道层的两侧;
去除该图案化光阻层并形成源极和漏极,该源极及该漏极分别覆盖于该蚀刻阻挡层两相对侧且分别与该通道层接触。

10. 如权利要求 9 所述的阵列基板的制造方法,其特征在于,通过一灰阶掩膜或半色调掩膜图案化该光阻层以形成图案化光阻层。

薄膜晶体管、薄膜晶体管的制造方法及阵列基板的制造方法

技术领域

[0001] 本发明涉及一种薄膜晶体管、薄膜晶体管的制造方法及阵列基板的制造方法。

背景技术

[0002] 薄膜晶体管 (Thin Film Transistor, TFT) 作为开关组件已被广泛应用于显示、触控领域。例如,显示设备(如液晶电视、笔记本电脑及显示器)中的阵列基板通常采用薄膜晶体管作为驱动组件。其中,氧化物半导体因其为非晶结构能够低温成膜及较高的迁移率利于大尺寸显示,而被广泛应用于 TFT 中。目前,氧化物半导体 TFT 通常采用蚀刻阻挡(Etch Stopper, ES)结构,以防止在制作过程中损伤氧化物半导体。

[0003] 常见的氧化物半导体 TFT 的制作过程包括如下步骤:在基板上依次形成栅极、栅极绝缘层及覆盖栅极绝缘层的氧化物半导体层(即通道层);再通过光罩对该氧化物半导体层进行图案化以形成氧化物半导体通道层;然后在氧化物半导体通道层上覆盖蚀刻阻挡层,并通过另一道光罩对该蚀刻阻挡层进行图案化;最后在图案化后的蚀刻阻挡层上形成源/漏极。因此,在形成该氧化物半导体 TFT 过程中,需分别对氧化物半导体层及蚀刻阻挡层进行光罩制程,光罩次数较多。

发明内容

[0004] 有鉴于此,还有必要提供一种减少光罩次数的薄膜晶体管制造方法。

[0005] 还有必要提供一种采用上述方法得到的薄膜晶体管。

[0006] 还有必要提供一种减少光罩次数的阵列基板的制造方法。

[0007] 一种薄膜晶体管的制造方法,该制造方法包括:

于一基板上形成栅极及栅极绝缘层,并依序在该栅极绝缘层上覆盖半导体层、阻挡层及光阻层;

图案化该光阻层以形成图案化光阻层,该图案化光阻层具有呈阶梯结构的第一部分及第二部分,该第一部分的高度大于该第二部分的高度且该第二部分至少包括位于该第一部分的两相对侧的部分;

蚀刻以去除未被该图案化光阻层覆盖的半导体层及阻挡层,以于该半导体层形成通道层;

去除该图案化光阻层的第二部分,以暴露出部分所述阻挡层;

去除与该第二部分对应的阻挡层,以形成蚀刻阻挡层,并暴露出部分通道层;

去除该图案化光阻层并形成源极和漏极,该源极及该漏极分别覆盖于该蚀刻阻挡层两相对侧且分别与该通道层接触。

[0008] 一种使用上述制造方法得到的薄膜晶体管,包括:栅极、覆盖该栅极的栅极绝缘层、设置于该栅极绝缘层上且与该栅极对应的通道层、位于该通道层上的蚀刻阻挡层、覆盖位于该蚀刻阻挡层两相对侧且分别与该通道层接触的源极及漏极,该通道层包括二相对的

第一侧及二相对的第二侧,该二第一侧均凸露于该蚀刻阻挡层外以分别与该源极及该漏极接触,该二第二侧均被该蚀刻阻挡层所覆盖。

[0009] 一种阵列基板的制造方法,该制造方法包括:

在一基板上形成栅极、第一金属线,并在形成有该栅极及第一金属线的基板上形成栅极绝缘层;

依序在该栅极绝缘层上形成半导体层、阻挡层及光阻层;

图案化该光阻层以形成图案化光阻层,该图案化光阻层具有呈阶梯结构的第一部分及第二部分,该第一部分的高度大于该第二部分的高度,且该第二部分至少包括位于该第一部分的两相对侧的部分;

蚀刻以去除未被该图案化光阻层覆盖的半导体层及阻挡层,以于该半导体层形成通道层;

去除该图案化光阻层的第二部分,以暴露出部分所述阻挡层;

去除与该第二部分对应的阻挡层,以形成蚀刻阻挡层,并暴露出部分通道层;

去除该图案化光阻层并形成源极和漏极,该源极及该漏极分别覆盖于该蚀刻阻挡层两相对侧且分别与该通道层接触。

[0010] 相较于现有技术,本发明的阵列基板及阵列基板制造方法通过形成高度不同的图案化光阻层将蚀刻阻挡层与通道层的制作结合至一道光罩制程中,以节省光罩制程次数,有利于简化制程。

附图说明

[0011] 图 1 为本发明一实施方式的阵列基板中一像素区域的平面示意图。

[0012] 图 2 为图 1 中的薄膜晶体管沿 II-II 线的截面剖视图。

[0013] 图 3 为图 1 中的薄膜晶体管沿虚线框 III 的局部放大图。

[0014] 图 4 为图 3 沿 IV-IV 线的截面剖视图。

[0015] 图 5 至图 11 描述了图 2 所示的薄膜晶体管各制作步骤之截面剖视图。

[0016] 图 12 为图 2 所示的薄膜晶体管的制造流程示意图。

[0017] 主要元件符号说明

阵列基板	10
第一金属线	11
数据线	12
像素电极	13
像素区域	P
薄膜晶体管	100
基板	101
栅极	102
栅极绝缘层	103
半导体层	104'
通道层	104
第一侧	1041
第二侧	1042
阻挡层	105'
蚀刻阻挡层	105
光阻层	106'

图案化光阻层	106
第一部分	106a
第二部分	106b
源极	107
漏极	108
空隙	S
高度	H1, H2
步骤	S101-S108

如下具体实施方式将结合上述附图进一步说明本发明。

具体实施方式

[0018] 请参阅图 1, 图 1 为本发明一实施方式的阵列基板中一像素区域的平面示意图。该阵列基板 10 包括多条相互平行的第一金属线 11、多条相互平行并分别与该第一金属线 11 绝缘相交的数据线 12。该多条第一金属线 11 与多条数据线 12 共同界定多个像素区域 P, 且由相邻二第一金属线 11 及相邻二数据线 12 共同界定的最小区域定义一像素区域 P。在每一个像素区域 P 中, 该阵列基板 10 进一步包括一公共电极线(图未示)、设置于该第一金属线 11 与该数据线 12 交叉处的一薄膜晶体管(thin film transistor, TFT)100、一像素电极 13 及一公共电极(图未示)。该公共电极与该像素电极 13 之间用于形成水平电场, 以驱动液晶显示装置的液晶分子旋转。可以理解, 本实施例的液晶显示装置以一 IPS(In-plane switching) 型液晶显示装置为例, 该第一金属线 11 为扫描线, 但并不局限于此。

[0019] 请一并参照图 2 及图 3, 图 2 为图 1 中的薄膜晶体管沿 II-II 线的截面剖视图。图 3 为图 1 中的薄膜晶体管沿虚线框 III 的局部放大图。该薄膜晶体管 100 包括基板 101 及依次形成于该基板 101 上的栅极 102、栅极绝缘层 103、通道层 104、蚀刻阻挡层 105、源极 107 及漏极 108。该通道层 104 与该栅极 102 通过该栅极绝缘层 103 呈彼此绝缘设置, 且该栅极绝缘层 103 覆盖该栅极 102。该蚀刻阻挡层 105 位于该通道层 104 上并部分覆盖该通道层 104。该源极 107 与该漏极 108 分别形成于该蚀刻阻挡层 105 的两相对侧上方且分别与该通道层 104 及所述栅极绝缘层 103 接触。具体地, 该源极 107 与该漏极 108 呈彼此分离设置, 该蚀刻阻挡层 105 部分显露于该源极 107 与该漏极 108 之间。其中, 该通道层 104 为氧化物半导体材质, 例如可以为铟镓锌氧化物(Indium Gallium Zinc Oxide, IGZO)、铟锌氧化物(Indium Zinc Oxide, IZO)、镓锌氧化物(Gallium Zinc Oxide, GZO)、锌锡氧化物(Zinc Tin Oxide, ZTO), 或氧化锌(Zinc Oxide, ZnO) 等。

[0020] 进一步地, 请一并参照图 4, 图 4 为图 3 沿 IV-IV 线的截面剖视图。本实施方式中, 该通道层 104 包括二相对的第一侧 1041 (如图 2 所示) 及二相对的第二侧 1042。该二第一侧 1041 分别凸露于该蚀刻阻挡层 105 外以分别与该源极 107 及该漏极 108 接触, 该二第二侧 1042 被该蚀刻阻挡层 105 覆盖在内, 而不与该源极 107 及该漏极 108 接触。每一该第二侧 1042 与对应的该蚀刻阻挡层 105 的侧缘之间形成一空隙 S。由于该二第二侧 1042 分别与对应的该蚀刻阻挡层 105 的二侧缘之间形成所述空隙 S, 而不与该源极 107 及该漏极 108 接触, 因而可避免在沿该二第二侧 1042 连线的方向上产生电流流路径而影响该薄膜晶体管 100 的开关准确度。

[0021] 较佳地, 该薄膜晶体管 100 还包括覆盖于该栅极绝缘层 103、该蚀刻阻挡层 105、该源极 107 及该漏极 108 上的平坦层(图未示), 该平坦层为半固化材料经固化后成型, 该平坦

层在成型过程中将该蚀刻阻挡层 105 下方的所述空隙 S 填充,以避免形成空气间隙而导致该薄膜晶体管 100 破薄。更进一步地,该平坦层上方覆盖一钝化层(未图示),以起保护的作用。

[0022] 在本实施例中,每一所述像素电极 13 排布在每一所述像素区域 P 内,每一像素电极 13 为具有多个间隙且弯折的梳状电极结构,且与一所述薄膜晶体管 100 的漏极 108 电性连接。同时,每一所述薄膜晶体管 100 的栅极 102 与源极 107 分别与一所述第一金属线 11 及一所述数据线 12 电性连接。另外,每一所述公共电极与一所述公共电极线电性连接,外部的公共电压经由该公共电极线传送至该公共电极。

[0023] 当该多行第一金属线 11 接收自外界提供的扫描电压并加载至该薄膜晶体管 100 的栅极 102 时,该多列数据线 12 接收自外界提供的数据电压,并加载至相应的薄膜晶体管 100 的源极 107。若此时该薄膜晶体管 100 处于开启状态,则该数据电压传送至该薄膜晶体管 100 并自其漏极 108 加载至所述像素电极 13。与此同时,该公共电极自公共电极线接收自外界提供的公共电压,由此在该像素电极 13 与该公共电极间会产生水平电场以控制液晶分子转动,从而实现图像显示。

[0024] 请一并参阅图 5-11,图 5 至图 11 描述了图 2 所示的薄膜晶体管 100 各制作步骤之截面剖视图。图 12 为图 2 所示薄膜晶体管 100 的制造流程图。

[0025] 步骤 S101,请首先参阅图 5,提供一基板 101,在基板 101 上依次形成栅极 102 及覆盖该栅极 102 的栅极绝缘层 103。具体地,在基板 101 上沉积一第一金属层(未图示),通过图案化的光刻制程形成该栅极 102。继续沉积一栅极绝缘层 103,该栅极绝缘层 103 覆盖该栅极 102 及该基板 101。该基板 101 可以为玻璃基板或者石英基板,该第一金属层材质可以为铜、铝、铬等。

[0026] 步骤 S102,请一并参阅图 6,在栅极绝缘层 103 上依序形成半导体层 104'、覆盖该半导体层 104' 的阻挡层 105' 及覆盖该阻挡层 105' 的光阻层 106'。该半导体层 104' 可以是氧化物半导体层,例如可以为铟镓锌氧化物(Indium Gallium Zinc Oxide, IGZO)、铟锌氧化物(Indium Zinc Oxide, IZO)、镓锌氧化物(Gallium Zinc Oxide, GZO)、锌锡氧化物(Zinc Tin Oxide, ZTO),或氧化锌(Zinc Oxide, ZnO)等。

[0027] 步骤 S103,请一并参阅图 7,通过一光罩进行黄光显影制程,对该光阻层 106' 进行图案化以形成图案化光阻层 106,并暴露出该阻挡层 105' 的两侧,该图案化光阻层 106 具有呈阶梯状第一部分 106a 和第二部分 106b。其中,该第一部分 106a 的高度 H1 大于该第二部分 106b 的高度 H2,该第二部分 106b 分别设置于该第一部分 106a 的两相对侧。具体地,通过一灰阶掩膜对该光阻层 106' 进行曝光、显影及蚀刻工艺,以形成该图案化光阻层 106。在其他实施方式中,该光罩也可以为一半色调掩膜,通过该半色调掩膜对该光阻层 106' 进行曝光、显影及蚀刻工艺形成所述图案化光阻层 106。可以理解,当采用半色调掩膜时,该第一部分 106a 的高度 H1 为该第二部分 106b 的高度 H2 的 2 倍。

[0028] 步骤 S104,请一并参阅图 8,蚀刻以去除未被该图案化光阻层 106 覆盖的阻挡层 105' 及半导体层 104',未被蚀刻去除的该半导体层 104' 形成薄膜晶体管 100 的通道层 104。

[0029] 步骤 S105,请一并参阅图 9,灰化去除该图案化光阻层 106 的第二部分 106b 的部分。优选地,采用氧气或者臭氧进行灰化制程,以去除该图案化光阻层 106 中该第二部分 106b 的部分,以暴露出剩余的阻挡层 105' 侧缘区域。

[0030] 步骤 S106, 请一并参阅图 10, 去除该第二部分 106b 对应的阻挡层 105' 以形成蚀刻阻挡层 105, 并暴露出部分通道层 104。

[0031] 步骤 S107, 请一并参阅图 11, 去除剩余的图案化光阻层 106, 以暴露蚀刻阻挡层 105。

[0032] 步骤 S108, 请一并参阅图 2, 形成源极 107 和漏极 108。具体地, 依序形成覆盖该蚀刻阻挡层 105、该通道层 104 及该栅极绝缘层 103 的第二金属层(未图示)及另一光阻层(未图示)。通过一光罩对该另一光阻层进行曝光、显影及蚀刻工艺, 以图案化该另一光阻层。该另一光阻层经过图案化后, 该第二金属层的中间部分显露出来, 该另一光阻层覆盖于该第二金属层的两相对。接着将显露出的该第二金属进行蚀刻除, 以形成源极 107 及漏极 108。最后去除剩余的该另一光阻层, 得到所述薄膜晶体管 100。其中, 所述该第二金属层材质可以为铜、铝、铬等导电金属。在本实施方式中, 该源极 107 和该漏极 108 分设于该通道层 104 的相对两侧并分别与栅极绝缘层 103 及蚀刻阻挡层 105 接触。

[0033] 在后续制程中, 在该薄膜晶体管 100 上还可形成平坦层、钝化层等习知技术, 在此不再赘述。

[0034] 本实施方式的阵列基板的制造方法与上述薄膜晶体管 100 的制造流程基本相同, 不同之处在于, 在进行步骤 S101 时, 先在基板 101 上沉积一第一金属层(未图示), 通过图案化的光刻制程同时形成该栅极 102、第一金属线 11 及公共电极(未图示)。再继续沉积一栅极绝缘层 103, 该栅极绝缘层 103 覆盖该栅极 102、该第一金属线 11、该公共电极及该基板 101。

[0035] 以上实施例仅用以说明本发明的技术方案而非限制, 尽管参照较佳实施例对本发明进行了详细说明, 本领域的普通技术人员应当理解, 可以对本发明的技术方案进行修改或等同替换, 而不脱离本发明技术方案的精神和范围。

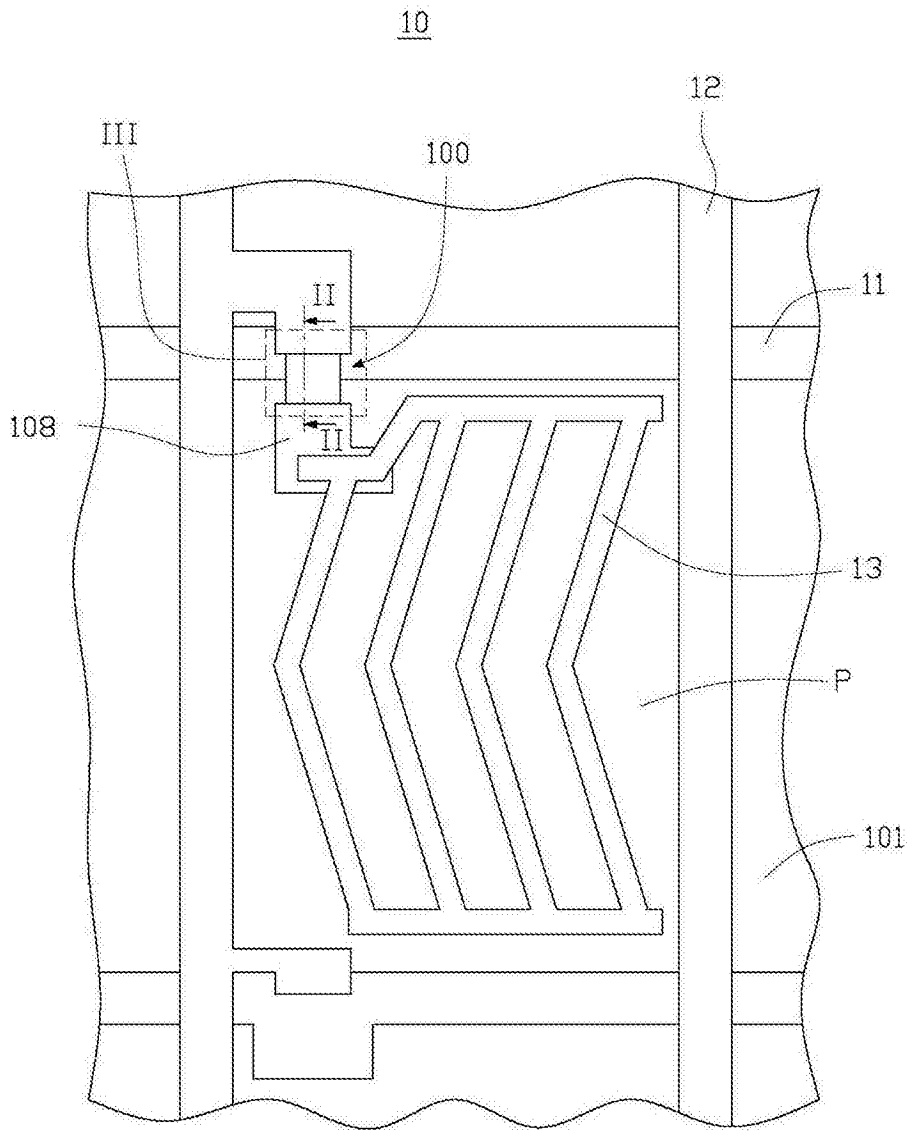


图 1

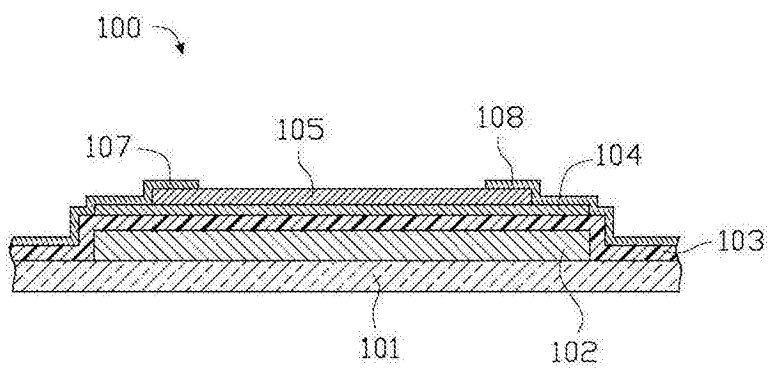


图 2

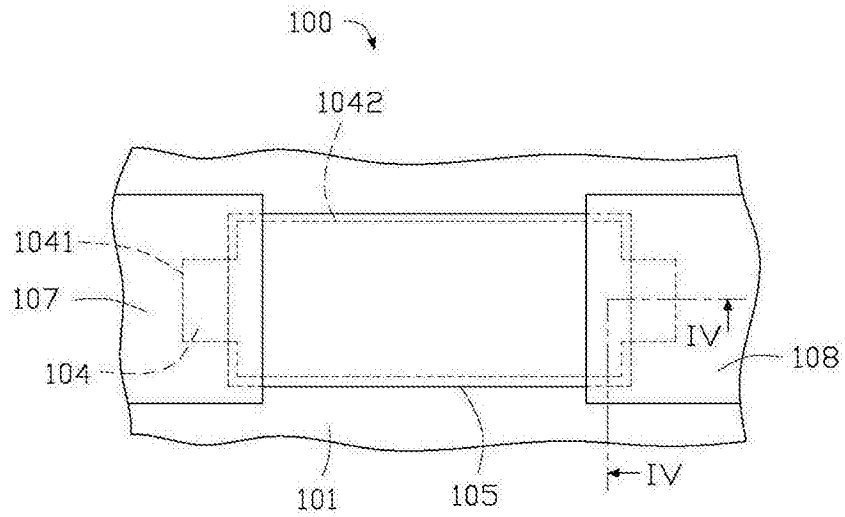


图 3

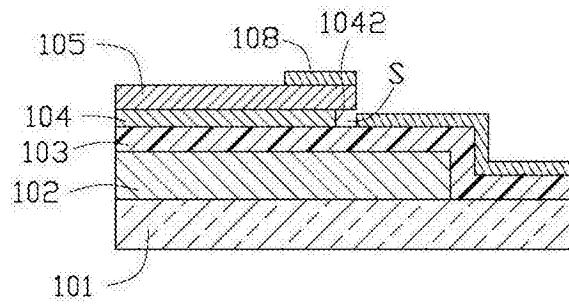


图 4

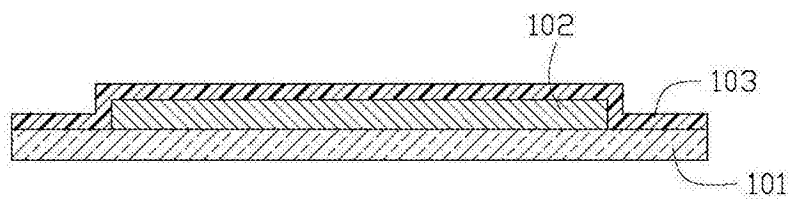


图 5

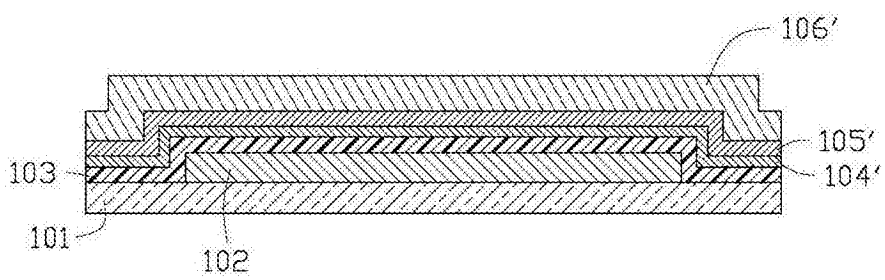


图 6

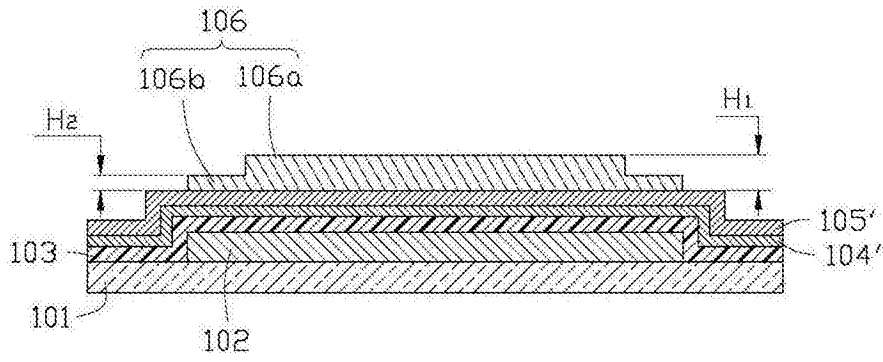


图 7

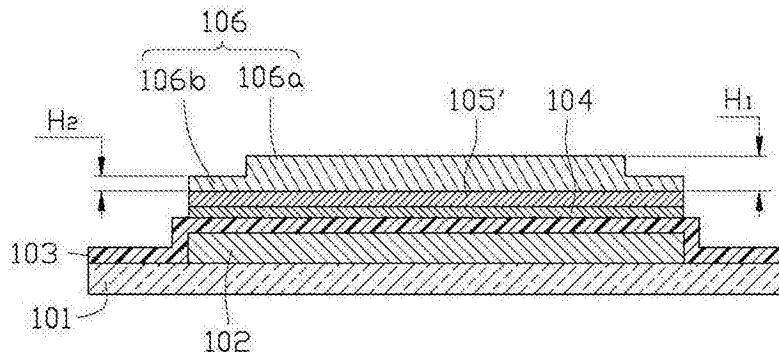


图 8

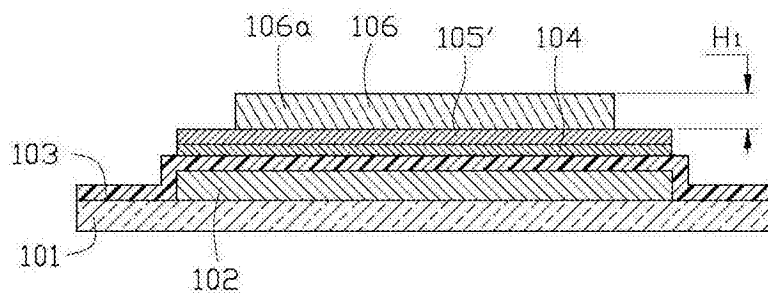


图 9

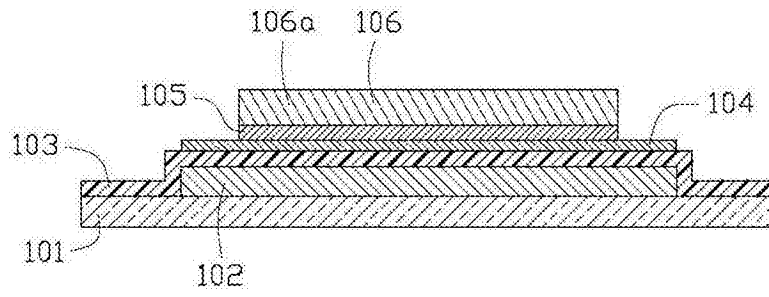


图 10

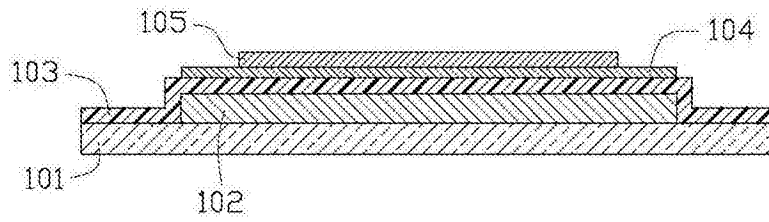


图 11



图 12