



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I544493 B

(45)公告日：中華民國 105 (2016) 年 08 月 01 日

(21)申請案號：101112632

(22)申請日：中華民國 101 (2012) 年 04 月 10 日

(51)Int. Cl. : G11C7/00 (2006.01)

(30)優先權：2011/04/21 日本 2011-094774

2011/05/14 日本 2011-108894

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：松崎隆德 MATSUZAKI, TAKANORI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200939223	US	6538930B2
US	2010/0149850A1	US	2010/0195367A1
US	2010/0238735A1	US	2010/0265754A1
WO	2010/013979A1		

審查人員：蕭明椿

申請專利範圍項數：19 項 圖式數：21 共 136 頁

(54)名稱

訊號處理電路

SIGNAL PROCESSING CIRCUIT

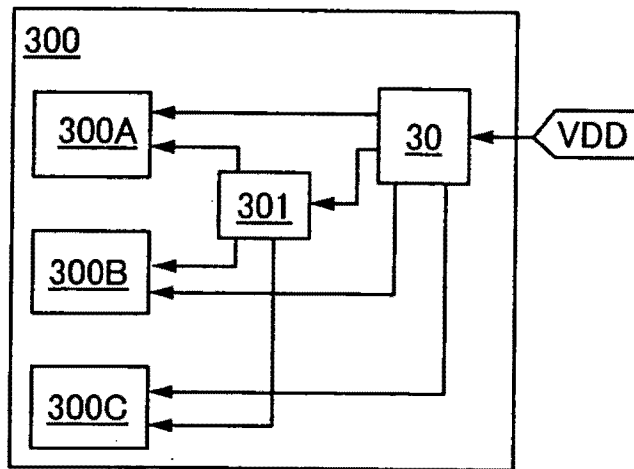
(57)摘要

一種訊號處理電路，包含具有新穎結構的非依電性儲存電路。訊號處理電路包含被供予電源電壓及具有被施加第一高電源電位的第一節點之電路、以及用以固持第一節點的電位之非依電性儲存電路。非依電性儲存電路包含通道形成在氧化物半導體層中的電晶體、及當電晶體被關閉時被帶入浮動狀態的第二節點。第二高電源電位或接地電位輸入至電晶體的閘極。當未供應電源電壓時，接地電位輸入至電晶體的閘極及電晶體保持關閉。第二高電源電位係高於第一高電源電位。

A signal processing circuit including a nonvolatile storage circuit with a novel structure. The signal processing circuit includes a circuit that is supplied with a power supply voltage and has a first node to which a first high power supply potential is applied, and a nonvolatile storage circuit for holding a potential of the first node. The nonvolatile storage circuit includes a transistor whose channel is formed in an oxide semiconductor layer, and a second node that is brought into a floating state when the transistor is turned off. A second high power supply potential or a ground potential is input to a gate of the transistor. When the power supply voltage is not supplied, the ground potential is input to the gate of the transistor and the transistor is kept off. The second high power supply potential is higher than the first high power supply potential.

指定代表圖：

圖 1A



符號簡單說明：

30 . . . 電源電路

300 . . . 訊號處理單元

300A . . . 電路單元

300B . . . 電路單元

300C . . . 電路單元

301 . . . 升壓電路

VDD . . . 第一高電源電位

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101112632

※申請日：101 年 04 月 10 日

※IPC 分類：G11C 7/00 (2006.01)

一、發明名稱：(中文／英文)

訊號處理電路

Signal processing circuit

二、中文發明摘要：

一種訊號處理電路，包含具有新穎結構的非依電性儲存電路。訊號處理電路包含被供予電源電壓及具有被施加第一高電源電位的第一節點之電路、以及用以固持第一節點的電位之非依電性儲存電路。非依電性儲存電路包含通道形成在氧化物半導體層中的電晶體、及當電晶體被關閉時被帶入浮動狀態的第二節點。第二高電源電位或接地電位輸入至電晶體的閘極。當未供應電源電壓時，接地電位輸入至電晶體的閘極及電晶體保持關閉。第二高電源電位係高於第一高電源電位。

三、英文發明摘要：

A signal processing circuit including a nonvolatile storage circuit with a novel structure. The signal processing circuit includes a circuit that is supplied with a power supply voltage and has a first node to which a first high power supply potential is applied, and a nonvolatile storage circuit for holding a potential of the first node. The nonvolatile storage circuit includes a transistor whose channel is formed in an oxide semiconductor layer, and a second node that is brought into a floating state when the transistor is turned off. A second high power supply potential or a ground potential is input to a gate of the transistor. When the power supply voltage is not supplied, the ground potential is input to the gate of the transistor and the transistor is kept off. The second high power supply potential is higher than the first high power supply potential.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

30：電源電路

300：訊號處理單元

300A：電路單元

300B：電路單元

300C：電路單元

301：升壓電路

VDD：第一高電源電位

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係有關即使電力關閉時仍然能保持儲存的邏輯狀態之儲存電路、以及包含儲存電路的儲存裝置及訊號處理電路。本發明也有關於包含儲存電路或訊號處理電路之電子裝置。

【先前技術】

例如中央處理單元（CPU）等訊號處理電路視其應用而具有各式各樣的配置，且通常設有例如暫存器及快取記憶體等各種儲存電路以及用以儲存資料或程式的主記憶體。

在例如暫存器或快取記憶體等儲存電路中，資料需要以高於主記憶體中的速度而被讀取及寫入。因此，一般而言，使用正反器作為暫存器，並且，使用靜態隨機存取記憶體（SRAM）等作為快取記憶體。亦即，以依電性儲存電路使用於暫存器、快取記憶體、等等，在依電性儲存電路中，當停止供應電源電壓時資料會被抹除。

為了降低耗電，已建議在資料未輸入及輸出的期間暫時停止供應電源電壓給訊號處理電路之方法。在該方法中，非依電性儲存電路係設於例如暫存器或快取記憶體等依電性儲存電路的周圍，且資料暫時儲存在非依電性儲存電路中。因此，即使當在訊號處理電路中停止電源電壓的供應時，暫存器、快取記憶體、等等仍然能夠固持資料（舉

例而言，參考專利文獻 1)。

此外，在訊號處理電路中長時間停止電源電壓供應的情況中，在停止供應電源電壓之前，在依電性儲存電路中的資料傳送至例如硬碟或快閃記憶體等外部儲存裝置，在此情況中能防止資料被抹除。

〔參考文獻〕

〔專利文獻 1〕日本公開專利申請案號 H10-078836

【發明內容】

在專利文獻 1 中所揭示的訊號處理電路中，以鐵電材料使用於包含在非依電性儲存電路中的記憶元件。在含有鐵電材料的記憶元件中，鐵電材料因重複的資料寫入而疲勞，這會造成例如寫入錯誤等問題。結果，重寫次數受限。

在使用快閃記憶體作為非依電性儲存電路的情況中，電子藉由施加高電壓而產生的穿隧電流而被注入或釋出。這導致記憶元件因重複的資料重寫而顯著變差、及重寫循環次數因而受限等問題。

慮及上述問題，本發明的一個實施例之目的在於提供包含具有新穎結構的非依電性儲存電路之訊號處理電路（即使當停止電源電壓的供應時仍能保持儲存的邏輯狀態之儲存電路）。

具體而言，其目的在於提供包含具有新穎結構的儲存電路之訊號處理電路，其中，施加接地電位（0 V）與高

電源電位（高於接地電位的電位）之間的電位差作為電源電壓，並且，即使在停止電源電壓的供應之後，亦即，即使在停止高電源電位的供應之後，仍然能保持儲存的邏輯狀態。

根據本發明的一個實施例，訊號處理電路包含具有被選擇性地施加第一高電源電位（高於接地電位的電位）的節點之電路、以及用以固持節點的電位之非依電性儲存電路。舉例而言，所述電路可為算術電路或是依電性儲存電路。舉例而言，節點可為輸入端子或輸出端子（亦即，算術電路的輸入端子或輸出端子或是依電性儲存電路的輸入端子或輸出端子）。藉由停止第一高電源電位對電路的供應，停止電源電壓供應至電路，並且，藉由供應第一高電源電位給電路，供應電源電壓至電路。相當於第一高電源電位與接地電位（0 V，對應於低電源電位）之間的差之電源電壓被選擇性地供應至訊號處理電路。藉由停止第一高電源電位對訊號處理電路的供應，停止電源電壓供應至訊號處理電路，以及，藉由供應第一高電源電位對訊號處理電路的供應，供應電源電壓供應至訊號處理電路。

根據本發明的一個實施例，訊號處理電路包含被選擇性地供予對應於第一高電源電位（高於接地電位的電位）與接地電位（0 V，對應於低電源電位）之間的差之電源電壓的電路、以及用以固持電路的輸出電位之非依電性儲存電路。舉例而言，所述電路可為算術電路或是依電性儲存電路。藉由停止第一高電源電位對電路的供應，停止電

源電壓供應至電路，以及，藉由供應第一高電源電位至電路，供應電源電壓至電路。相當於第一高電源電位與接地電位（0 V，對應於低電源電位）之間的差的電源電壓被選擇性地供應至訊號處理電路。藉由停止第一高電源電位對訊號處理電路的供應，停止電源電壓供應至訊號處理電路，並且，藉由供應第一高電源電位給訊號處理電路，供應電源電壓至訊號處理電路。

根據本發明的一個實施例，訊號處理電路包含依電性儲存電路及非依電性儲存電路的組合，依電性儲存電路被選擇性地供予對應於第一高電源電位與接地電位（0 V，對應於低電源電位）之間的差之電源電壓，非依電性儲存電路用以儲存固持在依電性儲存電路中的資料。藉由停止第一高電源電位對依電性儲存電路的供應，停止電源電壓供應至依電性儲存電路，並且，藉由供應第一高電源電位至依電性儲存電路，供應電源電壓至依電性儲存電路。相當於第一高電源電位與接地電位（0 V，對應於低電源電位）之間的差的電源電壓被選擇性地供應至訊號處理電路。藉由停止第一高電源電位對訊號處理電路的供應，停止電源電壓供應至訊號處理電路，並且，藉由供應第一高電源電位給訊號處理電路，供應電源電壓至訊號處理電路。

非依電性儲存電路包含具有相當低的關閉狀態電流的電晶體、以及具有一對電極的電容器，電容器的一對電極的其中之一係電連接至當電晶體被關閉時被帶入浮動狀態的節點（於下，也稱為固持節點）。注意，可以使用另一

電晶體等的閘極電容來取代設置電容器。舉例而言，固持節點可以被電連接至包含在算術電路中或是包含在訊號處理電路中的儲存電路中的電晶體的閘極。在該情況中，並非總是需要設置具有一對電極且該一對電極的其中之一係電連接至固持節點的電容器。

在此非依電性儲存電路中，藉由輸入第二高電源電位至電晶體的閘極，以開啓具有相當低的關閉狀態電流的電晶體。此處，第二高電源電位係高於第一高電源電位。舉例而言，設定（第二高電源電位） $>$ （第一高電源電位） $+V_{th}$ ，其中， V_{th} 是具有相當低的關閉狀態電流的電晶體的臨界電壓。然後，預定電位經由處於開啓狀態的電晶體而被輸入至固持節點。之後，藉由輸入接地電位（0 V，對應於低電源電位）至電晶體的閘極而關閉電晶體，並且，固持預定電位。注意，具有相當低的關閉狀態電流的電晶體是增強模式（常關）n 通道電晶體。當停止供應電源電壓給包含在訊號處理電路中的整個訊號處理電路或某些電路時，接地電位（0 V）繼續被輸入至電晶體的閘極。舉例而言，電晶體的閘極經由例如電阻器等負載而被接地。因此，即使在停止供應電源電壓給整個訊號處理電路或包含在訊號處理電路中的某些電路之後，電晶體仍然能保持關閉；因此，固持節點的電位能夠長時間地保持。

此外，使對應於資料的訊號電位輸入至固持節點、具有相當低的關閉狀態電流的電晶體關閉、並且使固持節點進入浮動狀態，依此方式，此非依電性儲存電路儲存資料

。因此，在非依電性儲存電路中，能夠降低導因於資料重寫的重複的元件疲勞並且增加資料重寫循環。

根據本發明的一個實施例之訊號處理電路除了包含上述元件之外還可以包含升壓電路，用以使第一高電源電位升壓而產生第二高電源電位。升壓電路包含彼此串聯連接的第一至第 $(n+1)$ 電晶體（ n 是自然數），以及具有一對的電極之第 i 電容器（ i 是 n 或更小的自然數），第 i 電容器的一對電極的其中之一係電連接至這些電晶體中的第 i 電晶體及第 $(i+1)$ 電晶體彼此連接的部分。第一至第 $(n+1)$ 電晶體中的至少其中之一或全部可以是具有相當低的關閉狀態電流的電晶體。藉由如上所述地在升壓電路中使用具有相當低的關閉狀態電流的電晶體，即使在停止電源電壓的供應之後，被升壓的電壓（固持在第 i 電容器中的電壓）仍然能長時間地固持。結果，在選取電源電壓的供應之後，升壓電路能夠快速地產生第二高電源電位。因此，在選取電源電壓的供應之後，包含在非依電性儲存電路中的具有相當低的關閉狀態電流的電晶體能夠快速地關閉。

此外，升壓電路可以藉由自舉電路來予以構成。注意，訊號處理電路包含上述多個非依電性儲存電路，並且，可以設置由自舉電路所構成的升壓電路以供使用於每一個非依電性儲存電路。

關於具有相當低的關閉狀態電流的電晶體，能夠使用通道形成在含有比矽更寬的能帶隙的半導體之基板或層中

之電晶體。具有比矽更寬的能帶隙之半導體的實施例是化合物半導體，例如氧化物半導體或是氮化物半導體。舉例而言，關於具有相當低的關閉狀態電流的電晶體，可以使用通道形成在氧化物半導體層中的電晶體。

依電性儲存電路包含至少二個算術電路，並且具有回饋回路，以致於這些算術電路的其中之一的輸出被輸入至另一算術電路，而另一算術電路的輸出被輸入至一個算術電路。具有此結構的儲存電路是正反電路及鎖存電路。

可以使用反相器、時脈反相器、三態緩衝器、NAND（反及）電路、NOR（反或）電路、等等，以作為算術電路。

注意，本發明的訊號處理電路依其類別包含例如 CPU、微處理器、影像處理電路、數位訊號處理器（DSP）、及現場可編程閘陣列（FPGA）等大型積體電路（LSI）、等等。

上述訊號處理電路採用僅當需要時才供應電源電壓之驅動方法（於下也稱為常關驅動方法）。

在採用常關驅動方法的情況中之訊號處理電路的驅動方法之一個實施例如下所述。

當電源電壓被供應時，訊號處理電路中包含的預定節點的電位（例如，算術電路的輸入端子或輸出端子或是依電性儲存電路的輸入端子或輸出端子）被輸入至及儲存於非依電性儲存電路中（於下，也稱為資料儲存）。具體而言，在非依電性儲存電路中，第二高電源電位被輸入至具

有相當低的關閉狀態電流的電晶體的閘極以開啓電晶體。然後，訊號處理電路中預定節點的電位（例如，算術電路的輸入端子或輸出端子或是依電性儲存電路的輸入端子或輸出端子）經由處於開啓狀態的電晶體而被輸入至固持節點。此處，輸入至具有相當低的關閉狀態電流之電晶體的閘極以開啓電晶體之電位（亦即，第二高電源電位）係高於第一高電源電位且，舉例而言，高於（第一高電源電位） + V_{th} 。

此處，第一高電源電位被選擇性地施加至訊號處理電路中的預定節點（例如，算術電路的輸入端子或輸出端子或是依電性儲存電路的輸入端子或輸出端子）。假使當預定節點的電位是第一高電源電位時而被輸入至具有相當低的關閉狀態電流的電晶體的閘極以開啓電晶體之電位（亦即，第二高電源電位）與第一高電源電位相同時，則輸入至固持節點的電位是從第一高電源電位下降 V_{th} 的電位。

另一方面，當輸入至具有相當低的關閉狀態電流的電晶體的閘極以開啓電晶體之電位（亦即，第二高電源電位）係高於第一高電源電位時，舉例而言，高於（第一高電源電位） + V_{th} ，則能夠抑制上述電位損耗。結果，訊號處理電路中的預定節點（例如，算術電路的輸入端子或輸出端子或是依電性儲存電路的輸入端子或輸出端子）的電位能夠被精準地輸入至固持節點。因此，預定節點的電位能夠被精準地儲存在非依電性儲存電路中。

然後，防止固持節點的電位變化以回應預定節點的電

位（於下，也稱為「資料待命」）。具體而言，藉由輸入接地電位（0 V，對應於低電源電位）至電晶體的閘極，以關閉具有相當低的關閉狀態電流的電晶體。因此，使非依電性儲存電路中的固持節點進入浮動狀態。藉由採用具有相當低的關閉狀態電流的電晶體的閘極經由例如電阻器等負載而接地之結構，當第二高電源電位未輸入至閘極時，接地電位（0 V，對應於低電源電位）被輸入至電晶體的閘極。

在資料待命之後，停止電源電壓供應至具有預定節點的電路。藉由即使電源電壓的供應停止之後接地電位（0 V）繼續輸入至具有相當低的關閉狀態電流的電晶體的閘極的結構，預定節點的電位能夠由非依電性儲存電路來予以固持。

然後，電源電壓在需要時被選擇性地供應至具有預定節點的電路。亦即，第一高電源電位被選擇性地供應至具有預定節點的電路。在選取電源電壓被供應至具有預定節點的電路之後，固持在非依電性儲存電路中的電位被轉移至預定節點（於下也稱為「資料供應」）。依此方式，在被選擇性地供予電源電壓的電路中，執行預定處理。注意，舉例而言，藉由輸入第二高電源電位至閘極以關閉具有相當低的關閉狀態電流的電晶體，執行資料供應。在該情況中，當輸入至具有相當低的關閉狀態電流的電晶體以開啓電晶體的電位（亦即，第二高電源電位）係高於第一高電源電位，舉例而言，高於（第一高電源電位）+ V_{th} 時

，對應於固持在非依電性儲存電路中的資料之訊號電位能夠被精準地歸還至預定節點。因此，固持在非依電性儲存電路中的電位能夠被精準地供應至預定節點。在被選擇性地供予電源電壓的電路中，使用從非依電性儲存電路供應的電位，執行預定操作。

具體而言，下述是在訊號處理電路使用常關驅動方法而訊號處理電路包含依電性儲存電路及非依電性儲存電路組合所構成的儲存電路之情況中，驅動方法的一個實施例。

當供應電源電壓時，固持在依電性儲存電路中的資料輸入至及儲存於非依電性儲存電路中（資料儲存）。具體而言，在非依電性儲存電路中，第二高電源電位被輸入至具有相當低的關閉狀態電流的電晶體的閘極以開啓電晶體。然後，對應於依電性儲存電路中固持的資料之訊號電位經由處於開啓狀態中的電晶體而被輸入至固持節點。此處，輸入至具有相當低的關閉狀態電流的電晶體的閘極以開啓電晶體的電位（亦即，第二高電源電位）係高於第一高電源電位，舉例而言，高於（第一高電源電位）+ V_{th} 。

此處，對應於依電性儲存電路中固持的資料之訊號位準是第一高電源電位或接地電位（0 V，對應於低電源電位）。假定當對應於依電性儲存電路中固持的資料的訊號電位是第一高電源電位時而輸入至具有相當低的關閉狀態電流的電晶體的閘極以開啓電晶體之電位（亦即，第二高電源電位）與第一高電源電位相同時，則輸入至固持節點

的電位是從第一高電源電位下降 V_{th} 的電位。

另一方面，當輸入至具有相當低的關閉狀態電流的電晶體的閘極以開啓電晶體之電位（亦即，第二高電源電位）高於第一高電源電位時，舉例而言，高於（第一高電源電位）+ V_{th} ，則能抑制上述電位損耗。結果，對應於依電性儲存電路中固持的資料的訊號電位能夠被精準地輸入至固持節點。因此，依電性儲存電路中固持的資料能夠被精準地儲存在非依電性儲存電路中。

與預定資料被固持在依電性儲存電路同時地或之後，執行資料儲存。然後，防止儲存在非依電性儲存電路中的資料變化，以回應來自依電性儲存電路的訊號（資料待命）。具體而言，藉由輸入接地電位（0 V，對應於低電源電位）至電晶體的閘極，以關閉具有相當低的關閉狀態電流的電晶體。因此，使非依電性儲存電路中的固持節點進入浮動狀態。藉由採用具有相當低的關閉狀態電流的電晶體的閘極經由例如電阻器等負載而被接地之結構，當第二高電源電位未被輸入至閘極時，接地電位（0 V，對應於低電源電位）被輸入至電晶體的閘極。

在資料待命之後，停止電源電壓供應至依電性儲存電路。藉由即使電源電壓的供應停止之後接地電位（0 V）繼續被輸入至具有相當低的關閉狀態電流的電晶體之閘極的結構，儲存在依電性儲存電路中的資料能夠藉由非依電性儲存電路來予以固持。

然後，電源電壓在需要時被選擇性地供應至依電性儲

存電路。亦即，第一高電源電位被選擇性地供應至依電性儲存電路。在選取電源電壓被供應至依電性儲存電路之後，固持在非依電性儲存電路中的資料被轉移至依電性儲存電路（資料供應）。依此方式，在被選擇性地供予電源電壓的依電性儲存電路中，執行預定處理。注意，舉例而言，藉由輸入第二高電源電位至閘極以關閉具有相當低的關閉狀態電流的電晶體，執行資料供應。在該情況中，當輸入至具有相當低的關閉狀態電流的電晶體之閘極以開啓電晶體的電位（亦即，第二高電源電位）高於第一高電源電位，舉例而言，高於（第一高電源電位）+ V_{th} 時，對應於固持在非依電性儲存電路中的資料之訊號電位能夠被精準地歸還至依電性儲存電路。因此，固持在非依電性儲存電路中的資料能夠被精準地供應至依電性儲存電路。藉由使用從非依電性儲存電路供應的電位，依電性儲存電路執行預定操作。

在根據本發明的訊號處理電路中，在訊號處理電路中的預定節點的電位能夠被儲存在非依電性儲存電路中。此外，非依電性儲存電路中固持的電位能夠被精準地供應至預定節點。因此，採用常關驅動方法能夠降低儲存或供應資料時造成的寫入錯誤和讀取錯誤。因此，能夠提供具有顯著低耗電及高可靠度的訊號處理電路。此外，由於使用具有大量寫入循環及高可靠度的電路作為非依電性儲存電路，所以，能增加訊號處理電路的耐用性及可靠度。

本發明的一個特點在於輸入至具有相當低的關閉狀態

電流的電晶體之閘極以開啓電晶體的電位比高於輸入至電晶體的源極或汲極的電位高出例如電晶體的臨界電壓，因此，訊號電位能夠經由電晶體而被精準地傳送。因此，本發明不限於訊號處理電路且可以應用至包含具有下述結構的電晶體之任何半導體裝置：輸入至閘極以將其開啓的電位比輸入至其源極或汲極的電位高出例如臨界電壓。使用此電晶體能夠增加半導體裝置的品質。舉例而言，本發明可為在每一個像素中包含所述電晶體的顯示裝置。顯示裝置的實例是液晶顯示裝置及電場發光顯示裝置。亦即，可以使用所述電晶體作為用以控制訊號電壓輸入至液晶元件或電場發光元件的電晶體；因此，能提供具有高顯示品質的顯示裝置。舉例而言，本發明可以是在記憶胞中包含所述電晶體的儲存裝置，結果，能提供高度可靠的儲存裝置。此外，本發明可為例如在每一個像素中包含電晶體以使用於拍攝影像之影像感測器及觸控面板。因此，能提供高度可靠的影像感測器及高度可靠的觸控面板。

【實施方式】

於下，將參考附圖，詳述本發明的實施例。注意，本發明不限於下述說明，並且，習於此技藝者清楚可知，在不悖離本發明的精神及範圍之下，可以各式各樣地改變模式及細節。因此，本發明不應被解釋成侷限於下述實施例及實例的說明。

注意，在使用具有不同極性的電晶體的情況中或是在

電路操作時電流方向改變的情況中，「源極」和「汲極」可以互換。因此，在本說明書中，「源極」和「汲極」之術語可以互換。

「電連接」一詞包含複數個元件經由「具有任何電功能的物體」而連接之情況。只要可以在經由物體而連接的複數個元件之間傳送及接收電訊號，則對於具有任何電功能的物體並無特別限定。具有任何電功能的物體之實例是例如電晶體等切換元件、電阻器、電感器、電容器、及具有各種功能的元件與電極和佈線。

即使當電路圖顯示獨立的元件宛如彼此電連接時，仍有一個導電膜可具有多個元件的功能之情況，例如部分佈線也作為電極。在本說明書中，「電連接」一詞在其類別中包含例如一個導電膜具有多個元件的功能之情況。

「在...之上」或「在...之下」等詞不一定意指元件係置於「直接在另一元件之上」或是「直接在另一元件之下」。舉例而言，「在閘極絕緣層之上的閘極電極」的表述意指在閘極絕緣層與閘極電極之間設有元件的情況。

為了易於瞭解，在某些情況中，圖式等中所示的每一個結構的位置、尺寸、範圍、等等未準確地表示。因此，揭示的本發明並不侷限於圖式等中揭示的位置、尺寸、範圍、等等。

使用例如「第一」、「第二」及「第三」等序號以避免在元件之間造成混淆。

〔實施例 1〕

圖 1A 顯示根據本發明的一個實施例之訊號處理電路。在圖 1A 中，訊號處理電路 300 包含電路單元 300A、電路單元 300B、電路單元 300C、電源電路 30、及升壓電路 301。輸入至訊號處理電路 300 的第一高電源電位（於下也稱為「VDD」）被輸入至電源電路 30。電源電路 30 被選擇性地供應第一高電源電位（VDD）至各電路單元（電路單元 300A、電路單元 300B、及電路單元 300C）。以常關驅動方法，能降低訊號處理電路的耗電，藉由常關驅動方法，第一高電源電位（VDD），亦即，電源電壓，被選擇性地僅供應至要被操作的電路單元。電源電路 30 也供應第一高電源電位（VDD）給升壓電路 301。升壓電路 301 將第一高電源電位（VDD）升壓以產生第二高電源電位（於下，也稱為「VDDH」）。所產生的第二高電源電位（VDDH）被選擇性地輸入至每一個電路單元（電路單元 300A、電路單元 300B、及電路單元 300C）。雖然圖 1A 顯示設置三個電路單元的實例，但是，電路單元的數目不限於三個。此外，圖 1A 顯示對三電路單元 300A、300B、及 300C 共同設置一個升壓電路 301，但是，結構並不限於此，可以對每一個電路單元或每一組電路單元設置升壓電路。

（電路單元的配置 1）

每一個電路單元（電路單元 300A、300B、及 300C）

包含具有被選擇性地施加第一高電源電位的節點之電路、以及固持節點的電位之非依電性儲存電路。將參考圖 2A 至 2D，說明該電路及非依電性儲存電路的配置之一個實施例。

圖 2A 顯示具有被選擇性地施加第一高電源電位的節點（在圖中以 M 表示且於下稱為節點 M）之電路 400、以及固持節點 M 的電位之非依電性儲存電路 10。這些電路單元（電路單元 300A、300B、及 300C）中的每一個電路單元包含多個電路 400 與非依電性儲存電路 10 的多個組合。舉例而言，電路 400 可為算術電路，並且，節點 M 可為算術電路的輸入端子或輸出端子。可以使用反相器、時脈反相器、三態緩衝器、NAND 電路、NOR 電路、等等作為算術電路。或者，舉例而言，電路 400 可為依電性儲存電路，例如正反器電路或鎖存電路，節點 M 為依電性儲存電路的輸入端子或輸出端子。

圖 3A 顯示圖 2A 中的非依電性儲存電路 10 的配置。在圖 3A 中，非依電性儲存電路 10 包含電晶體 11 及電容器 12。注意，在圖 3A 中，在電晶體 11 旁標注「OS」以表示電晶體 11 的通道形成在氧化物半導體層中。電晶體 11 的閘極係電連接至端子 W。電晶體 11 的源極和汲極的其中之一係電連接至端子 B。電晶體 11 的源極和汲極中之另一者係電連接至電容器 12 的一對電極的其中之一。電容器 12 的該一對電極中之另一電極係電連接至端子 C。電容器 12 的一對電極的其中之一稱為固持節且在圖中

以 FN 來表示。在圖 2A 中，在電路 400 中，非依電性儲存電路 10 的端子 B 係電連接至被選擇性地施加第一高電源電位的節點 M。控制訊號 OSG 被輸入至非依電性儲存電路 10 的端子 W。注意，例如接地電位（0 V，對應於低電源電位）等給定電位被輸入至非依電性儲存電路 10 的端子 C。

相當於第一高電源電位（VDD）與接地電位（0 V，對應於低電源電位）之間的差之電源電壓被選擇性地供應至電路 400。第一高電源電位（VDD）被選擇性地施加至節點 M。控制訊號 OSG 被輸入至電晶體 11 的閘極（端子 W），控制訊號 OSG 可為第二高電源電位（VDDH）或是接地電位（0 V，對應於低電源電位）。注意，電晶體 11 是增強模式（常關）n 通道電晶體。當控制訊號 OSG 是第二高電源電位（VDDH）時電晶體 11 被開啓，而當控制訊號 OSG 是接地電位（0 V，對應於低電源電位）時電晶體 11 被關閉。藉由採用電晶體 11 的閘極經由例如電阻器等負載而被接地之結構，當第二高電源電位（VDDH）未被輸入至閘極時，接地電位（0 V，對應於低電源電位）被輸入至電晶體 11 的閘極。此處，如同參考圖 1A 所述般，藉由升壓電路 301 而使第一高電源電位（VDD）升壓，以產生第二高電源電位（VDDH），且第二高電源電位係高於第一高電源電位（VDD）。舉例而言，設定 $VDDH > VDD + V_{th}$ ，其中， V_{th} 是電晶體 11 的臨界電壓。

在圖 2A 中所示的配置中，非依電性儲存電路 10 中的

固持節點 FN 可以被電連接至包含在訊號處理電路中的另一電路。圖 2B 顯示該情況中的配置。在圖 2B 中，非依電性儲存電路 10 係設在電路 400 與電路 401 之間。圖 2B 中的非依電性儲存電路 10 具有圖 3C 中所示的配置。電連接至固持節點 FN 的端子 F 係電連接至電路 401 中的節點 M。在電路 401 中，第一高電源電位被選擇性地施加至節點 M。舉例而言，電路 400 可為算術電路，並且，節點 M 可為算術電路的輸入端子或輸出端子。可以使用反相器、時脈反相器、三態緩衝器、NAND 電路、NOR 電路、等等作為算術電路。或者，舉例而言，電路 400 可為依電性儲存電路，例如正反器電路或鎖存電路，節點 M 為依電性儲存電路的輸入端子或輸出端子。此外，舉例而言，電路 401 可為算術電路，並且，節點 M 可為算術電路的輸入端子或輸出端子。可以使用反相器、時脈反相器、三態緩衝器、NAND 電路、NOR 電路、等等作為算術電路。或者，舉例而言，電路 401 可為依電性儲存電路，例如正反器電路或鎖存電路，節點 M 為依電性儲存電路的輸入端子或輸出端子。

相當於第一高電源電位 (V_{DD}) 與接地電位 (0 V ，對應於低電源電位) 之間的差之電源電壓被選擇性地供應至電路 400 及 401 中之每一個電路。第一高電源電位 (V_{DD}) 被選擇性地施加至節點 M。控制訊號 OSG 被輸入至電晶體 11 的閘極 (端子 W)，控制訊號 OSG 可為第二高電源電位 (V_{DDH}) 或是接地電位 (0 V ，對應於低電源

電位)。注意，電晶體 11 是增強模式（常關）n 通道電晶體。當控制訊號 OSG 是第二高電源電位（VDDH）時電晶體 11 被開啓，而當控制訊號 OSG 是接地電位（0 V，對應於低電源電位）時電晶體 11 被關閉。藉由採用電晶體 11 的閘極經由例如電阻器等負載而被接地之結構，當第二高電源電位（VDDH）未被輸入至閘極時，接地電位（0 V，對應於低電源電位）被輸入至電晶體 11 的閘極。此處，如同參考圖 1A 所述般，以升壓電路 301 來將第一高電源電位（VDD）升壓，而產生第二高電源電位（VDDH），第二高電源電位（VDDH）係高於第一高電源電位（VDD）。舉例而言，設定 $VDDH > VDD + V_{th}$ ，其中， V_{th} 是電晶體 11 的臨界電壓。

注意，在圖 2A 及 2B 中所示的配置中，不一定要設置電容器 12。舉例而言，固持節點 FN 可以被電連接至訊號處理電路中包含的電晶體的閘極以使用電晶體的閘極電容，在此情況中，省略電容器 12。舉例而言，在圖 2B 中的配置中，當電路 401 的節點 M 係電連接至包含在電路 401 中的電晶體的閘極時，可省略電容器 12。

圖 2C 顯示圖 2B 中的配置之變型，其中，使用算術電路 201 作為電路 400，且算術電路 201 的輸出端子（在圖中以「out」來表示）作為電路 400 的節點 M；使用算術電路 202 作為電路 401，且算術電路 202 的輸入端子（在圖中以「in」來表示）作為電路 401 的節點 M；並且，省略電容器 12。

圖 2D 顯示圖 2B 中的配置變型的實例，其中，使用依電性儲存電路 200a 作為電路 400，且依電性儲存電路 200a 的輸出端子（在圖中以「out」來表示）作為電路 400 的節點 M；使用依電性儲存電路 200b 作為電路 401，且依電性儲存電路 200b 的輸入端子（在圖中以「in」來表示）作為電路 401 的節點 M；並且，省略電容器 12。

在圖 2A 至 2D 的每一個圖中所示的非依電性儲存電路 10 中，電晶體 11 的關閉狀態電流相當低；結果，藉由關閉電晶體 11，即使在停止電源電壓的供應之後，固持節點 FN 的電位仍然能夠長時間地固持。此外，非依電性儲存電路 10 以訊號電位而被輸入至固持節點 FN、電晶體 11 關閉、以及使固持節點 FN 進入浮動狀態之方式來儲存訊號電位（資料）。在非依電性儲存電路 10 中，因而能夠降低導因於重複的資料重寫之疲勞並且增加資料重寫循環。

下述是在圖 1A 中的每一個電路單元（電路單元 300A、300B、及 300C）具有圖 2A 或圖 2B 中所示的配置且採用常關驅動方法的情況中，圖 1A 中的訊號處理電路的驅動方法之一個實施例。

（資料儲存操作）

當電源電壓藉由電源電路 30 而被供應至給定的電路單元（例如，電路單元 300A）時，包含在電路單元中的電路 400 的節點 M 的電位被輸入至及儲存於非依電性儲存

電路 10 中（資料儲存）。具體而言，在非依電性儲存電路 10 中，第二高電源電位（ $VDDH$ ）被輸入至電晶體 11 的閘極以開啓電晶體 11。然後，訊號處理電路 300 中的電路 400 的節點 M 的電位經由電晶體 11 而被輸入至固持節點 FN。此處，輸入至電晶體 11 的閘極以開啓電晶體 11 之第二高電源電位（ $VDDH$ ）係高於第一高電源電位（ VDD ），舉例而言，高於 $VDD + V_{th}$ 。因此，電路 400 的節點 M 的電位被精準地儲存在非依電性儲存電路 10 中。

（資料待命操作）

在儲存資料之後，非依電性儲存電路 10 中的電晶體 11 被關閉，防止儲存在非依電性儲存電路 10 中的資料變化以回應來自依電性電路 400 的訊號。因此，能夠執行資料待命。非依電性儲存電路 10 中的電晶體 11 的關閉狀態電流相當低；結果，即使在電源電壓的供應停止之後，藉由關閉電晶體 11，固持節點 FN 的電位，亦即，節點 M 的電位，仍然能長時間地固持。

如上所述，在執行資料待命之後，停止電源電壓供應至包含電路 400 的電路單元。此外，也停止第一高電源電位（ VDD ）輸入至升壓電路 301。

（資料供應操作）

藉由電源電路 30 而再度供應電源電壓至給定的電路單元（例如，電路單元 300A）。此外，第一高電源電位

(VDD) 被輸入至升壓電路 301。然後，在包含於電路單元中的非依電性儲存電路 10 中，將控制訊號 OSG 設定於從升壓電路 301 輸出的第二高電源電位 (VDDH)，藉以開啓電晶體 11。因此，非依電性儲存電路 10 的固持節點 FN 的電位 (或是對應於電位的電荷量) 被輸入至電路 400 的節點 M。依此方式，固持在非依電性儲存電路 10 中的電位歸還給電路 400 的節點 M。

此時，由於第二高電源電位 (VDDH) 係高於第一高電源電位 (VDD)，舉例而言，高於 $VDD + V_{th}$ ，所以，非依電性儲存電路 10 中固持的電位被精準地輸入至電路 400 的節點 M。

上述是包含具有圖 2A 或圖 2B 中所示的配置之電路單元的訊號處理電路中的常關驅動方法的說明。

(電路單元的配置 2)

每一個電路單元 (電路單元 300A、300B、及 300C) 包含由依電性儲存電路及非依電性儲存電路的組合所構成的儲存電路。將參考圖 3A 至 3E，說明具有依電性儲存電路及非依電性儲存電路的組合之儲存電路的配置之一個實施例。

(依電性儲存電路與非依電性儲存電路的組合之配置 1)

圖 3B 顯示由依電性儲存電路 200 及非依電性儲存電路 10 的組合所構成的儲存電路的一個實施例。這些電路

單元中的每一個電路單元（電路單元 300A、300B、及 300C）包含多個儲存電路。

圖 3A 顯示圖 3B 中的非依電性儲存電路 10 的配置。圖 3A 中的非依電性儲存電路 10 的配置係如上所述。

在非依電性儲存電路 10 中，藉由根據資料而控制固持節點 FN 的電位（或是對應於電位的電荷量）以儲存資料。舉例而言，在電容器 12 係充電有給定電荷的狀態對應於資料「1」時以及電容器 12 未充電有電荷的狀態對應於資料「0」時，儲存 1 位元的資料。在非依電性儲存電路 10 中，電晶體 11 的關閉狀態的電流相當低；結果，即使在停止電源電壓的供應之後，藉由關閉電晶體 11，以固持節點 FN 的電位，亦即，資料仍然能長時間地固持。此外，非依電性儲存電路 10 以對應於資料的訊號電位輸入至固持節點 FN、電晶體 11 關閉、以及使固持節點 FN 進入浮動狀態之方式來儲存資料。在非依電性儲存電路 10 中，因而能夠降低導因於重複的資料重寫之疲勞並且增加資料重寫循環。

圖 3B 中的依電性儲存電路 200 包含算術電路 201 及算術電路 202，且具有回饋迴路，以致於算術電路 201 的輸出被輸入至算術電路 202，且算術電路 202 的輸出被輸入至算術電路 201。使用正反器電路或鎖存電路作為依電性儲存電路 200。注意，時脈訊號可以被輸入至算術電路 201 及 202 的其中之一或二者。

在圖 3B 中，非依電性儲存電路 10 的端子 B 係電連接

至節點 M，節點 M 係位於算術電路 202 的輸入端子與算術電路 201 的輸出端子之間。依電性儲存電路 200 包含開關 203，開關 203 選取是否要電連接節點 M 與算術電路 201 的輸出端子之間，並且，根據控制訊號 SEL0 來選取開關 203 的開／關狀態。在算術電路 201 是根據控制訊號（例如，時脈訊號）而選擇性地輸出訊號之電路的情況中，開關 203 不一定要被設置且能夠予以省略。控制訊號 OSG 被輸入至非依電性儲存電路 10 的端子 W。注意，例如接地電位（0 V，對應於低電源電位）等給定電位被輸入至非依電性儲存電路 10 的端子 C。

相當於第一高電源電位（VDD）與接地電位（0 V，對應於低電源電位）之間的差之電源電壓被選擇性地供應至依電性儲存電路 200 中的算術電路 201 及 202 中之每一個算術電路。控制訊號 OSG 被輸入至電晶體 11 的閘極（端子 W），控制訊號 OSG 可為第二高電源電位（VDDH）或是接地電位（0 V，對應於低電源電位）。注意，電晶體 11 是增強模式（常關）n 通道電晶體。當控制訊號 OSG 是第二高電源電位（VDDH）時電晶體 11 被開啓，而當控制訊號 OSG 是接地電位（0 V，對應於低電源電位）時電晶體 11 被關閉。藉由採用電晶體 11 的閘極經由例如電阻器等負載而被接地之結構，當第二高電源電位（VDDH）未被輸入至閘極時，接地電位（0 V，對應於低電源電位）被輸入至電晶體 11 的閘極。此處，如同參考圖 1A 所述般，以升壓電路 301 來將第一高電源電位（VDD

）升壓，而產生第二高電源電位（ $VDDH$ ），第二高電源電位（ $VDDH$ ）係高於第一高電源電位（ VDD ）。舉例而言，設定 $VDDH > VDD + V_{th}$ ，其中， V_{th} 是電晶體 11 的臨界電壓。

下述是在圖 1A 中的每一個電路單元（電路單元 300A、300B、及 300C）包含圖 3B 中依電性儲存電路 200 及非依電性儲存電路 10 的組合且採用常關驅動方法的情況中，圖 1A 中的訊號處理電路的驅動方法之一個實施例。

（供應電源電壓的操作）

當電源電壓藉由電源電路 30 而被供應至給定電路單元（例如，電路單元 300A）時，包含在電路單元中的圖 3B 中的組合中的開關 203 藉由控制訊號 $SEL0$ 而被保持開啓。因此，在該組合中，依電性儲存電路 200 以算術電路 201 和 202 的回饋迴路來固持資料。亦即，在圖 3B 中的組合中，輸入的資料藉由依電性儲存電路 200 中的回饋迴路來予以固持，並且，資料從依電性儲存電路 200 中的回饋迴路而輸出。藉由依電性儲存電路 200 中的回饋迴路，能夠將資料固持及高速輸出。

（資料儲存操作）

如上所述，在與依電性儲存電路 200 中的回饋迴路固持資料同時地或之後，當藉由控制訊號 $SEL0$ 而將開關 203 保持開啓時，控制訊號 OSG 被設定於從升壓電路 301

輸出的第二高電源電位 ($VDDH$)，藉以開啓非依電性儲存電路 10 中的電晶體 11。因此，依電性儲存電路 200 的節點 M 的電位輸入至非依電性儲存電路 10 的固持節點 FN，以致於固持在依電性儲存電路 200 中的資料能夠被儲存在非依電性儲存電路 10 中。依此方式，儲存資料。

此時，第二高電源電位 ($VDDH$) 係高於第一高電源電位 (VDD)，舉例而言，高於 $VDD + V_{th}$ 。此處，對應於固持在依電性儲存電路 200 中的資料之訊號電位是第一高電源電位 (VDD) 或是接地電位 (0 V，對應於低電源電位)。假使當對應於依電性儲存電路 200 中固持的資料的訊號電位是第一高電源電位 (VDD) 時輸入至電晶體 11 的閘極以開啓電晶體 11 之電位與第一高電源電位 (VDD) 相同時，則輸入至固持節點 FN 的電位是從第一高電源電位 (VDD) 下降 V_{th} 的電位。

另一方面，當第二高電源電位 ($VDDH$) 係高於第一高電源電位 (VDD) 時，舉例而言，高於 $VDD + V_{th}$ ，則能夠抑制如上所述的電位損失。結果，對應於依電性儲存電路 200 中固持的資料之訊號電位能夠被精準地輸入至固持節點 FN。因此，依電性儲存電路 200 中固持的資料能夠被精準地儲存在非依電性儲存電路 10 中。

(資料待命操作)

在儲存資料之後，非依電性儲存電路 10 中的電晶體 11 被關閉，防止儲存在非依電性儲存電路 10 中的資料變

化以回應來自依電性儲存電路 200 的訊號。因此，執行資料待命。在非依電性儲存電路 10 中的電晶體 11 的關閉狀態電流相當低；結果，即使在停止電源電壓的供應之後，藉由關閉電晶體 11，以固持節點 FN 的電位，亦即，資料仍然能長時間地固持。

如上所述，在執行資料待命之後，停止電源電壓被供應至包含組合的電路單元。此外，也停止第一高電源電位（VDD）被輸入至升壓電路 301。

（資料供應操作）

藉由電源電路 30 而再度供應電源電壓至給定的電路單元（例如，電路單元 300A）。此外，第一高電源電位（VDD）被輸入至升壓電路 301。然後，在包含於該電路單元中的組合中，藉由控制訊號 SEL0 來關閉開關 203，且將控制訊號 OSG 設定於從升壓電路 301 輸出的第二高電源電位（VDDH），藉以開啓非依電性儲存電路 10 中的電晶體 11。因此，非依電性儲存電路 10 中的固持節點 FN 的電位（或是對應於電位的電荷量）被輸入至依電性儲存電路 200 的節點 M。然後，藉由控制訊號 SEL0 來開啓開關 203。依此方式，固持在非依電性儲存電路 10 中的資料被輸入至依電性儲存電路 200 並且由回饋迴路固持。因此，資料能夠被供應至依電性儲存電路 200。

此時，由於第二高電源電位（VDDH）係高於第一高電源電位（VDD），舉例而言，高於 $VDD + V_{th}$ ，所以，對

應於非依電性儲存電路 10 中固持的資料之訊號電位被精準地輸入至依電性儲存電路 200 的節點 M。因此，非依電性儲存電路 10 中固持的資料被精準地供應給依電性儲存電路 200。

此處，依電性儲存電路 200 中的資料寫入及讀取的速度比在非依電性儲存電路 10 中更高；結果，被選擇性地供予電源電壓的組合之操作速度增加。

在算術電路 201 是根據控制訊號（例如，時脈訊號）而選擇性地輸出訊號且省略開關 203 之電路的情況中，算術電路 201 受到控制以致於在上述說明中開關 203 的關閉期間，沒有來自算術電路 201 的輸出（算術電路 201 的輸出是不確定的）。對算術電路 201 除外，驅動方法都與上述相同。

上述是包含具有圖 3B 中所示的由依電性儲存電路 200 及非依電性儲存電路 10 的組合所構成之儲存電路的訊號電路單元中的常關驅動方法的說明。

（依電性儲存電路與非依電性儲存電路的組合之配置 2）

由依電性儲存電路與非依電性儲存電路的組合所構成的儲存電路之配置並不限於圖 3B 中所示的配置。舉例而言，儲存電路可以具有圖 3E 中所示的配置。在圖 3E 中的依電性儲存電路 200 中，圖 3B 中的開關 203 並非總是需要的，因而可以不用被設置。圖 3E 中的非依電性儲存電路 10 的端子 F 係電連接至如圖 3C 所示的電容器 12 的一

對電極的其中之一。在圖 3E 中，非依電性儲存電路 10 的端子 F 經由算術電路 204 及開關 205 而被電連接至算術電路 202 的輸出端子以及依電性儲存電路中的算術電路 201 的輸入端子。舉例而言，使用反相器 224 作為算術電路 204。根據控制訊號 SELR，以選取開關 205 的開／關狀態。

下述是在圖 1A 中的每一個電路單元（電路單元 300A、300B、及 300C）包含圖 3E 中依電性儲存電路 200 及非依電性儲存電路 10 的組合且採用常關驅動方法的情況中，圖 1A 中的訊號處理電路的驅動方法之一個實施例。

（供應電源電壓的操作）

當電源電壓藉由電源電路 30 而被供應至給定電路單元（例如，電路單元 300A）時，包含在電路單元中的圖 3E 中的組合中的開關 205 藉由控制訊號 SELR 而被保持關閉。因此，在該組合中，依電性儲存電路 200 以算術電路 201 和 202 的回饋迴路來固持資料。亦即，在圖 3E 中的組合中，輸入的資料由依電性儲存電路 200 中的回饋迴路來予以固持，並且，資料從依電性儲存電路 200 中的回饋迴路輸出。藉由依電性儲存電路 200 中的回饋迴路，能夠將資料固持及高速地輸出。

（資料儲存操作）

如上所述，在與依電性儲存電路 200 中的回饋迴路固

持資料同時地或之後，當藉由控制訊號 SELR 以使開關 205 保持關閉時，控制訊號 OSG 被設定於從升壓電路 301 輸出的第二高電源電位 ($VDDH$)，藉以開啓非依電性儲存電路 10 中的電晶體 11。因此，依電性儲存電路 200 的節點 M 的電位被輸入至非依電性儲存電路 10 的固持節點 FN，以致於固持在依電性儲存電路 200 中的資料能夠被儲存在非依電性儲存電路 10 中。依此方式，儲存資料。

此時，第二高電源電位 ($VDDH$) 係高於第一高電源電位 (VDD)，舉例而言，高於 $VDD + V_{th}$ 。此處，對應於固持在依電性儲存電路 200 中的資料之訊號電位是第一高電源電位 (VDD) 或是接地電位 (0 V，對應於低電源電位)。假使當對應於依電性儲存電路 200 中固持的資料的訊號電位是第一高電源電位 (VDD) 時輸入至電晶體 11 的閘極以開啓電晶體 11 之電位與第一高電源電位 (VDD) 相同時，則輸入至固持節點 FN 的電位是從第一高電源電位 (VDD) 下降 V_{th} 的電位。

另一方面，當第二高電源電位 ($VDDH$) 係高於第一高電源電位 (VDD) 時，舉例而言，高於 $VDD + V_{th}$ ，則能夠抑制上述的電位損失。結果，對應於依電性儲存電路 200 中固持的資料之訊號電位能夠被精準地輸入至固持節點 FN。因此，依電性儲存電路 200 中固持的資料能夠被精準地儲存在非依電性儲存電路 10 中。

(資料待命操作)

在儲存資料之後，控制訊號 OSG 係設定於接地電位（0 V，對應於低電源電位）以關閉非依電性儲存電路 10 中的電晶體 11，防止儲存在非依電性儲存電路 10 中的資料變化以回應來自依電性儲存電路 200 的訊號。因此，執行資料待命。由於在非依電性儲存電路 10 中的電晶體 11 的關閉狀態電流相當低，所以，即使在停止電源電壓的供應之後，藉由關閉電晶體 11，以固持節點 FN 的電位，亦即，資料仍然能長時間地固持。

如上所述，在執行資料待命之後，停止電源電壓被供應至包含組合的電路單元。此外，也停止第一高電源電位（VDD）被輸入至升壓電路 301。

（資料供應操作）

藉由電源電路 30 而再度供應電源電壓至給定的電路單元（例如，電路單元 300A）。此外，第一高電源電位（VDD）被輸入至升壓電路 301。然後，在包含於電路單元中的組合中的開關 205 藉由控制訊號 SELR 來予以開啓。因此，對應於非依電性儲存電路 10 的固持節點 FN 的電位（或是對應於電位的電荷量）之訊號被反相器 224 所反相且被輸入至依電性儲存電路 200 的節點 Mb。依此方式，固持在非依電性儲存電路 10 中的資料被輸入至依電性儲存電路 200 以及藉由回饋迴路來予以固持。因此，資料能夠被供應至依電性儲存電路 200。在此情況中，當算術電路 204 的電流驅動能力係高於算術電路 202 的電流驅動

力時，資料能夠被快速地歸還給依電性儲存電路 200。此處，依電性儲存電路 200 中的資料寫入及讀取的速度比在非依電性儲存電路 10 中更高；結果，被選擇性地供予電源電壓的組合之操作速度增加。

能夠採用根據控制訊號（例如，時脈訊號）而選擇性地輸出訊號的結構作為算術電路 204 且省略開關 205。在該情況中，算術電路 204 受到控制以致於在上述說明中開關 205 的關閉期間，沒有來自算術電路 204 的輸出（算術電路 204 的輸出是不確定的）。對算術電路 204 除外，驅動方法都與上述相同。

上述是包含具有圖 3E 中所示之由依電性儲存電路 200 及非依電性儲存電路 10 的組合所構成之儲存電路的電路單元的訊號處理電路中的常關驅動方法的說明。

（依電性儲存電路與非依電性儲存電路的組合之配置 3）

由依電性儲存電路與非依電性儲存電路的組合所構成的儲存電路之配置不限於圖 3B 及 3E 中所示的配置。舉例而言，儲存電路可以具有圖 3D 中所示的配置。在圖 3D 中所示的儲存電路中，非依電性儲存電路 10 係設置在依電性儲存電路 200 中。圖 3D 中的非依電性儲存電路 10 的端子 F 係電連接至如圖 3C 所示的固持節點 FN。

下述是在圖 1A 中的每一個電路單元（電路單元 300A、300B、及 300C）包含圖 3D 中依電性儲存電路 200 及非依電性儲存電路 10 的組合且採用常關驅動方法的情況中

，圖 1A 中的訊號處理電路的驅動方法之一個實施例。

（供應電源電壓的操作）

當電源電壓由電源電路 30 被供應至給定電路單元（例如，電路單元 300A）時，在包含在電路單元中的圖 3D 中所示的組合中，控制訊號 OSG 被設定於從升壓電路 301 輸出的第二高電源電位（ $VDDH$ ），結果，非依電性儲存電路 10 中的電晶體 11 被開啓。因此，依電性儲存電路 200 以算術電路 201 和 202 的回饋迴路來固持資料。亦即，在圖 3D 中的組合中，輸入的資料藉由依電性儲存電路 200 中的回饋迴路來予以固持，並且，資料從依電性儲存電路 200 中的回饋迴路輸出。藉由依電性儲存電路 200 中的回饋迴路，能夠將資料固持及高速地輸出。

此時，第二高電源電位（ $VDDH$ ）係高於第一高電源電位（ VDD ），舉例而言，高於 $VDD + V_{th}$ 。此處，對應於算術電路 201 的輸出之訊號電位是第一高電源電位（ VDD ）或是接地電位（0 V，對應於低電源電位）。假使當對應於算術電路 201 的輸出的訊號電位是第一高電源電位時輸入至電晶體 11 的閘極以開啓電晶體 11 之電位與第一高電源電位（ VDD ）相同時，則輸入至固持節點 FN 的電位是從第一高電源電位（ VDD ）下降 V_{th} 的電位。

另一方面，當第二高電源電位（ $VDDH$ ）係高於第一高電源電位（ VDD ）時，舉例而言，高於 $VDD + V_{th}$ ，則能夠抑制上述的電位損失。結果，對應於算術電路 201 的

輸出之訊號電位能夠被精準地輸入至固持節點 FN。因此，依電性儲存電路 200 中固持的資料能夠被精準地儲存在非依電性儲存電路 10 中。此外，資料能夠藉由依電性儲存電路 200 中的回饋迴路而被更精準地固持。

（資料儲存操作）

如上所述，在與依電性儲存電路 200 中的回饋迴路固持資料同時地或之後，對應於算術電路 201 的輸出之電位訊號被輸入至非依電性儲存電路 10 的固持節點 FN，以致於依電性儲存電路 200 中所固持的資料能夠被儲存在非依電性儲存電路 10 中。依此方式，儲存資料。

（資料待命操作）

在儲存資料之後，控制訊號 OSG 被設定於接地電位（0 V，對應於低電源電位）以關閉非依電性儲存電路 10 中的電晶體 11，防止儲存在非依電性儲存電路 10 中的資料變化以回應來自依電性儲存電路 200 中的算術電路 201 的訊號。

如上所述，在執行資料待命之後，停止電源電壓被供應至包含組合的電路單元。此外，也停止第一高電源電位（VDD）被輸入至升壓電路 301。

（資料供應操作）

藉由電源電路 30 而再度供應電源電壓至給定的電路

單元（例如，電路單元 300A）。此外，第一高電源電位（VDD）被輸入至升壓電路 301。然後，在包含於電路單元中的組合中，控制訊號 OSG 被設定於從升壓電路 301 輸出的第二高電源電位（VDDH），藉以開啓非依電性儲存電路 10 中的電晶體 11。因此，非依電性儲存電路 10 中之固持節點 FN 的電位（或是對應的電荷）被輸入至依電性儲存電路 200 的節點 M。因此，固持在非依電性儲存電路 10 中的資料藉由依電性儲存電路 200 中的回饋迴路來予以固持。依上述方式，資料能夠被供應至依電性儲存電路 200。

此時，由於第二高電源電位（VDDH）係高於第一高電源電位（VDD），舉例而言，高於 $VDD + V_{th}$ ，所以，對應於非依電性儲存電路 10 中所固持的資料之訊號電位被精準地輸入至依電性儲存電路 200 的節點 M。因此，非依電性儲存電路 10 中所固持的資料被精準地供應給依電性儲存電路 200。

注意，在供應資料時，較佳的是在選取電源電壓的供應之後當非依電性儲存電路 10 中的電晶體 11 藉由控制訊號 OSG 來予以開啓時，沒有來自算術電路 201 的輸出（算術電路 201 的輸出不確定）。舉例而言，做為算術電路 201，較佳採用根據控制訊號（例如，時脈訊號）而選擇性地輸出訊號的電路。此外，舉例而言，在採用開關或設算術電路 201 的輸出端子與非依電性儲存電路 100 的端子 B 之間的結構之情況中，在選取電源電壓的供應之後，當

非依電性儲存電路 10 中的電晶體 11 藉由控制訊號 OSG 來予以開啓時，開關較佳被關閉。

上述是包含具有圖 3D 中所示之由依電性儲存電路 200 及非依電性儲存電路 10 的組合所構成之儲存電路的電路單元的訊號處理電路中的常關驅動方法的說明。

如上所述，採用常關驅動方法能夠降低儲存或供應資料時造成的寫入錯誤和讀取錯誤。因此，能夠提供具有顯著低耗電及高可靠度的訊號處理電路。此外，由於使用具有大量寫入循環及高可靠度的電路作為非依電性儲存電路，所以，能增加訊號處理電路的耐用性及可靠度。

本發明的特點之一是輸入至具有相當低的關閉狀態電流的電晶體之閘極以開啓電晶體的電位比輸入至電晶體的源極或汲極的電位更高，例如高出電晶體的臨界電壓，因此，訊號電位能夠被精準地經過電晶體而傳送。因此，本發明不限於訊號處理電路，而是可以應用至任何包含具有下述結構的電晶體之半導體裝置：輸入至閘極以將其開啓的電位比輸入至其源極或汲極的電位高出例如臨界電壓。使用此電晶體能夠增加半導體裝置的品質。舉例而言，本發明可為在每一個像素中包含所述電晶體的顯示裝置。顯示裝置的實例是液晶顯示裝置及電場發光顯示裝置。亦即，可以使用所述電晶體作為用以控制訊號電壓輸入至液晶元件或電場發光元件的電晶體；因此，能提供具有高顯示品質的顯示裝置。舉例而言，本發明可以是在記憶胞中包含所述電晶體的儲存裝置，結果，能提供高度可靠的儲存

裝置。此外，本發明可為例如在每一個像素中包含電晶體以使用於拍攝影像之影像感測器及觸控面板。因此，能提供高度可靠的影像感測器及高度可靠的觸控面板。

本實施例能與任何其它實施例適當地結合實施。

（實施例 2）

在本實施例中，將說明實施例 1 的圖 1A 中的升壓電路 301 的一個實施例。

圖 1B 顯示升壓電路 301 的一個實施例。圖 1B 顯示四級升壓電路的實例。典型上，使用能執行 n 級升壓操作（ n : 自然數）的升壓電路。第一高電源電位（ VDD ）被供應至第一電晶體 1300 的輸入端子（此處，意指電連接至閘極端子的源極端子或汲極端子）。第一電晶體 1300 的輸出端子（此處，意指未電連接至閘極端子的源極端子或汲極端子）係電連接至第二電晶體 1310 的輸入端子及第一電容器 1350 的一對電極的其中之一。類似地，第二電晶體 1310 的輸出端子係電連接至第三電晶體 1320 的輸入端子及第二電容器 1360 的一對電極的其中之一。雖然其它部分的連接類似於上述並省略其詳細說明，但是，連接可以如下所述般地表示：第 i （ i : n 或更小的自然數）電晶體的輸出端子係連接至第 i 電容器的一對電極的其中之一。在圖 1B 中，最後級（第五電晶體 1340）的電晶體的輸出端子係電連接至電晶體 1390 的源極和汲極的其中之一，並且，第一高電源電位（ VDD ）被輸入至電晶體 1390。

的源極和汲極中的另一者；但是，結構不限於此。舉例而言，電容器的一對電極的其中之一可以被電連接至最後級（第五電晶體 1340）的電晶體的輸出端子，並且，接地電位（0 V，對應於低電源電位）可以被輸入至電容器的一對電極中之另一電極。注意，在圖 1B 中，第五電晶體 1340 的輸出作為升壓電路 301 的輸出，亦即，第二高電源電位（VDDH）。

此外，時脈訊號 CP_CLK 被輸入至第二電容器 1360 的一對電極中的另一電極以及第四電容器 1380 的一對電極中之另一電極。藉由使時脈訊號 CP_CLK 反相所取得的時脈訊號輸入至第一電容器 1350 的一對電極中的另一電極以及第三電容器 1370 的一對電極中的另一電極。亦即，時脈訊號 CP_CLK 被輸入至第 $2k$ （ k 是自然數）電容器的一對電極中的另一電極並且反相的時脈訊號被輸入至第 $(2k-1)$ 電容器的一對電極中之另一電極。無須多言，時脈訊號 CP_CLK 及反相的時脈訊號可以互換。

當時脈訊號 CP_CLK 低時，亦即，當反相的時脈訊號高時，第一電容器 1350 及第三電容器 1370 被充電，並且，藉由有反相時脈訊號輸入的佈線（或電極）而電容性地耦合之節點 N1 及節點 N3 的電位以預定電壓（對應於時脈訊號 CP_CLK 的高與低電位之間的差之電壓）升高。另一方面，藉由有時脈訊號 CP_CLK 輸入的佈線（或電極）而電容性地耦合之節點 N2 及節點 N4 的電位以上述預定電壓而下降。

因此，電荷經由第一電晶體 1300、第三電晶體 1320、及第五電晶體 1340 而被傳送，並且，使節點 N2 和節點 N4 的電位上升至預定值。

接著，當時脈訊號 CP_CLK 被設定為高且反相的時脈訊號被設定為低時，使節點 N2 和節點 N4 的電位進一步上升。相反地，節點 N1、節點 N3、及節點 N5 的電位以預定電壓而下降。

因此，電荷經由第二電晶體 1310 及第四電晶體 1330 而被傳送，結果，使節點 N3 和節點 N5 的電位上升至預定值。因此，節點的電位滿足 $V_{N5} > V_{N4(CP_CLK=Low)} > V_{N3(CP_CLK=High)} > V_{N2(CP_CLK=Low)} > V_{N1(CP_CLK=High)} > V_{DD}$ ，因而電壓被升壓。 V_{N5} 代表節點 N5 的電位； $V_{N4(CP_CLK=Low)}$ ，當時脈訊號 CP_CLK 低時節點 N4 的電位； $V_{N3(CP_CLK=High)}$ ，當時脈訊號 CP_CLK 高時節點 N3 的電位； $V_{N2(CP_CLK=Low)}$ ，當時脈訊號 CP_CLK 低時節點 N2 的電位；以及， $V_{N1(CP_CLK=High)}$ ，當時脈訊號 CP_CLK 高時節點 N1 的電位。

包含在升壓電路 301 中的所有這些電晶體（圖 1B 中的第一電晶體 1300、第二電晶體 1310、第三電晶體 1320、第四電晶體 1330、第五電晶體 1340、及電晶體 1390）或至少其中之一可以是具有相當低的關閉狀態電流的電晶體。舉例而言，使用通道形成在氧化物半導體層中的電晶體作為具有相當低的關閉狀態電流的電晶體。藉由在升壓電路 301 中使用具有相當低的關閉狀態電流的電晶體，即

使停止第一高電源電位（VDD）的供應及停止電源電壓的供應，仍然能長時間地固持被升壓的電壓（節點 N1 至 N5 的電壓）。結果，在再度選取第一高電源電壓（VDD）的供應之後，亦即，在選取電源電壓的供應之後，升壓電路 301 能夠快速地產生第二高電源電位（VDDH）。依此方式，實施例 1 中所述的資料供應操作能高速地執行；因此，訊號處理電路能快速地返回至停止電源電壓供應之前的狀態。

本實施例能與任何其它實施例適當地結合實施。

（實施例 3）

將說明訊號處理電路的形成方法。本實施例以通道形成於氧化物半導體層中的電晶體 11、電容器 12、及包含在算術電路 201 和 202 中的電晶體 133 作為包含在圖 3A 至 3E 中所示的依電性儲存電路 200 及非依電性儲存電路 10 的組合中的元件為例，說明訊號處理電路的製造方法。此處，以使用通道形成在矽層中的電晶體作為電晶體 133 的情況為例來做說明。

注意，以類似於電晶體 11 之方式，形成包含在升壓電路 301 中的電晶體（在圖 1B 中的第一電晶體 1300、第二電晶體 1310、第三電晶體 1320、第四電晶體 1330、第五電晶體 1340、及電晶體 1390）。此外，以類似於電容器 12 之方式，形成包含在升壓電路 301 中的電容器（在圖 1B 中的第一電容器 1350、第二電容器 1360、第三電容

器 1370、及第四電容器 1380)。

首先，如圖 4A 中所示，絕緣膜 701 及與單晶半導體基板分離的半導體膜 702 係形成在基板 700 之上。

雖然對於作為基板 700 的材料並無特別限制，但是，材料需要具有至少高至足以耐受後續執行的熱處理的抗熱性。舉例而言，使用融熔處理或漂浮處理形成的玻璃基板、石英基板、半導體基板、陶瓷基板、等等作為基板 700。在使用玻璃基板及後續執行的熱處理溫度高的情況中，較佳使用應變點為 730°C 或更高的玻璃基板。

在本實施例中，說明電晶體 133 的形成方法，其中，使用單晶矽以形成半導體膜 702。此處，簡述單晶半導體膜 702 的形成方法之具體實例。首先，包含被電場加速的離子之離子束進入單晶半導體基板之接合基板以及易脆層，易脆層由於晶體結構的局部失序而為易脆的，且被形成在離接合基板的表面某深度之區域中。藉由離子束的加速能量及離子束的進入角度，能調整易脆層形成處的深度。然後，接合基板及設有絕緣膜 701 的基板 700 彼此附接，以致於絕緣膜 701 夾於其間。在接合基板及基板 700 彼此重疊之後，約 1 N/cm^2 至 500 N/cm^2 ，較佳 11 N/cm^2 至 20 N/cm^2 之壓力施加至部分接合基板及部分基板 700，以致於這些基板彼此附接。當施加壓力時，接合基板與絕緣膜 701 之間的接合從這些部分開始，造成接合基板與絕緣膜 701 彼此緊密接觸的整個表面的接合。之後，執行熱處理，以致於存在於易脆層中的微孔隙相結合，並且，微孔隙

的體積增加。因此，接合基板的一部分之單晶半導體膜沿著易脆層而與接合基板分離。以不超過基板 700 的應變點之溫度，執行熱處理。然後，以蝕刻等等，將單晶半導體膜處理成所需形狀，以便形成半導體膜 702。

爲了控制臨界電壓，例如硼、鋁、或銻等賦予 p 型導電率的雜質元素、或是例如磷或砷等賦予 n 型導體率的雜質元素可以被添加至半導體膜 702。用以控制臨界電壓的雜質元素可以被添加至未被蝕刻至具有預定形狀的半導體膜或是可以被添加至被蝕刻成具有預定形狀的半導體膜 702。或者，用以控制臨界電壓的雜質元素可以被添加至接合基板。或者，雜質元素能被添加至接合基板以概略地控制臨界電壓，以及，也將雜質元素添加至未被蝕刻至具有預定形狀的半導體膜或已被蝕刻成預定形狀的半導體膜 702，以便精密地控制臨界電壓。

注意，雖然在本實施例中說明使用單晶半導體膜的實例，但是，本發明不限於此結構。舉例而言，可以使用塊體半導體基板，在塊體半導體基板中，多個元件藉由淺溝槽隔離（STI）而彼此隔離。舉例而言，可以使用藉由汽相沈積而被形成於絕緣膜 701 之上的多晶、微晶、或非晶半導體膜。以已知的技術，將半導體膜晶化。已知的晶化技術的實例可爲使用雷射光的雷射晶化方法及使用利用觸媒元素的晶化方法。或者，結合地使用利用觸媒元素的晶化及雷射晶化方法。在使用例如石英基板等耐熱基板的情況中，能夠結合任何下述晶化方法：使用電熱爐的熱晶化

方法、使用紅外光的燈來加熱晶化、使用觸媒元素的晶化方法、及約 950℃ 的高溫加熱法。

接著，如圖 4B 中所示，使用半導體膜 702 以形成半導體層 704。然後，閘極絕緣膜 703 被形成於半導體層 704 之上。

閘極絕緣膜 703 可為以例如電漿強化 CVD、濺射、等等形成的含有氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉬、氧化鉕、矽酸鉛 (HfSi_xO_y ($x>0$, $y>0$))、添加氮的矽酸鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、添加氮的鋁酸鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、等等的層之單層或堆疊層。

在本說明書中，氧氮化物意指含有的氧量比氮量更多的材料，氮氧化物意指含有的氮量比氧量更多的物質。

舉例而言，閘極絕緣膜 703 的厚度為 1 nm 至 100 nm，較佳為 10 nm 至 50 nm。在本實施例中，藉由電漿強化 CVD，形成含有氧化矽的單層絕緣膜作為閘極絕緣膜 703。

然後，如圖 4C 所示般，形成閘極電極 707。

形成導電膜，然後將其處理成預定形狀，以便形成閘極電極 707。藉由 CVD、濺射、汽相沈積、旋轉塗敷、等等，以形成導電膜。關於導電膜，可以使用鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、銅 (Cu)、鉻 (Cr)、銱 (Nb)、等等。或者，可以使用含有上述金屬作為主成分的合金或含有上述金屬的化合物。或者，可以

使用摻雜賦予導電率給半導體膜之例如磷等雜質元素的例如多晶矽等半導體，以形成導電膜。

注意，雖然在本實施例中使用單層導電膜來形成閘極電極 707，但是，本實施例不限於此結構。閘極電極 707 可以由多個堆疊的導電膜所形成。

關於雙導電膜的結合，以氮化鋁或鋁使用於第一導電膜並且以鎢使用於第二導電膜。二個導電膜的結合之其它實例可為：氮化鎢及鎢、氮化鋁及鋁、鋁及鋁、以及鋁及鈦。由於鎢及氮化鋁具有高抗熱性，所以，在形成二個導電膜後的後續步驟中執行以熱活化為目的之熱處理。此外，關於雙導電膜的組合，舉例而言，較佳的是使用摻雜有賦予 n 型導電率的雜質元素之矽及矽化鎳、摻雜有賦予 n 型導電率的雜質之矽及矽化鎢、等等。

在使用堆疊三個導電膜的三層結構之情況中，較佳的是使用鋁膜、鋁膜、及鋁膜的層疊結構。

此外，使用氧化銦、氧化銦-氧化錫、氧化銦-氧化鋅、氧化鋅、鋅鋁氧化物、鋅鋁氧氮化物、鋅鎳氧化物、等等透光氧化物導電膜作為閘極電極 707。

或者，以未使用掩罩之滴放法，選擇性地形成閘極電極 707。滴放法是藉由從孔口排放或噴射含有預定成分的液滴以形成預定圖案的方法，並且，依其類別包含噴墨法。

以下述方式，形成導電膜 707：形成導電膜，以適當控制的蝕刻條件（例如，施加至線圈化電極層的電力量、

施加至基板側上的電極層之電力量、及基板側上的電極溫度），藉由感應耦合電漿（ICP）來予以蝕刻，將導電膜蝕刻成具有所需錐狀。此外，也可以藉由掩罩的形狀來控制錐狀的角度等等。注意，關於蝕刻氣體，可以適當地使用例如氯、氯化硼、氯化矽、或四氯化硼等以氯為基礎的氣體；例如四氯化碳、氟化硫、或氟化氮等以氟為基礎的氣體；或是氧。

接著，如圖 4D 所示，以閘極電極 707 作為掩罩，將賦予一種導電率型的雜質元素添加至半導體層 704，因而在半導體層 704 中形成與閘極電極 707 重疊的通道形成區 710、以及通道形成區 710 設於其間的一對雜質區 709。

在本實施例中，以賦予 p 型導電率的雜質元素（例如，硼）添加至半導體層 704 的情況為例說明。

接著，如圖 5A 中所示般，形成絕緣膜 712 和 713 以覆蓋閘極絕緣膜 703 及閘極電極 707。具體而言，可以使用氧化矽、氮化矽、氮氧化矽、氧氮化矽、氮化鋁、氮氧化鋁、等等無機絕緣膜作為絕緣膜 712 和 713。特別是，使用低介電常數（低 k）材料，較佳形成絕緣膜 712 和 713，在此情況中，可以充分地降低導因於電極或佈線的重疊之電容。注意，可以使用含有任何上述材料的多孔絕緣膜作為絕緣膜 712 和 713。由於多孔絕緣膜具有比緻密絕緣膜更低的介電常數，所以，能進一步降低導因於電極或佈線之寄生電容。

在本實施例中，以氧氮化矽使用於絕緣膜 712 及氮氧

化矽使用於絕緣膜 713 的情況為例說明。此外，在本實施例中，說明在閘極電極 707 之上形成絕緣膜 712 和 713 的實例；但是，在本發明中，可以僅有一層絕緣膜被形成於閘極電極 707 之上、或是三或更多層絕緣膜的堆疊可以被形成在閘極電極 707 之上。

接著，如圖 5B 中所示般，絕緣膜 713 受到化學機械拋光（CMP）或蝕刻，以使絕緣膜 713 的上表面平坦化。注意，為了增進稍後形成的電晶體 11 的特徵，較佳使絕緣膜 713 的表面盡可能地平坦化。

經由上述步驟，形成電晶體 133。

接著，說明用以形成電晶體 11 的方法。首先，如圖 5C 所示，在絕緣膜 713 之上形成氧化物半導體層 716。

氧化物半導體層含有選自 In、Ga、Sn、及 Zn 中的至少其中一種元素。舉例而言，可以使用任何下述氧化物半導體：四種金屬元素的氧化物之以 In-Sn-Ga-Zn-O 為基礎的氧化物半導體；三種金屬元素的氧化物之以 In-Ga-Zn-O 為基礎的氧化物半導體、以 In-Sn-Zn-O 為基礎的氧化物半導體、以 In-Al-Zn-O 為基礎的氧化物半導體、以 Sn-Ga-Zn-O 為基礎的氧化物半導體、以 Al-Ga-Zn-O 為基礎的氧化物半導體、以 Sn-Al-Zn-O 為基礎的氧化物半導體、以 Hf-In-Zn-O 為基礎的氧化物半導體；二種金屬元素的氧化物之以 In-Zn-O 為基礎的氧化物半導體、以 Sn-Zn-O 為基礎的氧化物半導體、以 Al-Zn-O 為基礎的氧化物半導體、以 Zn-Mg-O 為基礎的氧化物半導體、以 Sn-Mg-O

為基礎的氧化物半導體、以 In-Mg-O 為基礎的氧化物半導體、及以 In-Ga-O 為基礎的氧化物半導體；以及，一種金屬元素的氧化物以 In-O 為基礎的氧化物半導體、以 Sn-O 為基礎的氧化物半導體、及以 Zn-O 為基礎的氧化物半導體。此外，任何上述氧化物半導體可以含有 In、Ga、Sn 及 Zn 以外的金屬元素，例如 SiO₂。

舉例而言，以 In-Sn-Zn-O 為基礎的材料意指含有銦 (In)、錫 (Sn)、及鋅 (Zn) 的氧化物半導體，且對於其原子比例無特別限定。此外，舉例而言，以 In-Ga-Zn-O 為基礎的材料意指含有銦 (In)、鎵 (Ga)、及鋅 (Zn) 的氧化物半導體，且對於其原子比例無特別限定。

在使用以 In-Sn-Zn-O 為基礎的材料作為氧化物半導體之情況中，使用原子比為 In : Sn : Zn = 1:2:2、2:1:3、1:1:1 等等成分比例的靶材。

對於氧化物半導體層，可以使用化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜。此處，M 代表選自 Zn、Ga、Al、Mn、及 Co 的其中之一或更多種金屬元素。舉例而言，M 可為 Ga、Ga 及 Al、Ga 及 Mn、或 Ga 及 Co。

在使用以 In-Zn-O 為基礎的材料作為氧化物半導體的情況中，靶材具有原子比例為 In:Zn=50:1 至 1:2 的成分比 (In₂O₃ : ZnO=25:1 至 1:4 莫耳比)，較佳原子比例為 In:Zn=20:1 至 1:1 的成分比 (In₂O₃ : ZnO=10:1 至 1:2 莫耳比)，又較佳原子比例為 In:Zn=15:1 至 1.5:1 的成分比 (In₂O₃ : ZnO=15:2 至 3:4 莫耳比)。舉例而言，在用於

形成具有 $\text{In:Zn:O}=\text{X:Y:Z}$ 的原子比例之以 In-Zn-O 為基礎的氧化物半導體之靶材中，滿足 $Z > 1.5X+Y$ 的關係。

注意，較佳的是氧化物半導體層 716 是藉由降低例如作為電子供體（施體）的濕氣及氫等雜質而高度純化，在此情況中，當通道未形成於氧化物半導體層 716 中時產生的電流能降低。具體而言，藉由二次離子質譜術（SIMS）測量之高度純化的氧化物半導體層 716 中的氫的濃度是 $5 \times 10^{19}/\text{cm}^3$ 或更低，較佳為 $5 \times 10^{18}/\text{cm}^3$ 或更低，又較佳為 $5 \times 10^{17}/\text{cm}^3$ 或更低、仍然又較佳為 $1 \times 10^{16}/\text{cm}^3$ 或更低。以霍爾效應測量測到的氧化物半導體層的載子密度小於 $1 \times 10^{14}/\text{cm}^3$ 、較佳小於 $1 \times 10^{12}/\text{cm}^3$ 、又較佳小於 $1 \times 10^{11}/\text{cm}^3$ 。

於此，說明氧化物半導體層中的氫濃度的分析。藉由 SIMS 來測量半導體層的氫濃度。已知藉由 SIMS 分析，原理上難以取得樣品表面附近中或使用不同材料所形成的堆疊層之間的介面附近中的正確資料。因此，在以 SIMS 分析厚度方向上層中的氫濃度之分佈的情況中，值沒有大變化且能取得實質上相同的值的層之區域中的平均值被採用作為或氫的濃度。此外，在層的厚度很小的情況中，由於相鄰層的氫濃度之影響，在某些情況中幾乎未發現取得幾乎相同值的區域。在該情況中，採用層的區域中氫的濃度的最大值或最小值作為層的氫濃度。此外，在具有最大值的山狀峰值或具有最小值的谷狀峰值未存在於層存在的區域中的情況中，採用轉折點的值作為氫的濃度。

將形成於絕緣膜 713 之上的氧化物半導體膜處理成所需形狀，以形成氧化物半導體層 716。氧化物半導體膜的厚度是 2 nm 至 200 nm，較佳為 3 nm 至 50 nm，又較佳為 3 nm 至 20 nm。藉由使用氧化物半導體作為靶材的濺射，形成氧化物半導體膜。此外，藉由在稀有氣體（例如，氬）氛圍、氧氛圍、或稀有氣體（例如，氬）及氧的混合氛圍中，藉由濺射而形成氧化物半導體膜。

當氧化物半導體層 716 是要藉由濺射來予以形成時，重要的是除了降低靶材的氬濃度之外，還要儘可能地降低存在於腔室中的水及氬。具體而言，舉例而言，有效的是在氧化物半導體層 716 的沈積之前執行腔室的烘烤，以降低導入至腔室中的氣體中的水及氬的濃度，並且防止從腔室中抽除氣體的抽真空系統中的逆流。

在藉由濺射來沈積氧化物半導體膜之前，藉由逆向濺射，去除絕緣膜 713 的表面上的灰塵，在逆向濺射中，導入氬氣並且產生電漿。逆向濺射為一種方法，其中，電壓被施加至基板而未被施加至靶材側，在氬氛圍中，使用 RF 電源以在基板附近中產生電漿來修改基板表面。注意，可以使用氮氛圍、氦氛圍、等等以取代氬氛圍。或者，可以使用添加氧、氧化亞氮、等等之氬氛圍。又或者，可以使用添加氬、四氯化氬、等等之氬氛圍。

為了使氧化物半導體膜含有盡可能少的氬、羥基、及濕氣，在濺射設備的預熱室中，將絕緣膜 712 和 713 形成於其之上的基板 700 預熱，以消除及去除例如濕氣或氬等

吸附在基板 700 上的雜質，以作為膜形成的前置處理。預熱溫度是 100°C 至 400°C ，較佳 150°C 至 300°C 。關於設置在預熱室中的抽真空單元，較佳使用低溫泵。注意，此預熱處理可以被省略。在形成閘極絕緣膜 721 之前，可以對導電層 719 和 720 形成於其之上的基板 700 類似地執行此預熱。

在本實施例中，使用 30 nm 厚的以 In-Ga-Zn-O 為基礎的氧化物半導體薄膜作為氧化物半導體膜，所述以 In-Ga-Zn-O 為基礎的氧化物半導體薄膜係使用包含銦 (In)、鎵 (Ga)、及鋅 (Zn) 的靶材，藉由濺射來予以取得的。舉例而言，使用成分比為 $\text{In} : \text{Ga} : \text{Zn} = 1:1:0.5$ 、 $1:1:1$ 、或 $1:1:2$ 的靶材作為靶材。包含 In、Ga、及 Zn 的靶材的填充率高於或等於 90% 且低於或等於 100%，較佳高於或等於 95% 且低於 100%。藉由使用具有高填充率的靶材，以形成緻密的氧化物半導體膜。

在本實施例中，以下述方式來沈積氧化物半導體膜：將基板固持於維持降壓狀態的處理室中、在去除餘留在處理室中的濕氣時將氫及濕氣被去除的濺射氣體導入、以及使用靶材。在膜形成時，基板溫度可為 100°C 至 600°C ，較佳 200°C 至 400°C 。在基板被加熱時形成氧化物半導體膜，能降低包含於形成的氧化物半導體膜中的雜質濃度。此外，降低濺射造成的傷害。為了去除餘留在處理室中的濕氣，較佳使用捕獲型真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。抽真空單元可為設有冷阱的渦

輪泵。在使用低溫泵抽真空的處理室中，舉例而言，抽除氫原子、例如水（ H_2O ）等含有氫原子的化合物（較佳也含有碳原子的化合物）、等等，因而降低處理室中形成的氧化物半導體膜的雜質濃度。

關於沈積條件的實例，基板與靶材之間的距離為 100 mm，壓力為 0.6 Pa，直流（DC）電力為 0.5 kW，氛圍為氧氛圍（氧流量比例為 100 %）。注意，由於脈衝式直流（DC）電源可以降低沈積時產生的粉塵並且使膜厚均勻，所以較佳的是使用脈衝式直流（DC）電源。

當濺射設備的處理室的漏氣率設定為 1×10^{-10} Pa · m³/s 或更低時，能降低進入正藉由濺射所形成的氧化物半導體膜中之例如鹼金屬或氫化物等雜質。此外，藉由使用補獲型真空泵作為抽真空系統，能降低來自抽真空系統之例如鹼金屬、氫原子、氫分子、水、羥基、或氫化物等雜質的倒流。

當靶材的純度設定在 99.99% 或更高時，能抑制鹼金屬、氫原子、氫分子、水、羥基、氫化物、等等進入氧化物半導體膜。此外，使用此靶材導致降低氧化物半導體膜中例如鋰、鈉、或鉀等鹼金屬的濃度。

注意，氧化物半導體層可以是非晶的或結晶的。在後一種情況中，氧化物半導體膜可以是單晶或多晶的，或是可以具有部分氧化物半導體層是結晶的結構、包含結晶部的非晶結構、或是非非晶結構。舉例而言，關於氧化物半導體層，可以使用包含具有 C 軸對齊的晶體之氧化物半導

體（也稱為 C 軸對齊結晶氧化物半導體（CAAC-OS）），從 a-b 平面、表面、或介面的方向觀視時，其具有三角形或六角形的原子配置。在晶體中，沿著 c 軸，金屬原子及氧原子以層疊方式配置，或是金屬原子以層疊方式配置，並且，a-軸或 b-軸的方向在 a-b 平面中會變化（晶體圍繞 c 軸旋轉）。

CAAC-OS 不是單晶，但是這並非意指 CAAC-OS 僅由非晶成分所構成。雖然 CAAC-OS 包含晶化部分（結晶部分），但是，一個結晶部與另一個結晶部之間的邊界在某些情況中是不清楚的。

在氧包含於 CAAC-OS 中的情況中，氮可以取代包含於 CAAC-OS 中的部分氧。包含在 CAAC-OS 中的各結晶部的 c 軸可以在其中一個方向上對齊（例如，垂直於有 CAAC-OS 形成的基板表面或是 CAAC-OS 的表面之方向）。或者，包含在 CAAC-OS 中的各結晶部的 a-b 平面的法線可以在其中一個方向上對齊（例如，垂直於有 CAAC-OS 形成的基板表面或是 CAAC-OS 的表面之方向）。

CAAC-OS 膜視其成分等而變成導體、半導體、或絕緣體。CAAC-OS 膜視其成分等而使可見光透射或不透射。

此 CAAC 膜的實施例是形成為膜狀且當從與膜的表面或基板的表面垂直的方向觀測時具有三角形或六角形的原子配置之晶體，其中，當觀測膜的剖面時，金屬原子以層疊方式配置或是金屬原子與氧原子（或氮原子）以層疊方

式配置。

藉由濺射，以形成含有 CAAC-OS 的氧化物半導體膜（於下，也稱為 CAAC-OS 膜）。當以濺射沈積 CAAC-OS 膜時氮氣中的氧氣的比例較佳為高。關於在氬與氧的混合氣體氮氣中的濺射，舉例而言，氧氣的比例較佳設定為 30% 或更高，又較佳為 40% 或更高。這是因為從氮氣供應氧能促進 CAAC-OS 膜的晶化。

當以濺射沈積 CAAC-OS 膜時，CAAC-OS 膜沈積於上的基板較佳加熱至 150℃ 或更高，又較佳加熱至 170℃ 或更高。這是因為基板溫度愈高，則愈能促進 CAAC-OS 的晶化。

在氮氣氮氣或真空中受到熱處理之後，CAAC-OS 膜較佳在氧氮氣或氧與其它氣體的混合氮氣中受到熱處理。這是因為導因於前一熱處理的氧空乏能由來自後一熱處理中的氮氣之氧的供應補償。

沈積的 CAAC-OS 膜上的膜表面（沈積表面）較佳是平坦的。這是因為 CAAC-OS 膜中的結晶部的 c 軸實質上垂直於沈積表面，因此，沈積表面的不規則在 CAAC-OS 膜中造成晶粒邊界。基於此理由，在形成 CAAC-OS 膜之前，沈積表面較佳受到例如化學機械拋光（CMP）等平坦化處理。沈積表面的平均粗糙度較佳的是 0.5 nm 或更低，又較佳為 0.3 nm 或更低。

蝕刻上述方式形成的氧化物半導體膜，藉以形成氧化物半導體膜 716。用以形成氧化物半導體層 716 的蝕刻可

以是乾式蝕刻、濕式蝕刻、或乾式蝕刻及濕式蝕刻。關於用於乾式蝕刻的蝕刻氣體，較佳使用含氯的氣體（例如氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等以氯為基礎的氣體）。或者，使用含有氟的氣體（例如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）等以氟為基礎的氣體）、溴化氫（ HBr ）、氧（ O_2 ）、這些氣體中任何添加例如氦（ He ）或氬（ Ar ）等稀有氣體之氣體、等等。

關於乾式蝕刻，可以使用平行板反應離子蝕刻（RIE）或感應耦合電漿（ICP）蝕刻。為將膜蝕刻成具有所需形狀，適當地調整蝕刻條件（例如，施加至線圈電極的電力量、施加至基板側上的電極之電力量、基板側上電極的溫度）。

關於用於濕式蝕刻的蝕刻劑，使用例如磷酸、醋酸、及硝酸的混合溶液、例如檸檬酸或草酸等有機酸、等等。在本實施例中，使用 ITO-07N（由 Kanto Chemical Co., Inc. 所製造）。

藉由噴墨法來形成用以形成氧化物半導體層 716 的光阻掩罩。藉由噴墨法來形成光阻掩罩不需要光罩；因此，製造成本降低。

注意，較佳的是在後續步驟中在導電膜形成之前執行逆向濺射，以去除附接至氧化物半導體層 716 及絕緣膜 713 的表面的餘留光阻等等。

注意，在某些情況中，藉由濺射等所沈積的氧化物半

導體膜含有大量的濕氣或氫（包含羥基）作為雜質。濕氣或氫容易形成施體能階並因而作為氧化物半導體中的雜質。因此，在本發明的一個模式中，為了降低氧化物半導體膜中例如濕氣及氫等雜質（將氧化物半導體膜脫氫或脫水），氧化物半導體層 716 在降壓氛圍、氮、稀有氣體、等等的惰性氣體氛圍、氧氣氛圍、或超乾空氣（在使用穴環朝下雷射顯微（CRDS）系統的露點儀執行測量的情況中，濕氣量是 20 ppm 或更低（轉換成露點， -55°C ）），較佳為 1 ppm 或更低，又較佳為 10 ppb 或更低）中，受到熱處理。

藉由對氧化物半導體層 716 執行熱處理，消除氧化物半導體層 716 中的濕氣或氫。具體而言，在高於或等於 250°C 且低於或等於 750°C ，較佳高於或等於 400°C 且低於基板的應變點之溫度下，執行熱處理。舉例而言，以 500°C 執行熱處理 3 至 6 分鐘。當以 RTA 用於熱處理時，短時間地執行脫水或脫氫；因此，即使在高於玻璃基板的應變點之溫度下，仍然可以執行處理。

在本實施例中，使用熱處理設備的其中之一的電熱爐。

注意，熱處理設備不限於電熱爐，可以設有以來自例如電阻式加熱器等加熱器的熱傳導或熱輻射來加熱物品之裝置。舉例而言，使用例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備等快速熱退火（RTA）設備。LRTA 設備是藉由例如鹵素燈、金屬鹵化物燈、氬電

弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈等燈發射的光（電磁波）之輻射，將物體加熱。GRTA 設備是使用高溫氣體以執行熱處理之設備。使用不會因熱處理而與物體起反應之惰性氣體作為氣體，例如氮或例如氬等稀有氣體。

在熱處理中，較佳的是濕氣、氫、等等不包含於氮或例如氬、氖、或氬等稀有氣體中。或者，導入於熱處理設備中之氮或例如氬、氖、或氬等稀有氣體之純度較佳為 6N（99.9999%）或更高，又較佳為 7N（99.99999%）或更高（亦即，雜質濃度較佳為 1 ppm 或更低，更佳為 0.1ppm 或更低）。

注意，已指出氧化物半導體對於雜質不敏感，當可觀數量的金屬雜質含於膜中時不會有問題，並且，可以使用含有例如鈉（Na）等大量鹼金屬且不昂貴的鈉鈣玻璃（Kamiya, Nomura, 及 Hosono 等所著的「Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors: The present status」, KOTAI BUTSURI (SOLID STATE PHYSICS), 2009, Vol. 44, pp. 621-633）。但是此考量並不適當。鹼金屬不是氧化物半導體的構成元素，因此是雜質。在鹼土金屬不是氧化物半導體的構成元素之情況中，鹼土金屬也作為雜質。當接觸氧化物半導體層的絕緣膜是氧化物時，鹼金屬中的 Na 擴散至絕緣膜中且變成 Na^+ 。此外，在氧化物半導體層中，Na 進入或切斷包含於氧化物半導體中的金屬與氧之間的鍵，結果，造成電晶體特徵劣化（例如，導因於臨界電壓在負方向上偏

移之電晶體常開狀態、或遷移率降低等)及特徵變異。在氧化物半導體層中的氫濃度相當低的情況中，此導因於雜質之電晶體特徵變異及特徵劣化特別顯著。因此，當氧化物半導體層中的氫濃度是 $1 \times 10^{18} \text{ cm}^3$ 或更低時，較佳為 $1 \times 10^{17} \text{ cm}^3$ 或更低時，上述雜質濃度較佳降低。具體而言，以二次離子質譜術對 Na 濃度的測量值較佳為 $5 \times 10^{16} / \text{cm}^3$ 或更低，更較佳為 $1 \times 10^{16} / \text{cm}^3$ 或更低，仍然更較佳為 $1 \times 10^{15} / \text{cm}^3$ 或更低。類似地，Li 濃度的測量值較佳的是 $5 \times 10^{15} / \text{cm}^3$ 或更低，更較佳的是 $1 \times 10^{15} / \text{cm}^3$ 或更低。類似地，K 濃度的測量值較佳的是 $5 \times 10^{15} / \text{cm}^3$ 或更低，更較佳的是 $1 \times 10^{15} / \text{cm}^3$ 或更低。

經由上述步驟，氧化物半導體層 716 中的氫濃度降低，氧化物半導體層高度純化；結果，氧化物半導體層是穩定的。此外，在低於或等於玻璃轉變溫度之溫度下的熱處理能夠形成具有相當低載子密度及寬能帶隙的氧化物半導體層。因此，能使用大的基板來製造電晶體，以便增加生產力。此外，藉由使用氫濃度降低的高度純化的氧化物半導體層，能夠製造具有高耐受電壓及相當低的關閉狀態電流之電晶體。只要是在形成氧化物半導體層之後的任何時間，都可以執行上述熱處理。

接著，如圖 6A 所示，形成均接觸氧化物半導體層 716 的導電層 719 以及導電層 720。導電層 719 及導電層 720 用作為源極和汲極電極。

具體而言，藉由濺射或真空汽相沈積來形成導電膜，

然後將導電膜處理成預定形狀，以此方式，形成導電層 719 和 720。

可以使用任何下述材料來形成作為導電層 719 和導電層 720 之導電膜：選自鋁、鉻、銅、鉍、鈦、鉬、或鎢之元素；含有任何這些元素的合金；含有上述元素組合的合金；等等。或者，導電膜可以具有一種結構，其中，例如鉻、鉍、鈦、鉬、或鎢等耐火金屬膜被堆疊於鋁、銅、等等金屬膜之上或之下。較佳使用鋁或銅結合耐火金屬材料，以避免抗熱性及腐蝕的有關問題。關於耐火金屬材料，可以使用鉬、鈦、鉻、鉍、鎢、釹、釷、鈳、等等。

此外，作為導電層 719 和 720 之導電膜可以具有單層結構或二或更多層的疊層結構。舉例而言，導電膜可以具有含矽的鋁膜之單層結構、鈦膜被堆疊於鋁膜之上的雙層結構、鈦膜、鋁膜、及鈦膜依序堆疊的三層結構。Cu-Mg-Al 合金、Mo-Ti 合金、Ti、及 Mo 對氧化物膜具有高黏著性。基於此理由，當導電層 719 和 720 具有 Cu 的導電膜被堆疊於 Cu-Mg-Al 合金、Mo-Ti 合金、Ti、或 Mo 的導電膜之上的層疊結構時，絕緣膜與導電層 719 和導電層 720 之間的黏著度增加，所述絕緣膜是氧化物膜。

或者，可以使用導體金屬氧化物，以形成作為導電層 719 和 720 的導電膜。關於導體金屬氧化物，可以使用氧化銦、氧化錫、氧化鋅、氧化銦－氧化錫、氧化銦－氧化鋅、或是含矽或氧化矽之導體金屬氧化物材料。

在導電膜形成之後執行熱處理的情況中，導電膜較佳

具有足以耐熱處理的抗熱性。

注意，適當地調整材料及蝕刻條件，以致於在蝕刻導電膜時儘可能地不去除氧化物半導體層 716。取決於蝕刻條件，氧化物半導體層 716 的曝露部被部分地蝕刻，並因而在某些情況中形成溝槽（凹部）。

在本實施例中，使用鈦膜作為導電膜。基於此理由，使用含有氨及過氧化氫水的溶液（過氧化氫銨混合物），對導電膜選擇性地執行濕式蝕刻。具體上使用 31 wt% 的過氧化氫水、28 wt% 的銨水、及水以 5:2:2 的體積比混合之過氧化氫銨混合物。或者，藉由使用含氯（ Cl_2 ）、氯化硼（ BCl_3 ）、等等的氣體，對導電膜執行乾式蝕刻。

為了降低微影步驟中的光罩數目及步驟數目，使用多色調掩罩形成的光阻掩罩，以執行蝕刻，多色調掩罩是光透射過而具有多個強度的曝光掩罩。使用由多色調掩罩所形成的光阻掩罩具有複數種厚度，並且能藉由蝕刻來改變形狀；因此，在多個用以將膜處理成不同的圖案之蝕刻製程中，使用光阻掩罩。亦即，以一個多色調掩罩，可以形成對應於至少二種或更多種的不同圖案之光阻掩罩。因此，能降低曝光掩罩的數目及對應的微影步驟之數目，因而簡化製程。

此外，在氧化物半導體層 716 與用作為源極和汲極電極的導電層 719 和 720 之間，設置用作為源極區和汲極區的氧化物導電膜。氧化物導電膜的材料較佳含有氧化鋅作為成分以及較佳不含有氧化銮。關於此氧化物導電膜，可

以使用氧化鋅、鋅鋁氧化物、鋅鋁氧氮化物、鎳鋅氧化物、等等。

舉例而言，在形成氧化物導電膜的情況中，可以同時執行用以形成氧化物導電膜的蝕刻及用以形成導電層 719 和 720 的蝕刻。

藉由設置用作爲源極區和汲極區的氧化物導電膜，可以降低氧化物半導體層 716 與導電層 719 和 720 之間的電阻，以致於電晶體能夠高速地操作。此外，藉由設置用作爲源極區和汲極區的氧化物導電膜，可以增加電晶體的耐受電壓。

接著，使用例如 N_2O 、 N_2 、或 Ar 等氣體，以執行電漿處理。藉由此電漿處理，去除附接至曝露之氧化物半導體層的表面的水、等等。或者，使用氧及氬的混合氣體，以執行電漿處理。

在電漿處理之後，如圖 6B 中所示般，形成閘極絕緣膜 721 以便覆蓋導電層 719 和 720、以及氧化物半導體層 716。然後，在閘極絕緣膜 721 之上形成閘極電極 722 以與氧化物半導體層 716 重疊。

接著，在形成閘極電極 722 之後，使用閘極電極 722 作爲掩罩，添加賦予 n 型導電率的摻雜劑至氧化物半導體層 716，以便形成一對的重度摻雜區 908。注意，在氧化物半導體層 716 中，與閘極電極 722 重疊而以閘極絕緣膜 721 設於其間的區域作爲通道形成區。在氧化物半導體層 716 中，通道形成區係設於一對重摻雜區 908 之間。藉由

離子佈植法，添加用以形成重度摻雜區 908 的摻雜劑。摻雜劑可為例如氮、氬、及氙等稀有氣體；例如氮、磷、砷、及銻等屬於第 15 族的元素；等等。舉例而言，當使用氮作為摻雜劑時，重度摻雜區 908 中的氮原子的濃度較佳高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 。添加賦予 n 型導電率的摻雜劑之重度摻雜區 908 具有比氧化物半導體層 716 中的其它區域更高的導電率。因此，藉由在氧化物半導體層 716 中設置重度摻雜區 908，源極電極與汲極電極（導電層 719 與導電層 720）之間的電阻降低。

源極電極與汲極電極（導電層 719 與導電層 720）之間的電阻降低，則即使當電晶體 11 被小型化時，仍然能確保高開啓狀態電流及高速操作。此外，電晶體 11 的小型化能夠縮小訊號處理電路 300 的尺寸。

在以 In-Ga-Zn-O 為基礎的氧化物半導體使用於氧化物半導體層 716 的情況中，在添加氮之後，以 300°C 至 600°C 的溫度執行熱處理約一小時，則重度摻雜區 908 中的氧化物半導體具有纖鋅礦晶體結構。當重度摻雜區 908 中的氧化物半導體具有纖鋅礦晶體結構時，重度摻雜區 908 的導電率進一步增加且源極電極與汲極電極（導電層 719 與導電層 720）之間的電阻又降低。注意，為了藉由形成具有纖鋅礦晶體結構的氧化物半導體而有效地降低源極電極與汲極電極（導電層 719 與導電層 720）之間的電阻，當使用氮作為摻雜劑時，重度摻雜區 908 的氮原子濃度較佳高於或等於 $1 \times 10^{20}/\text{cm}^3$ 且低於或等於 7 原子%。但

是，即使當氮原子的濃度低於上述範圍時，在某些情況中仍然能取得具有纖鋅礦晶體結構的氧化物半導體。

使用類似於閘極絕緣膜 703 的材料及層疊結構，以形成閘極絕緣膜 721。注意，閘極絕緣膜 721 較佳包含儘可能少的例如濕氣及氫等雜質，並且，使用單層絕緣膜或多個絕緣膜的堆疊，以形成閘極絕緣膜 721。當在閘極絕緣膜 721 中含有氫時，氫進入氧化物半導體層 716 或是氧化物半導體層 716 中的氧由氫取出，因而氧化物半導體層 716 具有較低的電阻（n 型導電率），結果，形成寄生通道。因此，重要的是採用未使用氫的沈積方法以形成含有儘可能少的氫之閘極絕緣膜 721。具有高障壁特性的材料較佳使用於閘極絕緣膜 721。關於具有高障壁特性的絕緣膜，舉例而言，可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜、等等。當使用多個絕緣膜的堆疊時，例如氧化矽膜或氧氮化矽膜等具有更低比例的氮之絕緣膜形成爲比具有高障壁特性的絕緣膜更接近氧化物半導體層 716。然後，形成具有高障壁特性的絕緣膜以致於與導電層 719 和 720 以及氧化物半導體層 716 重疊，而以具有低氮比例的絕緣膜夾於其間。當使用具有高障壁特性的絕緣膜時，可以防止例如濕氣或氫等雜質進入氧化物半導體層 716、閘極絕緣膜 721、或氧化物半導體層 716 與另一絕緣膜之間的介面及其附近。此外，形成例如氧化矽膜或氧氮化矽膜等具有低比例的氮之絕緣膜以接觸氧化物半導體層 716，以便能夠防止具有高障壁特性的絕緣膜直接接觸氧

化物半導體層 716。

在本實施例中，閘極絕緣膜 721 具有一種結構，在所述結構中，藉由濺射所形成的 100 nm 厚的氮化矽膜被堆疊於藉由濺射所形成的 200 nm 厚的氧化矽膜之上。膜形成時的基板溫度可以高於或等於室溫且小於或等於 300℃，在本實施例中為 100℃。

在形成閘極絕緣膜 721 之後，可以執行熱處理。在氮氛圍、超乾空氣、或稀有氣體（例如，氬或氦）氛圍中，較佳在 200℃ 至 400℃ 的溫度下，舉例而言，250℃ 至 350℃ 的溫度下，執行熱處理。較佳的是，氣體中的水含量為 20 ppm 或更低、較佳為 1 ppm 或更低、更較佳為 10 ppb 或更低。在本實施例中，舉例而言，在氮氛圍中，在 250℃ 下執行熱處理 1 小時。或者，以類似於對氧化物半導體層執行的用以降低濕氣或氫之熱處理的方式，在導電層 719 和 720 形成之前，執行短時間的高溫 RTA 處理。即使當因對氧化物半導體層 716 執行的先前熱處理而在氧化物半導體層 716 中產生氧缺乏時，在設置含氧的閘極絕緣膜 721 之後藉由執行熱處理，氧仍然能從閘極絕緣膜 721 被供應至氧化物半導體層 716。藉由供應氧至氧化物半導體層 716，可以降低氧化物半導體層 716 中作為施體的氧缺乏，並且滿足化學計量比例。氧化物半導體層 716 較佳含有成分超過化學計量成分之氧。結果，使氧化物半導體層 716 成為實質上係 i 型的且能降低導因於氧缺乏的電晶體電特徵之變異；因此，增進電特徵。對於執行此熱處理的

時機並無特別限定，只要在形成閘極絕緣膜 721 之後執行即可。當此熱處理為例如用以形成樹脂膜的熱處理或用以降低透明導電膜的電阻之熱處理等另一步驟的二倍時，能使氧化物半導體層 716 成為實質上係 i 型的但不增加步驟數目。

此外，使氧化物半導體層 716 在氧氛圍中受到熱處理，以致於氧被添加至氧化物半導體，可以降低氧化物半導體層 716 中作為施體的氧缺乏。舉例而言，在高於或等於 100℃ 且低於 350℃ 的溫度下，較佳在高於或等於 150℃ 且低於 250℃ 的溫度下，執行熱處理。較佳的是，用於氧氛圍中的熱處理之氧氣未包含水、氫、等等。或者，導入至熱處理設備的氧氣的純度較佳為 6N (99.9999%) 或更高，又較佳為 7N (99.99999%) 或更高（亦即，氧氣中的雜質濃度較佳為 1 ppm 或更低，又較佳為 0.1 ppm 或更低）。

或者，藉由離子佈植、離子摻雜、等等，將氧添加至氧化物半導體層 716，以降低作為施體的氧缺乏。舉例而言，由 2.45 GHz 的微波製成電漿的氧可以被添加至氧化物半導體層 716。

在閘極絕緣膜 721 之上形成導電膜，然後藉由蝕刻來處理導電膜，以此方式，形成閘極電極 722。使用類似於閘極電極 707 或導電層 719 和 720 之材料，以形成閘極電極 722。

閘極電極 722 的厚度是 10 nm 至 400 nm，較佳 100

nm 至 200 nm。在本實施例中，使用鎢靶材，以使用鎢靶材的濺射形成用於閘極電極的 150 nm 厚的導電膜之後，藉由蝕刻，將導電膜蝕刻成所需形狀，以便形成閘極電極 722。注意，藉由噴墨法來形成光阻掩罩。藉由噴墨法來形成光阻掩罩時不需要光罩；因此，製造成本降低。

經由上述步驟，形成電晶體 11。

在電晶體 11 中，源極和汲極電極（導電層 719 和 720）未與閘極電極 722 重疊。亦即，源極電極（導電層 719）與閘極電極 722 之間的距離以及汲極電極（導電層 720）與閘極電極 722 之間的均大於閘極絕緣膜 721 的厚度。因此，在電晶體 11 中，能降低源極電極與閘極電極之間以及汲極電極與閘極電極之間所形成的寄生電容；結果，電晶體 11 能高速地操作。

注意，電晶體 11 不限於通道被形成在氧化物半導體層的電晶體，可以是通道形成區含有比矽更大的能帶隙及更低的載子密度之電晶體。關於此半導體材料，舉例而言，能使用碳化矽或氮化鎵以取代氧化物半導體。藉由含有此半導體材料的通道形成區，能提供關閉狀態電流相當低之電晶體。

雖然將電晶體 11 描述為單閘極電晶體，但是，在需要時，能製造包含多個彼此電連接的閘極電極且因而包含多個通道形成區的多閘極電晶體。

注意，可以使用含有氧及屬於第 13 族的元素之絕緣材料，以形成接觸氧化物半導體層 716 的絕緣膜（在本實

施例中，對應於閘極絕緣膜 721）。很多氧化物半導體材料含有屬於第 13 族的元素，並且，含有第 13 族的元素之絕緣材料與氧化物半導體相容。因此，當以含有第 13 族的元素之絕緣材料使用於接觸氧化物半導體層的絕緣膜時，氧化物半導體層與絕緣膜之間的介面狀態保持有利的。

含有第 13 族元素的絕緣材料是含有屬於第 13 族的一或更多種元素的絕緣材料。含有屬於第 13 族元素的絕緣材料的實施例是氧化鎵、氧化鋁、鋁鎵氧化物、及鎵鋁氧化物。此處，鋁鎵氧化物是以原子百分比而言鋁含量大於鎵含量之材料，鎵鋁氧化物是以原子百分比而言鎵含量大於或等於鋁含量之材料。

舉例而言，當以含氧化鎵的材料使用於接觸含鎵的氧化物半導體層之絕緣膜時，在氧化物半導體層與絕緣膜之間的介面可以保持有利的。舉例而言，氧化物半導體層及含有氧化鎵的絕緣膜係設置成彼此接觸，以便能夠降低氧化物半導體層與絕緣膜之間的介面的氫累積。注意，在與氧化物半導體的構成元素屬於相同族的元素被使用於絕緣膜之情況中，能取得類似的效果。舉例而言，藉由使用含有氧化鋁的材料，能夠有效地形成絕緣膜。注意，水較不易滲入氧化鋁中，所以，以防止水進入氧化物半導體層的觀點而言，較佳的是使用含氧化鋁的材料。

藉由氧氛圍中的熱處理、或是藉由氧摻雜，與氧化物半導體層 716 接觸的絕緣膜較佳含有的氧之比例高於化學計量成分中的氧比例。「氧摻雜」意指氧被添加至塊體。

注意，使用「塊體」一詞以清楚說明氧不僅被添加至薄膜的表面，也被添加至薄膜的內部。此外，「氧摻雜」包含「氧電漿摻雜」，其中，被製成電漿的氧被添加至塊體。可以藉由離子佈植或離子摻雜，以執行氧摻雜。

舉例而言，在使用氧化鎵以形成接觸氧化物半導體層 716 的絕緣膜之情況中，藉由氧氛圍中的熱處理或藉由氧摻雜，將氧化鎵的成分設定為 Ga_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)。

在使用氧化鋁以形成接觸氧化物半導體層 716 的絕緣膜之情況中，藉由氧氛圍中的熱處理或氧摻雜，將氧化鋁的成分設定為 Al_2O_x ($x=3+\alpha$ ， $0<\alpha<1$)。

在使用鎵鋁氧化物（鋁鎵氧化物）以形成接觸氧化物半導體層 716 的絕緣膜之情況中，藉由氧氛圍中的熱處理或藉由氧摻雜，將鎵鋁氧化物（鋁鎵氧化物）的成分設定為 $Ga_xAl_{2-x}O_{3+\alpha}$ ($0<x<2$ ， $0<\alpha<1$)。

藉由氧摻雜，形成包含氧的比例高於化學計量成分的氧比例之區域的絕緣膜。當包含此區域的絕緣膜接觸氧化物半導體層時，絕緣膜中過量的氧被供應至氧化物半導體層，並且，氧化物半導體層中或是氧化物半導體層與絕緣膜之間的介面處的氧缺乏降低。因此，可以使氧化物半導體層為 i 型的或實質上 i 型的氧化物半導體。

注意，包含氧的比例高於化學計量成分的氧比例之區域的絕緣膜可以被應用至設置於氧化物半導體層 716 上方的絕緣膜、或設置於接觸氧化物半導體層 716 的絕緣膜的

氧化物半導體層 716 的下方之絕緣膜；但是，較佳的是將此絕緣膜應用於接觸氧化物半導體層 716 的此二絕緣膜。藉由一種結構，可以增強上述功效，而在所述結構中，以包含氧的比例高於化學計量成分的氧比例之區域的絕緣膜使用作為設於接觸氧化物半導體層 716 的絕緣膜的上方與下方之間的絕緣膜，以使氧化物半導體層 716 係夾置於絕緣膜之間。

設於氧化物半導體層 716 的上方及下方的絕緣膜可以含有相同的構成元素或不同的構成元素。舉例而言，可以都使用成分為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 之氧化鎵，形成設於氧化物半導體層 716 的上方及下方的二絕緣膜。或者，使用成分為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵以形成這些絕緣膜的其中之一，並使用成分為 Al_2O_x ($x=3+\alpha$, $0<\alpha<1$) 之氧化鋁以形成其中之另一絕緣膜。

接觸氧化物半導體層 716 的絕緣膜可以是均包含氧的比例高於化學計量成分的氧比例之區域的絕緣膜的堆疊。舉例而言，可以如下所述地形成設於氧化物半導體層 716 的上方的絕緣膜：形成成分為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵，並且在其之上形成成分為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<x<2$, $0<\alpha<1$) 之鎵鋁氧化物（鋁鎵氧化物）。注意，設於氧化物半導體層 716 下方的絕緣膜、或是設於氧化物半導體層 716 上方及下方的二絕緣膜可以是均包含氧的比例高於化學計量成分的氧比例之區域的絕緣膜的堆疊。

接著，如圖 6C 中所示般，絕緣膜 724 係形成為覆蓋

閘極絕緣膜 721、和閘極電極 722。以 PVD、CVD、等等來形成絕緣膜 724。使用包含例如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎳、或氧化鋁等無機絕緣材料之材料來形成絕緣膜 724。注意，關於絕緣膜 724，較佳使用具有低介電常數的材料或是具有低介電常數的結構（例如，多孔結構）。當絕緣膜 724 的介電常數降低時，產生於佈線或電極之間的寄生電容可以降低，造成更高速操作。注意，雖然在本實施例中絕緣膜 724 具有單層結構，但是，本發明的一個實施例不限於此結構。絕緣膜 724 可以具有二或更多層的層疊結構。

接著，在閘極絕緣膜 721 和絕緣膜 724 中形成開口，以使部分導電層 720 曝露出。之後，經由開口而接觸導電層 720 的佈線 726 係形成於絕緣膜 724 之上。

藉由 PVD 或 CVD 來形成導電膜，然後藉由蝕刻來處理導電膜，以此方式，形成佈線 726。關於導電膜的材料，可以使用選自鋁、鉻、銅、鈹、鈦、鉬、及鎢的元素；含有任何這些元素作為成分的合金；等等。或者，可以使用選自錳、鎂、鋅、鈹、釹、及鈳的其中之一或更多的材料。

具體而言，舉例而言，能夠採用一種方法，其中，藉由 PVD 而在包含絕緣膜 724 的開口之區域中形成薄鈦膜（具有約 5 nm 的厚度），然後，形成鋁膜以致嵌入於開口中。此處，藉由 PVD 所形成的鈦膜具有降低形成於有鈦膜形成於其之上的表面上之氧化物膜的功能（例如，自

然的氧化物膜)，以降低與下電極等（此處，導電層 720）之間的接觸電阻。此外，可以防止鋁膜的小丘。在形成鈦、氮化鈦、等等的障壁膜之後，藉由電鍍法來形成銅膜。

接著，如圖 6D 中所示，形成絕緣膜 727 以覆蓋佈線 726。然後，導電膜被形成於絕緣膜 727 之上，然後藉由蝕刻來處理導電膜，藉以形成導電層 7301。之後，形成絕緣膜 7302 以覆蓋導電層 7301，並且，導電膜 7303 被形成於絕緣膜 7302 之上。因此，形成電容器 12。電容器 102 的一對電極的其中之一對應於導電層 7301，該一對電極中之另一電極對應於導電膜 7303，並且，電容器 12 的介電層對應於絕緣膜 7302。此處，絕緣膜 727、導電層 7301、絕緣膜 7302、及導電膜 7303 的材料類似於其它絕緣膜及導電層之材料。

經由系列步驟，以製造訊號處理電路。

經由上述製程，包含在訊號處理電路中的非依電性儲存電路 10 中的電晶體 11 及電容器 12 係設置成與包含在依電性儲存電路 200 中的電晶體 133 重疊。依此方式，訊號處理電路的尺寸能縮小。此外，能輕易地建立非依電性儲存電路 10 與依電性儲存電路 200 之間的電連接。

本實施例可以與任何其它實施例適當地結合實施。

（實施例 4）

在本實施例中，將說明包含氧化物半導體層及具有不

同於實施例 3 中的結構的電晶體 11。注意，與圖 6A 至 6D 中相同的部分由相同的代號表示並省略其說明。

圖 7A 中所示的電晶體 11 具有閘極電極 722 被形成在氧化物半導體層 716 之上的頂部閘極結構、以及具有源極和汲極電極（導電層 719 和 720）被形成在氧化物半導體層 716 之下的底部接觸結構。

氧化物半導體層 716 包含一對的重度摻雜區 918，該一對的重度摻雜區 918 係在形成閘極電極 722 之後藉由添加賦予 n 型導電率的摻雜劑至氧化物半導體層 716 而被取得的。此外，氧化物半導體層 716 包含與閘極電極 722 重疊而以閘極絕緣膜 721 設於其間的通道形成區 919。在氧化物半導體層 716 中，通道形成區 919 係設於一對的重度摻雜區 918 之間。

以類似於實施例 3 中所述的重度摻雜區 908 之方式來形成重度摻雜區 918。

圖 7B 中所示的電晶體 11 具有閘極電極 722 被形成在氧化物半導體層 716 之上的頂部閘極結構、以及具有源極和汲極電極（導電層 719 和 720）被形成在氧化物半導體層 716 之上的頂部接觸結構。電晶體 11 也包含設在閘極電極 722 的端部及由絕緣膜所形成的側壁 930。

氧化物半導體層 716 包含一對的重度摻雜區 928 及一對的輕度摻雜區 929，該一對的重度摻雜區 928 及該一對的輕度摻雜區 929 係在形成閘極電極 722 之後藉由添加賦予 n 型導電率的摻雜劑至氧化物半導體層 716 而被取得的

。此外，氧化物半導體層 716 包含與閘極電極 722 重疊而以閘極絕緣膜 721 設於其間的通道形成區 931。在氧化物半導體層 716 中，一對的輕度摻雜區 929 設於一對的重度摻雜區 928 之間，並且，通道形成區 931 係設在一對的輕度摻雜區 929 之間。此外，一對的輕度摻雜區 929 係設在與側壁 930 重疊的氧化物半導體層 716 的區域中，而以閘極絕緣膜 721 設在其間。

以類似於實施例 3 中所述的重度摻雜區 908 之方式來形成重度摻雜區 928 及輕度摻雜區 929。

圖 7C 中所示的電晶體 11 具有閘極電極 722 被形成在氧化物半導體層 716 之上的頂部閘極結構，以及具有源極和汲極電極（導電層 719 和 720）被形成在氧化物半導體層 716 之下的底部接觸結構。電晶體 11 也包含設在閘極電極 722 的端部及使用絕緣膜所形成的側壁 950。

氧化物半導體層 716 包含一對的重度摻雜區 948 及一對的輕度摻雜區 949，該一對的重度摻雜區 948 及該一對的輕度摻雜區 949 係在形成閘極電極 722 之後藉由添加賦予 n 型導電率的摻雜劑至氧化物半導體層 716 而被取得的。此外，氧化物半導體層 716 包含與閘極電極 722 重疊而以閘極絕緣膜 721 設於其間的通道形成區 951。在氧化物半導體層 716 中，一對的輕度摻雜區 949 設於一對的重度摻雜區 948 之間，通道形成區 951 設於一對的輕度摻雜區 949 之間。此外，一對的輕度摻雜區 949 係設在與側壁 950 重疊的氧化物半導體層 716 的區域中，而以閘極絕緣

膜 721 設於其間。

以類似於實施例 3 中所述的重度摻雜區 908 之方式來形成重度摻雜區 948 及輕度摻雜區 949。

注意，關於經由自行對準製程而在包含氧化物半導體的電晶體中作為源極區和汲極區之重度摻雜區的形成方法的其中之一，已揭示有一種方法，其中，使氧化物半導體層的表面曝露出，執行氬電漿處理，並且降低氧化物半導體層中曝露於電漿的區域之電阻（S. Jeon 等所著之「180 nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications」,IEDM Tech. Dig., pp. 504-507, 2010）。

但是，在上述製造方法中，在形成閘極絕緣膜之後，需要部分地去除閘極絕緣膜，以致於要被使用作為源極和汲極區的部分曝露出。結果，在去除閘極絕緣膜時，在閘極絕緣膜之下的氧化物半導體層部分地被過蝕刻；因此，要成為源極和汲極區的部分之厚度變小。結果，源極與汲極區的電阻增加且容易造成導因於過蝕刻的電晶體特徵缺陷。

為了使電晶體更加小型化，需要採用具有高處理準確度的乾式蝕刻方法。但是，當閘極絕緣膜相對於氧化物半導體層的選擇性不足夠高時，藉由乾式蝕刻，容易顯著地發生過蝕刻。

舉例而言，當氧化物半導體層具有足夠大的厚度時，過蝕刻的問題就不會發生。但是，當通道長度是 200 nm

或更小時，氧化物半導體層中要成為通道形成區的部分之厚度須要是 200 nm 或更小，較佳為 10 nm 或更小，以防止短通道效應。當氧化物半導體層的厚度如同上述情況中一般小時，由於源極和汲極區的電阻增加且如上所述地發生電晶體的缺陷特徵，所以，氧化物半導體層的過蝕刻是不利的。

相反地，如同在本發明的一個實施例中般，當摻雜劑添加至氧化物半導體層並留下閘極絕緣膜以致未使氧化物半導體層曝露出時，能夠防止氧化物半導體層的過蝕刻，並且降低對氧化物半導體層的過度損傷。此外，在氧化物半導體層與閘極絕緣膜之間的介面保持清潔。因此，電晶體的特徵及可靠度能增進。

本實施例可以與任何其它實施例適當地結合實施。

（實施例 5）

在本實施例中，將說明結構不同於實施例 3 及 4 之結構的包含氧化物半導體層之電晶體。注意，與圖 6A 至 6D 中相同的部分由相同的代號來予以表示且不重複其說明。在本實施例中所述的電晶體 11 中，閘極電極 722 係設置成與導電層 719 及 720 重疊。此外，本實施例中的電晶體 11 與實施例 3 及 4 中的電晶體 11 不同之處在於使用閘極電極 722 作為掩罩而使氧化物半導體層 716 未遭受賦予導電率的雜質元素之添加。

圖 8A 顯示氧化物半導體層 716 係設於導電層 719 及

720 之下的電晶體 11 的實例。圖 8B 顯示氧化物半導體層 716 係設於導電層 719 及 720 之上的電晶體 11 的實例。注意，圖 8A 及 8B 均顯示絕緣膜 724 的上表面未平坦化之結構；但是，本實施例不限於此結構，且絕緣膜 724 的上表面可以被平坦化。

本實施例可以與任何其它實施例適當地結合實施。

（實施例 6）

氧化物半導體較佳含有至少銦（In）或鋅（Zn）。特別是，氧化物半導體較佳含有 In 和 Zn。

關於用以降低包含含有 In 和 Zn 的氧化物半導體的電晶體的電特徵變異之穩定物，較佳的是含有選自鎵（Ga）、錫（Sn）、鈦（Hf）、鋁（Al）及鑰系元素的其中之一或更多個元素。

關於鑰系元素，有鑰（La）、鈾（Ce）、鐳（Pr）、釷（Nd）、釷（Sm）、鎳（Eu）、釷（Gd）、鉍（Tb）、鐳（Dy）、鈦（Ho）、鉕（Er）、鎳（Tm）、鐳（Yb）、及鐳（Lu）。

注意，對於含有 In 及 Zn 的氧化物半導體中的 In 對 Zn 的比例並沒有限制。此外，氧化物半導體可以含有 In 及 Zn 以外的其它金屬元素。

舉例而言，能夠使用原子比為 $\text{In} : \text{Ga} : \text{Zn} = 1:1:1$ ($=1/3:1/3:1/3$) 或 $\text{In} : \text{Ga} : \text{Zn} = 2:2:1$ ($=2/5:2/5:1/5$) 之以 In-Ga-Zn-O 為基礎的氧化物、或是成分在上述成分附

近的任何氧化物。

或者，能夠使用原子比為 $\text{In} : \text{Sn} : \text{Zn} = 1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2:1:3$ ($=1/3:1/6:1/2$)、或 $\text{In} : \text{Sn} : \text{Zn} = 2:1:5$ ($=1/4:1/8:5/8$) 之以 In-Sn-Zn-O 為基礎的氧化物、或是成分在上述成分附近的任何氧化物。

不限於上述材料，可以視所需的半導體特徵（例如，遷移率、臨界電壓、及變異）而使用具有適當成分的材料。為了取得所需半導體特徵，氧化物半導體較佳具有適當的載子密度、雜質濃度、缺陷密度、金屬元素與氧之間的原子比、原子間距離、密度、等等。

氧化物半導體可以是單晶或非單晶。

在氧化物半導體是非單晶的情況中，氧化物半導體可以是非晶的或多晶的。此外，氧化物半導體可以具有在非晶部中包含結晶部的結構。注意，由於非晶結構具有很多缺陷，所以，非非晶結構是較佳的。

本實施例的內容或其部分能與任何其它實施例及實例適當地結合實施。

（實施例 7）

將參考圖 11A 至 11E、圖 12A 至 12C、及圖 13A 至 13C，說明 CAAC-OS 的晶體結構之實例。

在圖 11A 至 11E、圖 12A 至 12C、及圖 13A 至 13C 中，垂直方向相當於 c 軸方向及垂直於 c 軸方向的平面相當於 a-b 平面。

在本實施例中，「上半部」及「下半部」意指在 $a-b$ 平面上方的上半部、以及在 $a-b$ 平面下方的下半部（相對於 $a-b$ 平面的上半部及下半部）。

圖 11A 顯示包含一個六配位 In 原子及接近 In 原子的六個四配位氧（於下稱為四配位 O）原子的結構 A。

在本說明書中，僅顯示接近一個金屬原子的氧原子的結構被稱為小基團。

結構 A 事實上為八面體結構，但是，為了簡明起見而顯示為平面結構。

三個四配位 O 原子存在於結構 A 的上半部及下半部中。結構 A 中的小基團的電荷為 0。

圖 11B 顯示包含一個五配位 Ga 原子、接近 Ga 原子的三個三配位氧（於下稱為三配位 O）原子、及接近 Ga 原子的二個四配位 O 原子之結構 B。

所有的三個三配位 O 原子存在於 $a-b$ 平面上。一個四配位 O 原子存在於結構 B 中的上半部及下半部。

由於 In 原子具有五個配位基，所以，In 原子也具有結構 B。結構 B 中所示的小基團的電荷為 0。

圖 11C 顯示包含一個四配位 Zn 原子及接近 Zn 原子的四個四配位 O 原子之結構 C。

在結構 C 中，一四配位 O 原子存在於上半部，三個四配位 O 原子存在於下半部中。在結構 C 中的小基團的電荷為 0。

圖 11D 顯示包含一個六配位 Sn 原子及接近 Sn 原子的

六個四配位 O 原子的結構 D。

在結構 D 中，三個四配位 O 原子存在於上半部及下半部中。

結構 D 中的小基團的電荷為 +1。

圖 11E 顯示包含二個 Zn 原子的結構 E。

在結構 E 中，一個四配位 O 原子存在於上半部及下半部中。結構 E 中所示的小基團的電荷為 -1。

在本實施例中，多個小基團形成中基團，以及，多個中基團形成大基團（也稱為單元胞）。

於下，說明小基團之間的接合規則。

相對於 In 原子之上半部中的三個 O 原子均在向下方向上具有三個接近的 In 原子，並且，在下半部中的三個 O 原子在向上方向上均具有三個接近的 In 原子。

相對於 Ga 原子之上半部中的一個 O 原子在向下方向上具有一個接近的 Ga 原子，並且，在下半部中的一個 O 原子在向上方向上具有一個接近的 Ga 原子。

相對於 Zn 原子的上半部中的一個 O 原子在向下方向上具有一個接近的 Zn 原子，並且，在下半部中的三個 O 原子在向上方向上均具有三個接近的 Zn 原子。

依此方式，在金屬原子上方的四配位 O 原子的數目等於接近四配位 O 原子且在四配位 O 原子的下方之金屬原子數目；類似地，在金屬原子下方的四配位 O 原子的數目等於接近每一個四配位 O 原子且在四配位 O 原子的上方之金屬原子的數目。

由於四配位 O 原子軸數是 4，所以，接近 O 原子及在 O 原子的下方之金屬原子數目與接近 O 原子且在 O 原子的上方之金屬原子數目之總合為 4。

因此，當在金屬原子上方的四配位 O 原子的數目與在另一金屬原子下方的四配位 O 原子的數目之總合為 4 時，二種包含金屬原子的小基團可以彼此接合。

其理由如下所述。舉例而言，在六配位金屬（In 或 Sn）原子經由上半部中的三個四配位 O 原子接合的情況中，其接合至五配位金屬（Ga 或 In）原子或四配位金屬（Zn）原子。

軸數為 4、5、或 6 的金屬原子經由 c 軸方向上的四配位 O 原子而被接合至另一金屬原子。

此外，藉由結合多個小基團以致於層疊結構的總電荷為 0，也可以以不同方式來形成中基團。

圖 12A 顯示包含於以 In-Sn-Zn-O 為基礎的材料之層疊結構中的中基團 A 的模型。

圖 12B 顯示包含三個中基團的大基團 B。

圖 12C 顯示從 c 軸方向觀測的圖 12B 中的層疊結構中之原子配置。

在中基團 A 中，為簡明起見而省略三配位 O 原子，並且，圓圈中僅顯示四配位 O 原子的數目。

舉例而言，存在於相對於 Sn 原子的上半部及下半部中的各部中的三個四配位 O 原子以圓圈包圍 3 來表示。

類似地，在中基團 A 中，存在於相對於 In 原子的上

半部及下半部中的各部中的一個四配位 O 原子以圓圈包圍 1 來表示。

此外，在中基團 A 中，顯示接近下半部中的一個四配位 O 原子及上半部中的三個四配位 O 原子的 Zn 原子、並且接近上半部中的一個四配位 O 原子及下半部中的三個四配位 O 原子之 Zn 原子。

在包含於以 In-Sn-Zn-O 為基礎的材料的層疊結構中的中基團 A 中，從頂部開始依序地，接近上半部及下半部中各部中的三個四配位 O 原子之 Sn 原子接合至接近上半部及下半部中各部中的一個四配位 O 原子之 In 原子。

In 原子接合至接近上半部中的三個四配位 O 原子之 Zn 原子。

Zn 原子經由相對於 Zn 原子的下半部中的一個四配位 O 原子而被接合至接近上半部及下半部中各部中的三個四配位 O 原子之 In 原子。

In 原子接合至包含二個 Zn 原子且接近上半部中的一個四配位 O 原子的小基團。

小基團經由相對於小基團之下半部中一個四配位 O 原子而被接合至接近上半部及下半部中各部中的三個四配位 O 原子之 Sn 原子。

多個這些中基團相接合以形成大基團。

此處，用於三配位 O 原子的一個鍵的電荷及用於四配位 O 原子的一個鍵的電荷分別假定為 -0.667 和 -0.5。

舉例而言，（六配位或五配位）In 原子的電荷、（四

配位) Zn 原子的電荷、及(五配位或六配位) Sn 原子的電荷分別為 +3、+2、及 +4。因此，包含 Sn 原子的小基團中的電荷為 +1。

因此，需要抵消 +1 的電荷之 -1 電荷以形成包含 Sn 原子的層疊結構。

關於具有 -1 的電荷之結構，可為如結構 E 中的包含二個 Zn 原子的一個小基團。

舉例而言，藉由包含二個 Zn 原子的一個小基團，可以抵消包含 Sn 原子的一個小基團的電荷，以致於層疊結構的總電荷為 0。

具體而言，藉由重複大基團 B，取得以 In-Sn-Zn-O 為基礎的晶體 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。

以 In-Sn-Zn-O 為基礎的晶體之層疊結構以成分公式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 為 0 或自然數) 來表示。

由於變數 m 愈大，則以 In-Sn-Zn-O 為基礎的晶體之結晶性愈高，所以，變數 m 大是較佳的。

上述規則也應用至使用以 In-Sn-Zn-O 為基礎的材料以外的氧化物半導體之情況。

舉例而言，圖 13A 顯示包含於以 In-Ga-Zn-O 為基礎的材料的層疊結構中的中基團 L 的模型。

在包含於以 In-Ga-Zn-O 為基礎的材料的層疊結構中的中基團 L 中，從頂部開始依序地，接近上半部及下半部中各部中的三個四配位 O 原子之 In 原子接合至接近上半部中的一個四配位 O 原子之 Zn 原子。

Zn 原子經由相對於 Zn 原子之下半部中三個四配位 O 原子而被接合至接近上半部及下半部中各部中的一個四配位 O 原子之 Ga 原子。

Ga 原子經由相對於 Ga 原子之下半部中一個四配位 O 原子而被接合至接近上半部及下半部中各部中的三個四配位 O 原子之 In 原子。

多個這些中基團接合以形成大基團。

圖 13B 顯示包含三個中基團的大基團 M。

圖 13C 顯示從 c 軸方向觀測的圖 13B 中的層疊結構之原子配置。

此處，由於（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、及（五配位）Ga 原子的電荷分別為 +3、+2、+3，所以，包含 In 原子、Zn 原子、及 Ga 原子中任何原子的小基團的電荷為 0。

結果，具有這些小基團的結合之中基團的總電荷總是 0。

爲了形成以 In-Ga-Zn-O 爲基礎的材料之層疊結構，不僅使用中基團 L，也可使用 In 原子、Zn 原子、及 Ga 原子的配置不同於中基團 L 的配置，以形成大基團。

本實施例的內容及其部分可以與任何其它實施例及實例結合實施。

（實施例 8）

由於各種原因，真正測量到的絕緣式閘極電晶體的場

效遷移率低於其先天的遷移率，此現象不僅發生於使用氧化物半導體的情況中。

遷移率降低的原因之一是在半導體內部的缺陷或是在半導體與絕緣膜之間的介面處的缺陷。使用李文森（Levinson）模型，理論上能夠計算根據無缺陷存在於半導體內部之假設下的場效遷移率。

假定電位障壁（例如晶粒邊界）存在於半導體中時，以公式 A 表示測量的半導體的場效遷移率，以 μ 表示，其中，半導體的先天遷移率是 μ_0 。

[公式 A]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在公式 A 中，E 代表電位障壁的高度，k 代表波茲曼常數，T 代表絕對溫度。

此外，在電位障壁被歸因於缺陷時的假設下，根據李文森模式，電位障壁的高度以公式 B 表示。

[公式 B]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在公式 B 中，e 代表基本電荷，N 代表通道中每單位面積之平均缺陷密度， ϵ 代表半導體的介電係數，n 代表通道中每單位面積的載子數目， C_{ox} 代表每單位面積的電容， V_g 代表閘極電壓，t 代表通道的厚度。

在半導體層的厚度小於或等於 30 nm 的情況中，通道的厚度被視為與半導體層的厚度相同。

線性區中的汲極電流 I_d 以公式 C 表示。

[公式 C]

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在公式 C 中，L 代表通道長度，W 代表通道寬度，在本實例中 L 及 W 均為 $10\mu\text{m}$ 。

此外， V_d 代表汲極電壓。

以 V_g 除公式 C 的二側，然後二側取對數時，得到公式 D。

[公式 D]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

公式 D 的右側是 V_g 的函數。

從公式 D 中，發現從以 $\ln(I_d/V_g)$ 為縱軸及 $1/V_g$ 為橫軸而繪製的真實測量值而取得之圖形中的線之斜率，可以取得缺陷密度 N。

亦即，從電晶體的 I_d-V_g 特徵曲線，評估缺陷密度。

銦 (In)、錫 (Sn)、及鋅 (Zn) 的比例為 1:1:1 的氧化物半導體的缺陷密度 N 約為 $1 \times 10^{12}/\text{cm}^2$ 。

根據以此方式取得的缺陷密度，計算出 μ_0 為 $120 \text{ cm}^2/\text{Vs}$ 。

包含缺陷之 In-Sn-Zn 氧化物之測量遷移率約為 $35 \text{ cm}^2/\text{Vs}$ 。

但是，假設沒有缺陷存在於氧化物半導體的內部及氧化物半導體與絕緣膜之間的介面，則估算氧化物半導體的遷移率 μ_0 為 $120 \text{ cm}^2/\text{Vs}$ 。

注意，即使當沒有缺陷存在於半導體內部時，在通道

與閘極絕緣膜之間的介面的散射仍影響電晶體的傳輸特性。換言之，在離開通道與閘極絕緣膜之間的介面一距離 x 的位置之遷移率 μ_1 以公式 E 來表示。

[公式 E]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

在公式 E 中， D 代表閘極方向上的電場， B 及 G 是常數。 B 及 G 的值是從真實的測量結果而取得；根據上述測量結果， B 是 4.75×10^7 cm/s， G 是 10 nm（介面散射影響到達的深度）。

隨著 D 增加（亦即，隨著閘極電壓增加時），公式 E 的第二項增加，遷移率 μ_1 因而降低。

圖 15 顯示電晶體的遷移率 μ_2 的計算結果 E，所述電晶體的通道形成在半導體內部沒有缺陷的理想氧化物半導體中。

關於計算，使用由 Synopsys Inc. 所製造的軟體 Sentaurus Device。

關於計算，將氧化物半導體的能帶隙、電子親和力、相對介電係數、及厚度分別設為 2.8 eV、4.7 eV、15 及 15 nm。

這些值是根據藉由濺射形成之氧化物半導體的薄膜之測量而被取得的。

此外，電晶體的閘極、源極、和汲極的功函數分別設定為 5.5 eV、4.6 eV、及 4.6 eV。

閘極絕緣膜的厚度設定為 100 nm，並且，其相對介電

係數被設定為 4.1。通道長度及通道寬度均為 $10\mu\text{m}$ ，汲極電壓 V_d 被設定為 0.1 V。

如同計算結果 E 中所示，在閘極電壓稍微超過 1 V 處遷移率具有 $100\text{ cm}^2/\text{Vs}$ 或更大的峰值，且因為介面散射的影響增加而隨著閘極電壓更高而下降。

為了降低介面散射，較佳的是半導體層的表面是原子等級平坦的（原子層平坦）。

計算使用具有此遷移率的氧化物半導體製造的微小電晶體的特徵。

用於計算的電晶體包含氧化物半導體層，其中，通道形成區設在一對的 n 型半導體區之間。

關於計算，一對 n 型半導體區的電阻率是 $2 \times 10^{-3}\Omega\text{ cm}$ 。

關於計算，通道長度設定於 33 nm 且通道寬度設定於 40 nm。

此外，側壁係設於閘極電極的側面上。

在與側壁重疊的部分半導體區是偏移區的條件下，執行計算。

關於計算，使用由 Synopsys Inc. 所製造的軟體 Sentaurus Device。

圖 16A 至 16C 顯示電晶體的汲極電流（ I_d ，以實線表示）及遷移率（ μ ，以虛線來表示）之閘極電壓（ V_g ：閘極與源極之間的電位差）的相依性。

在汲極電壓（汲極與源極之間的電位差）為 +1V 之假

設下，計算汲極電流 I_d ，並且在汲極電壓為 $+0.1\text{ V}$ 之假設下，計算遷移率 μ 。

圖 16A 顯示閘極絕緣膜的厚度為 15 nm 的計算結果。

圖 16B 顯示閘極絕緣膜的厚度為 10 nm 的計算結果。

圖 16C 顯示閘極絕緣膜的厚度為 5 nm 的計算結果。

隨著閘極絕緣膜更薄，特別是在關閉狀態時的汲極電流 I_d （關閉狀態電流）顯著地降低。

相反地，遷移率 μ 的峰值及開啓狀態時的汲極電流 I_d （開啓狀態電流）並無顯著改變。

圖 17A 至 17C 顯示偏移長度（側壁長度） L_{off} 為 5 nm 之電晶體的汲極電流 I_d （以實線表示）及遷移率 μ （以虛線表示）之閘極電壓 V_g 的相依性。

在汲極電壓為 $+1\text{ V}$ 之假設下，計算汲極電流 I_d ，並且在汲極電壓為 $+0.1\text{ V}$ 之假設下，計算遷移率 μ 。

圖 17A 顯示閘極絕緣膜的厚度為 15 nm 的計算結果。

圖 17B 顯示閘極絕緣膜的厚度為 10 nm 的計算結果。

圖 17C 顯示閘極絕緣膜的厚度為 5 nm 的計算結果。

圖 18A 至 18C 顯示偏移長度（側壁長度） L_{off} 為 15 nm 之電晶體的汲極電流 I_d （以實線表示）及遷移率 μ （以虛線表示）之閘極電壓的相依性。

在汲極電壓為 $+1\text{ V}$ 之假設下，計算汲極電流 I_d ，並且在汲極電壓為 $+0.1\text{ V}$ 之假設下，計算遷移率 μ 。

圖 18A 顯示閘極絕緣膜的厚度為 15 nm 的計算結果。

圖 18B 顯示閘極絕緣膜的厚度為 10 nm 的計算結果。

圖 18C 顯示閘極絕緣膜的厚度為 5 nm 的的計算結果

在任一結構中，隨著閘極絕緣膜更薄，關閉狀態電流顯著地降低，而遷移率 μ 的峰值及開啓狀態電流並無明顯改變。

在圖 16A 至 16C 中遷移率 μ 的峰值約為 $80 \text{ cm}^2/\text{Vs}$ ，在圖 17A 至 17C 中約為 $60 \text{ cm}^2/\text{Vs}$ ，並且，在圖 18A 至 18C 中約為 $40 \text{ cm}^2/\text{Vs}$ ；因此，遷移率 μ 的峰值隨著偏移長度 L_{off} 增加而降低。

同理可用於關閉狀態電流。

開啓狀態電流也隨著偏移長度 L_{off} 增加而降低；但是，開啓狀態電流的下降比關閉狀態電流的下降更加緩和。

此外，任一圖形顯示在閘極電壓約 1 V 時，記憶元件等中所需的汲極電流超過 $10 \mu\text{A}$ 。

本實施例的內容或其部分可以與任何其它實施例及實例適當地結合實施。

（實施例 9）

磁隧道接面元件（MTJ 元件）一般已知是非依電性隨機存取記憶體。當設於絕緣膜上方及下方的膜中的旋轉方向平行時 MTJ 元件被置於低電阻狀態，並且，當旋轉方向不平行時被置於高電阻狀態，藉以儲存資料。另一方面，上述實施例中的非依電性儲存電路利用通道設在氧化物半導體層中的電晶體並因而具有與 MTJ 元件的原理完全不同

的原理。表 1 顯示 MTJ 元件（在表中，以「自旋電子（MTJ 元件）」表示）與上述實施例中含氧化物半導體之非依電性儲存電路（在表中，以「OS/Si」表示）之間的比較。

[表 1]

	自旋電子(MTJ 元件)	OS/Si
抗熱性	居禮溫度	500℃製程溫度(在 150℃的可靠度)
驅動方法	電流驅動	電壓驅動
寫入原理	改變磁性材料的旋轉方向	開/關 FET
Si LSI	適用於雙極 LSI(對於高度集成的電路,MOS LSI 對於不適合高集成度的雙極 LSI 是較佳的。注意,W 變得較大。)	適用於 MOS LSI
費用	大(由於高焦爾熱)	比 MTJ 元件的費用小 2 至 3 個或更多的數量級(由於利用寄生電容的充電及放電)
非依電性	使用旋轉	使用低關閉狀態電流
讀取循環	無限制	無限制
3D 結構	困難(最多二層)	容易(層的數目無限制)
集成度(F ²)	4 至 15 F ²	視 3D 結構中堆疊的層數而定(需要高至足以耐受形成上 OS FET 製程的抗熱性)
材料	磁性稀土元素	OS 材料
每位元的成本	高	低(可以視 OS 的構成 (例如 In)而稍高)
抗磁性	低	高

MTJ 元件因為含有磁性材料，所以，具有當溫度是居禮溫度或更高時其磁性損失的缺點。MTJ 元件由電流驅動

並因而與矽雙極裝置是並容的。但是，矽雙極裝置不適合高集成度。此外，雖然 MTJ 元件要求低寫入電流，但是，MTJ 元件具有耗電隨著記憶體容量增加而增加的問題。

在原理上，MTJ 元件對磁場具有低抵抗性，以致於當 MTJ 元件曝露於高磁場時旋轉方向容易改變。此外，需要控制導因於用於 MTJ 元件的奈米級磁性材料的磁性波動。

此外，以稀土元素使用於 MTJ 元件；因此，MTJ 元件的製程被併入對金屬污染敏感之形成矽半導體的製程中時，需要特別注意。此外，以每位元材料成本的觀點而言，MTJ 元件是昂貴的。

另一方面，在上述實施例中包含在非依電性儲存電路中通道形成於氧化物半導體層中的電晶體，具有類似於矽 MOSFET 的元件結構及操作原理，但形成通道的區域包含金屬氧化物除外。此外，通道形成在氧化物半導體層中的電晶體不受磁場影響且不會造成軟錯誤。這些事實顯示電晶體與矽積體電路是高度相容的。

（實例 1）

藉由使用根據本發明的一個實施例之訊號處理電路，提供具有低耗電的電子裝置。特別是，當根據本發明的一個實施例之低耗電的訊號處理電路加至難以連續地接收電力的可攜式電子裝置中作為元件時，可攜式電子裝置可以具有長的連續操作時間。

根據本發明的一個實施例之訊號處理電路能夠用於顯

示裝置、個人電腦、或設有記錄媒體的影像再生裝置（典型上，再生例如數位影音光碟（DVD）等記錄媒體內容及具有用以顯示再生影像的顯示器之裝置）。其它能包含根據本發明的一個實施例之訊號處理電路的電子裝置的實例可為行動電話、包含可攜式遊戲機之遊戲機、個人數位助理、電子書讀取器、例如攝影機及數位靜態相機等相機、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（例如，汽車音響系統及數位音頻播放器）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）、及販賣機。

將說明根據本發明的一個實施例之訊號處理電路應用至例如行動電話、智慧型電話、及電子書讀取器等行動電子裝置的情況。

圖 9 是可攜式電子裝置的方塊圖。圖 9 中所示的可攜式電子裝置包含 RF 電路 421、類比基頻電路 422、數位基頻電路 423、電池 424、電源電路 425、應用處理器 426、快閃記憶體 430、顯示控制器 431、記憶體電路 432、顯示器 433、觸控感測器 439、音頻電路 437、鍵盤 438、等等。顯示器 433 包含顯示部 434、源極驅動器 435、及閘極驅動器 436。應用處理器 426 包含 CPU 427、DSP 428、及介面 429。舉例而言，當任何上述實施例中所述的訊號處理電路被使用於例如中央處理器（CPU）427、數位基頻電路 423、記憶體電路 432、數位訊號處理器（DSP）428、介面 429、顯示控制器 431、音頻電路 437 中任一者或

全部時，能降低耗電。

圖 10 是電子書讀取器的方塊圖。電子書讀取器包含電池 451、電源電路 452、微處理器 453、快閃記憶體 454、音頻電路 455、鍵盤 456、記憶體電路 457、觸控面板 458、顯示器 459、及顯示控制器 460。微處理器 453 包含中央處理單元（CPU）461、數位訊號處理器（DSP）462、及介面 463。舉例而言，當任何上述實施例中所述的訊號處理電路被使用於例如 CPU 461、音頻電路 455、記憶體電路 457、顯示控制器 460、DSP 462、及介面 463 中任一者或全部時，能降低耗電。

本實例能與上述任何其它實施例適當地結合實施。

（實例 2）

藉由沈積氧化物半導體並在氧化物半導體膜沈積後以熱處理來加熱基板，則包含含有 In、Sn、及 Zn 的氧化物半導體之電晶體能具有有利的特徵。

氧化物半導體較佳含有 5 原子%或更高的 In、Sn、及 Zn 中的每一個元素。

在沈積含有 In、Sn、及 Zn 的氧化物半導體膜之後，藉由刻意地加熱基板，能增加電晶體的場效遷移率。

此外，n 通道電晶體的臨界電壓能在正方向上偏移。

n 通道電晶體的臨界電壓的正偏移使得用於使 n 通道電晶體保持關閉的電壓之絕對值降低，以致於降低耗電。

此外，n 通道電晶體因臨界電壓正偏移以致於臨界電

壓是 0 V 或更高，而變成常關電晶體。

於下將說明使用含有 In、Sn、及 Zn 的氧化物半導體之電晶體的特徵。

(樣品 A 至 C 的共同條件)

在下述條件下，在基板上形成氧化物半導體層至具有 15 nm 的厚度：使用具有 In:Sn:Zn=1:1:1 的成分比之靶材；氣體流量為 $\text{Ar}/\text{O}_2=6/9$ sccm；沈積壓力為 0.4 Pa；並且，沈積功率為 100 W。

接著，將氧化物半導體層蝕刻成島狀。

然後，在氧化物半導體層之上沈積鎢層至具有 50 nm 的厚度並將其蝕刻，以便形成源極電極和汲極電極。

接著，使用矽烷氣體 (SiH_4) 及一氧化二氮 (N_2O)，藉由電漿強化 CVD，以形成氧氮化矽膜 (SiON) 作為閘極絕緣膜至具有 100 nm 的厚度。

然後，藉由下述方式來形成閘極電極：形成氮化鉭層至 15 nm 的厚度；形成鎢層至 135 nm 的厚度；並且，蝕刻這些層。

此外，藉由電漿強化 CVD 來形成氧氮化矽 (SiON) 膜至 300 nm 的厚度，並且，形成聚醯亞胺膜至 1.5 μm 的厚度，藉以形成層間絕緣膜。

接著，藉由下述方式來形成用於測量的墊：在層間絕緣膜中形成接觸孔；形成第一鈦膜至 50 nm 的厚度；形成鋁膜至 100 nm 的厚度；形成第二鈦膜至 50 nm 的厚度；

並且，蝕刻這些膜。

依此方式，製造具有電晶體的半導體裝置。

(樣品 A)

在樣品 A 中，在氧化物半導體層沈積期間未對基板執行加熱。

此外，在樣品 A 中，在沈積氧化物半導體層之後及在蝕刻氧化物半導體層之前，未執行熱處理。

(樣品 B)

在樣品 B 中，沈積氧化物半導體層，而以 200℃ 加熱基板。

此外，在樣品 B 中，在沈積氧化物半導體層之後及在蝕刻氧化物半導體層之前，未執行熱處理。

在基板被加熱時沈積氧化物半導體層，以去除氧化物半導體層中作為施體的氫。

(樣品 C)

在樣品 C 中，沈積氧化物半導體層，而以 200℃ 加熱基板。

此外，在樣品 C 中，在沈積氧化物半導體層之後及在蝕刻氧化物半導體層之前，以 650℃，在氮氛圍中執行熱處理 1 小時，然後，以 650℃，在氧氛圍中執行熱處理 1 小時。

以 650°C ，在氮氛圍中執行熱處理 1 小時，以去除氧化物半導體層中作為施體的氫。

氧也由用於去除氧化物半導體層中作為施體的氫的熱處理去除，在氧化物半導體層中造成作為載子的氧空乏。

此處，以 650°C ，在氧氛圍中執行熱處理 1 小時以降低氧空乏。

（樣品 A 至 C 的電晶體的特徵）

圖 19A 顯示樣品 A 的電晶體的初始特徵。

圖 19B 顯示樣品 B 的電晶體的初始特徵。

圖 19C 顯示樣品 C 的電晶體的初始特徵。

樣品 A 的電晶體的場效遷移率是 $18.8 \text{ cm}^2/\text{Vs}$ 。

樣品 B 的電晶體的場效遷移率是 $32.2 \text{ cm}^2/\text{Vs}$ 。

樣品 C 的電晶體的場效遷移率是 $34.5 \text{ cm}^2/\text{Vs}$ 。

藉由穿透式電子顯微鏡（TEM），觀測由類似於樣品 A 至 C 的沈積方法所形成的氧化物半導體層之剖面，在以類似於樣品 B 及樣品 C 的沈積方法之沈積期間加熱基板而形成的樣品中，觀測到結晶性。

此外，令人驚訝的是，在沈積期間基板被加熱的樣品具有非結晶部及具有 c 軸晶向的結晶部。

在習知的多晶中，在結晶部中的晶體未對齊且指向不同的方向。這意指沈積期間基板被加熱的樣品具有新穎結構。

從圖 19A 至 19C 的比較，可知沈積期間或之後，對基

板執行的熱處理能去除作為施體的氫元素，藉以使 n 通道電晶體的臨界電壓在正方向上偏移。

亦即，相較於沈積期間未加熱基板的樣品 A 的臨界電壓，在沈積期間加熱基板的樣品 B 的臨界電壓在正方向上偏移。

此外，從沈積期間基板被加熱的樣品 B 及樣品 C 的比較，發現具有沈積後熱處理的樣品 C 的臨界電壓比未具有沈積後熱處理的樣品 B 的臨界電壓在正向上偏移更多。

熱處理的溫度愈高，則愈容易去除例如氫等輕的元素；因此，隨著熱處理的溫度變高，氫愈容易被去除。

因此，藉由進一步增加沈積期間或之後的熱處理的溫度，臨界電壓很可能在正方向上偏移更多。

（樣品 B 及樣品 C 的閘極 BT 應力測試的結果）

對樣品 B（在沈積後無熱處理）及樣品 C（在沈積後有熱處理）執行閘極 BT 應力測試。

首先，在 V_{ds} 為 10 V 及基板溫度 25°C 下，測試每一個電晶體的 V_g - I_d 特徵，以測量加熱及施加高正電壓之前電晶體的特徵。

接著，將基板溫度設在 150°C 及 V_{ds} 設在 0.1 V。

之後，將 20 V 的 V_g 施加至閘極絕緣膜及保持 1 小時。

然後，將 V_g 設定於 0 V。

接著，在 V_{ds} 為 10 V 及基板溫度 25°C 下，測試電晶

體的 V_g-I_d 特徵，以測量加熱及施加高正電壓之後電晶體的特徵。

如上所述，加熱及施加高正電壓之前及之後電晶體的特徵的比較稱為正 BT 測試。

另一方面，首先，在 V_{ds} 為 10 V 及基板溫度 25°C 下，測試電晶體的 V_g-I_d 特徵，以測量加熱及施加高負電壓之前電晶體的特徵。

然後，將基板溫度設在 150°C 及 V_{ds} 設在 0.1 V。

接著，將 -20 V 的 V_g 施加至閘極絕緣膜及保持 1 小時。

接著，將 V_g 設定於 0 V。

然後，在 V_{ds} 為 10 V 及基板溫度 25°C 下，測試電晶體的 V_g-I_d 特徵，以測量加熱及施加高負電壓之後電晶體的特徵。

如上所述，加熱及施加高負電壓之前及之後電晶體的特徵的比較稱為負 BT 測試。

圖 20A 顯示樣品 B 的正 BT 測試的結果。圖 20B 顯示樣品 B 的負 BT 測試的結果。

圖 21A 顯示樣品 C 的正 BT 測試的結果。圖 21B 顯示樣品 C 的負 BT 測試的結果。

雖然正 BT 測試及負 BT 測試是用於決定電晶體的劣化程度的測試，但是，從圖 20A 及 21A 發現，藉由至少執行正 BT 測試，臨界電壓在正方向上偏移。

特別是，圖 20A 透露出正 BT 測試使電晶體為常關電

晶體。

因此發現正 BT 測試的執行加上電晶體製程中的熱處理，能夠提升臨界電壓在正方向上的偏移，結果，能製造常關電晶體。

圖 14 顯示測量時樣品 A 的電晶體的關閉狀態電流與基板溫度（絕對溫度）的倒數之間的關係。

在圖 14 中，水平軸代表以 1000 乘以測量時基板溫度的倒數而取得之值（ $1000/T$ ）。

圖 14 中的電流量是每微米通道寬度之電流量。

在 125°C 的基板溫度下（ $1000/T$ 約 2.51）關閉狀態電流小於或等於 $1 \times 10^{-19} \text{A}$ 。

在 85°C 的基板溫度下（ $1000/T$ 約 2.79）關閉狀態電流小於或等於 $1 \times 10^{-20} \text{A}$ 。

換言之，發現相較於含有矽半導體的電晶體，含有氧化物半導體的電晶體的關閉狀態電流相當低。

關閉狀態電流隨著溫度降低而下降；因此，清楚可知，在一般溫度下的關閉狀態電流仍然是較低的。

本申請案根據分別於 2011 年 4 月 21 日及 2011 年 5 月 14 日向日本專利局提出申請之日本專利申請案序號 2011-094774、及日本專利申請案序號 2011-108894，其整體內容於此一併列入參考。

【圖式簡單說明】

在附圖中，

圖 1A 是訊號處理電路的方塊圖，圖 1B 是升壓電路的電路圖；

圖 2A 至 2D 均顯示部分訊號處理電路及非依電性儲存電路的配置；

圖 3A 至 3E 顯示依電性儲存電路及非依電性儲存電路的結合配置；

圖 4A 至 4D 顯示訊號處理電路的製造步驟；

圖 5A 至 5C 顯示訊號處理電路的製造步驟；

圖 6A 至 6D 顯示訊號處理電路的製造步驟；

圖 7A 至 7C 是剖面視圖，均顯示具有設在氧化物半導體層中的通道之電晶體的結構；

圖 8A 及 8B 是剖面視圖，均顯示具有設在氧化物半導體層中的通道之電晶體的結構；

圖 9 是可攜式電子裝置的方塊圖；

圖 10 是電子書讀取器的方塊圖；

圖 11A 至 11E 是氧化物半導體的實例；

圖 12A 至 12C 是氧化物半導體的實例；

圖 13A 至 13C 是氧化物半導體的實例；

圖 14 顯示電晶體的關閉狀態電流的溫度相依性；

圖 15 顯示閘極電壓與場效遷移率之間的關係；

圖 16A 至 16C 均顯示閘極電壓與汲極電流之間的關係

；

圖 17A 至 17C 均顯示閘極電壓與汲極電流之間的關係

；

圖 18A 至 18C 均顯示閘極電壓與汲極電流之間的關係

；

圖 19A 至 19C 均顯示電晶體的特徵曲線；

圖 20A 及 20B 均顯示電晶體的特徵曲線；以及

圖 21A 及 21B 均顯示電晶體的特徵曲線。

【主要元件符號說明】

10：非依電性儲存電路

11：電晶體

12：電容器

30：電源電路

133：電晶體

200：依電性儲存電路

200a：依電性儲存電路

200b：依電性儲存電路

201：算術電路

202：算術電路

203：開關

204：算術電路

205：開關

224：反相器

300：訊號處理單元

300A：電路單元

300B：電路單元

300C：電路單元

301：升壓電路

400：電路

401：電路

421：RF 電路

422：類比基頻電路

423：數位基頻電路

424：電池

425：電源電路

426：應用處理器

427：中央處理單元

428：數位訊號處理器

429：介面

430：快閃記憶體

431：顯示控制器

432：記憶體電路

433：顯示器

434：顯示部

435：源極驅動器

436：閘極驅動器

437：音頻電路

438：鍵盤

439：觸控感測器

451：電池

- 452：電 源 電 路
- 453：微 處 理 器
- 454：快 閃 記 憶 體
- 455：音 頻 電 路
- 456：鍵 盤
- 457：記 憶 體 電 路
- 458：觸 控 面 板
- 459：顯 示 器
- 460：顯 示 控 制 器
- 461：中 央 處 理 單 元
- 462：數 位 訊 號 處 理 器
- 463：介 面
- 700：基 板
- 701：絕 緣 膜
- 702：半 導 體 膜
- 703：閘 極 絕 緣 膜
- 704：半 導 體 層
- 707：閘 極 電 極
- 709：雜 質 區
- 710：通 道 形 成 區
- 712：絕 緣 膜
- 713：絕 緣 膜
- 716：氧 化 物 半 導 體 層
- 719：導 電 層

720：導電層

721：閘極絕緣膜

722：閘極電極

724：絕緣膜

726：佈線

727：絕緣膜

908：重度摻雜區

918：重度摻雜區

919：通道形成區

928：重度摻雜區

929：輕度摻雜區

930：側壁

931：通道形成區

948：重度摻雜區

949：輕度摻雜區

950：側壁

951：通道形成區

1300：第一電晶體

1310：第二電晶體

1320：第三電晶體

1330：第四電晶體

1340：第五電晶體

1350：第一電容器

1360：第二電容器

1370：第三電容器

1380：第四電容器

1390：電晶體

7301：導電層

7302：絕緣膜

7303：導電層

七、申請專利範圍：

1. 一種訊號處理電路，包括：

電路；及

非依電性儲存電路，包括第一電晶體和節點，

其中，該電路係配置成當第一電源電位被供應至該電路時，輸出第一訊號至該第一電晶體的第一端子；

其中，該非依電性儲存電路係配置成當第二訊號被供應至該第一電晶體的閘極時，儲存電連接至該第一電晶體的第二端子之該節點中對應於該第一訊號的資料，

其中，該非依電性儲存電路係配置成當第三訊號被供應至該第一電晶體的該閘極且該第一電源電位未被供應至該電路時，固持該資料，

其中，該第一訊號的電位為第一電位且等於該第一電源電位，

其中，該第二訊號的電位為第二電位，

其中，該第三訊號的電位為接地電位，

其中，該資料的電位為該第一電位，並且

其中，該第二電位係高於該第一電位。

2. 如申請專利範圍第 1 項之訊號處理電路，

其中，該電路包括第一算術電路、第二算術電路、及第二電晶體，

其中，該第一算術電路的輸入端子係電連接至該第二算術電路的輸出端子，

其中，該第一算術電路的輸出端子係電連接至該第二

電晶體的第一端子，

其中，該第二算術電路的輸入端子係電連接至該第二電晶體的第二端子及該第一電晶體的該第一端子，

其中，該第一算術電路係配置成從該第一算術電路的該輸出端子輸出該第一訊號，並且

其中，該第二電晶體係配置成當該第二電晶體被開啓時輸出該第一訊號至該第一電晶體的該第一端子。

3.如申請專利範圍第 2 項之訊號處理電路，其中，該第一電晶體包括氧化物半導體層，該氧化物半導體層包括通道形成區。

4.如申請專利範圍第 2 項的訊號處理電路，

其中，該非依電性儲存電路包括電容器，

其中，該電容器的第一端子係電連接至該節點，並且

其中，該電容器的第二端子係配置成被供予該接地電位。

5.如申請專利範圍第 2 項的訊號處理電路，

其中，該第二電位係高於該第一電晶體的臨界電壓加上該第一電位所取得的電位。

6.如申請專利範圍第 2 項的訊號處理電路，又包括升壓電路，係配置成將該第一電源電位升壓以產生第二電源電位，並且

其中，該第二訊號的該電位係等於該第二電源電位。

7.如申請專利範圍第 2 項的訊號處理電路，又包括升壓電路，係配置成將該第一電源電位升壓以產生第二電源

電位，

其中，該第二訊號的該電位係等於該第二電源電位，

其中，該升壓電路包括彼此電串聯連接的第三至第
($n+3$) 電晶體 (n 是自然數)，並且

其中，該第三至該第 ($n+3$) 電晶體中的每一個電晶體均包括氧化物半導體。

8. 一種訊號處理電路，包括：

電路；及

非依電性儲存電路，包括第一電晶體和節點，

其中，該電路係配置成當第一電源電位被供應至該電路時，輸出第一訊號至該第一電晶體的第一端子，

其中，該非依電性儲存電路係配置成當第二訊號被供應至該第一電晶體的閘極時，儲存電連接至該第一電晶體的第二端子之該節點中對應於該第一訊號的資料，

其中，該非依電性儲存電路係配置成當第三訊號被供應至該第一電晶體的該閘極且該第一電源電位未被供應至該電路時，固持該資料，

其中，該第一訊號的電位為第一電位且等於該第一電源電位，

其中，該第二訊號的電位為第二電位，

其中，該第三訊號的電位為接地電位，

其中，該資料的電位為該第一電位，

其中，該第二電位係高於該第一電位，

其中，該電路包括第一算術電路及第二算術電路，

其中，該第一算術電路的輸入端子係電連接至該第二算術電路的輸出端子，

其中，該第一算術電路的輸出端子係電連接至該第一電晶體的該第一端子，

其中，該第二算術電路的輸入端子係電連接至該第一電晶體的該第二端子，並且

其中，該第一算術電路係配置成從該第一算術電路的該輸出端子輸出該第一訊號。

9.如申請專利範圍第 8 項之訊號處理電路，

其中，該第一電晶體包括氧化物半導體層，該氧化物半導體層包括通道形成區。

10.如申請專利範圍第 8 項的訊號處理電路，

其中，該非依電性儲存電路包括電容器，

其中，該電容器的第一端子係電連接至該節點，並且

其中，該電容器的第二端子係配置成被供予該接地電位。

11.如申請專利範圍第 8 項的訊號處理電路，

其中，該第二電位係高於該第一電晶體的臨界電壓加上該第一電位所取得的電位。

12.如申請專利範圍第 8 項的訊號處理電路，又包括升壓電路，係配置成將該第一電源電位升壓以產生第二電源電位，並且

其中，該第二訊號的該電位係等於該第二電源電位。

13.如申請專利範圍第 8 項的訊號處理電路，又包括

升壓電路，係配置成將該第一電源電位升壓以產生第二電源電位，

其中，該第二訊號的該電位係等於該第二電源電位，

其中，該升壓電路包括彼此電串聯連接的第三至第 $(n+3)$ 電晶體（ n 是自然數），並且

其中，該第三至該第 $(n+3)$ 電晶體中的每一個電晶體均包括氧化物半導體。

14. 一種訊號處理電路，包括：

電路；及

非依電性儲存電路，包含第一電晶體和節點，

其中，該電路係配置成當第一電源電位被供應至該電路時，輸出第一訊號至該第一電晶體的第一端子；

其中，該非依電性儲存電路係配置成當第二訊號被供應至該第一電晶體的閘極時，儲存電連接至該第一電晶體的第二端子之該節點中對應於該第一訊號的資料，

其中，該非依電性儲存電路係配置成當第三訊號被供應至該第一電晶體的該閘極且該第一電源電位未被供應至該電路時，固持該資料，

其中，該第一訊號的電位為第一電位且等於該第一電源電位，

其中，該第二訊號的電位為第二電位，

其中，該第三訊號的電位為接地電位，

其中，該資料的電位為該第一電位，

其中，該第二電位係高於該第一電位，

其中，該電路包括第一算術電路、第二算術電路、反相器、及第二電晶體，

其中，該第一算術電路的輸入端子係電連接至該第二算術電路的輸出端子及該第二電晶體的第一端子，

其中，該第一算術電路的輸出端子係電連接至該第二算術電路的輸入端子及該第一電晶體的第一端子，

其中，該反相器的輸入端子係電連接至該第一電晶體的第二端子，

其中，該反相器的輸出端子係電連接至該第二電晶體的第二端子，並且

其中，該第一算術電路係配置成從該第一算術電路的該輸出端子輸出該第一訊號。

15.如申請專利範圍第 14 項之訊號處理電路，

其中，該第一電晶體包括氧化物半導體層，該氧化物半導體層包括通道形成區。

16.如申請專利範圍第 14 項的訊號處理電路，

其中，該非依電性儲存電路包括電容器，

其中，該電容器的第一端子係電連接至該節點，並且

其中，該電容器的第二端子係配置成被供予該接地電位。

17.如申請專利範圍第 14 項的訊號處理電路，

其中，該第二電位係高於該第一電晶體的臨界電壓加上該第一電位所取得的電位。

18.如申請專利範圍第 14 項的訊號處理電路，又包括

升壓電路，係配置成將該第一電源電位升壓以產生第二電源電位，並且

其中，該第二訊號的該電位係等於該第二電源電位。

19.如申請專利範圍第 14 項的訊號處理電路，又包括升壓電路，係配置成將該第一電源電位升壓以產生第二電源電位，

其中，該第二訊號的該電位係等於該第二電源電位，

其中，該升壓電路包括彼此電串聯連接的第三至第 $(n+3)$ 電晶體（ n 是自然數），並且

其中，該第三至該第 $(n+3)$ 電晶體中的每一個電晶體均包括氧化物半導體。

圖 1A

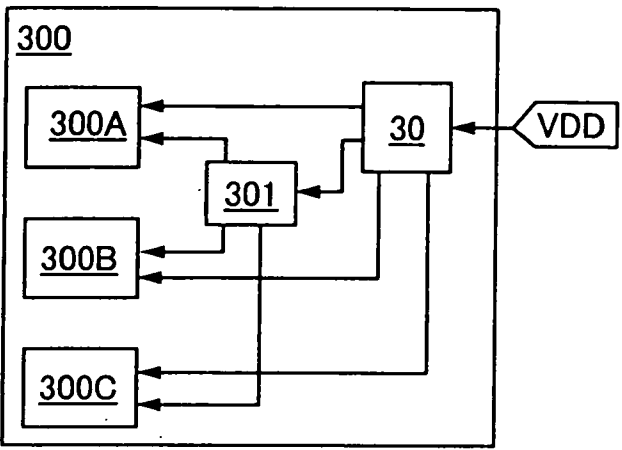


圖 1B

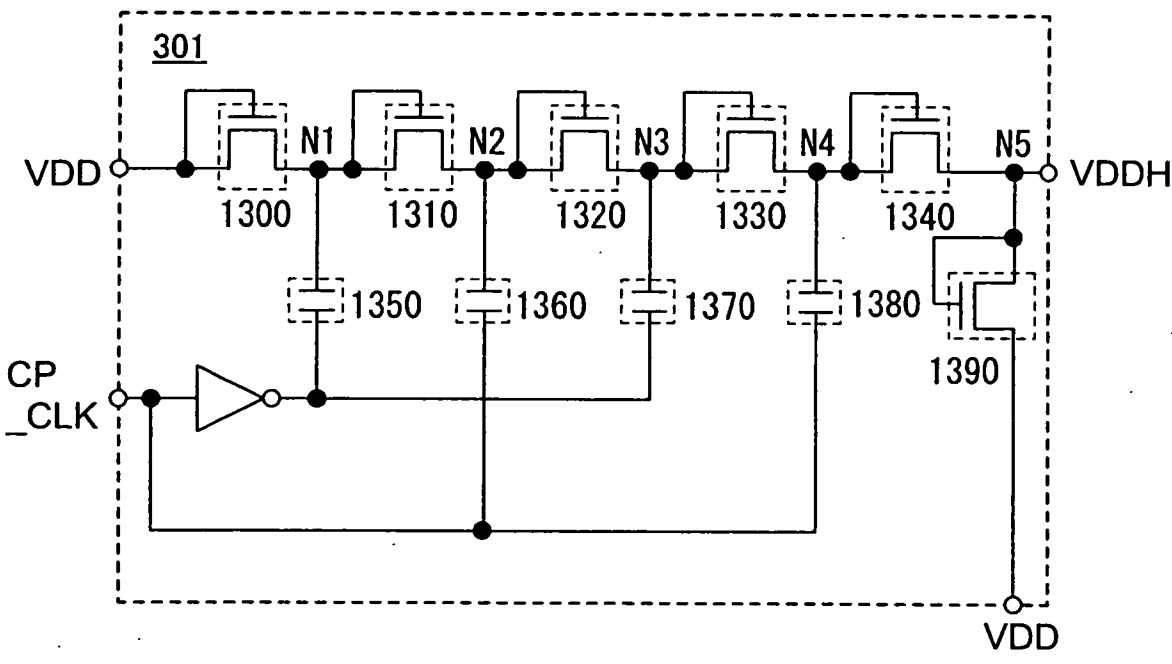


圖 2A

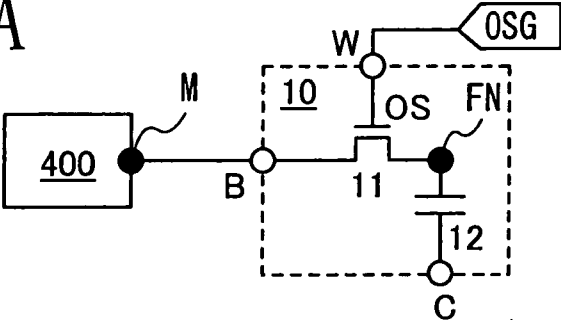


圖 2B

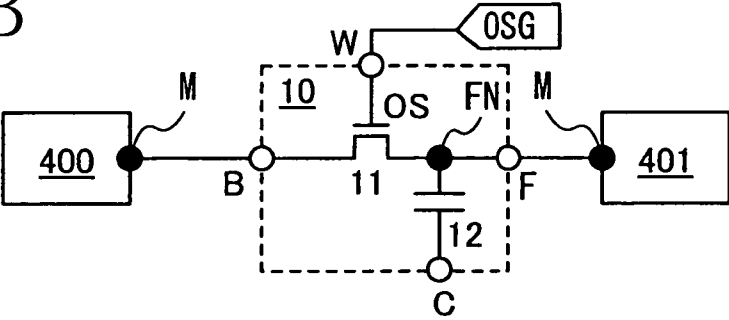


圖 2C

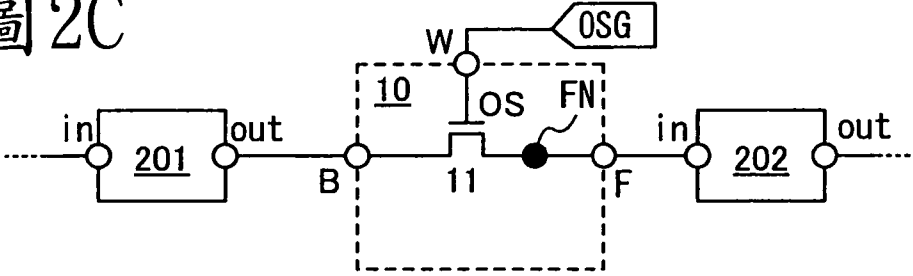


圖 2D

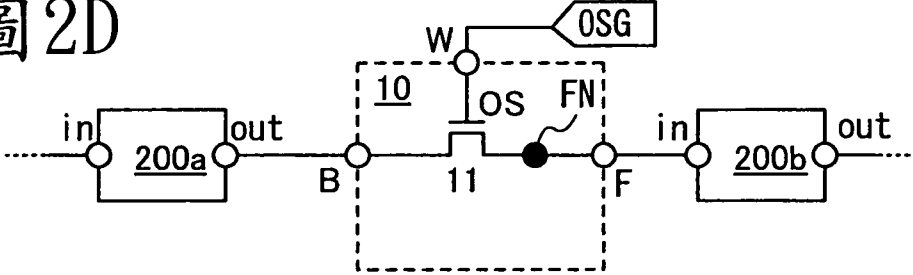


圖 3A

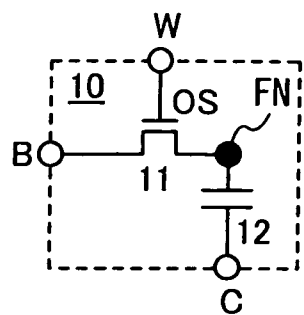


圖 3B

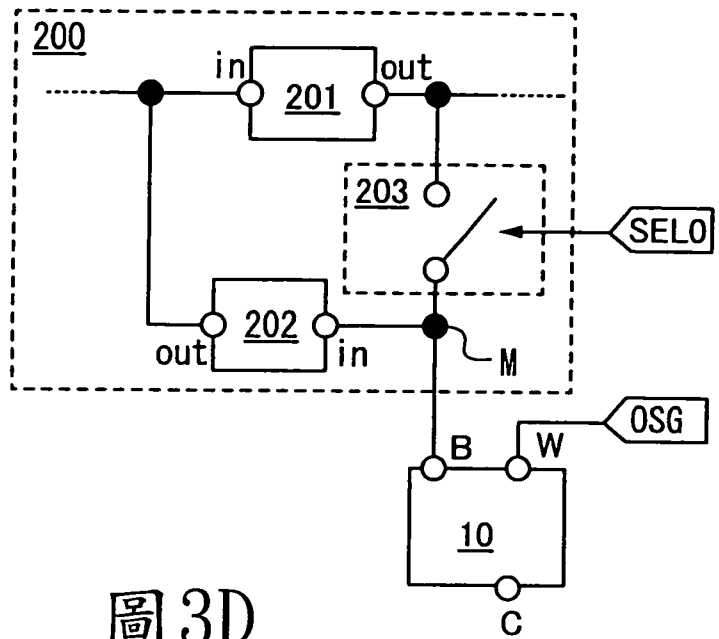


圖 3C

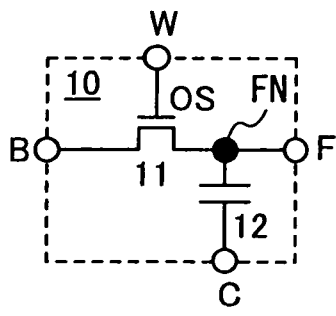


圖 3D

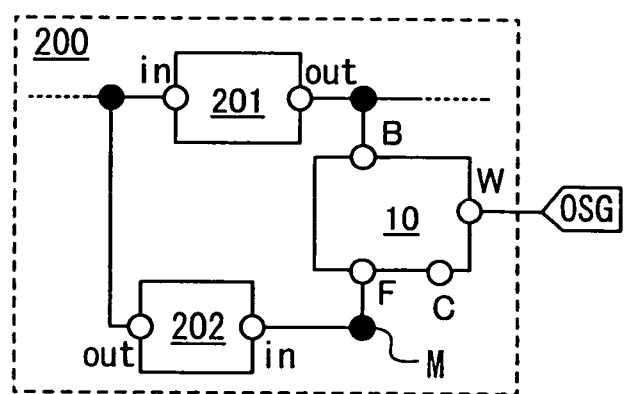


圖 3E

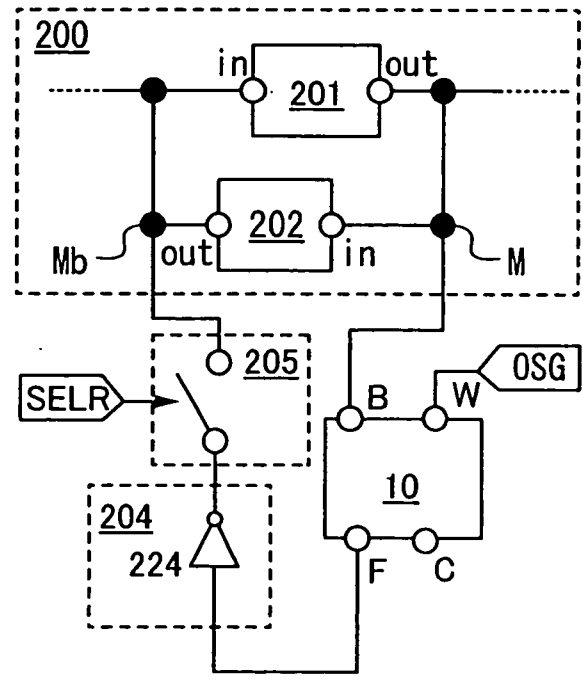


圖 4A



圖 4B

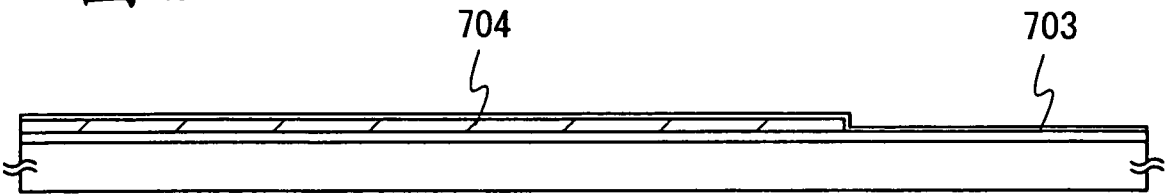


圖 4C

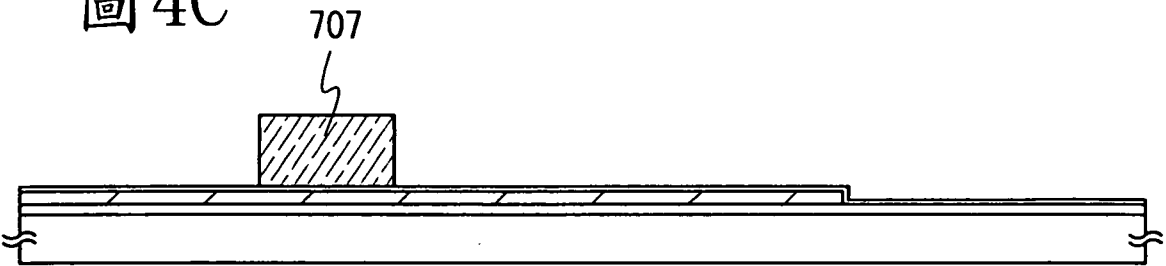


圖 4D

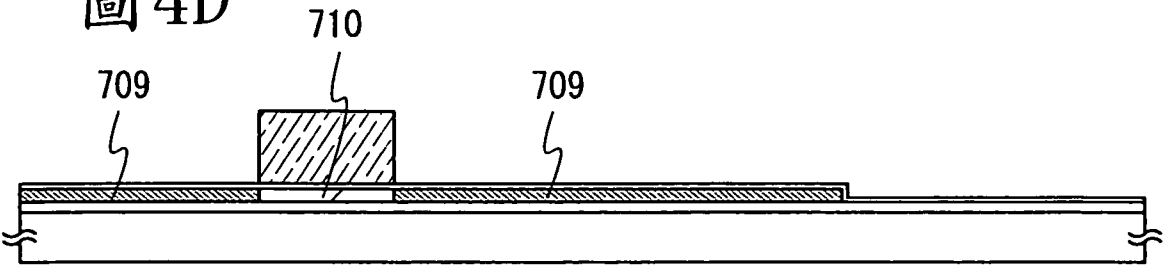


圖 5A

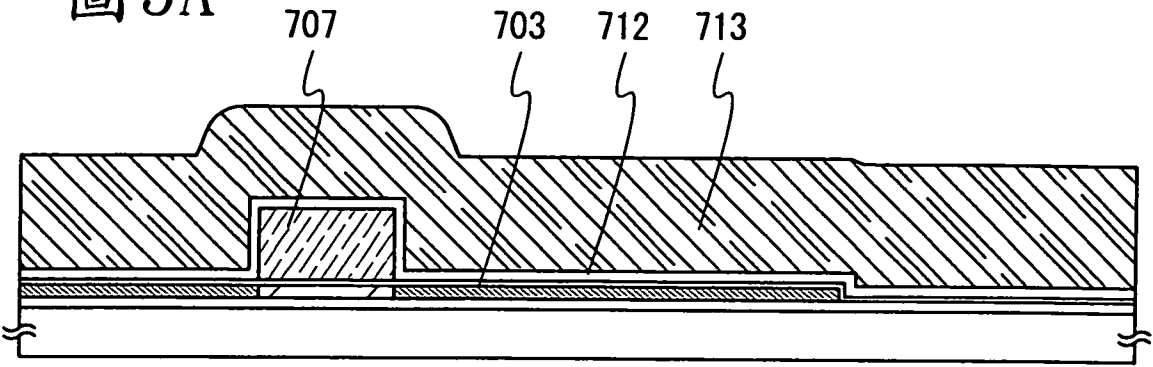


圖 5B

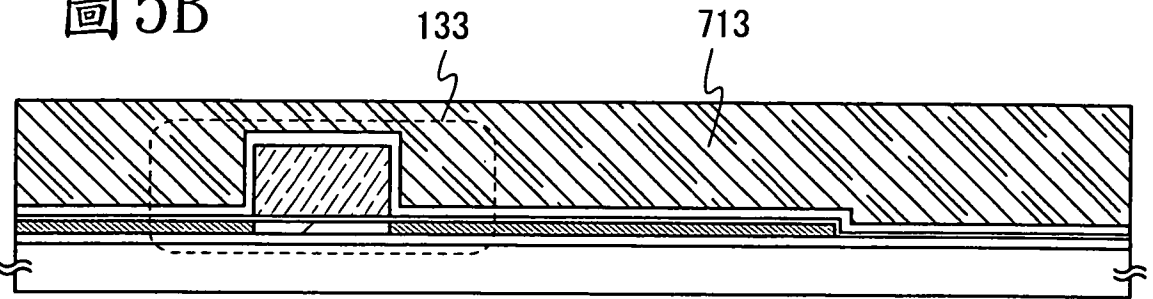


圖 5C

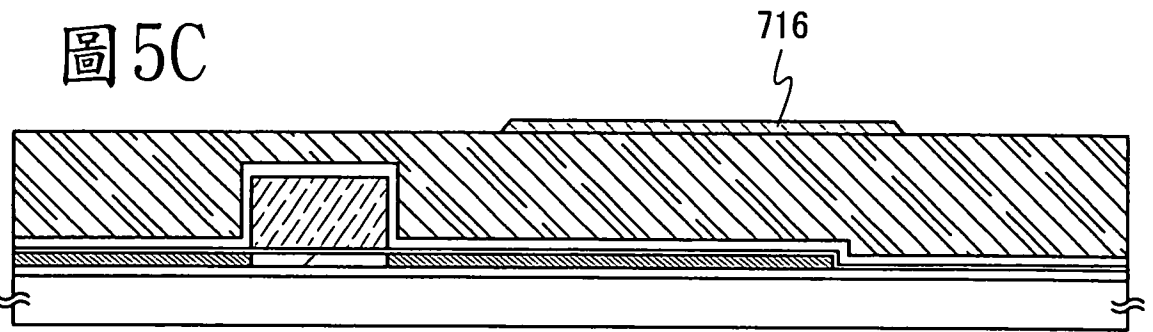


圖 6A

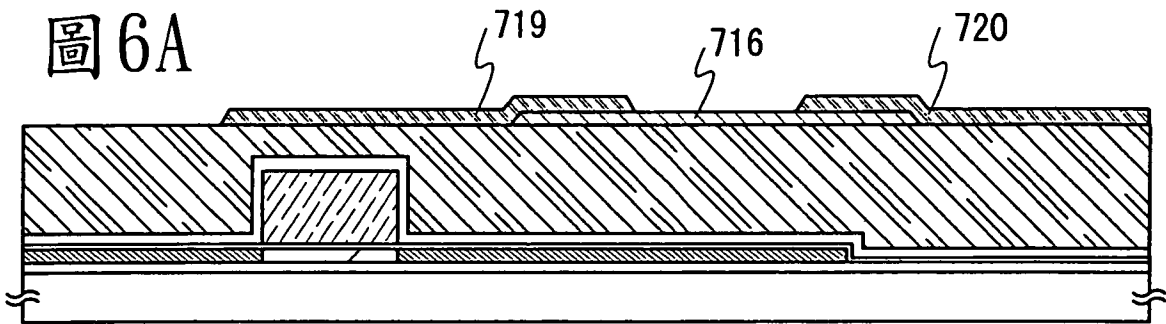


圖 6B

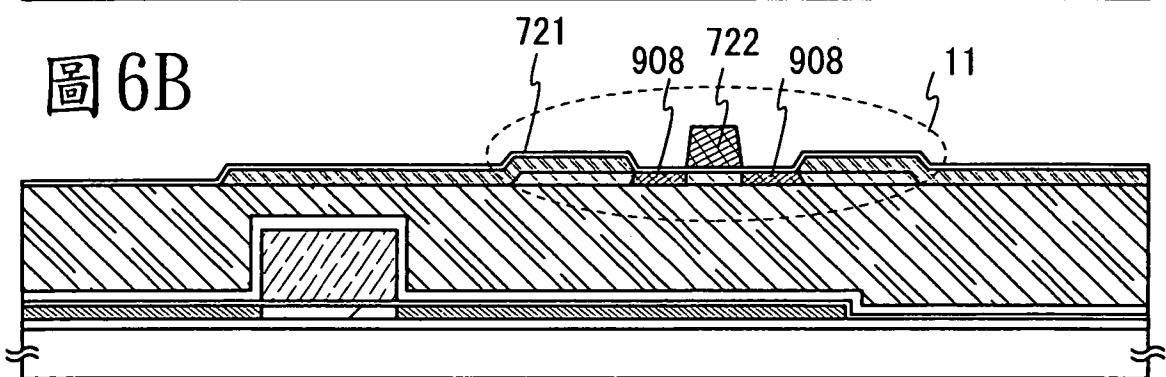


圖 6C

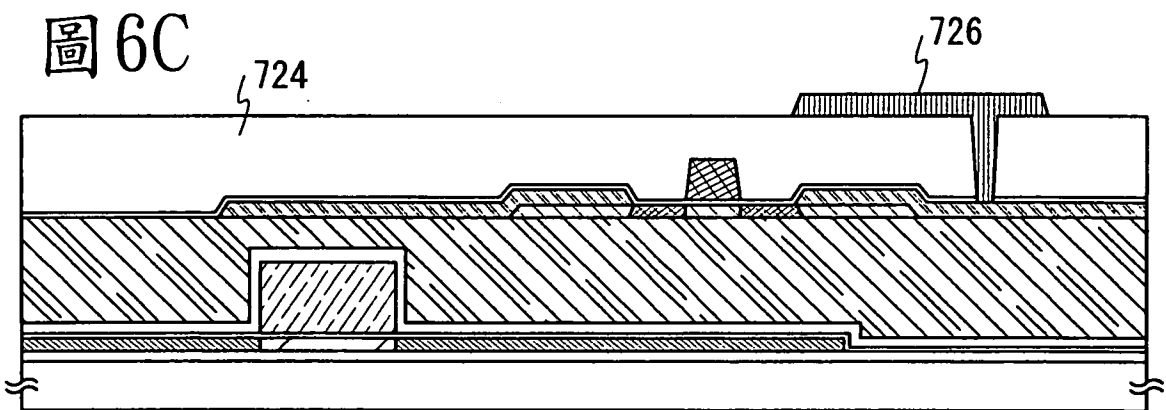


圖 6D

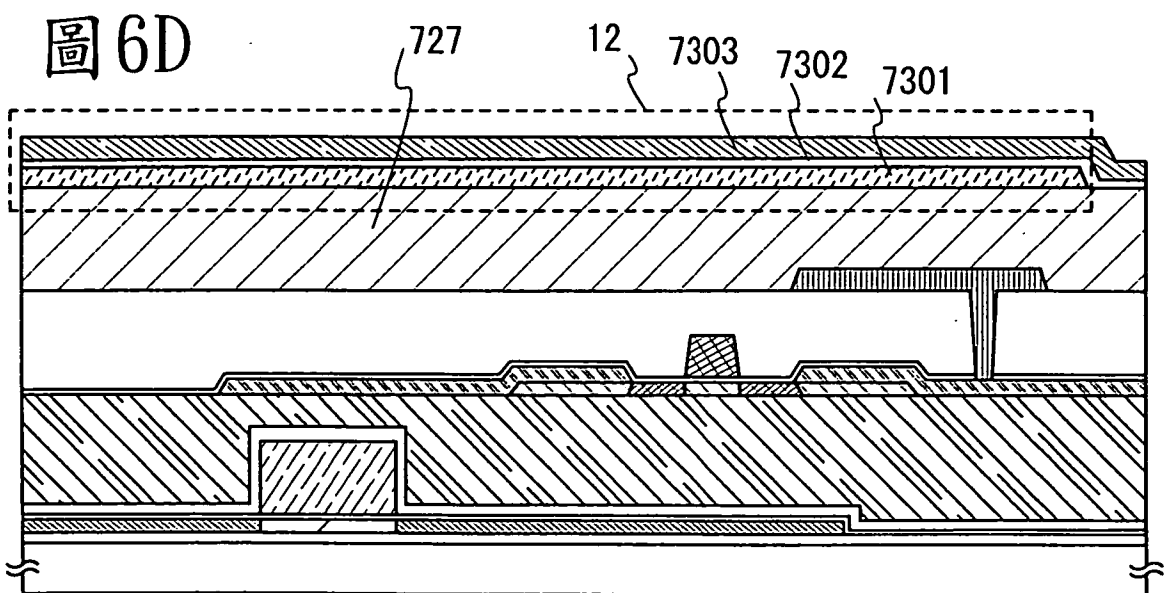


圖 7A

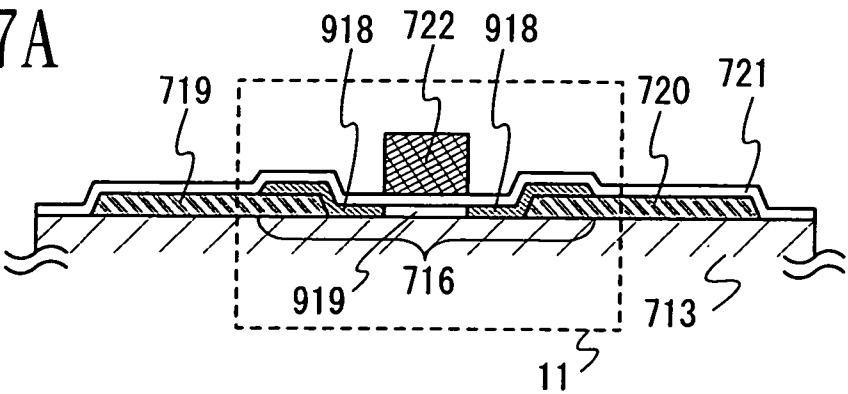


圖 7B

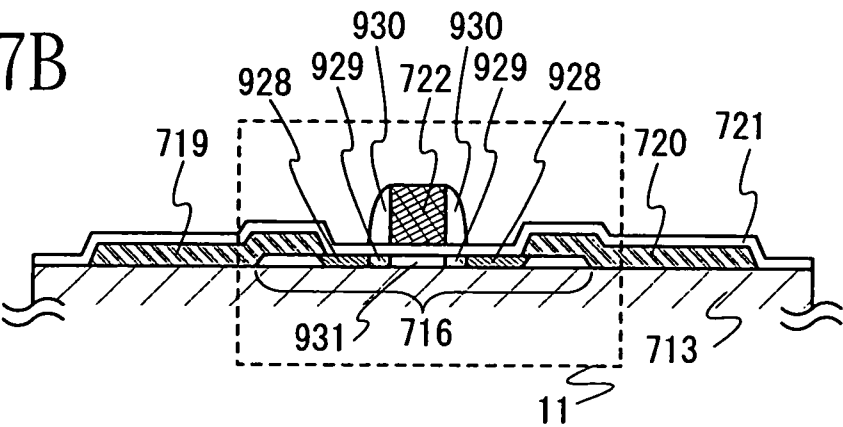


圖 7C

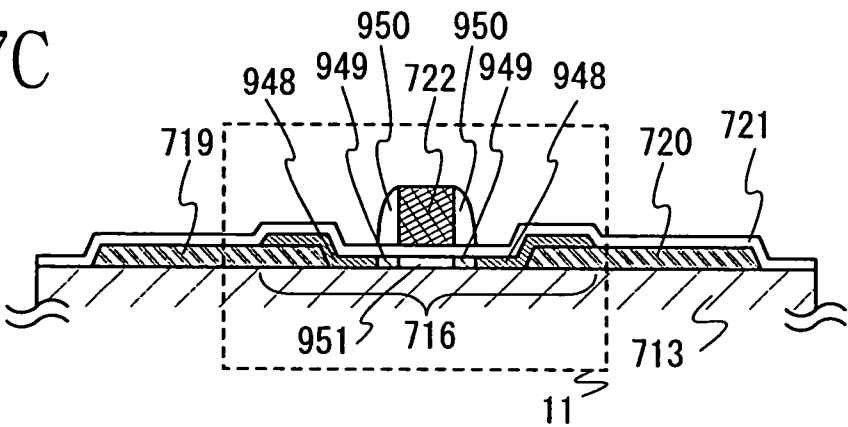


圖 8A

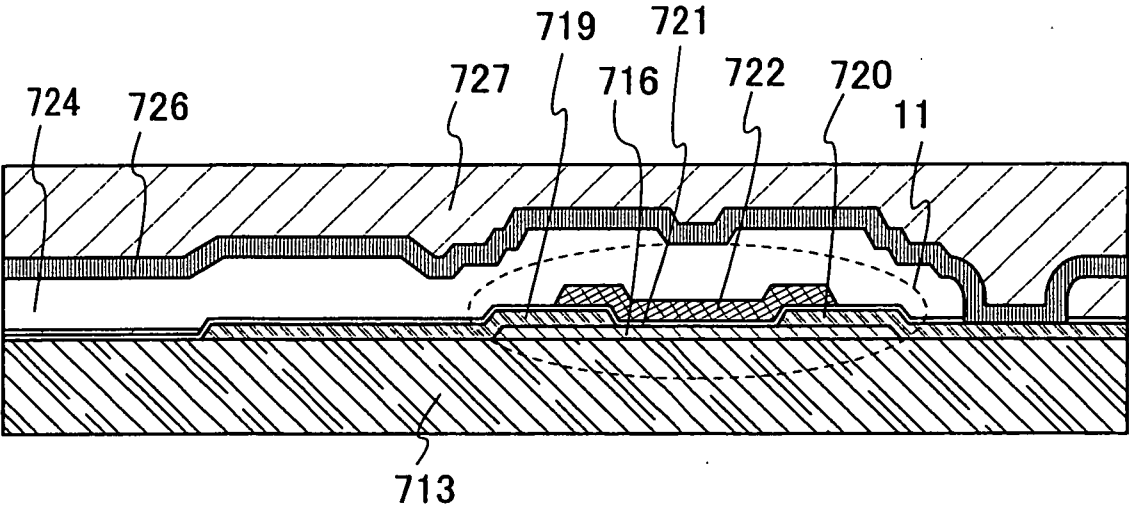


圖 8B

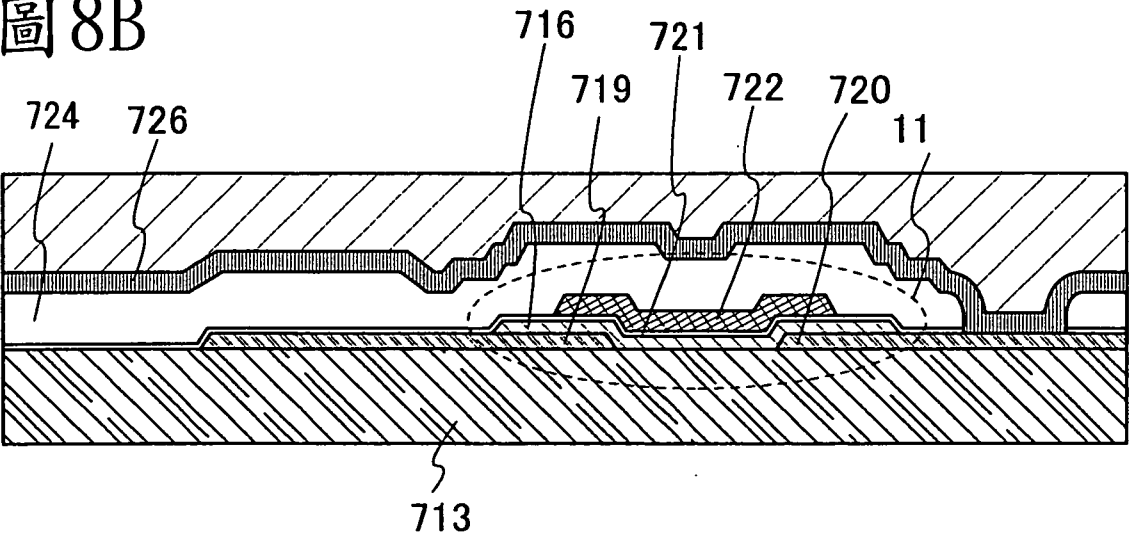


圖 9

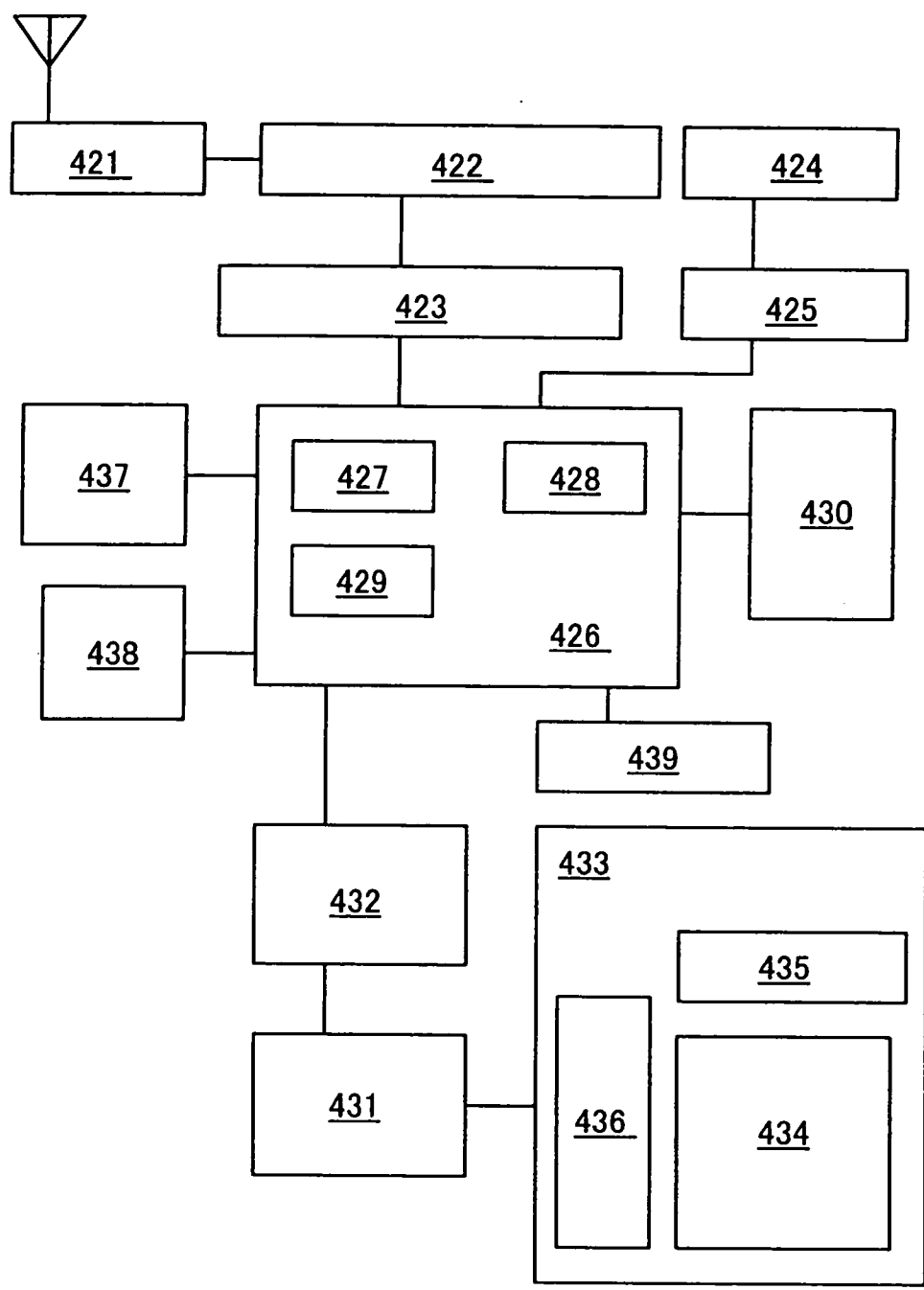


圖 10

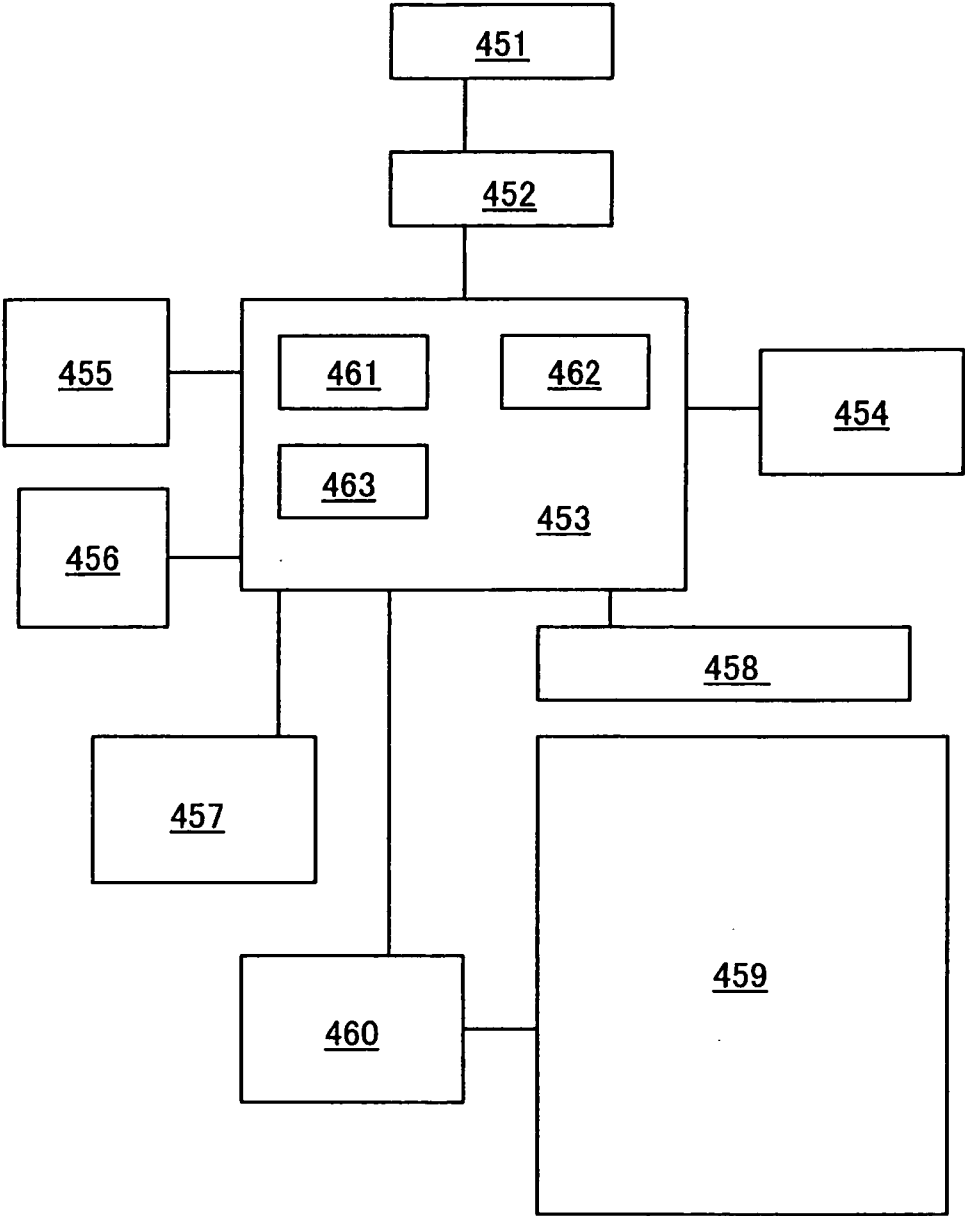


圖 11A

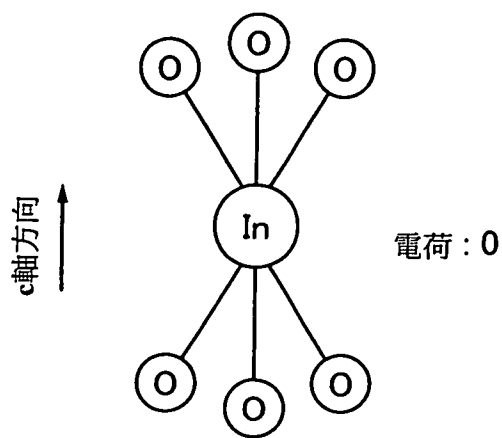


圖 11D

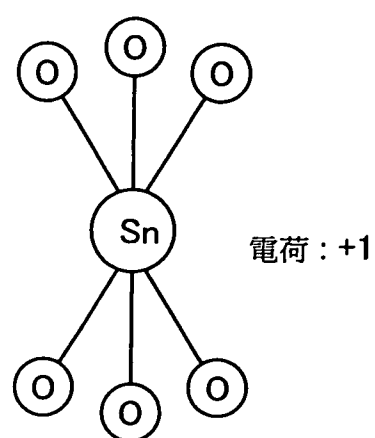


圖 11B

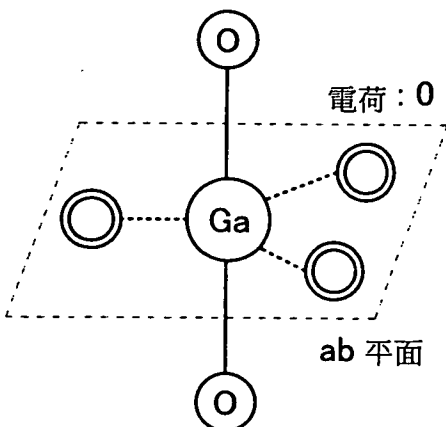


圖 11E

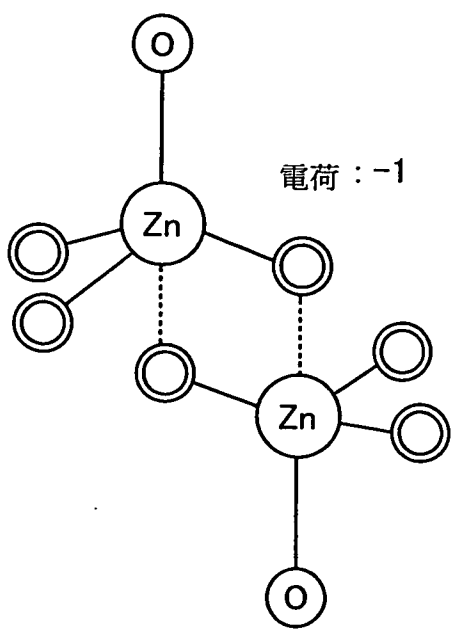


圖 11C

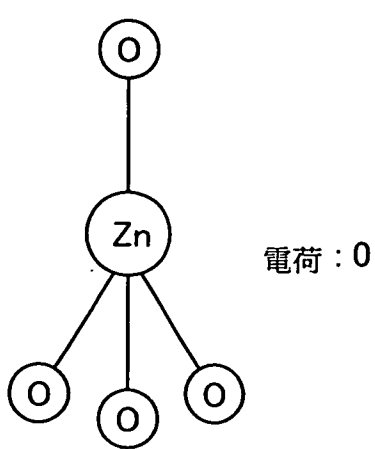


圖 12A

圖 12B

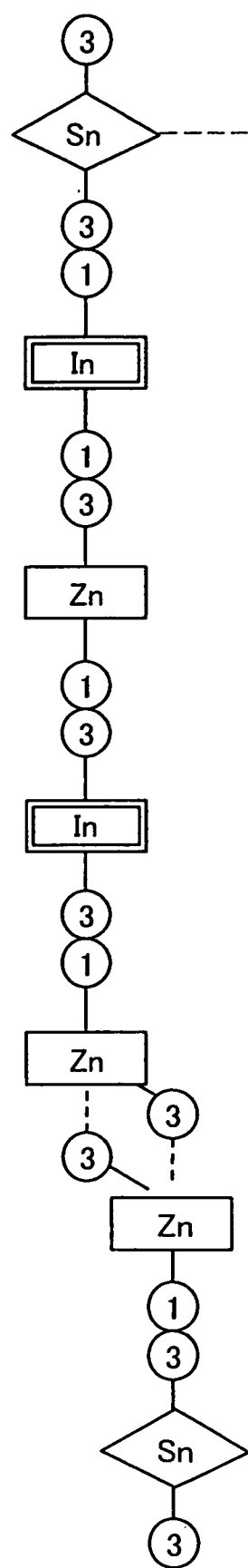
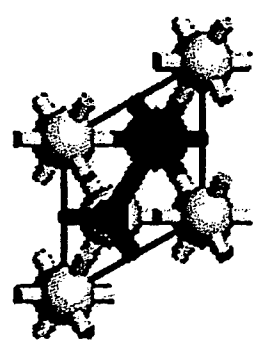


圖 12C



- In
- Sn
- Zn
- 0

圖 13A

圖 13B

圖 13C

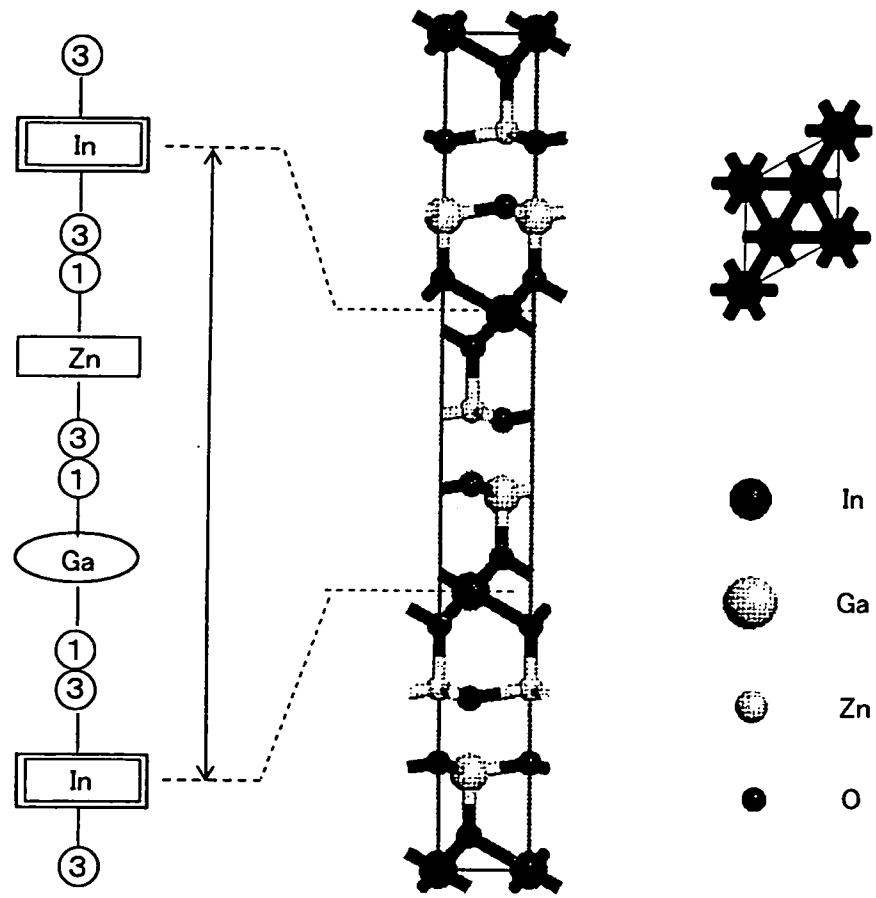


圖 14

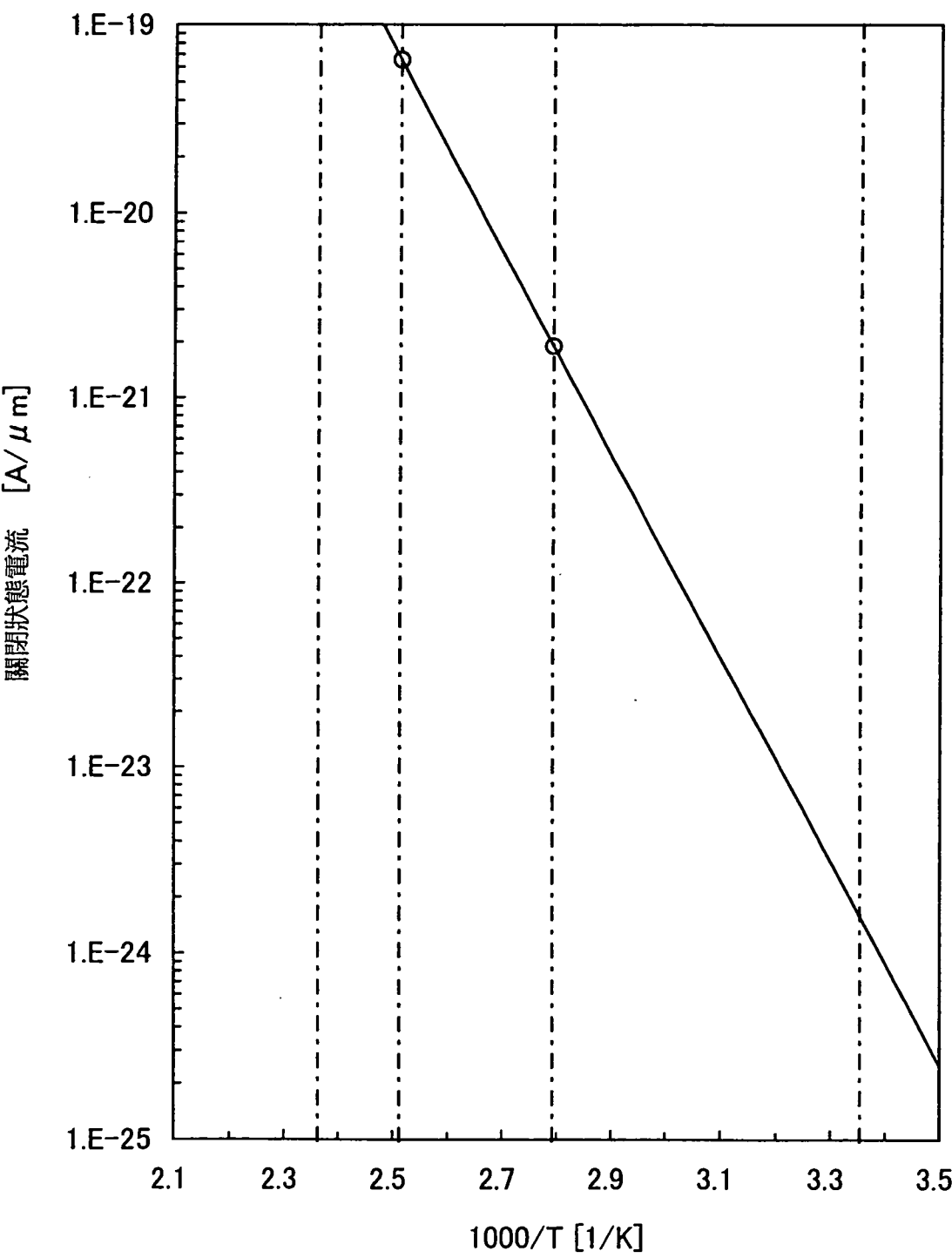


圖 15

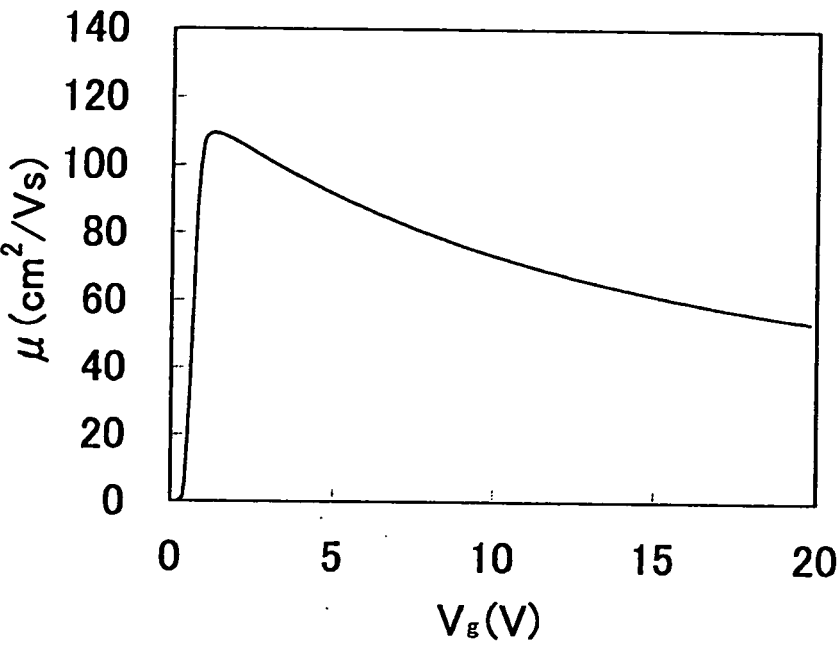


圖 16A

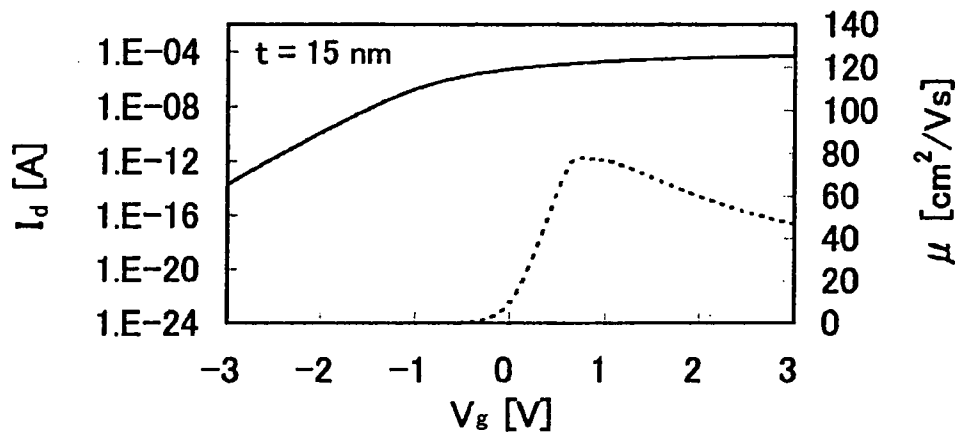


圖 16B

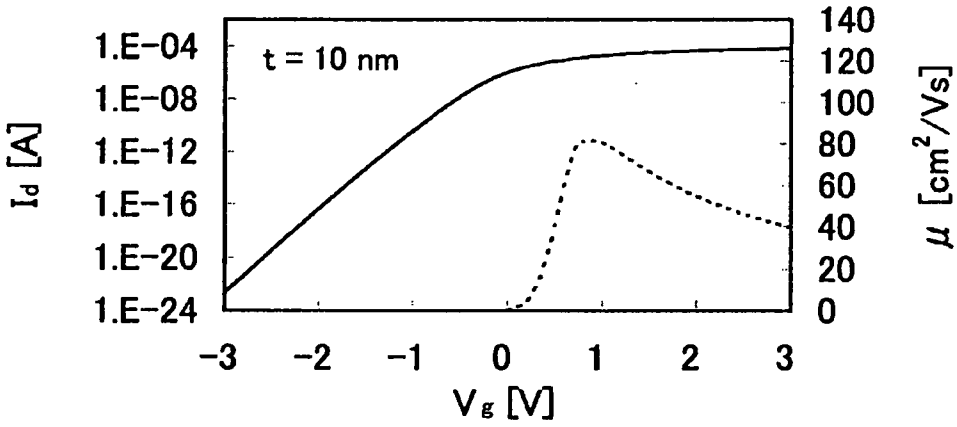


圖 16C

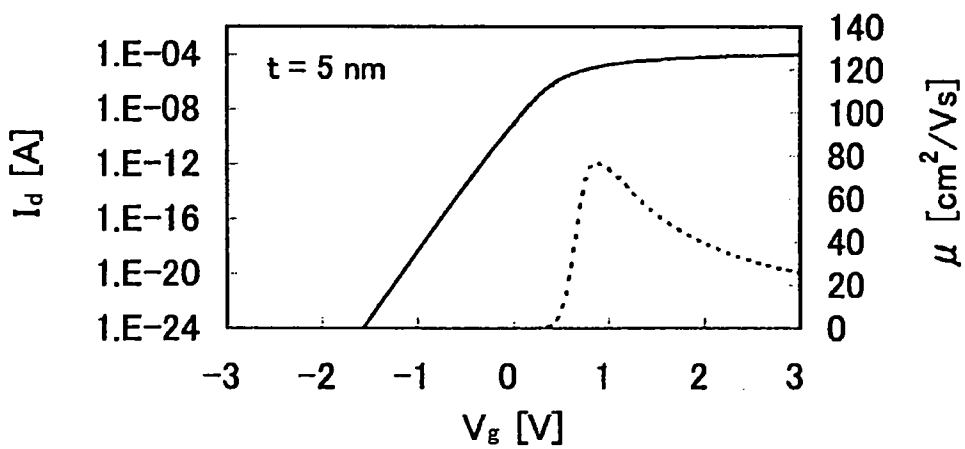


圖 17A

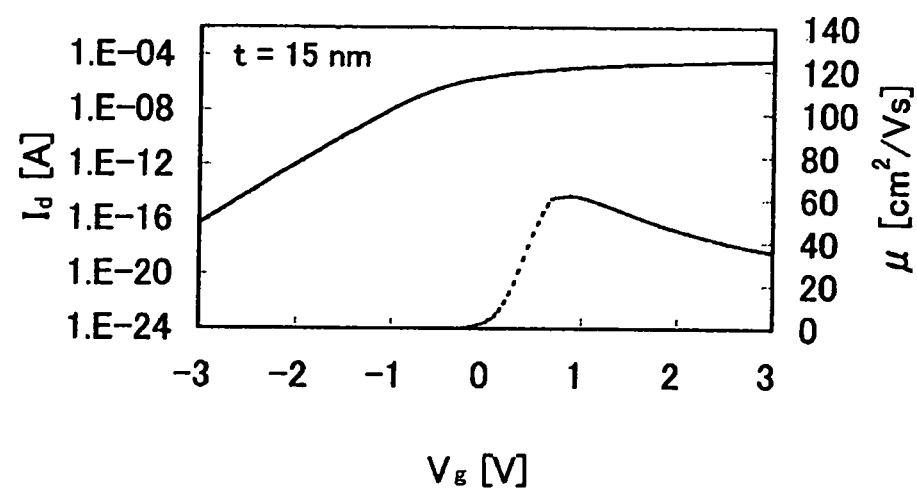


圖 17B

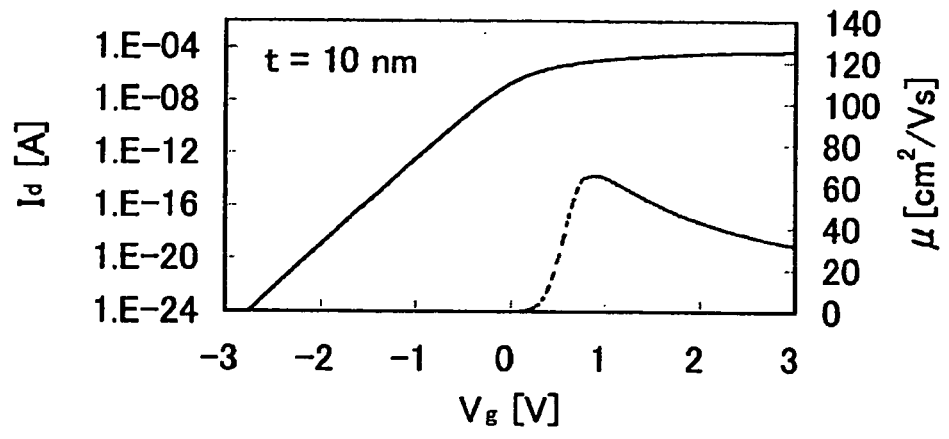


圖 17C

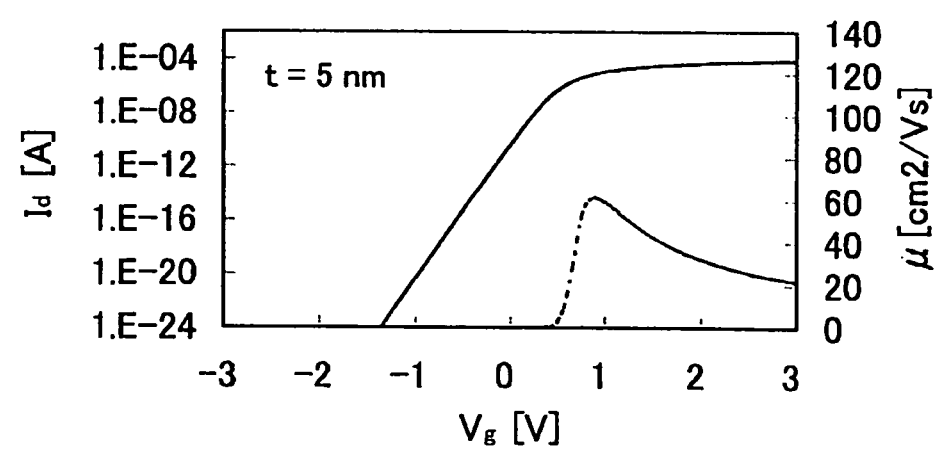


圖 18A

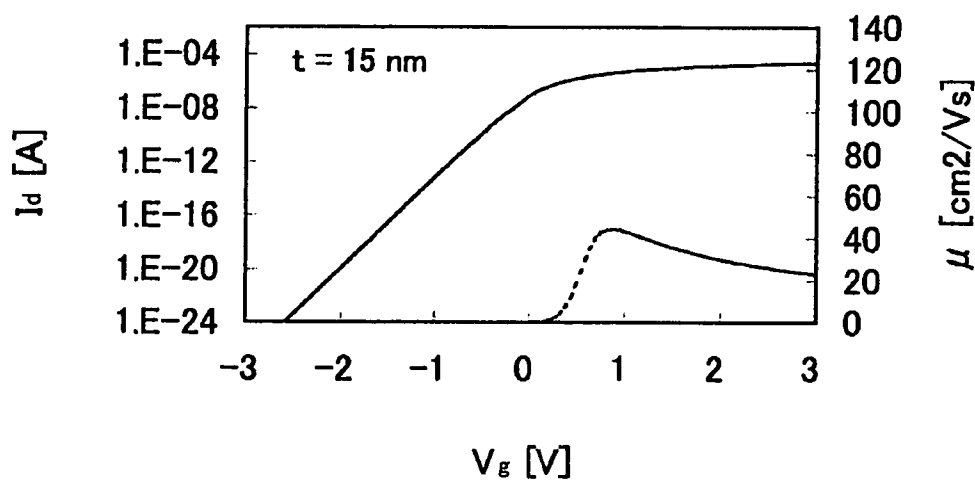


圖 18B

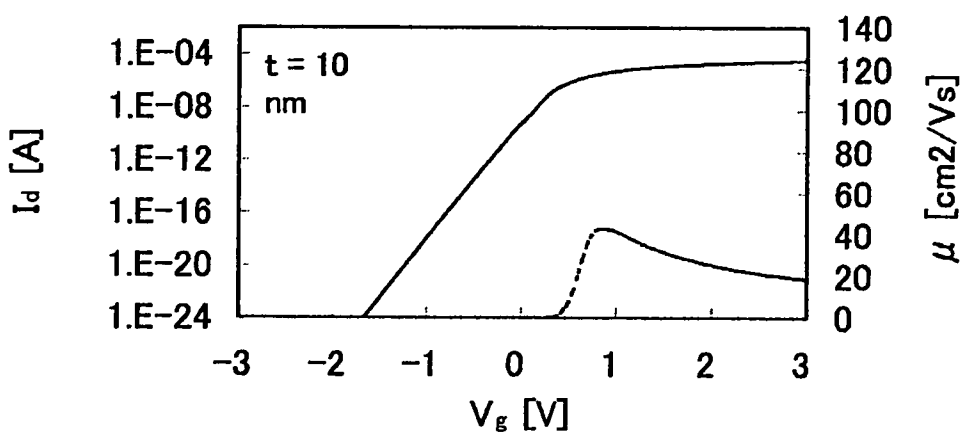


圖 18C

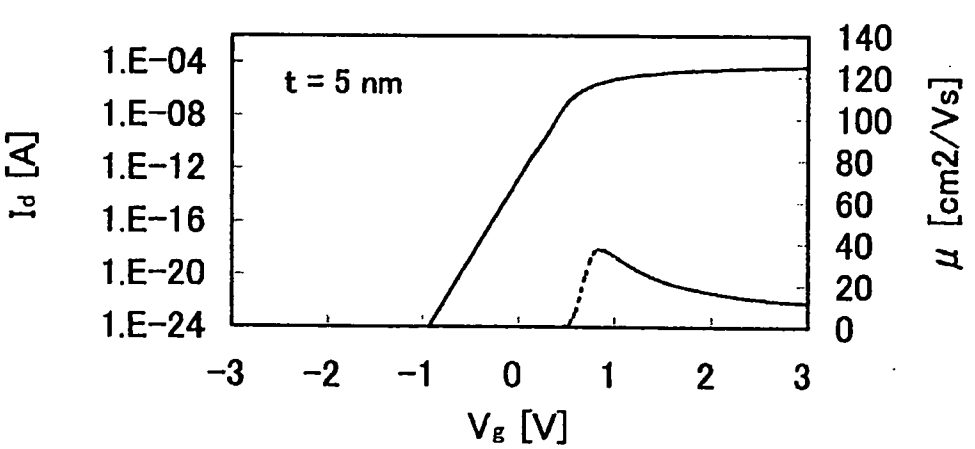


圖 19A

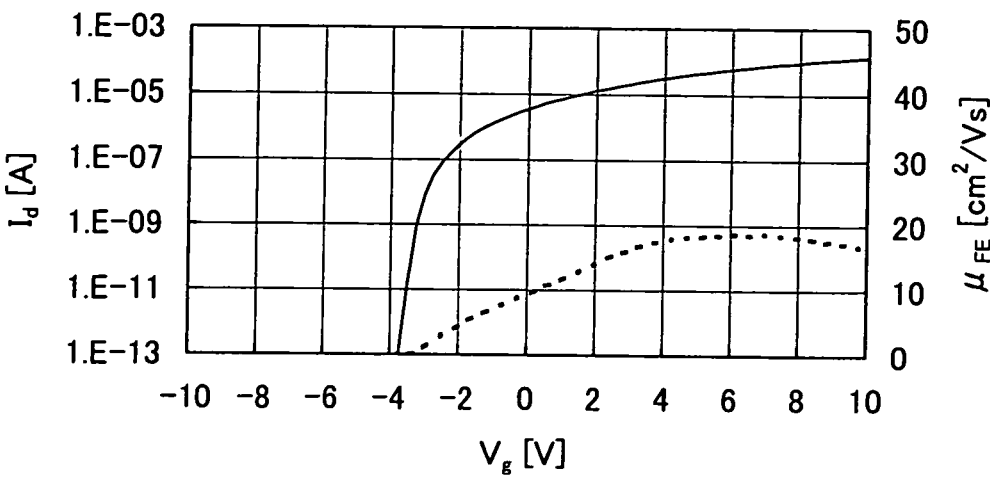


圖 19B

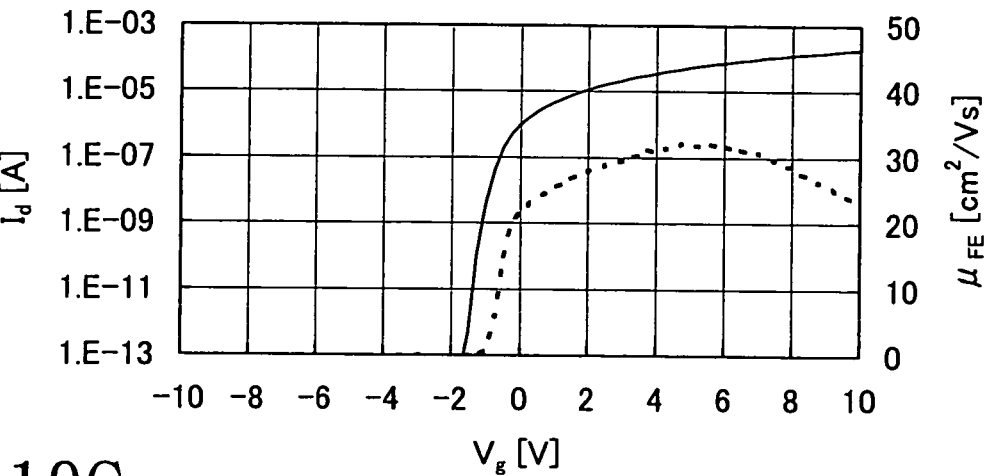


圖 19C

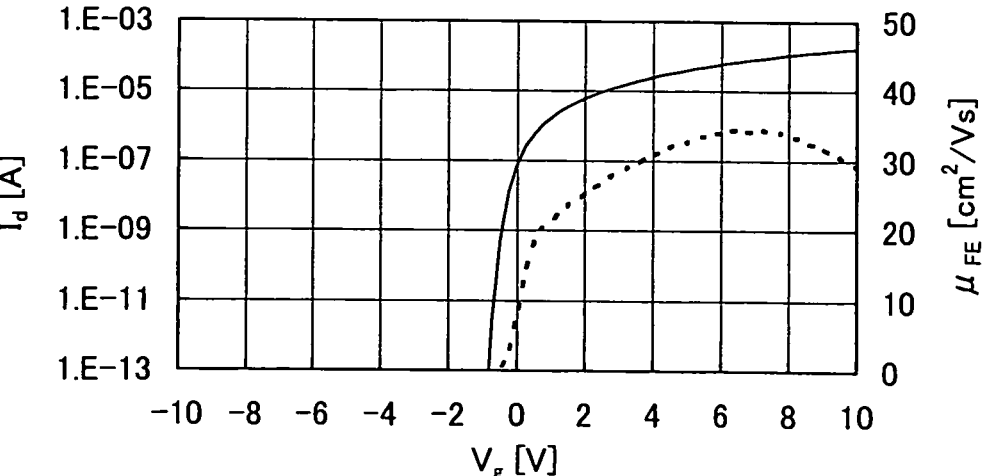


圖 20A

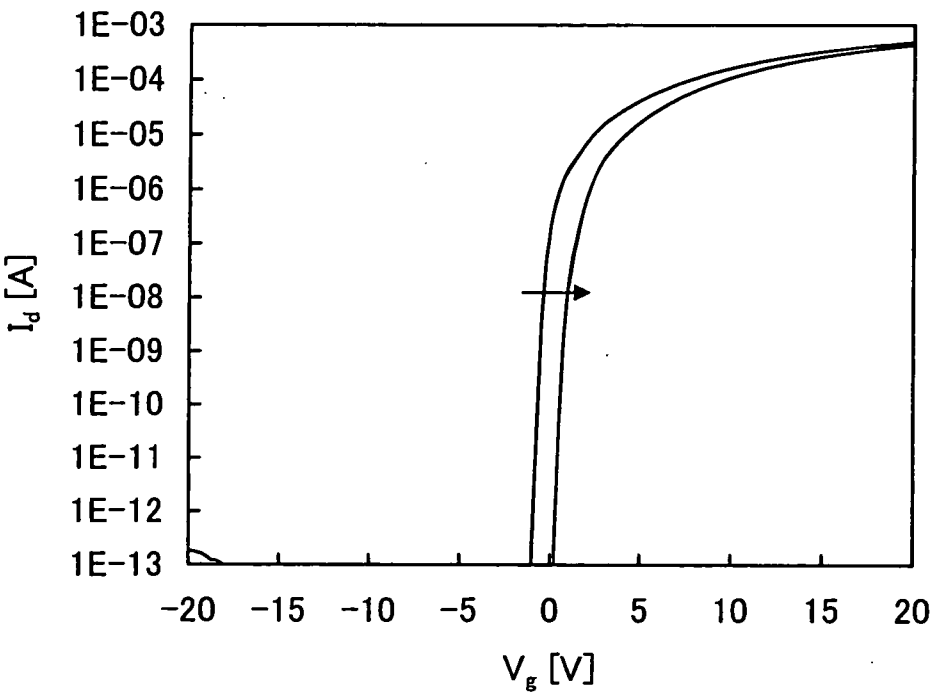


圖 20B

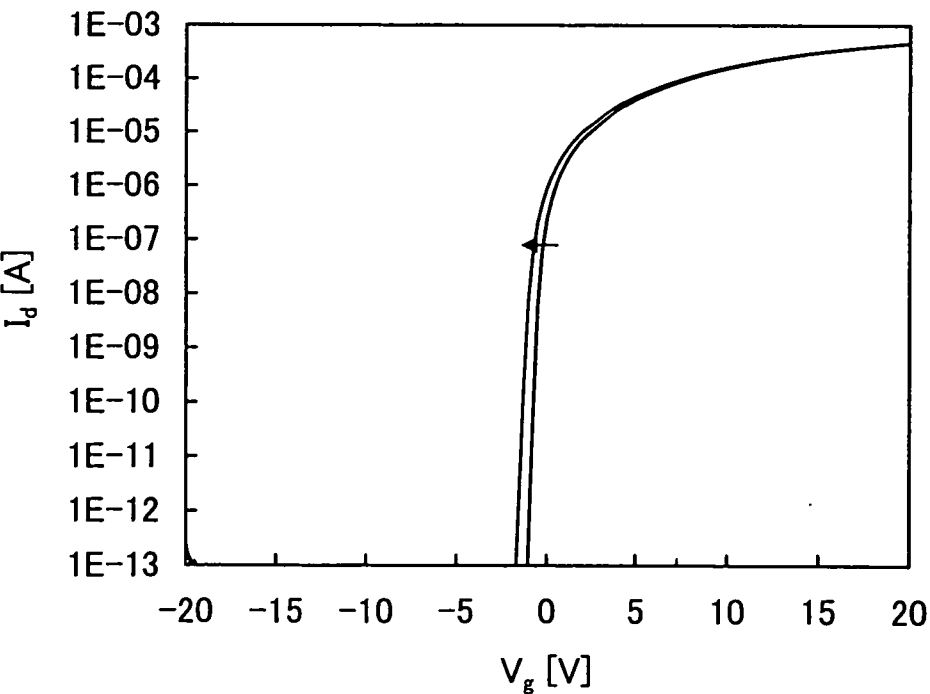


圖 21A

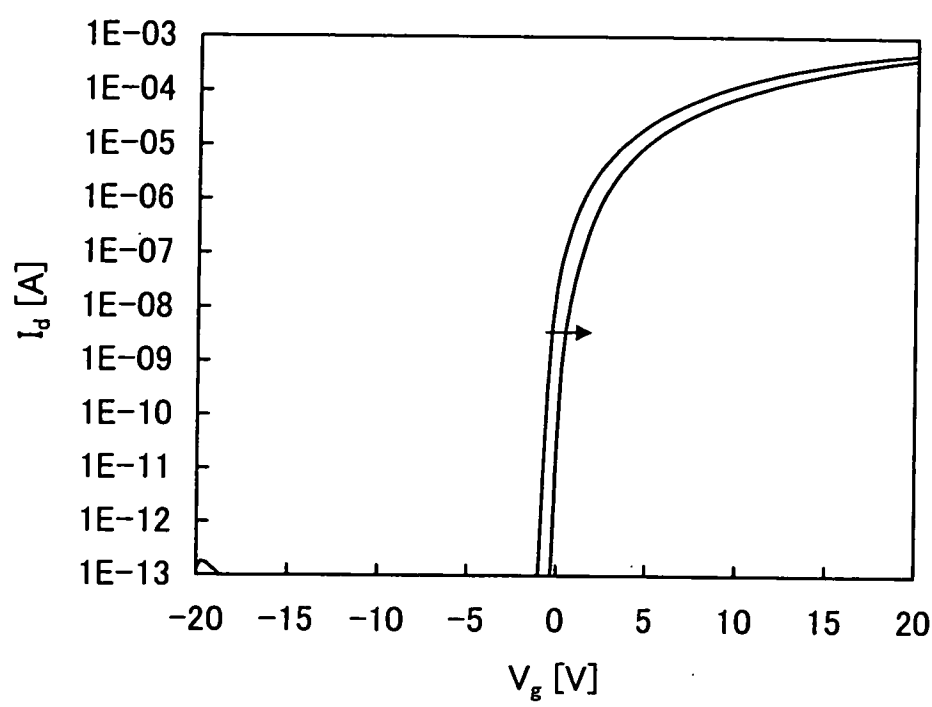


圖 21B

