

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 1 月 26 日 (26.01.2017)



(10) 国际公布号
WO 2017/012262 A1

- (51) 国际专利分类号:
G06F 17/50 (2006.01)
- (21) 国际申请号:
PCT/CN2015/098521
- (22) 国际申请日:
2015 年 12 月 23 日 (23.12.2015)
- (25) 申请语言:
中文
- (26) 公布语言:
中文
- (30) 优先权:
201510439319.9 2015 年 7 月 23 日 (23.07.2015) CN
- (71) 申请人: 华南理工大学 (SOUTH CHINA UNIVERSITY OF TECHNOLOGY) [CN/CN]; 中国广东省广州市天河区五山路 381 号, Guangdong 510640 (CN)。
- (72) 发明人: 陈凯 (CHEN, Kai); 中国广东省广州天河区五山路 381 号, Guangdong 510640 (CN)。汪双凤 (WANG, Shuangfeng); 中国广东省广州天河区五山路 381 号, Guangdong 510640 (CN)。
- (74) 代理人: 广州市华学知识产权代理有限公司 (GUANGZHOU HUAXUE INTELLECTUAL PROP-

ERTY AGENCY CO., LTD); 中国广东省广州天河区五山路 381 号物资大楼首层, Guangdong 510640 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: METHOD FOR HEAT TRANSFER OPTIMIZED ARRANGEMENT OF ELECTRONIC ELEMENTS BASED ON GREEDY ALGORITHM

(54) 发明名称: 一种基于贪婪算法的电子元件传热优化排布方法

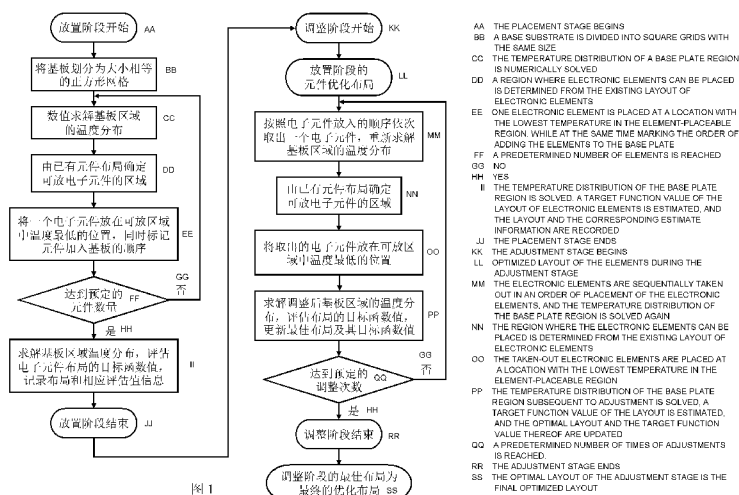


图 1

(57) Abstract: A method for the heat transfer optimized arrangement of electronic elements based on a greedy algorithm comprises an element placement stage and an element adjustment stage. The method comprises: dividing a base plate into a plurality of square grids with the same size; using a base plate region as a computing domain; numerically solving the temperature distribution of the base plate region; analyzing the existing layout of electronic elements; placing electronic elements to be placed into the grid with the lowest temperature in an element-placeable region according to the temperature distribution; recording the order of placement, and then, proceeding to the element adjustment stage, which specifically comprises: taking out the electronic elements according to the order of placement, recalculating the temperature distribution of the base plate every time one electronic element is taken out, determining the element-placeable region, and placing the taken-out electronic elements into the grid with the lowest temperature, so as to obtain the optimal layout. The method has the advantages of simple optimization process, high optimization speed, outstanding performance indexes, high expansibility, great practicability, etc.

(57) 摘要:

[见续页]

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种基于贪婪算法的电子元件传热优化排布方法，包括元件放置阶段及元件调整阶段，该方法将基板划分为多个大小相等的正方形网格，以基板区域为计算域，数值求解基板区域的温度分布，分析已有电子元件布局，根据温度分布，将待放电子元件放入可放元件区域中温度最低的网格中，并记录放入的顺序，然后进入元件调整阶段，具体是将电子元件按照放入顺序取出，每取出一个电子元件，均重新计算基板的温度分布，确定可放元件的区域，将取出的电子元件放入温度最低的网格，得到最优布局。该方法具有优化过程简单、优化速度快、性能指标好、扩展性高、实用性强等优点。

一种基于贪婪算法的电子元件传热优化排布方法

技术领域

本发明涉及一种电子元件优化排布方法，特别涉及一种基于贪婪算法的电子元件传热优化排布方法。

背景技术

随着微电子技术的发展，电子器件的体积越来越小，热流密度越来越大，散热问题已经成为电子器件微型化的瓶颈问题之一。电子器件由许多大大小小的电子元件组成，这些电子元件在工作过程中持续产生热量。若这些热量不能被及时带走，将使器件整体温度升高，超过温度阈值将对器件造成破坏，影响仪器设备的正常工作，严重时还会造成安全事故。另一方面，一些元件、仪器、设备，如电子芯片、LED 灯等，对温度均匀性有较高的要求，温度不均匀将产生局部高温，破坏器件的一致性，最终导致整体性能的下降。因此，需要采用合适的强化换热技术，高效地带走电子器件在工作过程中产生的热量，使其在合适的温度范围内工作，从而保证电子设备安全正常地运行。目前，对于微型电子器件的散热，主要是在基板上填充高热导率材料（如石墨、碳纤维等）构造高效导热通道将元件产生的热量高效地导出。采用构型理论、仿生方法、组合优化算法（遗传算法、模拟退火算法）等优化方法对高热导率材料在基板中的分布进行优化，可以达到优化热量传递过程，降低基板和电子元件温度的效果。然而，优化得到的高热导率材料分布往往比较复杂，在实际工程应用中，严格按照优化结果加工高热导率材料的分布十分困难，因此通过填充高热导率材料难以达到预期的传热效果。此外，高热导率材料的填充和加工也大大提高了电子器件的成本，在一定程度上影响了器件在实际应用中的经济效益。

发明内容

为了克服现有技术存在的缺点与不足，本发明提供一种基于贪婪算法的电子元件传热优化排布方法。

本发明采用如下技术方案：

一种基于贪婪算法的电子元件传热优化排布方法，包括如下

S1 进行元件放置，具体如下：

S1-1 将放置电子元件的基板划分为多个大小相等的正方形网格，每个网格为电子元件允许放置的位置；

S1-2 将基板上的电子元件等效为热源，以基板区域为计算域，数值求解温度控制方程，得到基板区域的温度分布；

S1-3 分析已有电子元件布局，结合待放电子元件的大小，确定可放元件区域及不可放元件区域；

S1-4 根据 S1-2 计算的温度分布，将一个待放电子元件放入可放元件区域中温度最低的网格中，同时标记该电子元件放入基板的顺序；

S1-5 重复 S1-2~S1-4，直到待放电子元件的数量达到指定数量，然后转到 S1-6，否则返回步骤 S1-2

S1-6 针对 S1-5 结束时得到的元件布局，计算基板区域的温度分布，评估该布局的目标函数值，将得到的元件布局及目标函数值记录为最佳布局信息，放置阶段结束；

S2 进行元件调整阶段，具体如下：

S2-1 按照 S1-4 中电子元件放入基板的顺序依次取出电子元件，每取出一个电子元件，均重新计算基板的温度分布；

S2-2 分析基板上已有电子元件布局，结合待放元件的大小，确定可放元件的区域；

S2-3 将取出的电子元件放在可放元件区域中温度最低的网格；

S2-4 计算调整后基板区域的温度分布，评估布局的目标函数值，与 S1-6 记录的最佳布局信息进行比较，优于则更新最佳布局及其目标函数值；

S2-5 S2-1 至 S2-4 为一次布局调整，当布局调整次数达到指定调整次数时，停止调整，并记录最佳元件布局为最终的电子元件传热优化排布。

S1 中的基板不含电子元件时，温度场为均匀温度场，首个待放电子元件放置位置需要人为确定。

所述最终的电子元件传热优化排布的目标函数值包括区域最高温度、区域平均温度或区域温度标准差

区域最高温度的计算公式为：

$$T_{\max} = \max_{i=1}^N (T_i)$$

其中 $T_{\max}$ 为区域的最高温度， T_i 为区域离散后中第 i 个位置的温度， N 为区域中考察温度的位置数量。

区域平均温度的计算公式为:

$$T_{\text{mean}} = \frac{1}{N} \sum_{i=1}^N T_i$$

其中 T_{mean} 为区域的平均温度。

区域的温度标准差来表征, 计算公式为:

$$\sigma_T = \frac{1}{N} \sqrt{\sum_{i=1}^N (T_i - T_{\text{mean}})^2}$$

其中 σ_T 为温度的标准差。

所述将基板上的电子元件等效为热源, 所述热源具有热源面积和热源强度, 其中热源面积等于电子元件在基板上占有的面积, 热源强度为电子元件发热功率除以热源面积。

放入基板的电子元件试放在基板的每一个网格中, 若该元件与基板中已有的任一元件重叠时, 该网格定为不可放元件网格, 否则定为可放元件网格, 当遍历所有网格时, 每个网格都被定为可放元件网格或者不可放元件网格, 可放元件网格合起来称为可放元件区域, 不可放元件网格合起来称为不可放元件区域。

本发明的有益效果:

(1) 优化过程简单: 提出的算法在优化过程中, 主要有三个关键技术步骤。一是根据已有电子元件布局和待放元件的大小标识可放元件区域; 二是根据电子元件的位置及基板的边界条件计算基板温度场; 三是将待放元件放置在可放元件区域中的温度最低的网格, 整个优化过程实施简单, 不含复杂的计算方法;

(2) 优化速度快: 算法的主要计算量来自基板的温度场计算。温度的控制方程为纯扩散方程, 不含对流项, 计算速度快。优化过程中温度场的计算次数为元件布局中元件个数的量级, 计算次数少, 因此在较短的时间内就能得到电子元件的优化布局;

(3) 性能指标好: 当作为热源的电子元件放置在基板上时, 会引起基板全场温度的升高, 其中加入的元件所在位置的温升最大, 因此, 贪婪算法的优化准则选为将电子元件放入温度场中最低温度的位置, 采用此准则有望减小全场的最高温度, 同时减小基板的温差, 达到改善温度均匀性的目的。鉴于上述优化准则与优化目标(基板最高温度最低、平均温度最低或者温度标准差最小)并不完全一致, 元件放置阶段得到的布局不一定是全局最优解, 因此算法包含

了元件调整阶段，通过反复调整每个电子元件的位置，进一步提高元件布局的传热性能。因此，采用提出的算法可以得到传热性能良好的电子元件布局；

(4) 扩展性好：本发明的优化准则仅仅涉及基板的温度分布，与基板的形状、物性参数和散热条件无关，同时也不受元件的形状和发热量的影响，因此，所涉及的算法可扩展至类似问题的求解，包括非规则形状的基板、非均匀热导率的基板、各种复杂的散热条件、不同形状和大小的电子元件等；

(5) 实用性强：本发明研究电子元件的传热优化排布问题，与现有技术相比，本发明研究成果不需要引入额外的材料和加工费用，仅需调整电子元件的布局，具有较强的实用性，可用于指导电子元件的布局设计，在不增加成本的基础上改善电子元件的传热性能，达到降低元件温度和提高温度均匀性的目的。

附图说明

图 1 是本发明的工作流程图；

图 2 是本发明实施例的基板计算区域示意图；

图 3 是本发明实施例中得到的电子元件优化布局

图 4 是本发明实施例中的电子元件的均匀布局。

具体实施方式

下面结合实施例及附图，对本发明作进一步地详细说明，但本发明的实施方式不限于此。

实施例

一种基于贪婪算法的电子元件传热优化排布方法，包括元件放置阶段及元件调整阶段，根据给定的条件，所述条件包括基板形状、材料、散热边界、电子元件的形状、个数、发热量等，然后基于温度场数值计算，通过电子元件逐个加入温度最低的位置，得到传热优化对应的元件布局，并采用逐个调整元件位置的方式，提高元件布局的传热性能。

本实施例采用的基板面积为 $0.1\text{ m} \times 0.1\text{ m}$ ，长 L 为 0.1 m ，热导率 (k) 为 1 W/(m K) ，如图 2 所示；基板下方边界有一个宽度 (δ) 为 0.001 m 的热层，温度 (T_0) 为 298 K ，其余边界绝热；在基板中加入 20 个 $0.01\text{ m} \times 0.01\text{ m}$ 的电子元件，每个元件的发热功率均为 1 W 。采用本发明求解这个电子元件传热优化排布问题，优化目标为基板最高温度最小化，布局调整次数为每个电子元件调整 3 次，即总共调整 60 次。

如图 1 本发明的流程图，具体步骤如下：

S1 进行元件放置，具体步骤如下

S1-1 将放置电子元件的基板划分为大小相等的正方形网格，每个网格为电子元件允许放置的位置。网格的状态分为可放元件和不可放元件两种。

S1-2 以实施例中的基板区域为计算域，将基板上已有电子元件等效为热源，根据基板的物性和散热边界条件，采用数值求解温度控制方程得到基板计算区域的温度分布；

S1-3 为了保证电子元件相互之间不重叠，根据已有电子元件布局和待放元件的大小，将全场划分为可放元件区域和不可放元件区域。将下一步放入基板的待放电子元件试放在基板的每一个网格中，若该元件与基板中已有的任一元件重叠时，该网格定为不可放元件网格，否则定为可放元件网格。当遍历所有网格时，每个网格都被定为可放元件网格或者不可放元件网格。其中可放元件网格合起来称为可放元件区域，不可放元件网格合起来称为不可放元件区域。确定了可放元件区域后，执行步骤 1-4。

S1-4 根据 S1-2 计算得到的温度分布，将一个待放电子元件放入可放元件区域中温度最低的网格中，同时标记每个电子元件放入基板的顺序。当基板中不含电子元件时，全场温度均匀，此时需要人工确定首个元件的位置。将首个电子元件放在热层中心，此处散热条件最好。

S1-5 重复 S1-2~S1-4，直到待放电子元件的数量达到指定数量，然后转到 S1-6，否则返回步骤 S1-2。

具体为，当放完第一个待放电子元件后，重新计算包含第一个待放电子元件的温度场，确定可放元件区域及不可放元件区域，将下一个待放电子元件放入可放元件区域中温度最低的网格，同时标记该电子元件放入基板的顺序，重复此步骤，直到所有待放电子元件放置完毕。

S1-6，针对 S1-5 结束时得到的元件布局，计算基板区域的温度分布，评估该布局的目标函数值，将得到的元件布局及目标函数值记录为最佳布局信息，放置阶段结束；

S2 进行元件调整阶段，具体如下：

S2-1 按照 S1-4 中电子元件放入基板的顺序依次取出电子元件，每取出一个电子元件，均采用数值方法，重新计算基板的温度分布；

S2-2 与 S1-3 步骤相同的方法，分析基板上已有电子元件布局，结合待放元件的大小，确定可放元件的区域；

S2-3 将取出的电子元件放在可放元件区域中温度最低的网格；

S2-4 计算调整后基板区域的温度分布，评估布局的目标函数值，与 S1-6 记录的最佳布局信息进行比较，优于则更新最佳布局及其目标函数值；

S2-5 S2-1 至 S2-4 为一次布局调整，当布局调整次数达到指定调整次数时，停止调整，并记录最佳元件布局为最终的电子元件传热优化排布。

本实施例指定的每个电子元件的调整次数为 3 次，调整阶段结束后，记录的最佳布局为最终的优化排布。

所述的目标函数可以是区域的最高温度、平均温度或者温度的标准差，三者的计算公式如下。

区域最高温度的计算公式为：

$$T_{\max} = \max_{i=1}^N (T_i)$$

其中 $T_{\max}$ 为区域的最高温度， T_i 为区域离散后中第 i 个位置的温度， N 为区域中考察温度的位置数量。

区域平均温度的计算公式为：

$$T_{\text{mean}} = \frac{1}{N} \sum_{i=1}^N T_i$$

其中 T_{mean} 为区域的平均温度。

区域的温度均匀性用温度的标准差来表征，计算公式为：

$$\sigma_T = \frac{1}{N} \sqrt{\sum_{i=1}^N (T_i - T_{\text{mean}})^2}$$

其中 σ_T 为温度的标准差。

图 3 显示了本发明优化得到的电子元件优化布局及对应的温度场。图 4 为电子元件为均匀布局时对应的温度场。图中，方框表示电子元件。可以看到，优化后电子元件倾向于集中在散热条件较好的热层附近，优化后热点温度（最高温度）显著下降，温度场均匀性也得到明显改善。优化布局和均匀布局的热点温度分别为 329.5K 和 337.5K，优化后热点温度下降了 8.0 K；二者的温度标准差分别为 1.3K 和 3.3 K，标准差减少了 60.6%。此外，优化过程仅需进行大约 $20+60 \times 2=140$ 次温度场计算，在个人计算机上的计算耗时约为 10 分钟。由此可见，该算法能在较短的时间内得到电子元件的优化布局。该实例验证了本发明对于电子元件传热优化排布的有效性。

上述实施例为本发明较佳的实施方式，但本发明的实施方式并不受所述实施例的限制，其他的任何未背离本发明的精神实质与原理下所作的改变、修饰、

替代、组合、简化，均应为等效的置换方式，都包含在本发明的保护范围之内。

权利要求书

1、一种基于贪婪算法的电子元件传热优化排布方法，其特征在于，包括如下

S1 进行元件放置，具体如下：

S1-1 将放置电子元件的基板划分为多个大小相等的正方形网格，每个网格为电子元件允许放置的位置；

S1-2 将基板上的电子元件等效为热源，以基板区域为计算域，数值求解温度控制方程，得到基板区域的温度分布；

S1-3 分析已有电子元件布局，结合待放电子元件的大小，确定可放元件区域及不可放元件区域；

S1-4 根据 S1-2 计算的温度分布，将一个待放电子元件放入可放元件区域中温度最低的网格中，同时标记该电子元件放入基板的顺序；

S1-5 重复 S1-2~S1-4，直到待放电子元件的数量达到指定数量，然后转到 S1-6，否则返回步骤 S1-2；

S1-6 针对 S1-5 结束时得到的元件布局，计算基板区域的温度分布，评估该布局的目标函数值，将得到的元件布局及目标函数值记录为最佳布局信息，放置阶段结束；

S2 进行元件调整阶段，具体如下：

S2-1 按照 S1-4 中电子元件放入基板的顺序依次取出电子元件，每取出一个电子元件，均重新计算基板的温度分布；

S2-2 分析基板上已有电子元件布局，结合待放元件的大小，确定可放元件的区域；

S2-3 将取出的电子元件放在可放元件区域中温度最低的网格；

S2-4 计算调整后基板区域的温度分布，评估布局的目标函数值，与 S1-6 记录的最佳布局信息进行比较，优于则更新最佳布局及其目标函数值；

S2-5 S2-1 至 S2-4 为一次布局调整，当布局调整次数达到指定调整次数时，停止调整，并记录最佳元件布局为最终的电子元件传热优化排布。

2、根据权利要求 1 所述的方法，其特征在于，S1 中的基板不含电子元件时，温度场为均匀温度场，首个待放电子元件放置位置需要人为确定。

3、根据权利要求 1 所述的方法，其特征在于，所述最终的电子元件传热优化排布的目标函数值包括区域最高温度、区域平均温度或区域温度标准差

区域最高温度的计算公式为:

$$T_{\max} = \max_{i=1}^N (T_i)$$

其中 $T_{\max}$ 为区域的最高温度, T_i 为区域离散后中第 i 个位置的温度, N 为区域中考察温度的位置数量。

区域平均温度的计算公式为:

$$T_{\text{mean}} = \frac{1}{N} \sum_{i=1}^N T_i$$

其中 T_{mean} 为区域的平均温度。

区域的温度标准差来表征, 计算公式为:

$$\sigma_T = \frac{1}{N} \sqrt{\sum_{i=1}^N (T_i - T_{\text{mean}})^2}$$

其中 σ_T 为温度的标准差。

4、根据权利要求 1 所述的方法, 其特征在于, 所述将基板上的电子元件等效为热源, 所述热源具有热源面积和热源强度, 其中热源面积等于电子元件在基板上占有的面积, 热源强度为电子元件发热功率除以热源面积。

5、根据权利要求 1 所述的方法, 其特征在于, 放入基板的电子元件试放在基板的每一个网格中, 若该元件与基板中已有的任一元件重叠时, 该网格定为不可放元件网格, 否则定为可放元件网格, 当遍历所有网格时, 每个网格都被定为可放元件网格或者不可放元件网格, 可放元件网格合起来称为可放元件区域, 不可放元件网格合起来称为不可放元件区域。

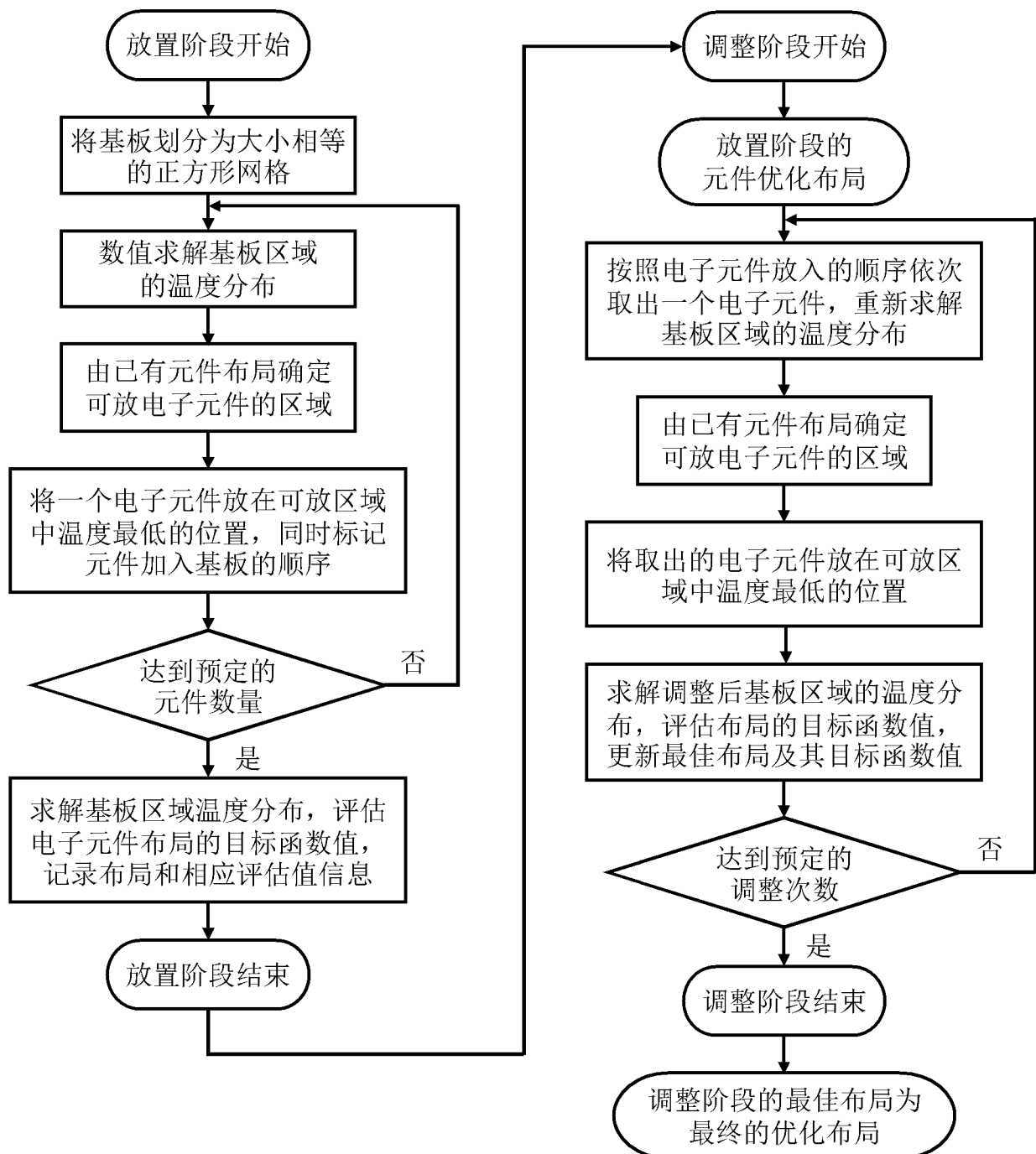


图 1

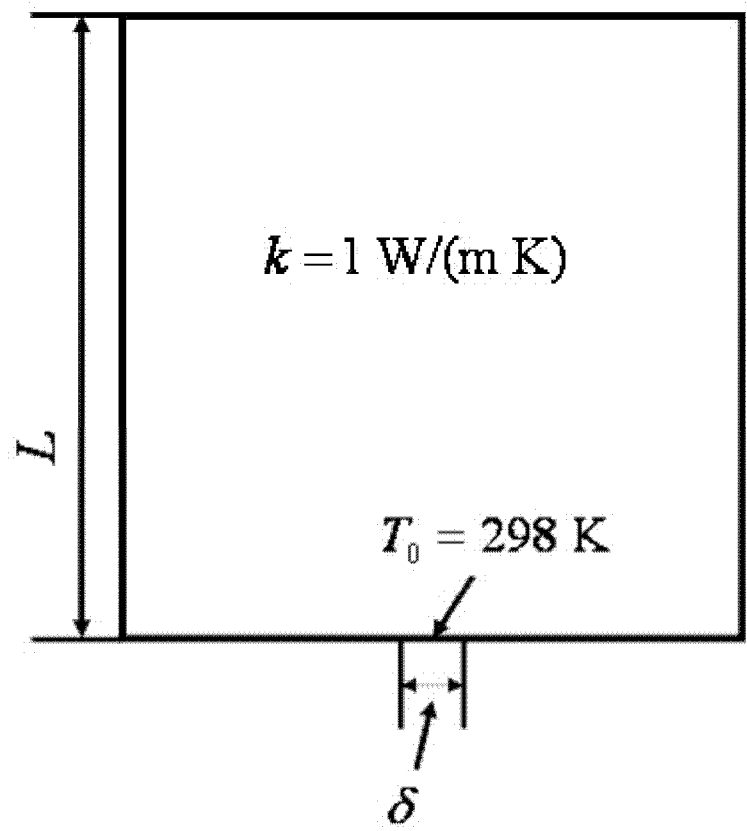


图 2

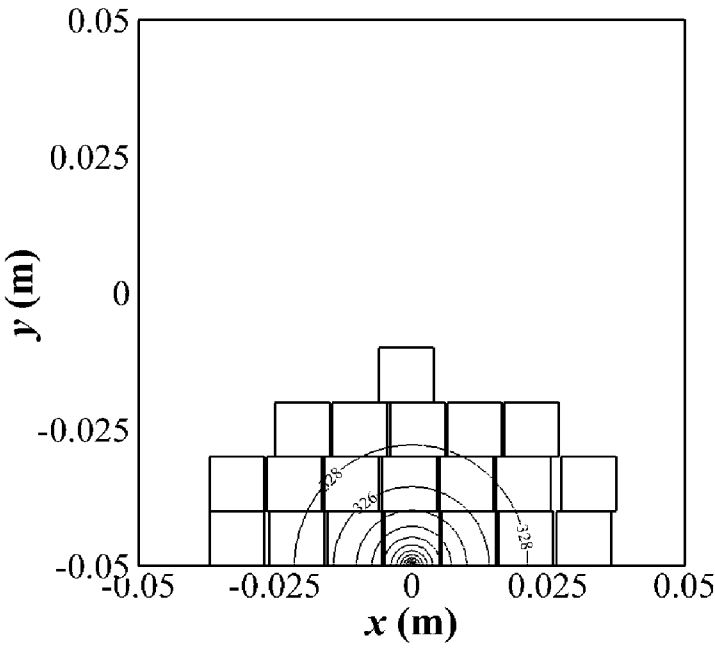


图 3

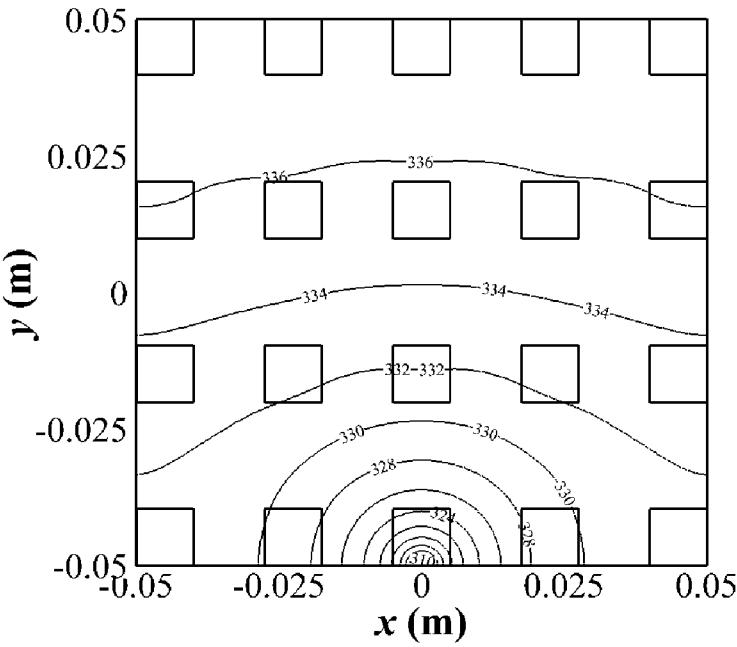


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/098521

A. CLASSIFICATION OF SUBJECT MATTER

G06F 17/50 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, GOOGLE, CNKI: arrange, design, greedy, thermal, temperature, layout, placement, optimization

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105138728 A (SOUTH CHINA UNIVERSITY OF TECHNOLOGY), 09 December 2015 (09.12.2015), claims 1-5	1-5
A	CN 104461732 A (SHANGHAI INFOTM MICROELECTRONICS CO., LTD.), 25 March 2015 (25.03.2015), the whole document	1-5
A	US 2008168406 A1 (RAHMAT, K. et al.), 10 July 2008 (10.07.2008), the whole document	1-5
A	KRAUSE, A. et al. "Near-Optimal Sensor Placements in Gaussian Processes: Theory, Efficient Algorithms and Empirical Studies", JOURNAL OF MACHINE LEARNING RESEARCH, vol. 9, 29 February 2008 (29.02.2008), ISSN: 1532-4435, pages 235-284	1-5
A	ZHU, Guoxi et al. "Placement Optimization of Electronic Components Based on Genetic Algorithm", COMPUTER ENGINEERING AND APPLICATIONS, vol. 43, no. 17, 15 September 2007 (15.09.2007), ISSN: 1002-8331, pages 100-103	1-5

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 April 2016 (13.04.2016)	Date of mailing of the international search report 25 April 2016 (25.04.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHANG, Wen Telephone No.: (86-10) 62413659

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/098521

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WANG, Nailong et al. "VLSI Thermal Placement Optimization Using Simulated Annealing", CHINESE JOURNAL OF SEMICONDUCTORS, vol. 24, no. 4, 30 April 2003 (30.04.2003), pages 427-432	1-5

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/098521

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105138728 A	09 December 2015	None	
CN 104461732 A	25 March 2015	None	
US 2008168406 A1	10 July 2008	US 7366997 B1	29 April 2008
		US 2014053124 A1	20 February 2014
		US 2011209113 A1	25 August 2011

国际检索报告

国际申请号

PCT/CN2015/098521

A. 主题的分类

G06F 17/50(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, GOOGLE, CNKI: 贪心, 贪婪, 热, 温度, 布局, 放置, 排列, 排布, 设计, 优化, greedy, thermal, temperature, layout, placement, optimization

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 105138728 A (华南理工大学) 2015年 12月 9日 (2015 - 12 - 09) 权利要求1-5	1-5
A	CN 104461732 A (上海盈方微电子有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-5
A	US 2008168406 A1 (RAHMAT, KHALID 等) 2008年 7月 10日 (2008 - 07 - 10) 全文	1-5
A	KRAUSE, Andreas等. "Near-Optimal Sensor Placements in Gaussian Processes: Theory, Efficient Algorithms and Empirical Studies" Journal of Machine Learning Research, 第9卷, 2008年 2月 29日 (2008 - 02 - 29), ISSN: 1532-4435, 第235-284页	1-5
A	朱国玺 等. "基于遗传算法的电子元器件优化布局" 计算机工程与应用, 第43卷, 第17期, 2007年 9月 15日 (2007 - 09 - 15), ISSN: 1002-8331, 第100-103页	1-5

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 4月 13日

国际检索报告邮寄日期

2016年 4月 25日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张文

传真号 (86-10)62019451

电话号码 (86-10)62413659

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	王乃龙 等. “用模拟退火算法实现集成电路热布局优化” 半导体学报, 第24卷, 第4期, 2003年 4月 30日 (2003 - 04 - 30), 第427-432页	1-5

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/098521

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105138728	A	2015年 12月 9日	无			
CN	104461732	A	2015年 3月 25日	无			
US	2008168406	A1	2008年 7月 10日	US	7366997	B1	2008年 4月 29日
				US	2014053124	A1	2014年 2月 20日
				US	2011209113	A1	2011年 8月 25日

表 PCT/ISA/210 (同族专利附件) (2009年7月)