



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2008 003 656 A1** 2008.12.04

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2008 003 656.0**

(22) Anmeldetag: **09.01.2008**

(43) Offenlegungstag: **04.12.2008**

(51) Int Cl.⁸: **H01L 21/336** (2006.01)
H01L 21/8242 (2006.01)

(30) Unionspriorität:
096119109 29.05.2007 TW

(74) Vertreter:
Hoefer & Partner, 81543 München

(71) Anmelder:
**Nanya Technology Corporation, Kueishan,
Taoyuan, TW**

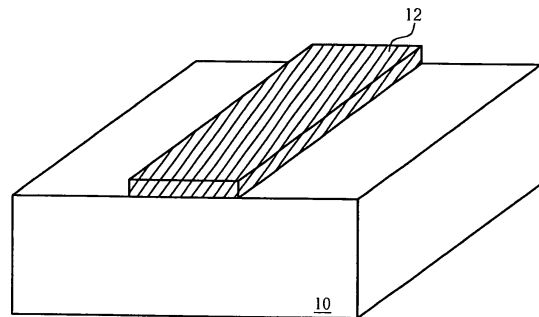
(72) Erfinder:
**Lee, Tzung-Han, Taipei, TW; Yang, Chin-Tien,
Kaohsiung, TW**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Herstellungsverfahren einer selbstjustierenden Fin-Feldeffekttransistor-(FinFET-) Vorrichtung**

(57) Zusammenfassung: Ein Herstellungsverfahren einer selbstjustierenden Fin-FET-(FinFET-) Vorrichtung wird offenbart, bei dem eine Isolierschicht (18) einer flachen Grabenisolierung rückgeätzt wird, um die Seitenwände des Halbleitersubstrats (10), das von der flachen Grabenisolierung umgeben ist, teilweise freizulegen und die Seitenwände des Halbleitersubstrats (10) werden danach isotropisch geätzt, damit das Halbleitersubstrat (10) in einer relativ dünnen Fin-Struktur (16) ausgebildet werden kann, um eine dreidimensionale Gate-Struktur mit drei Flächen zu bilden.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf ein Herstellungsverfahren einer selbstjustierenden Fin-Feldeffekttransistor-(FinFET)Vorrichtung gemäß dem Oberbegriff der Ansprüche 1 und 9.

[0002] Dynamische Halbleiterspeicher mit wahlfreiem Zugriff (DRAM's) enthalten eine Matrix von Speicherzellen, die in Form von Reihen über Wortleitungen und von Spalten über Bitleitungen angeschlossen sind. Die Daten werden durch die Aktivierung von entsprechenden Wort- und Bitleitungen aus den Speicherzellen gelesen oder in die Speicherzellen geschrieben. Eine dynamische Speicherzelle weist generell einen Selection- bzw. Auslesetransistor und einen Speicherkondensator auf, wobei der Auslesetransistor gewöhnlich als horizontal ausgelegter Feldeffekttransistor konfiguriert ist und zwei Diffusionsbereiche aufweist, die durch einen Kanal getrennt sind, über dem ein Gate angeordnet ist. Das Gate wird sodann mit einer Wortleitung verbunden. Einer der Diffusionsbereiche des Auslesetransistors ist mit einer Bitleitung verbunden und der andere Diffusionsbereich ist mit dem Speicherkondensator verbunden. Durch das Anlegen einer geeigneten Spannung über die Wortleitung am Gate, schaltet sich der Auslesetransistor ein und ermöglicht einen Stromfluss zwischen den Diffusionsbereichen, um den Speicherkondensator über die Bitleitung aufzuladen.

[0003] Jedoch gibt es bei der Miniaturisierungsentwicklung der elektronischen Produkte eine Entwicklung für Fin-Feldeffekttransistoren (FET's), um einen hohen Antriebsstrom zu erzielen und den Short Channel Effect zu mindern. Weil der Fin-FET im Wesentlichen eine dreidimensionale Struktur aufweist, die komplizierter als eine herkömmliche Struktur ist, ist er schwieriger herzustellen. Daher besteht noch ein Bedarf nach einem neuartigen Herstellungsverfahren einer Fin-FET-Vorrichtung.

[0004] Vor diesem Hintergrund beabsichtigt die vorliegende Erfindung, ein Verfahren zur Herstellung einer selbstjustierenden FinFET-Vorrichtung bereitzustellen, um einen FET mit einer Fin-Struktur zu erreichen, die dünner als die des Standes der Technik ist.

[0005] Die Lösung dieser Aufgabe erfolgt durch die Merkmale des Anspruchs 1 bzw. des Anspruchs 9. Die Unteransprüche offenbaren bevorzugte Weiterbildungen und Verbesserungen der Erfindung.

[0006] Wie aus der nachfolgenden detaillierten Beschreibung klarer ersichtlich, umfasst das beanspruchte Herstellungsverfahren einer selbstjustierenden FinFET-Vorrichtung das Definieren einer Active Area bzw. eines Aktivbereichs als Fin-Struktur und von Gräben auf beiden Seiten des Aktivbereichs in einem Halbleitersubstrat, wobei eine Gate-Region auf einem Mittelteil des Aktivbereichs angeordnet ist; Ausbilden einer Isolierschicht, um die Gräben aufzufüllen; Rückätzen eines Bereichs der Isolierschicht in den Gräben auf beiden Seiten der Gate-Region, um einen oberen Bereich der Fin-Struktur in der Gate-Region freizulegen; und Ausbilden eines Gate-Materials, um den oberen Bereich der Fin-Struktur in der Gate-Region abzudecken.

[0007] Weitere Einzelheiten, Merkmale und Vorteile der Erfindung ergeben sich aus nachfolgender Beschreibung eines Ausführungsbeispiels anhand der Zeichnung. Darin zeigt:

[0008] [Fig. 1](#) bis [Fig. 10](#) jeweils eine Ausführungsform des Herstellungsverfahrens einer erfindungsgemäßen selbstjustierenden Fin-FET-Vorrichtung; und [Fig. 11](#) eine schematische Draufsicht eines Teils einer Speicherzelle in einem DRAM-Array mit den Fin-FET's, die durch das erfindungsgemäßen Verfahren hergestellt wurden.

[0009] Die Vorrichtung, die durch das erfindungsgemäße Herstellungsverfahren einer selbstjustierenden Fin-FET-Vorrichtung erzielt wird, kann eine reduzierte Flächeneinheit bzw. Unit Area aufweisen und die Integration kann erhöht sein, da der Aktivbereich der Vorrichtung eine ganz dünne Fin-Struktur aufweist. Darüber hinaus kann die Einschaltstrom-Verstärkung aufgrund der dreidimensionalen Grenzfläche bzw. Junction zwischen dem Steuer-Gate und der Fin-Struktur des Aktivbereichs erhöht sein, während der Kontakt der Bitleitung mit der Source- und Drainelektrode nicht beeinträchtigt und immer noch gut ist.

[0010] [Fig. 1](#) bis [Fig. 10](#) veranschaulichen eine Ausführungsform des Herstellungsverfahrens einer selbstjustierenden Fin-FET-Vorrichtung gemäß der vorliegenden Erfindung. Es wird auf [Fig. 1](#) Bezug genommen. Zuerst wird ein Halbleitersubstrat **10** bereitgestellt. Das Halbleitersubstrat kann z. B. Silizium, Germanium, Silizium auf einem Isolator (SOI), Silizium/Germanium auf einem Isolator (SGOI), einen Verbindungshalbleiter, einen Mehrschicht-Halbleiter oder eine Kombination daraus aufweisen. Eine Hartmaske **12** wird auf dem Halbleitersubstrat **10** ausgebildet. Die Hartmaske **12** weist ein Muster auf. Die Hartmaske **12** kann durch Abscheiden einer Silizium-Nitrid-Verbindungsschicht (wie z. B. einer Silizium-Nitrid-Schicht) auf dem Halbleitersubstrat

10 und Mustern der Silizium-Nitrid-Verbindungsschicht durch einen Mikrolithographie- und Ätzprozess ausgebildet werden. Eine Region des von der Hartmaske **12** abgedeckten Halbleitersubstrats **10** ist als Aktivbereich definiert. Der Aktivbereich weist eine Gate-Region auf und weist ferner eine Source-Region und eine Drain-Region auf. Die Gate-Region ist auf dem Mittelteil des Aktivbereichs angeordnet. Die Source-Region und die Drain-Region sind im Aktivbereich jeweils auf beiden Seiten der Gate-Region angeordnet. Ein Bereich des nicht von der Hartmaske **12** abgedeckten Halbleitersubstrats **10** weist einen Wortleitungsbereich und einen Shallow-Trench-Isolation- bzw. flachen Grabenisolierbereich auf.

[0011] Als nächstes wird auf [Fig. 2](#) Bezug genommen. Der nicht von der Hartmaske **12** abgedeckte Bereich des Halbleitersubstrats **10** wird einem anisotropen Ätzprozess, z. B. einem Trockenätzen ausgesetzt, um die Gräben **14** (die Gräben **14** sind in [Fig. 2](#) teilweise dargestellt) nach unten auszubilden. Dadurch wird der von der Hartmaske **12** abgedeckte Bereich des Halbleitersubstrats **10** (d. h. der Aktivbereich) in eine Fin-Struktur **16** ausgebildet. Die Gräben **14** umgeben die Fin-Struktur **16**.

[0012] Es wird auf [Fig. 3](#) Bezug genommen. Eine Isolierschicht **18** wird ausgebildet, um die Gräben **14** aufzufüllen. Das Auffüllen der Isolierschicht **18** kann z. B. durch einen chemischen Dampf-Abscheideprozess durchgeführt werden und das Material der Isolierschicht kann z. B. ein Oxid, Nitrid, oder Oxy-Nitrid sein. Die Isolierschicht wird aufgebracht, um die Gräben **14** aufzufüllen und die Hartmaske **12** abzudecken, und danach wird die Oberfläche der resultierenden Isolierschicht durch einen chemisch-mechanischen Polierprozess eingeebnet bzw. planarisiert, um die Hartmaske **12** freizulegen.

[0013] Um beim Verfahren der vorliegenden Erfindung ein Fin-Gate herzustellen, wird ein Bereich der Isolierschicht auf jeder der beiden Seiten der Gate-Region entfernt, um einen Teil des oberen Bereichs der Fin-Struktur freizulegen. Der so erhaltene Zwischenraum dient als Wortleitungsbereich für die nachfolgende Herstellung einer Wortleitung. Folglich kann die Wortleitung angeordnet werden, um die Gate-Struktur zu kreuzen und darüber hinaus kontaktiert die Wortleitung die Gate-Struktur mit drei Flächen. Die Beseitigung des Bereichs der Isolierschicht der Gate-Region kann durch Ätzen durchgeführt werden. Das heißt, der nicht durch das Ätzen entfernte Bereich (zum Beispiel der Bereich, der als flache Grabenisolierung im nachfolgenden Prozess erhalten bleibt) wird durch eine Hartmaske abgedeckt und der zu entfernende Bereich (d. h. der Bereich der Isolierschicht an jeder der beiden Seiten des Gate-Bereichs) wird freigelegt und danach durch einen anisotropen Ätzprozess entfernt. Die Hartmaske kann durch Ausführen eines Mikrolithographie- und Ätzprozesses ausgebildet werden. Zum Beispiel wird eine lichtundurchlässige Schicht (nicht dargestellt) über der Isolierschicht **18** und der Hartmaske **12** ausgebildet und gemustert, um die Bereiche freizulegen, die vom Muster der zweiten Hartmaske im nachfolgenden Prozess abgedeckt werden. Ein Rückätzprozess wird durchgeführt, um eine Tiefe der freigelegten Bereiche zu entfernen, so dass die Höhe der freigelegten Bereiche auf einem im Wesentlichen gleichen Niveau wie der Boden der Hartmaske **12** liegt. Danach wird die Hartmaskenschicht konform auf der Isolierschicht **18** und der Hartmaske **12** abgeschieden und danach planarisiert, wobei eine Hartmaske **20**, wie in [Fig. 4](#) dargestellt, ausgebildet wird. Die Hartmaske **20** deckt die Bereiche der Isolierschicht in den flachen Grabenisolierbereichen ab, um diese Bereiche in einem nachfolgenden Ätzprozess zu schützen.

[0014] Danach wird, wie in [Fig. 5](#) dargestellt, ein oberer Bereich der Isolierschicht **18** auf beiden Seiten der Gate-Region (d. h. der obere Bereich der Isolierschicht im Wortleitungsbereich) unter Verwendung der Hartmaske **12** und der Hartmaske **20** als Maske zum Ätzen rückgeätzt, um dadurch den oberen Bereich der Fin-Struktur **16** in der Gate-Region des Aktivbereichs freizulegen. Das Ätzverfahren kann zum Beispiel ein Trockenätzen sein. Die Dicke der Fin-Struktur **16** in der Gate-Region kann z. B. 60 nm betragen und die Höhe kann z. B. 60 nm betragen, ist aber nicht hierauf beschränkt. [Fig. 6](#) veranschaulicht eine schematische Querschnittsansicht entlang der Linie I-I' in [Fig. 5](#).

[0015] Es wird auf [Fig. 7](#) Bezug genommen. Danach werden die die Seitenwände der Fin-Struktur **16** isotropisch geätzt, um die Dicke der Fin-Struktur **16** zu reduzieren, wobei die Fin-Struktur **16a**, wie in [Fig. 7](#) dargestellt, erhalten wird. Das Verfahren des isotropischen Ätzens kann z. B. ein Nassätzen sein. Wenn die Fin-Struktur z. B. eine Originaldicke von 60 nm aufweist, wird jede Seite nach dem isotropischen Ätzen um circa 15 nm reduziert, was zur Fin-Struktur **16a** mit einer Dicke von circa 30 nm führt.

[0016] Es wird auf [Fig. 8](#) Bezug genommen. Danach werden die Hartmasken **12** und **20** entfernt. Die nach dem Ätzen erhaltenen Ausnehmungen dienen als Wortleitungsbereiche **22**. Danach wird mit Bezug auf [Fig. 9](#) ein Gate-Material ausgebildet, um die Wortleitungsbereiche **22** aufzufüllen und die Gate-Region abzudecken, um eine Wortleitung **24** zu erhalten, wobei das Gate-Material (z. B. die Wortleitung) an den zwei gegenüberliegenden Seiten und der Oberseite der Fin-Struktur **16a** in der Gate-Region anhaftet. Die Wortleitung kann z. B. dadurch ausgebildet werden, dass ein Gate-Material, z. B. Polysilizium, konform abgeschieden wird, um die

Ausnahmen der Wortleitungsbereiche **22** aufzufüllen und den Aktivbereich und den flachen Grabenisolierbereich abzudecken und danach nur das Gate-Material in den Wortleitungsbereichen und oberhalb der Gate-Region zurückzubehalten. Dadurch wird eine Wortleitung **24** ausgebildet, die die Gate-Region durchläuft. Schließlich werden eine Source-Elektrode und eine Drain-Elektrode im Sourcebereich **26** bzw. im Drainbereich **28** auf beiden Seiten der Wortleitung **24** ausgebildet, um eine Fin-FET-Vorrichtung auszubilden.

[0017] [Fig. 10](#) veranschaulicht eine schematische Querschnittsansicht längs der Linie II-II' in [Fig. 9](#). Dort ist eine Wortleitung **24** auf der Oberseite der Fin-Struktur **16a** angeordnet.

[0018] Das Herstellungsverfahren einer selbstjustierenden Fin-FET-Vorrichtung gemäß der vorliegenden Erfindung kann bei der Herstellung eines DRAM-Arrays, wie z. B. einer dynamischen Deep-Trench-Direktzugriff-Speicherzelle mit einem Schachbrettarray bzw. checkerboard deep trench dynamic random access memory cell array verwendet werden. [Fig. 11](#) veranschaulicht eine schematische Grundrissansicht eines Teils einer Speicherzelle in einem DRAM-Array, wobei die Fin-FET's durch das erfindungsgemäße Verfahren hergestellt wurden. Die Wortleitungen WL (einschließlich der Steuergates) sind angeordnet, um die Aktivbereiche AA zu kreuzen. Die Deep-Trench-Kapazitäten DT sind mit den Source-/Drain der Aktivbereiche AA elektrisch verbunden. Die Aktivbereiche AA weisen jeweils eine Fin-Struktur auf, die an der Kreuzung mit der Wortleitung WL dünner ist, was das Hauptmerkmal der vorliegenden Erfindung kennzeichnet.

Zusammenfassend ist festzustellen:

[0019] Ein Herstellungsverfahren einer selbstjustierenden Fin-FET-(FinFET-)Vorrichtung wird offenbart, bei dem eine Isolierschicht (**18**) einer flachen Grabenisolierung rückgeätzt wird, um die Seitenwände des Halbleitersubstrats, das von der flachen Grabenisolierung umgeben ist, teilweise freizulegen und die Seitenwände des Halbleitersubstrats werden danach isotropisch geätzt, damit das Halbleitersubstrat in einer relativ dünnen Fin-Struktur ausgebildet werden kann, um eine dreidimensionale Gate-Struktur mit drei Flächen zu bilden.

10	Halbleitersubstrat
12	erste Hartmaske
14	Graben
16, 16a	Fin-Struktur
18	Isolierschicht
20	zweite Hartmaske
22	Wortleitungsbereich
24	Wortleitung
26	Sourcebereich
28	Drainbereich

Patentansprüche

1. Herstellungsverfahren einer selbstjustierenden Fin-FET (FinFET-)Vorrichtung, gekennzeichnet durch:
 Vorsehen eines Halbleitersubstrats (**10**)
 Definieren eines Aktivbereichs als Fin-Struktur (**16**) und Gräben (**14**) auf beiden Seiten des Aktivbereichs im Halbleitersubstrat (**10**);
 wobei eine Gate-Region auf einem Mittelteil des Aktivbereichs angeordnet ist;
 Ausbilden einer Isolierschicht (**18**), um die Gräben (**14**) auszufüllen;
 Rückätzen eines Bereichs der Isolierschicht (**18**) in den Gräben (**14**) auf beiden Seiten der Gate-Region, um einen oberen Bereich der Fin-Struktur (**16**) in der Gate-Region freizulegen; und
 Ausbilden eines Gate-Materials, um den oberen Bereich der Fin-Struktur (**16**) in der Gate-Region abzudecken.

2. Herstellungsverfahren einer selbstjustierenden FET-(FinFET-)Vorrichtung nach Anspruch 1, ferner gekennzeichnet durch einen Ätzprozess, um die Fin-Struktur (**16a**) in der Gate-Region vor dem Schritt des Ausbildens des Gate-Materials einzugrenzen.

3. Herstellungsverfahren einer selbstjustierenden Fin-FET-(FinFET-)Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Schritt des Definieren des Aktivbereichs aufweist:
 Ausbilden einer Hartmaske (**12**) auf dem Halbleitersubstrat (**10**), wobei die Hartmaske (**12**) ein Muster aufweist,

wobei eine Region des von der Hartmaske (12) abgedeckten Halbleitersubstrats (10) als Aktivbereich definiert wird; und

Ätzen einer Region des nicht von der Hartmaske (12) abgedeckten Halbleitersubstrats (10), um die Gräben (14) auf beiden Seiten des Aktivbereichs auszubilden, sodass der Aktivbereich des von der harten Maske (12) abgedeckten Halbleitersubstrats (10) in eine Fin-Struktur (16) ausgebildet wird.

4. Herstellungsverfahren einer selbstjustierenden Fin-FET-(FinFET-)Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass die Hartmaske (12) eine Silizium-Nitrid-Verbindung aufweist.

5. Herstellungsverfahren einer selbstjustierenden FET-(FinFET-)Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass das Gate-Material Polysilizium aufweist.

6. Herstellungsverfahren einer selbstjustierenden Fin-FET (FinFET-)Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass das Halbleitersubstrat (10) Silizium aufweist.

7. Herstellungsverfahren einer selbstjustierenden Fin-FET-(FinFET-)Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die Isolierschicht (18) ein Oxid, Nitrid oder Oxy-Nitrid aufweist.

8. Herstellungsverfahren einer selbstjustierenden Fin-FET-(FinFET-)Vorrichtung nach Anspruch 3, ferner gekennzeichnet durch:
Ausbilden einer Zuführungselektrode bzw. einer Ableitungselektrode im Aktivbereich auf beiden Seiten des Gate-Materials.

Es folgen 11 Blatt Zeichnungen

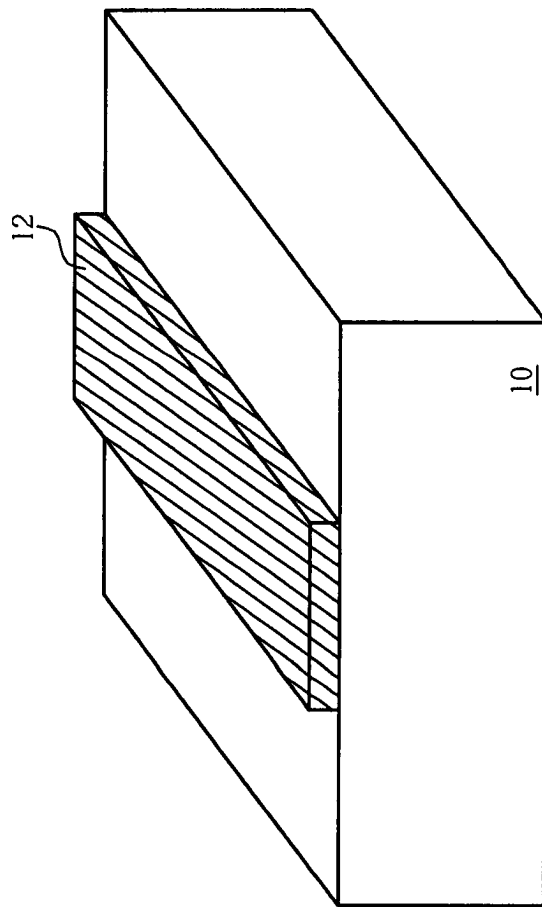


FIG. 1

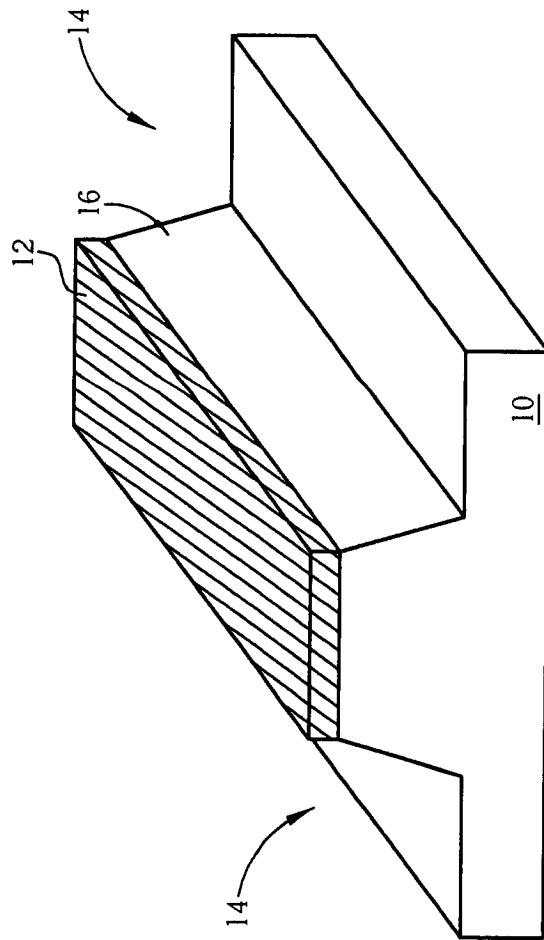


FIG. 2

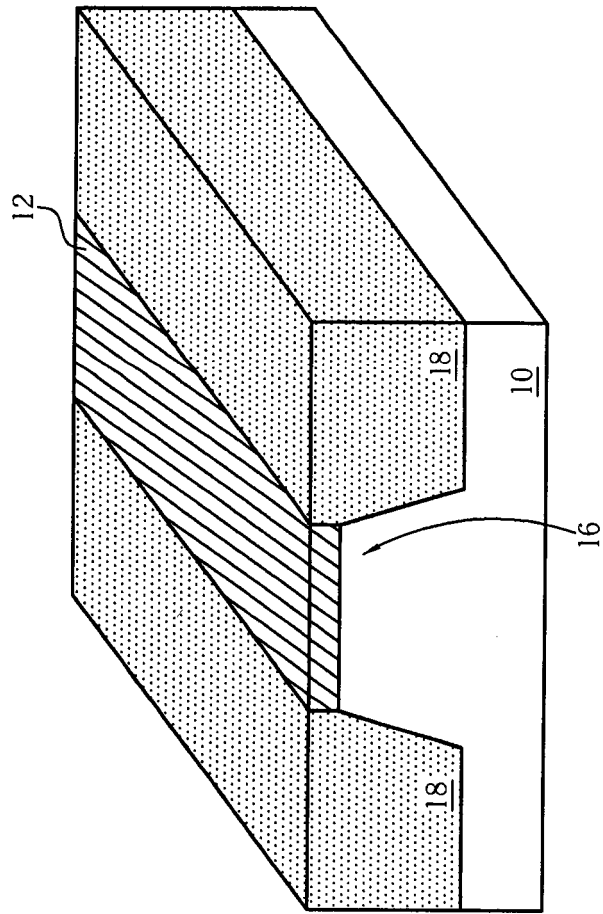


FIG. 3

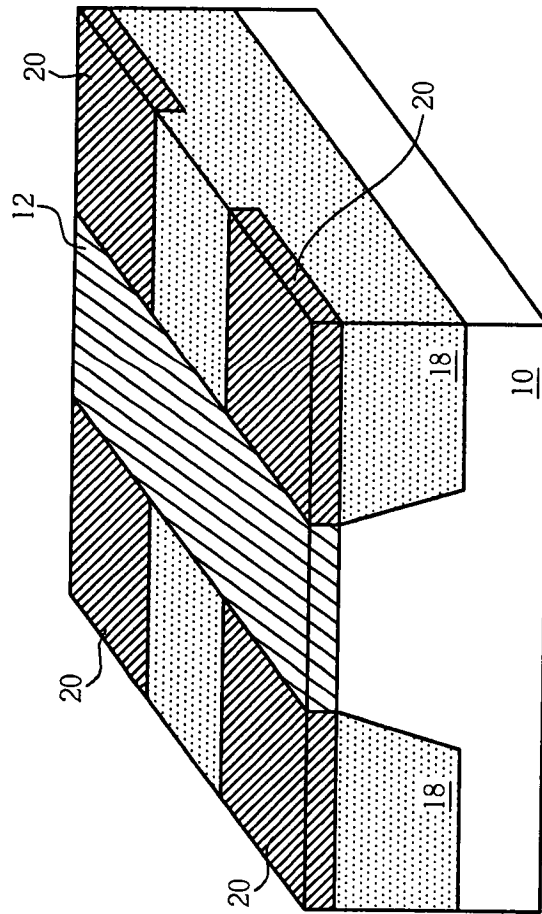


FIG. 4

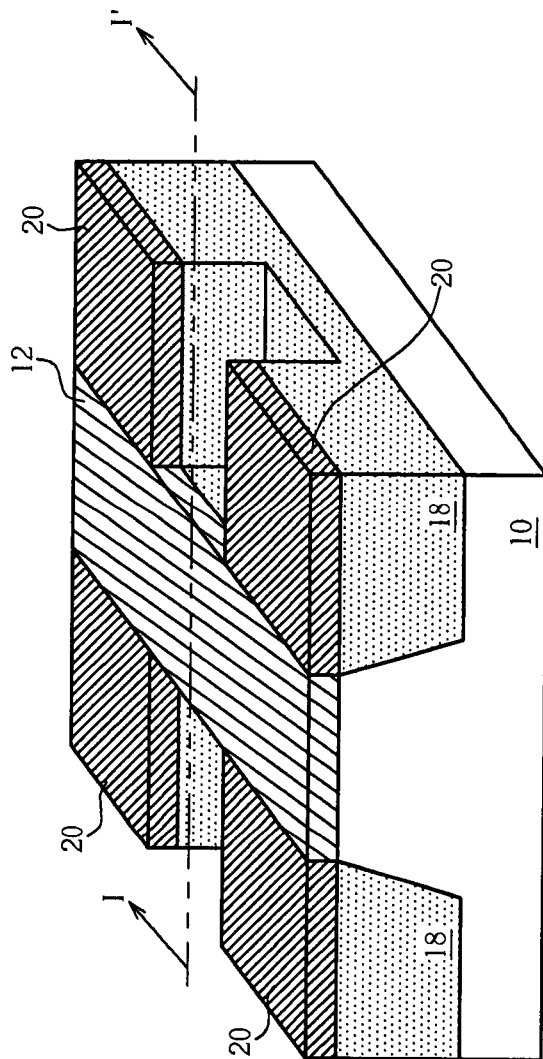


FIG. 5

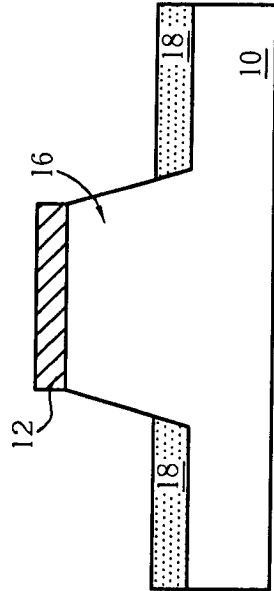


FIG. 6

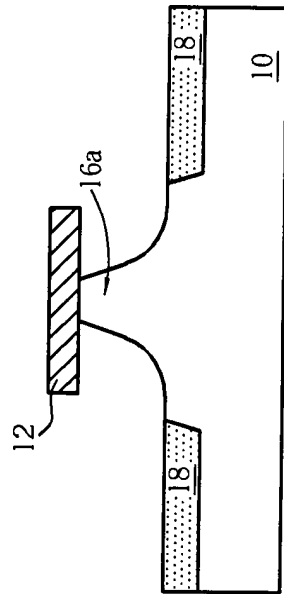


FIG. 7

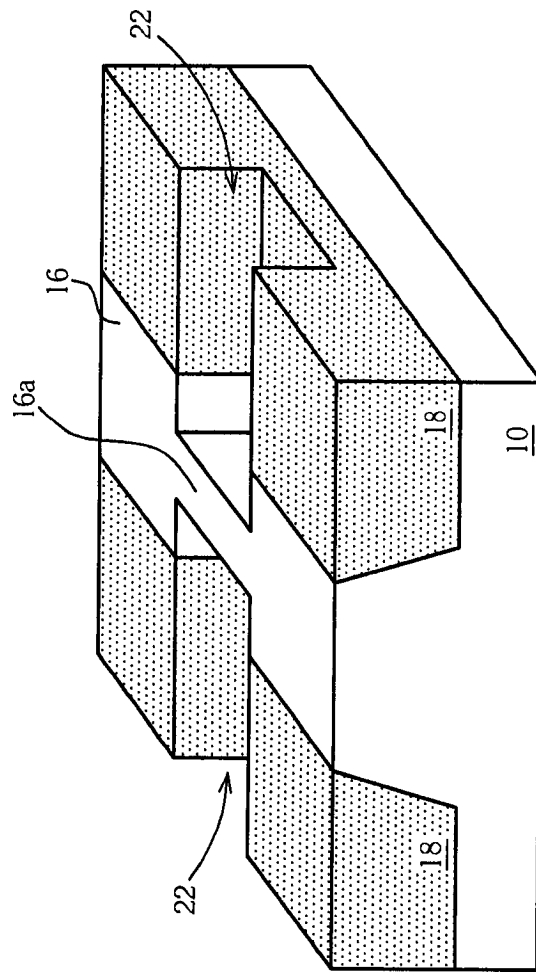


FIG. 8

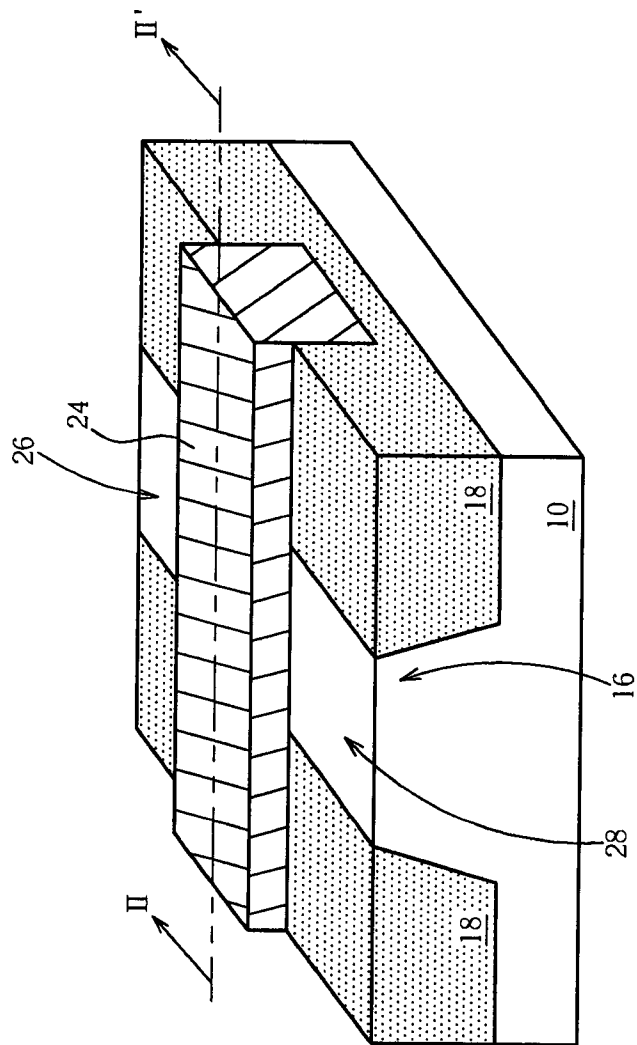


FIG. 9

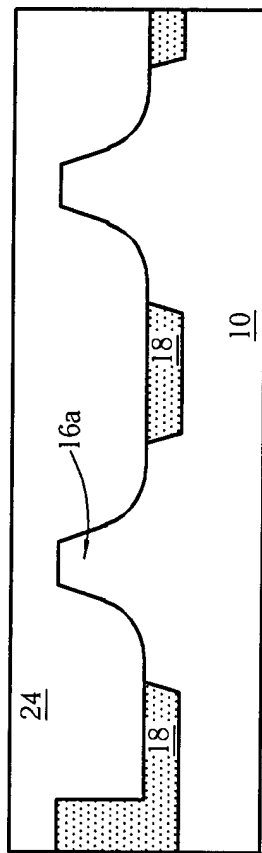


FIG. 10

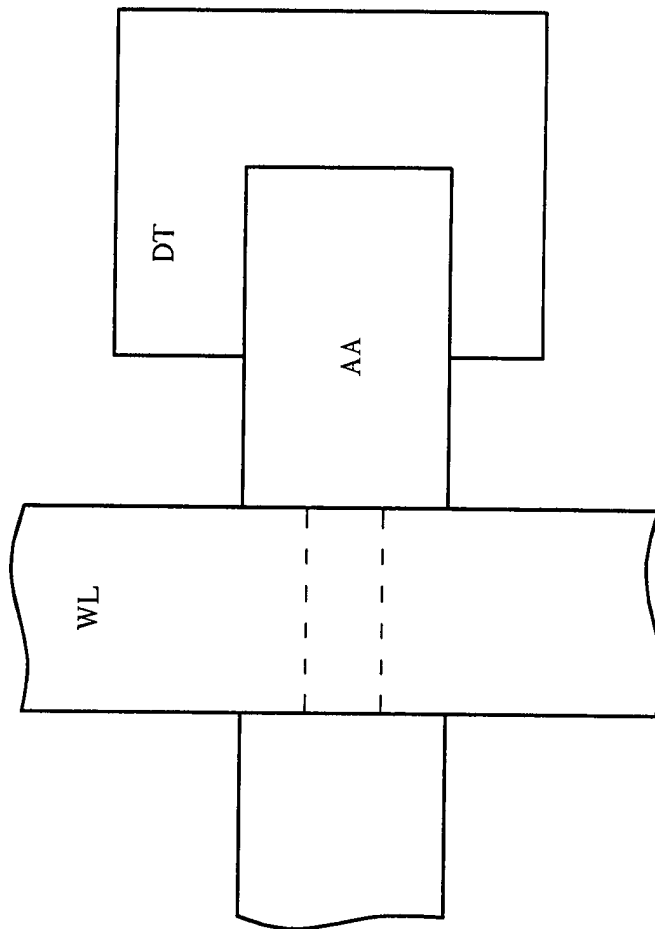


FIG. 11