

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4372939号
(P4372939)

(45) 発行日 平成21年11月25日 (2009.11.25)

(24) 登録日 平成21年9月11日 (2009.9.11)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)
GO 2 F 1/1368 (2006.01)
GO 9 F 9/30 (2006.01)
HO 1 L 21/336 (2006.01)

HO 1 L 29/78 6 1 2 B
GO 2 F 1/1368
GO 9 F 9/30 3 3 8
HO 1 L 29/78 6 1 6 A
HO 1 L 29/78 6 1 9 B

請求項の数 6 (全 36 頁)

(21) 出願番号 特願2000-32888 (P2000-32888)
(22) 出願日 平成12年2月10日 (2000.2.10)
(65) 公開番号 特開2000-299468 (P2000-299468A)
(43) 公開日 平成12年10月24日 (2000.10.24)
審査請求日 平成18年2月16日 (2006.2.16)
(31) 優先権主張番号 特願平11-33667
(32) 優先日 平成11年2月12日 (1999.2.12)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷 3 9 8 番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内
(72) 発明者 田中 幸夫
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内
(72) 発明者 小山 潤
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内
(72) 発明者 納 光明
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

同一基板上に画素部及び駆動回路部を含む半導体装置の作製方法であって、
前記基板上に、画素 T F T を形成する第 1 の半導体層と、駆動 T F T を形成する第 2 の半導体層と、を形成し、
前記第 1 及び第 2 の半導体層の上にゲート絶縁膜を形成し、
前記第 2 の半導体層の上に第 1 のゲート配線を形成し、
前記第 1 のゲート配線をマスクとして、前記第 2 の半導体層に周期表の 1 5 族に属する元素を添加して、不純物領域を形成し、
前記不純物領域に含まれる前記 1 5 族に属する元素を熱処理により拡散させて、前記第 1 のゲート配線の下に第 1 の低濃度不純物領域を形成し、
前記第 1 の半導体層の上に第 2 のゲート配線を形成し、
前記第 2 のゲート配線をマスクとして、前記第 1 の半導体層に周期表の 1 5 族に属する元素を添加して、前記第 2 の低濃度不純物領域を形成し、
前記第 2 の低濃度不純物領域の一部を覆ってレジストマスクを形成し、
前記レジストマスク及び前記第 1 のゲート配線をマスクとして、前記第 1 の半導体層の端部及び第 2 の半導体層に周期表の 1 5 族に属する元素を添加して、高濃度不純物領域を形成し、
前記駆動 T F T と、前記画素 T F T と、を覆って、層間絶縁膜を形成し、
前記層間絶縁膜の上に遮光膜を形成し、

10

20

前記遮光膜の表面に前記遮光膜の酸化物を形成し、
前記遮光膜の酸化物の上に画素電極を形成することを特徴とする半導体装置の作製方法

。

【請求項 2】

同一基板上に画素部及び駆動回路部を含む半導体装置の作製方法であって、
前記基板上に、画素 T F T を形成する第 1 の半導体層と、 N T F T と P T F T とを含む
駆動 T F T を形成する第 2 の半導体層と、を形成し、

前記第 1 の半導体層の上に第 1 のゲート絶縁膜を形成し、
前記第 2 の半導体層の上に前記第 1 のゲート絶縁膜より膜厚が薄い第 2 のゲート絶縁膜
を形成し、

前記第 1 及び第 2 の半導体層と、前記第 1 及び第 2 のゲート絶縁膜と、を覆って導電膜
を形成し、

前記導電膜をパターニングして前記第 2 の半導体層の上に前記 N T F T のゲート配線を
形成し、

前記 N T F T のゲート配線をマスクとして、前記第 2 の半導体層の前記 N T F T を形成
する領域に周期表の 1 5 族に属する元素を添加して、不純物領域を形成し、

前記不純物領域に含まれる前記 1 5 族に属する元素を熱処理により拡散させて、前記 N
T F T のゲート配線の下に第 1 の低濃度不純物領域を形成し、

前記導電膜をパターニングして前記第 1 の半導体層の上に前記画素 T F T のゲート配線
を形成し、

前記画素 T F T のゲート配線をマスクとして、前記第 1 の半導体層に周期表の 1 5 族に
属する元素を添加して、前記第 2 の低濃度不純物領域を形成し、

前記第 2 の低濃度不純物領域の一部を覆ってレジストマスクを形成し、
前記レジストマスク及び前記 N T F T のゲート配線をマスクとして、前記第 1 の半導体
層の端部及び前記第 2 の半導体層の N T F T を形成する領域に周期表の 1 5 族に属する元
素を添加して、第 1 の高濃度不純物領域を形成し、

前記導電膜をパターニングして前記第 2 の半導体層の上に前記 P T F T のゲート配線を
形成し、

前記 P T F T のゲート配線をマスクとして、前記第 2 の半導体層の前記 P T F T を形成
する領域に周期表の 1 3 族に属する元素を添加して、第 2 の高濃度不純物領域を形成し、

前記駆動 T F T と、前記画素 T F T と、を覆って、層間絶縁膜を形成し、
前記層間絶縁膜の上に遮光膜を形成し、

前記遮光膜の表面に前記遮光膜の酸化物を形成し、
前記遮光膜の酸化物の上に画素電極を形成することを特徴とする半導体装置の作製方法

。

【請求項 3】

請求項 1 又は請求項 2 において、
前記層間絶縁膜は、樹脂膜であることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、
前記遮光膜は、アルミニウム膜又はアルミニウムを主成分とする膜であることを特徴と
する半導体装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、
前記酸化物はアルミナ膜であり、前記アルミナ膜は陽極酸化法、プラズマ酸化法、又は
熱酸化法により形成されることを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、
前記遮光膜の酸化物上に、前記遮光膜の酸化物の端部を覆う第 2 の層間絶縁膜を形成し

、

10

20

30

40

50

前記画素電極は、前記遮光膜の酸化物と前記第2の層間絶縁膜上に形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置に関する。例えば、液晶ディスプレイに代表される電子装置およびその様な電子装置を表示部として用いた電気器具の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電子装置、半導体回路および電気器具は全て半導体装置である。

【0002】

【従来の技術】

薄膜トランジスタ（TFT）は透明基板上に形成することができるので、アクティブマトリクス型液晶ディスプレイ（以下、AM-LCDという）への応用開発が積極的に進められてきた。結晶質半導体膜（代表的にはポリシリコン膜）を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0003】

基本的にAM-LCDは画像を表示する画素部と、画素部に配列された各画素のTFTを駆動するゲート駆動回路、各TFTへ画像信号を送るソース駆動回路（またはデータ駆動回路ともいう）が同一基板上に形成されてなる。本明細書中ではゲート駆動回路及びソース駆動回路をまとめて駆動回路部と呼ぶ。

【0004】

近年では、これら画素部と駆動回路部の他に、信号分割回路や補正回路などといった信号処理回路をも同一基板上に設けたシステム・オン・パネルが提案されている。

【0005】

しかしながら、画素部と駆動回路部とでは回路が要求する性能が異なるため、同一構造のTFTで全ての回路仕様を満足させることは困難である。即ち、高速動作を重視するシフトレジスタ回路等の駆動回路部と、高耐圧特性を重視する画素部を構成するTFT（以下、画素TFTという）とを同時に満足させるTFT構造は確立されていないのが現状である。

【0006】

そこで本出願人は駆動回路部を形成するTFT（以下、駆動TFTという）と画素TFTとでゲート絶縁膜の膜厚を異ならせるという構成を出願済みである（特開平10-056184号公報参照）。具体的には、駆動TFTのゲート絶縁膜を画素TFTのゲート絶縁膜よりも薄くするというものである。

【0007】

【発明が解決しようとする課題】

最近では対角0.9インチの液晶パネルでXGA（1024×768画素）という高精細な画面を実現するために、画素部の一つの画素が、18μm×18μm程度の極めて小さな面積となっている。このような画素サイズの縮小化は今後も続くことが予想される。

【0008】

こうした画素サイズの縮小化によって生じる最も大きな問題は、透過型液晶ディスプレイにおける開口率の低下である。即ち、画像表示の有効領域が小さくなり、明るさが落ちることになる。さらに、開口率を稼ごうとすると、TFTの占有面積を小さくするか、保持容量の占有面積を小さくするなどの対策が必要となる。

【0009】

このように、画素サイズの縮小化に伴ってTFTに求められる性能、占有面積の条件は極めて厳しいものとなり、加えて保持容量の面積条件も厳しいものとなるため、画素構造の設計は非常に難しくなる。

10

20

30

40

50

【 0 0 1 0 】

本願発明は上記問題点を鑑みてなされたものであり、信頼性の高いＴＦＴを小さな面積で形成し、且つ、保持容量の占有面積を最小限に抑えた画素構造を提供する。こうして数十μｍ角という非常に小さな画素サイズの電子装置においても明るい高精細な画像を実現することを課題とする。

【 0 0 1 1 】

さらに、各回路に配置されるＴＦＴの構造を回路の機能に応じて適切なものとするにより、電子装置の動作性能および信頼性を向上させることを課題とする。

【 0 0 1 2 】

そして、そのような電子装置（代表的には液晶ディスプレイ、エレクトロルミネセンスディスプレイ、エレクトロクロミクスディスプレイもしくはフィールドエミッションディスプレイ）を表示部（表示用ディスプレイ）として用いた半導体装置（電気器具）の動作性能および信頼性を高めることを課題とする。

10

【 0 0 1 3 】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

同一基板上に画素部及び駆動回路部を含む半導体装置において、

前記駆動回路部を形成する駆動ＴＦＴのＬＤＤ領域は、前記駆動ＴＦＴのゲート絶縁膜を挟んで前記駆動ＴＦＴのゲート配線と重なるように配置され、

前記画素部を形成する画素ＴＦＴのＬＤＤ領域は、前記画素ＴＦＴのゲート絶縁膜を挟んで前記画素ＴＦＴのゲート配線と重ならないように配置され、

20

前記画素部の保持容量は、前記画素ＴＦＴの上方に設けられた遮光膜、該遮光膜の酸化物および画素電極で形成されていることを特徴とする。

【 0 0 1 4 】

また、作製方法に関する発明の構成は、

同一基板上に画素部及び駆動回路部を含む半導体装置の作製方法において、

前記駆動回路部を形成するＮＴＦＴの活性層に、チャネル形成領域、ソース領域、ドレイン領域および該ドレイン領域とチャネル形成領域とに挟まれたＬＤＤ領域を形成する過程と、

前記駆動回路部を形成するＰＴＦＴの活性層に、チャネル形成領域、ソース領域およびドレイン領域を形成する過程と、

30

前記画素部を形成する画素ＴＦＴの活性層に、チャネル形成領域、ソース領域、ドレイン領域および該ドレイン領域とチャネル形成領域とに挟まれたＬＤＤ領域を形成する過程と、

を含み、

前記駆動回路部を形成するＮＴＦＴのＬＤＤ領域を、該駆動回路部を形成するＮＴＦＴのゲート配線にゲート絶縁膜を挟んで重なるように形成し、

前記画素ＴＦＴのＬＤＤ領域を、該画素ＴＦＴのゲート配線にゲート絶縁膜を挟んで重ならないように形成し、

前記画素ＴＦＴの上方に設けられた遮光膜、該遮光膜の酸化物および画素電極で前記画素部の保持容量を形成することを特徴とする。

40

【 0 0 1 5 】

さらに具体的には、

同一基板上に画素部及び駆動回路部を含む半導体装置の作製方法において、

基板上に活性層を形成する第１工程と、

前記活性層の上にゲート絶縁膜を形成する第２工程と、

前記ゲート絶縁膜の上に導電膜を形成する第３工程と、

前記導電膜をパターニングして前記駆動回路部を形成するＮＴＦＴのゲート配線を形成する第４工程と、

前記駆動回路部を形成するＮＴＦＴの活性層に該駆動回路部を形成するＮＴＦＴのゲート

50

配線をマスクとして周期表の 15 族に属する元素を添加し、 n 領域を形成する第 5 工程と、
前記 n 領域を熱処理により拡散させて、前記駆動回路部を形成する NTF T のゲート配線の下に n^+ 領域を形成する第 6 工程と、
前記導電膜をパターニングして前記画素部を形成する画素 T F T のゲート配線を形成する第 7 工程と、
前記画素 T F T の活性層に該画素 T F T のゲート配線をマスクとして周期表の 15 族に属する元素を添加し、 n^+ 領域を形成する第 8 工程と、
前記駆動回路部を形成する NTF T の活性層および前記画素 T F T の活性層に周期表の 15 族に属する元素を添加し、 n^+ 領域を形成する第 9 工程と、
前記導電膜をパターニングして前記駆動回路部を形成する PTF T のゲート配線を形成する第 10 工程と、
前記駆動回路部を形成する PTF T の活性層に該駆動回路部を形成する PTF T のゲート配線をマスクとして周期表の 13 族に属する元素を添加し、 p^+ 領域を形成する第 11 工程と、
前記駆動回路部を形成する NTF T および PTF T 並びに前記画素部を形成する画素 T F T の上方に樹脂膜でなる層間絶縁膜を形成する第 12 工程と、
前記層間絶縁膜の上に遮光膜を形成する第 13 工程と、
前記遮光膜の表面に該遮光膜の酸化物を形成する第 14 工程と、
前記遮光膜の酸化物に接し、且つ前記遮光膜に重なるように画素電極を形成する第 15 工程と、
を有することを特徴とする。

【0016】

【発明の実施の形態】

本願発明の実施形態について、図 1 を用いて説明する。図 1 は同一基板上に駆動回路部と画素部とを一体形成した AM - LCD の断面図を示している。なお、ここでは駆動回路部を構成する代表的な基本回路として CMOS 回路を示し、画素 T F T としてはダブルゲート構造の T F T を示している。勿論、ダブルゲート構造に限らずトリプルゲート構造やシングルゲート構造などとしても良い。

【0017】

図 1 において、101 は耐熱性を有する基板であり、石英基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を主成分とする絶縁膜）を設けても構わない。

【0018】

102 は下地膜として設けた酸化珪素膜であり、その上に駆動 T F T の活性層、画素 T F T の活性層および保持容量の下部電極となる半導体層が形成される。なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電氣的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「配線」という文言に「電極」は常に含まれているものとする。

【0019】

図 1 において、駆動 T F T の活性層は、N チャネル型 T F T（以下、NTF T という）のソース領域 103、ドレイン領域 104、LDD（ライトドープドレイン）領域 105 およびチャネル形成領域 106、並びに P チャネル型 T F T（以下、PTF T という）のソース領域 107、ドレイン領域 108 およびチャネル形成領域 109 で形成される。

【0020】

また、画素 T F T（ここでは NTF T を用いる。）の活性層は、ソース領域 110、ドレイン領域 111、LDD 領域 112a ~ 112d およびチャネル形成領域 113a、113b で形成される。なお、114 はチャネル形成領域 113a、113b の間に存在する高濃度不純物領域であり、ソース領域 110 およびドレイン領域 111 と同一組成（同一不純物

10

20

30

40

50

が同一濃度で含まれる)である。この領域はオフ電流の原因となる、ドレイン端で発生した少数キャリアのソース領域への移動を妨げるストッパー領域として機能する。

【0021】

そして、活性層を覆ってゲート絶縁膜が形成されるが、本願発明では駆動TFTのゲート絶縁膜115が、画素TFTのゲート絶縁膜116よりも薄く形成される。代表的には、ゲート絶縁膜115の膜厚は5～50nm(好ましくは10～30nm)とし、ゲート絶縁膜116の膜厚は50～200nm(好ましくは100～150nm)とすれば良い。

【0022】

なお、駆動TFTのゲート絶縁膜は一種類の膜厚である必要はない。即ち、駆動回路部内に異なる絶縁膜を有する駆動TFTが存在していても構わない。その場合、同一基板上に異なるゲート絶縁膜を有するTFTが少なくとも三種類以上存在することになる。

10

【0023】

次に、ゲート絶縁膜115、116の上には駆動TFTのゲート配線117、118と、画素TFTのゲート電極119a、119bが形成される。なお、ゲート配線117～119の形成材料としては、800～1150(好ましくは900～1100)の温度に耐える耐熱性を有する導電膜を用いる。

【0024】

代表的には、導電性を有する珪素膜(例えばリンドーブシリコン膜、ボロンドープシリコン膜等)や金属膜(例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等)でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した窒化膜(窒化タンタル膜、窒化タングステン膜、窒化チタン膜等)でも良い。また、これらを自由に組み合わせ

20

【0025】

また、前記金属膜を用いる場合には、金属膜の酸化(配線抵抗の増加を招く)を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を、珪素を含む絶縁膜で覆った構造が有効である。

【0026】

上記珪素を含む絶縁膜としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜(または酸化窒化珪素膜ともいう)を用いることができる。なお、酸化窒化珪素膜とは、酸素、窒素および珪素を所定の割合で含む絶縁膜である。

30

【0027】

なお、上記材料でゲート配線を形成する時、成膜時の最上層に珪素を含む絶縁膜を設け、珪素を含む絶縁膜と上記材料とを一括でエッチングしてゲート配線パターンを形成することもできる。この場合、ゲート配線の上面のみが珪素を含む絶縁膜で保護された状態となる。

【0028】

また、金属膜を用いるよりも若干抵抗が上がるが、金属シリサイド膜と珪素膜との積層構造は耐熱性も高く、酸化にも強いので有効な構造である。この場合、特に酸化防止の保護膜はらず、そのまま酸化しても表面に酸化珪素膜が形成されるだけで配線抵抗が増加するような問題は起こらない。

40

【0029】

次に、120は第1層間絶縁膜(下層)、121は第1層間絶縁膜(上層)であり、珪素を含む絶縁膜で形成される。その上には駆動TFTのソース配線122、123およびドレイン配線124、また画素TFTのソース配線125、ドレイン配線126が形成される。

【0030】

その上にはパッシベーション膜127が形成される。このパッシベーション膜127はドレイン配線126の上において開口部128が設けられ、それを覆うようにして第2層間絶縁膜129が形成される。この第2層間絶縁膜129としては、比誘電率の小さい樹脂膜が好ましい。樹脂膜としては、ポリイミド膜、アクリル膜、ポリアミド膜、BCB(ベ

50

ンゾシクロブテン)膜、MSSQ (methyl silsesquioxane) などを用いることができる。

【0031】

第2層間絶縁膜129の上には、アルミニウム膜またはアルミニウムを主成分とする膜(アルミニウム膜に不純物として他元素を添加した膜)でなる遮光膜130が形成され、その表面には遮光膜130を酸化して得た酸化物(アルミナ膜)131が形成される。この遮光膜130をパターンニングする際には、60~85°程度のテーパーをつけておくことが好ましい。また、酸化物131は、陽極酸化法、熱酸化法またはプラズマ酸化法によって形成すれば良い。なお、不純物として用いられる他元素としては、チタン、スカンジウム、ネオジウムまたはシリコンが挙げられる。

10

【0032】

そして、第2層間絶縁膜129にはコンタクトホールが形成され、その後、画素電極132が形成される。画素電極132はコンタクトホールを介してドレイン配線126と電気的に接続される。この時、透過型AM-LCDを作製するのであれば画素電極として透明導電膜を、反射型AM-LCDを作製するのであれば反射率の高い金属膜を用いれば良い。

【0033】

また、遮光膜130と画素電極132とが重なる領域には、酸化物131を誘電体とする保持容量が形成される。酸化物131はアルミナ膜であるため比誘電率が8~10と大きく、しかも膜厚が30~100nm(好ましくは50~70nm)と薄いため、小さい面積であつても大きな容量を形成することができる。

20

【0034】

また、画素電極132とドレイン配線126が電気的に接続するコンタクトホールは遮光膜の隙間であるため光を通してしまうが、その下のドレイン配線126で完全に光漏れを防ぐような構造となっている。

【0035】

さらに、画素電極132は配向膜133で覆われる。配向膜133の上には液晶134が保持される。この液晶134は対向基板とのスペーサも兼ねるシール材(図示せず)によって画素部の上に保持されている。

【0036】

液晶134の上には対向基板側の配向膜135、透明導電膜からなる対向電極(コモン電極ともいう)136、ガラス基板137が設けられている。この配向膜135、対向電極136およびガラス基板137をまとめて対向基板と呼ぶ。単板式の液晶ディスプレイでは、さらにカラーフィルターが対向基板側に設けられる。

30

【0037】

以上のような構造を有する本願発明の半導体装置では、次のような点が特徴として挙げられる。

【0038】

まず、基本的に駆動回路部を形成する駆動TFTのうち、NTFTに関してはLDD領域105がゲート配線117に完全に重なった構造となっている。これは公知のGOLD構造と同様の効果を狙ったホットキャリア対策である。一方、PTFTはそもそもホットキャリア劣化は小さいので従来構造で十分である。

40

【0039】

また、駆動TFTはゲート絶縁膜115が、画素TFTのゲート絶縁膜116に比べて1/5~1/10程度の膜厚である点にも特徴がある。これは動作速度を向上させるための対策であり、動作電圧が低いので5~50nmという膜厚にしても問題はない。

【0040】

一方、画素TFTは駆動TFTと基本的な回路仕様が異なる。まず、動作速度よりもオフ電流(TFTがオフ状態にある時に流れるドレイン電流)の抑制の方が優先課題であるため、通常のLDD構造を採用する。そのため、LDD領域112a~112dはゲート配線

50

119a、119bに重ならないような構造となっている点で駆動TFTと異なる。

【0041】

また、ゲート絶縁膜116には最大で16V程度の高電圧がかかるため、膜厚を50～200nm（好ましくは100～150nm）として絶縁耐圧を高める対策が施されている点に特徴がある。

【0042】

さらに、開口率を高めるため遮光膜130に形成された酸化物131を誘電体とする保持容量を形成している点に特徴がある。保持容量は遮光膜130、酸化物131および画素電極132で形成される。

【0043】

以上のように、本願発明の半導体装置は駆動回路部および画素部に様々な特徴を有しており、これらの相乗効果によって明るく高精細な画像が得られ、動作性能および信頼性の高い電子装置を得る。そして、そのような電子装置を部品として搭載した高性能な電気器具を得る。

【0044】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0045】

【実施例】

〔実施例1〕

本実施例では、「発明の実施の形態」で説明した図1の構造を実現するための作製工程について説明する。説明には図2～5を用いる。

【0046】

まず、基板として石英基板201を用意し、その上に20nm厚の酸化珪素膜202と非晶質珪素膜203とを大気解放しないまま連続的に成膜する。こうすることで非晶質珪素膜の下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。（図2（A））

【0047】

なお、本実施例では非晶質珪素（アモルファスシリコン）膜を用いるが、他の半導体膜であっても構わない。微結晶質珪素（マイクロクリスタルシリコン）膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、膜厚は後の熱酸化工程も考慮して、最終的に25～40nmとなるように形成する。

【0048】

次に、非晶質珪素膜の結晶化を行う。本実施例では結晶化手段として、特開平9-312260号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅、錫、鉛から選ばれた元素を用いている。

【0049】

本実施例では触媒元素としてニッケルを選択し、非晶質珪素膜203上にニッケルを含んだ層（図示せず）を形成し、550℃4時間の熱処理を行って結晶化する。そして、結晶質珪素（ポリシリコン）膜204を得る。（図2（B））

【0050】

なお、ここで結晶質珪素膜204に対してTFTのしきい値電圧を制御するための不純物元素（リンまたはボロン）を添加しても良い。リンまたはボロンを打ち分けても良いし、どちらか片方のみを添加しても良い。また、この際、最終的に保持容量の第1容量電極となる領域に予めリンを添加しておく、後に電極として用いやすくなるので好ましい。

【0051】

次に、結晶質珪素膜204上に100nm厚の酸化珪素膜でなるマスク膜205を形成し、その上にレジストマスク206を形成する。さらにレジストマスク206をマスクとしてマスク膜205をエッチングし、開口部207、208を形成する。

10

20

30

40

50

【 0 0 5 2 】

この状態で周期表の 1 5 族に属する元素（本実施例ではリン）を添加し、リンドーブ領域（リン添加領域）2 0 9、2 1 0 を形成する。なお、添加するリンの濃度は $5 \times 10^{18} \sim 1 \times 10^{20} \text{atoms/cm}^3$ （好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{atoms/cm}^3$ ）が好ましい。但し、添加すべきリンの濃度は、後のゲッターリング工程の温度、時間、さらにはリンドーブ領域の面積によって変化するため、この濃度範囲に限定されるものではない。（図 2（C））

【 0 0 5 3 】

次に、レジストマスク 2 0 6 を除去して 4 5 0 ~ 6 5 0 （好ましくは 5 0 0 ~ 6 0 0 ）の熱処理を 2 ~ 1 6 時間加え、結晶質珪素膜中に残存するニッケルのゲッターリングを行う。ゲッターリング作用を得るためには熱履歴の最高温度から ± 50 程度の温度が必要であるが、結晶化のための熱処理が 5 5 0 ~ 6 0 0 で行われるため、5 0 0 ~ 6 5 0 の熱処理で十分にゲッターリング作用を得ることができる。

10

【 0 0 5 4 】

本実施例では 6 0 0 、8 時間の熱処理を加えることによってニッケルが矢印（図 2（D）参照）の方向に移動し、リンドーブ領域 2 0 9、2 1 0 にゲッターリングされる。こうして 2 1 1 a、2 1 1 b で示される結晶質珪素膜に残存するニッケルの濃度は $2 \times 10^{17} \text{atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下）にまで低減される。但し、この濃度は質量二次イオン分析（SIMS）による測定結果であり、測定限界の関係で現状ではこれ以下の濃度は確認できていない。（図 2（D））

20

【 0 0 5 5 】

こうしてニッケルのゲッターリング工程が終了したら、結晶質珪素膜 2 1 1 a、2 1 1 b をパターンニングして、CMOS 回路の活性層（半導体層）2 1 2、画素 TFT の活性層 2 1 3 を形成する。その際、ニッケルを捕獲したリン添加領域は完全に除去してしまうことが望ましい。

【 0 0 5 6 】

そして、プラズマ CVD 法またはスパッタ法により絶縁膜（図示せず）を形成し、パターンニングしてゲート絶縁膜 2 1 4 を形成する。このゲート絶縁膜は画素 TFT のゲート絶縁膜として機能することになる絶縁膜であり、膜厚は 5 0 ~ 2 0 0 nm とする。本実施例では 8 0 nm 厚の酸化珪素膜を用いる。また、他の珪素を含む絶縁膜を単層または積層で用いても構わない。（図 3（A））

30

【 0 0 5 7 】

なお、この時、ゲート絶縁膜 2 1 4 は画素 TFT の上に残すようにして形成し、CMOS 回路となる領域の上は除去する。なお、本実施例では CMOS 回路のみで説明しているが、実際には駆動回路部の一部（特に高速動作を要求される回路群）となる領域の上において除去する。従って、バッファ回路などのようにゲート絶縁膜に高電圧が印加されるような回路の場合に限っては、ゲート絶縁膜 2 1 4 と同じ膜厚の絶縁膜を残しておくことが望ましい。

【 0 0 5 8 】

次に、8 0 0 ~ 1 1 5 0 （好ましくは 9 0 0 ~ 1 1 0 0 ）の温度で 1 5 分 ~ 8 時間（好ましくは 3 0 分 ~ 2 時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中で 9 5 0 3 0 分の熱処理工程を行う。

40

【 0 0 5 9 】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、酸素雰囲気中にハロゲン元素を含ませた雰囲気でも良い。このハロゲン元素を含ませた雰囲気による熱酸化工程では、ニッケルを除去する効果も期待できるので有効である。

【 0 0 6 0 】

こうして熱酸化工程を行うことによりゲート絶縁膜 2 1 4 を形成しなかった部分（活性層が露呈していた部分）には、5 ~ 5 0 nm（好ましくは 1 0 ~ 3 0 nm）の酸化珪素膜（熱酸

50

化膜) 215 が形成される。本実施例では 30 nm の酸化珪素膜が形成され、最終的に、酸化珪素膜 215 は CMOS 回路のゲート絶縁膜として機能する。

【0061】

また、画素 TFT に残存した酸化珪素膜でなるゲート絶縁膜 214 と、その下の半導体層 213 との界面においても酸化反応が進行する。そのため、最終的に画素 TFT のゲート絶縁膜 216 の膜厚は 50 ~ 200 nm (好ましくは 100 ~ 150 nm) となる。本実施例では 110 nm の厚さとなる。

【0062】

なお、本実施例では酸化珪素膜 215 を熱酸化法により形成しているが、減圧熱 CVD 法により薄い酸化珪素膜を形成しても良い。その場合、成膜温度は 800 前後、成膜ガスとしてはシランと酸素を用いれば良い。

10

【0063】

こうして熱酸化工程を終了したら、次に珪素膜 / タングステンシリサイド膜の積層構造でなる導電膜を形成し、パターニングにより CMOS 回路の NTF T のゲート配線 217 を形成する。この時、CMOS 回路の PTFT および画素 TFT となる領域は上記構成でなる導電膜 218 を残しておく。(図 3 (B))

【0064】

この構造において、導電膜の下層に位置する珪素膜は 20 ~ 70 nm 程度の膜厚で良い。ただし、成膜には減圧熱 CVD 法を用いることが好ましい。なぜならば、CMOS 回路のゲート絶縁膜が非常に薄いため、スパッタ法やプラズマ CVD 法を用いると絶縁膜中にダメージを残す可能性があるからである。

20

【0065】

勿論、本実施例で用いることのできるゲート配線の材料はこれに限定されるものではなく、「発明の実施の形態」で説明したあらゆる材料を用いることが可能である。また、本実施例では、導電膜 218 の膜厚を 300 nm とする。

【0066】

こうして導電膜のパターニングが終了したら、ゲート配線 217 および導電膜 218 の形成に用いたレジストマスク (図示せず) をマスクとして、周期表の 15 族に属する元素 (本実施例ではリン) の添加工程を行い、不純物領域 (以下、この領域を n 領域という) 219a、219b を形成する。

30

【0067】

なお、本明細書中において、このような導電型を付与する不純物元素の添加工程には、質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。

【0068】

この時、n 領域 219a、219b には $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度 (この濃度を n で表すことにする) でリンが含まれるように設定ドーズ量を調節する。この濃度は次に行われる熱処理工程で重要な意味をもつ。

【0069】

次に、図示しないレジストマスクを除去して 700 ~ 1000 (好ましくは 800 ~ 900) の温度範囲で熱処理を行い、リンの活性化を行う。また、同時にリンを横方向に拡散させてゲート配線 215 に重なる低濃度不純物領域 (以下、この領域を n' 領域という) 220a、220b を形成する。この n' 領域 220a、220b には、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンが含まれている。(図 3 (C))

40

【0070】

この不純物の拡散距離は熱処理の温度や時間によって制御することができる。そのため、n' 領域 218a、218b の長さ (幅) は自由に制御することが可能である。本実施例では重なり距離が 0.3 ~ 1 μm (好ましくは 0.5 ~ 0.7 μm) となるように調節する。

【0071】

50

このように、前述の n 領域 217a、217b の濃度は、この活性化条件と、 n^+ 領域に必要なリン濃度および必要な長さとの兼ね合いで決まる。

【0072】

なお、この熱処理工程により CMOS 回路の活性層は再び酸化され、ゲート絶縁膜 213 の膜厚が増加する。上述のような n^+ 領域を形成する場合の熱処理条件では、代表的には 20 ~ 50 nm の膜厚増加が起こる。但し、酸化を防止するためにキャップ層を設けてから熱処理を行えば膜厚増加を防ぐこともできる。

【0073】

また、同時にゲート配線 215、導電膜 216 が酸化されて表面に熱酸化膜 219、220 が形成される。本実施例のように珪素膜と金属シリサイド膜との積層膜を用いた場合、表面において珪素が優先的に酸化されるので、形成される熱酸化膜は酸化珪素膜である。

10

【0074】

次に、導電膜 216 をパターンニングして画素 TFT のゲート配線 221a、221b を形成する。なお、この時、CMOS 回路の P TFT は導電膜 222 を残したままとしておく。

(図3(D))

【0075】

そして、ゲート配線 215、221a、221b および導電膜 222 をマスクとして周期表の 15 族に属する元素（本実施例ではリン）の添加工程を行い、 $5 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³ の濃度でリンを含む低濃度不純物領域（以下、この領域を n^{++} 領域という）223a ~ 223c を形成する。この時、前述の n 領域 217a、217b にもリンが添加されるが、添加されるリンの濃度が n 領域に含まれるリンに比べて十分に低いので増加量は問題とならない。

20

【0076】

また、本実施例では n^{++} 領域を形成したが、これはできるだけ抵抗値を上げてオフ電流の抑制効果を高めるためである。従って、このリンの添加工程で n^{++} 領域の代わりに n^+ 領域を形成することも可能である。

【0077】

さらに、この工程はゲート絶縁膜の膜厚が薄い駆動回路部と、厚い画素部とで分けて行っても良いし、同時に行っても良い。但し、この LDD 領域の濃度制御は慎重に行う必要がある。そこで本実施例では、プラズマドーピング法を用い、添加したリンの濃度分布（濃度プロファイル）が図6に示すような設定とした。

30

【0078】

図6において、駆動回路部側のゲート絶縁膜 601 と画素部側のゲート絶縁膜 602 とは膜厚が異なっている。そのため、添加されるリンの深さ方向の濃度分布が異なるものとなる。

【0079】

本実施例では、駆動回路部側で 603 で示される濃度分布をもち、且つ、画素部側で 604 で示される濃度分布をもつようにリンの添加条件（加速電圧等）を調節する。この場合、深さ方向の濃度分布は異なるが、結果的に形成される低濃度不純物領域 605、606 のリン濃度はほぼ等しくなる。

40

【0080】

なお、この図6に示した工程は、本明細書中に記載される全ての不純物添加工程において用いることができる。

【0081】

次に、レジストマスク 224、225a、225b を形成し、再度周期表の 15 族に属する元素（本実施例ではリン）の添加工程を行い、 $5 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³ の濃度でリンを含む高濃度不純物領域（以下、この領域を n^+ 領域という）226 ~ 230 を形成する。（図4(A)）

【0082】

この工程により CMOS 回路の N TFT において、ソース領域 226、ドレイン領域 22

50

7、LDD領域231およびチャネル形成領域232が画定する。また、画素TF Tのソース領域228、ドレイン領域229、LDD領域233a、233bおよびチャネル形成領域234a、234bが画定する。

【0083】

なお、n+領域230はオフ電流の原因となる少数キャリア（本実施例の場合、正孔）の移動を妨げるストッパー領域としての機能を果たす。但し、特に必要なければLDD領域233aと233bが接するような構造としても良い。

【0084】

こうして図4(A)の状態を得たら、CMOS回路のPTFTとなる領域上に残してあった導電膜222をパターニングしてゲート配線235を形成する。そして、そのとき用いたレジストマスク236a~236cをそのまま用いて周期表の13族に属する元素（本実施例ではボロン）の添加工程を行い、 $5 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でボロンを含む高濃度不純物領域（以下、この領域をp+領域という）237~239を形成する。（図4(B)）

10

【0085】

この工程によりCMOS回路のPTFTにおいて、ソース領域237、ドレイン領域238およびチャネル形成領域239が画定する。

【0086】

こうして全ての不純物領域の形成が終了する。なお、不純物の添加工程の順序は本実施例の順序に限定されることはなく、あらゆる順序で形成することができる。不純物添加の順序に関しては、実施者が装置性能上の問題等を考慮して適宜決定することができる。

20

【0087】

こうして不純物領域を形成し終えたら、レジストマスク236a~236cを除去する。そして、第1層間絶縁膜の下層として60~200nm（好ましくは100~150nm）の厚さの絶縁膜（珪素を含む絶縁膜）240を形成する。この絶縁膜はゲート配線の酸化を防ぐ保護膜として機能するため、酸化窒化珪素膜を用いるのが好ましい。

【0088】

こうして第1層間絶縁膜（下層）240を形成したら、次に、550~800の温度範囲で1~8時間の熱処理工程を行う。本実施例では、600で2時間の熱処理を窒素雰囲気中において行う。（図4(C)）

30

【0089】

この工程では、各不純物領域に添加されたリンまたはボロンを活性化すると同時に、不純物添加によってゲート絶縁膜や活性層が受けた損傷を回復する。なお、ここではなるべくリンやボロンの拡散を抑えつつ活性化することが好ましい。高い温度をかける必要がある場合には、各TF Tのリンやボロンがチャネル形成領域中へと拡散することを十分に計算に入れて行わなければならない。

【0090】

そして、さらに3501時間の水素化処理を行う。この水素化処理は熱またはプラズマによって励起した水素に曝す工程である。

【0091】

40

こうして図4(C)の状態が得られたら、第1層間絶縁膜（上層）241を形成する。第1層間絶縁膜（上層）241としては、珪素を含む絶縁膜（本実施例では酸化珪素膜）を用いれば良い。

【0092】

次に、第1層間絶縁膜（上層）241および第1層間絶縁膜（下層）240にコンタクトホールを形成し、チタン膜でアルミニウム合金膜（1wt%のチタンを添加したアルミニウム膜）を挟んだ三層構造の導電膜（図示せず）を形成する。そして、導電膜をパターニングして、CMOS回路のソース配線242、243およびドレイン配線244、並びに画素TF Tのソース配線245およびドレイン配線246を形成する。なお、画素TF Tに関してはソース配線とドレイン配線とが交互に入れ替わることになる。

50

【0093】

こうしてソース配線およびドレイン配線を形成したら、パッシベーション膜247として300nm厚の窒化珪素膜を設け、その上で300 1時間の水素化処理を行う。この水素化処理も熱またはプラズマによって励起した水素に曝す工程である。この工程では、パッシベーション膜247から放出された水素と、その前の水素化工程によって第1層間絶縁膜(下層)240に多量に含まれている水素とが下へと拡散(上方向はパッシベーション膜247がブロッキング層となる)して、活性層が水素終端される。

【0094】

なお、パッシベーション膜247としては、窒化珪素膜以外に、酸化窒化珪素膜、酸化珪素膜、またはこれらの珪素を含む絶縁膜の積層膜を用いることができる。また、本実施例ではパッシベーション膜247を形成する前処理として、水素を含むガス(代表的にはアンモニアガス)を用いたプラズマ処理を行うことは有効である。この前処理によりプラズマで活性化した(励起した)水素がパッシベーション膜247によって閉じこめられる。その上で水素化を行うと水素化効率が非常に改善する。

【0095】

さらに、水素を含むガスに加えて亜酸化窒素ガスを加えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

【0096】

水素化処理が終了したら、ドレイン配線246上においてパッシベーション膜247を除去し、開口部248を形成する。次に、1μm厚のアクリル膜を第2層間絶縁膜249として形成する。アクリル以外にも、ポリイミド、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等の樹脂膜を用いることが可能である。ここでは十分な平坦性を確保しておくことが望ましい。

【0097】

そして、第2層間絶縁膜249の上にスパッタ法によりアルミニウム膜でなる遮光膜250を形成する。この遮光膜としては、1.表面に容易に酸化物が形成できる、2.酸化物は誘電率および絶縁耐性が高い、3.十分な遮光性を有する、という条件を満たす材料であれば良い。そういった意味で、アルミニウム膜またはアルミニウム合金膜が最も適していると言える。

【0098】

本実施例では高純度アルミニウム膜(ファイブナイン)を用いて、まず135nm厚の遮光膜250を形成する。この時、遮光膜250は画素TFTのソース配線、ゲート配線およびTFT本体を隠すように形成され、画素部にマトリクス状に形成される。但し、後にドレイン配線と画素電極とが電氣的に接続するコンタクト部は、遮光膜を形成しないで開けておく。

【0099】

また、本実施例では遮光膜250を形成する際の前処理として、第2層間絶縁膜249の表面に対してCF₄ガスを用いたプラズマ処理を行う。この処理によりアルミニウム膜でなる遮光膜250と樹脂膜でなる第2層間絶縁膜249の密着性が向上する。

【0100】

次に、遮光膜250に対して陽極酸化処理を施し、表面に陽極酸化物251を形成する。(図5(A))

【0101】

本実施例では化成溶液として、15%酒石酸アンモニウム溶液とエチレングリコール溶液とを2:8で混合した溶液を用いる。そして、10 に保持した溶液中に基板をつけて化成電流(本実施例では60μA/cm²)を流し、陽極酸化を行う。化成電圧が35Vとなったら定電圧に切り換えて15分間保持して陽極酸化処理を終了する。

【0102】

こうして遮光膜250の表面には約50nm厚の陽極酸化物(本実施例ではアルミナ膜)が

10

20

30

40

50

形成され、最終的な遮光膜 2 5 0 の膜厚は 1 5 0 nm となる。

【 0 1 0 3 】

次に、前述のドレイン配線と画素電極とのコンタクト部に設けられた遮光膜の隙間の内側において第 2 層間絶縁膜 2 4 9 をエッチングし、ドレイン配線 2 4 6 へ到達するコンタクトホール 2 5 2 を形成する。そして、その上に透明導電膜（本実施例では I T O 膜）でなる画素電極 2 5 3 を 1 0 0 nm 厚で形成する。（図 5（B））

【 0 1 0 4 】

この時、画素電極 2 5 3 が遮光膜 2 5 0 と重なる領域 2 5 4 が保持容量として機能する領域である。この場合、誘電体となるアルミナ膜が 5 0 nm 厚程度と薄く、比誘電率も 8 ~ 9 と高いので大きな容量を得ることができる。

10

【 0 1 0 5 】

また、コンタクトホール 2 5 2 が形成された部分は遮光膜 2 5 0 の隙間であるので遮光されないが、その下のドレイン配線 2 4 6 で完全に遮光することができるので問題はない。このため、コンタクトホール 2 5 2 はドレイン配線 2 4 6 の端部から少なくとも 0 . 5 μ m（好ましくは 1 μ m）のマージンをとって内側に形成することが望ましい。

【 0 1 0 6 】

こうして図 5（B）に示すような構造のアクティブマトリクス基板が完成する。この後は、公知のセル組み工程によって図 1 に示したような A M - L C D を作製することができる。

【 0 1 0 7 】

本願発明の A M - L C D は、いくつかの構造的な特徴を有しており、それらの相乗効果によって非常に高い動作性能と信頼性を示す。構造的な特徴の一つとして、同一基板上に形成された駆動回路部と画素部とでゲート絶縁膜の膜厚が異なる点が挙げられる。代表的には、駆動回路部に用いられる一部（高速動作を要求する回路）の駆動 T F T の方が画素 T F T よりも薄いゲート絶縁膜を有する。

20

【 0 1 0 8 】

これにより高速動作を要求する回路には、非常に電界効果移動度の高い T F T を配置することができ、十分に回路要求を満たすことができる。そして、高いゲート絶縁耐圧を要する回路（画素部、バッファ回路、アナログスイッチ回路など）には動作速度よりも耐圧特性を重視した T F T を配置することで信頼性の高い回路を形成することができる。

30

【 0 1 0 9 】

但し、駆動回路部と画素部とでゲート絶縁膜の膜厚が同じではないという意味ではない。動作速度とゲート絶縁耐圧はトレードオフの関係にあるので、その場合に上記のような構造が望ましい。

【 0 1 1 0 】

また、他の特徴として、画素部のようにオフ電流の低減を重視する回路には、通常の L D D 構造を採用し、駆動回路部のようにホットキャリア対策を重視する回路には、いわゆる G O L D 構造のようにゲート配線に重なるように設けられた L D D 領域を配置する。これにより回路性能に応じて十分な信頼性を有する T F T を配置することができる。

【 0 1 1 1 】

さらなる特徴として、保持容量を遮光膜と画素電極とで形成する際に誘電体として遮光膜の酸化物を用いる点が挙げられる。この遮光膜にアルミニウム膜またはアルミニウムを主成分とする膜を用いる点も特徴的である。これにより非常に小さな面積で、大きな容量を確保することができ、画素の有効表示面積を向上させる（開口率を向上させる）ことが可能となる。

40

【 0 1 1 2 】

また、本実施例の作製工程に従うと、最終的な T F T の活性層（半導体層）は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。その特徴について以下に説明する。

【 0 1 1 3 】

50

まず第1の特徴として、本実施例の作製工程に従って形成した結晶質珪素膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0114】

また、第2の特徴として、電子線回折を利用すると本実施例の作製工程に従って形成した結晶質珪素膜の表面（チャンネルを形成する部分）に、結晶軸に多少のずれが含まれているものの主たる配向面として $\{110\}$ 面を確認することができる。このことはスポット径約 $1.35\text{ }\mu\text{m}$ の電子線回折写真を観察した際、 $\{110\}$ 面に特有の規則性をもった回折斑点が現れていることから確認される。また、各斑点は同心円上に分布を持っていることも確認されている。

10

【0115】

また、第3の特徴として、X線回折法（厳密には ω -2 θ 法を用いたX線回折法）を用いて配向比率を算出してみると $\{220\}$ 面の配向比率が0.7以上（典型的には0.85以上）であることが確認されている。なお、配向比率の算出方法は特開平7-321339号公報に記載された手法を用いる。

【0116】

また、第4の特徴として、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認している。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できる。

20

【0117】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.751-758 , 1988」に記載された「Planar boundary」である。

【0118】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

30

【0119】

特に結晶軸（結晶面に垂直な軸）が 110 軸である場合、 $\{211\}$ 双晶粒界は3の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。例えば、二つの結晶粒の間に形成された結晶粒界では、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると $\theta = 70.5^\circ$ の時に3の対応粒界となることが知られている。

【0120】

本実施例を実施して得た結晶質珪素膜において、結晶軸が 110 である二つの結晶粒の間に形成された結晶粒界をHR-TEMで観察すると、隣接する結晶粒の各格子縞が約 70.5° の角度で連続しているものが多い。従って、その結晶粒界は3の対応粒界、即ち $\{211\}$ 双晶粒界であると推測できる。

40

【0121】

このような結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、このような結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0122】

50

またさらに、700～1150 という高い温度での熱処理工程（本実施例における熱酸化工程またはゲッタリング工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0123】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance：ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質珪素膜のスピン密度は少なくとも 5×10^{17} spins/cm³ 以下（好ましくは 3×10^{17} spins/cm³ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

10

【0124】

以上のことから、本実施例を実施することで得られた結晶質珪素膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0125】

（TFETの電気特性に関する知見）

本実施例で作製したTFET（図1に示すCMOS回路と同一構造）は、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFET（但し、活性層の膜厚は35nm、ゲート絶縁膜の膜厚は80nm）からは次に示す様なデータが得られている。

【0126】

20

（1）スイッチング性能（オン/オフ動作切り換えの俊敏性）の指標となるサブスレッシヨルド係数が、Nチャネル型TFETおよびPチャネル型TFETともに80～150mV/decade（代表的には100～120mV/decade）と小さい。

（2）TFETの動作速度の指標となる電界効果移動度（ μ_{FE} ）が、Nチャネル型TFETで150～650cm²/Vs（代表的には200～500cm²/Vs）、Pチャネル型TFETで100～300cm²/Vs（代表的には120～200cm²/Vs）と大きい。

（3）TFETの駆動電圧の指標となるしきい値電圧（ V_{th} ）が、Nチャネル型TFETで-0.5～1.5V、Pチャネル型TFETで-1.5～0.5Vと小さい。

【0127】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

30

【0128】

〔実施例2〕

実施例1において、遮光膜250はコモン電位に保持するか、フローティング状態にしておけば良い。ところが、フローティング状態なら問題はないが、コモン電位に落とす場合、遮光膜をコモン電位に落とすための接続端子が必要となる。本実施例ではその構造について図7を用いて説明する。

【0129】

図7（A）において、701はコモン電源供給線であり、ソース配線やドレイン配線と同時に形成される配線である。また、702は第2層間絶縁膜、703は遮光膜、704は陽極酸化物である。

40

【0130】

この場合、図5（A）の工程において遮光膜250を形成する前に、第2層間絶縁膜249（図7（A）の702に相当する）に対してコンタクトホール705（図7（A））を形成し、その後で遮光膜250（図7（A）の703に相当する）を形成すれば良い。これにより遮光膜703を容易にコモン電位に保持することが可能となる。

【0131】

この状態を上面から見ると、図7（B）のようになる。図7（B）の上面図をA-A'で切った断面図が図7（A）である。符号は図7（A）を参考にすれば良い。なお、本実施例は実施例1の実施形態の一つであるので、作製工程等の条件については実施例1を参考

50

にすることとする。

【 0 1 3 2 】

〔実施例 3〕

本実施例は実施例 2 の別形態の例である。本実施例の構造を図 8 に示す。図 8 (A) において、8 0 1 はコモン電源供給線であり、ソース配線やドレイン配線と同時に形成される配線である。また、8 0 2 は第 2 層間絶縁膜、8 0 3 は遮光膜、8 0 4 は陽極酸化物、8 0 5 は画素電極と同時に形成された透明導電膜である。

【 0 1 3 3 】

この場合、図 5 (B) の工程において第 2 層間絶縁膜 2 4 9 にコンタクトホール 2 5 2 を形成する際に、図 8 (A) に示すように接続端子部で第 2 層間絶縁膜 8 0 2 の一部を除去してコモン電源供給線 8 0 1 を露呈させる。そして、画素電極 2 5 3 の形成と同時、接続端子部では透明導電膜 8 0 5 を形成する。

10

【 0 1 3 4 】

この時、遮光膜 8 0 3 と透明導電膜 8 0 5 との間には陽極酸化物 8 0 4 が存在し、コンデンサ 8 0 6 を形成している。しかしながら、交流駆動を行うことを考えると、実質的にこのコンデンサ 8 0 6 は短絡しているものと見なすことができ、遮光膜 8 0 3 とコモン電源供給線 8 0 1 とは電氣的に接続しているものと見なせる。

【 0 1 3 5 】

この状態を上面から見ると、図 8 (B) のようになる。図 8 (B) の上面図を A - A ' で切った断面図が図 8 (A) である。符号は図 8 (A) を参考にすれば良い。なお、本実施例は実施例 1 の実施形態の一つであるので、作製工程等の条件については実施例 1 を参考にすることとする。

20

【 0 1 3 6 】

〔実施例 4〕

図 1 において、遮光膜 1 3 0 と対向基板側の対向電極 1 3 6 との間には液晶 1 3 4 を誘電体 (厳密には配向膜 1 3 3 、 1 3 5 及び酸化物 1 3 1 も含む) とする容量結合が生じる。従って、この容量結合が大きい場合には、この結合の効果によって遮光膜 1 3 0 がコモン電位に保持される。

【 0 1 3 7 】

即ち、遮光膜 1 3 0 を他の配線と接続させなくても、対向電極との容量結合によってコモン電位に保持することが可能となる。本実施例は、そのような方式で遮光膜 1 3 0 をコモン電位に保持させるようにした例である。なお、本実施例は実施例 1 の実施形態の一つであるので、作製工程等の条件については実施例 1 を参考にすることとする。

30

【 0 1 3 8 】

〔実施例 5〕

本実施例では、具体的にどのような回路にどのような構造の T F T を配置するかを図 9 を用いて説明する。

【 0 1 3 9 】

A M - L C D は、回路によって最低限必要な動作電圧 (電源電圧) が異なる。例えば、画素部では液晶に印加する電圧と画素 T F T を駆動するための電圧とを考慮すると、1 4 ~ 2 0 V もの動作電圧となる。そのため、そのような高電圧が印加されても耐えうる程度の T F T を用いなければならない。

40

【 0 1 4 0 】

また、ソース駆動回路やゲート駆動回路に用いられるシフトレジスト回路などは、5 ~ 1 0 V 程度の動作電圧で十分である。動作電圧が低いほど外部信号との互換性もあり、さらに消費電力を抑えられるという利点がある。ところが、前述の高耐压型 T F T は耐压特性が良い代わりに動作速度が犠牲なるため、シフトレジスタ回路のように高速動作が求められる回路には不適當である。

【 0 1 4 1 】

このように、基板上に形成される回路は、目的に応じて耐压特性を重視した T F T を求め

50

る回路と動作速度を重視したTFTを求める回路とに分かれる。

【0142】

ここで具体的に本実施例の構成を図9に示す。図9(A)に示したのは、AM-LCDのブロック図を上面から見た図である。901は画素部であり、各画素に画素TFTと保持容量とを備え、表示部として機能する。また、902aはシフトレジスタ回路、902bはレベルシフト回路、902cはバッファ回路である。これらでなる回路が全体としてゲート駆動回路部を形成している。

【0143】

なお、図9(A)に示したAM-LCDではゲート駆動回路を、画素部を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

10

【0144】

また、903aはシフトレジスタ回路、903bはレベルシフト回路、903cはバッファ回路、903dはサンプリング回路であり、これらでなる回路が全体としてソース駆動回路を形成している。画素部を挟んでソース駆動回路と反対側にはプリチャージ回路904が設けられている。

【0145】

このような構成でなるAM-LCDにおいて、シフトレジスタ回路902a、903aは高速動作を求める回路であり、動作電圧が3.3~10V(代表的には3.3~5V)と低く、高耐圧特性は特に要求されない。従って、ゲート絶縁膜の膜厚は5~50nm(好ましくは10~30nm)と薄くした方がよい。

20

【0146】

図9(B)に示したのは主としてシフトレジスタ回路や信号分割回路のように高速動作を求められる回路に用いるべきCMOS回路の概略図である。なお、図9(B)において、905はゲート絶縁膜であり、膜厚を5~50nm(好ましくは10~30nm)と薄く設計している。

【0147】

また、LDD領域906の長さは0.1~1μm(代表的には0.3~0.5μm)が好ましい。また、動作電圧が2~3Vなどのように十分低ければ、LDD領域を設けないことも可能である。勿論、ゲート配線とは完全に重なるようにしてホットキャリア劣化を防ぐ構造となっている。

30

【0148】

次に、図9(C)に示すCMOS回路は、主としてレベルシフト回路902b、903b、バッファ回路902c、903c、サンプリング回路903d、プリチャージ回路904に適している。これらの回路は大電流を流す必要があるため、動作電圧は14~16Vと高い。特にゲートドライバ側では場合によっては19Vといった動作電圧を必要とする場合もある。従って、非常に良い耐圧特性(高耐圧特性)を有するTFTが必要となる。

【0149】

この時、図9(C)に示したCMOS回路において、ゲート絶縁膜907の膜厚は、50~200nm(好ましくは100~150nm)に設計されている。このように高いゲート絶縁耐圧を要求する回路はシフトレジスタ回路などのTFTよりもゲート絶縁膜の膜厚を厚くしておくことが好ましい。

40

【0150】

また、LDD領域908の長さは1~3μm(代表的には1.5~2μm)が好ましい。なお、LDD領域のうちゲート配線に重なる部分の長さは0.5~2μm(好ましくは1~1.5μm)でよい。また、残りはゲート配線に重ならないLDD領域となるが、このような領域を配置することでオフ電流を効果的に抑制することができる。なお、図9(C)に示すCMOS回路はバッファ回路などのように画素と同程度の高電圧がかかるため、LDD領域の長さも画素と同程度またはそれに近い長さとしておくことが望ましい。

【0151】

50

次に、図 9 (D) は画素部 9 0 1 の概略図を示している。画素 T F T は液晶に印加する電圧分も加味されるため、14 ~ 16 V の動作電圧を必要とする。また、液晶及び保持容量に蓄積された電荷を 1 フレーム期間保持しなければならないため、極力オフ電流は小さくなければならない。

【 0 1 5 2 】

そういった理由から、本実施例では N T F T を用いたダブルゲート構造とし、ゲート絶縁膜 9 0 9 の膜厚を 50 ~ 200 nm (好ましくは 100 ~ 150 nm) としている。この膜厚は図 9 (C) に示した C M O S 回路と同じ膜厚であっても良いし、異なる膜厚であっても良い。

【 0 1 5 3 】

また、L D D 領域 9 1 0 a、9 1 0 b の長さは 2 ~ 4 μm (代表的には 2 . 5 ~ 3 . 5 μm) が好ましい。なお、図 9 (D) に示す画素 T F T はオフ電流を極力低減することが必要であるため、L D D 領域 9 1 0 a、9 1 0 b をゲート配線と重ならないようにしておく点に特徴がある。

【 0 1 5 4 】

以上のように、A M - L C D を例にとっても同一基板には様々な回路が設けられ、回路によって必要とする動作電圧 (電源電圧) が異なることがある。この場合には本願発明のようにゲート絶縁膜の膜厚を異ならせた T F T を配置するなどの使い分けが必要となる。

【 0 1 5 5 】

なお、本実施例の構成を実現するために実施例 1 に示した回路を用いることは有効である。

【 0 1 5 6 】

〔 実施例 6 〕

実施例 1 において、ゲート絶縁膜を選択的に除去する工程に際し、駆動 T F T となる領域での除去は図 10 に示すように行うことが望ましい。図 10 において、11 は活性層、12 はゲート絶縁膜の端部、13、14 はゲート配線である。図 10 に示すように、ゲート配線が活性層を乗り越える部分 15 では、活性層 11 の端部にゲート絶縁膜を残しておくことが望ましい。

【 0 1 5 7 】

活性層 11 の端部は後に熱酸化工程を行った際にエッジシニングと呼ばれる現象が起こる。これは、活性層端部の下に潜り込むように酸化反応が進行し、端部が薄くなると同時に上へ盛り上がる現象である。そのため、エッジシニング現象が起こるとゲート配線が乗り越え時に断線しやすいという問題が生じる。

【 0 1 5 8 】

しかしながら、図 10 に示したような構造となるようにゲート絶縁膜を除去しておけば、ゲート配線が乗り越える部分 15 においてエッジシニング現象を防ぐことができる。そのため、ゲート配線の断線といった問題を未然に防ぐことが可能である。なお、本実施例の構成を実施例 1 に用いることは有効である。

【 0 1 5 9 】

〔 実施例 7 〕

本実施例では、実施例 1 に示した作製工程で基板上に T F T を形成し、実際に A M - L C D を作製した場合について説明する。

【 0 1 6 0 】

図 5 (B) の状態が得られたら、画素電極 253 上に配向膜を 80 nm の厚さに形成する。次に、対向基板としてガラス基板上にカラーフィルタ、透明電極 (対向電極)、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング処理を行い、シール材 (封止材) を用いて T F T が形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【 0 1 6 1 】

なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角１インチ以下のＡＭ－ＬＣＤのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【０１６２】

次に、以上のようにして作製したＡＭ－ＬＣＤの外観を図１１に示す。アクティブマトリクス基板（ＴＦＴが形成された基板を指す）２１には画素部２２、ソース駆動回路２３、ゲート駆動回路２４、信号処理回路（信号分割回路、Ｄ／Ａコンバータ回路、補正回路、差動増幅回路等）２５が形成され、ＦＰＣ（フレキシブルプリントサーキット）２６が取り付けられている。なお、２７は対向基板である。

【０１６３】

なお、本実施例は実施例１～６のいずれの実施例とも自由に組み合わせることが可能である。

【０１６４】

〔実施例８〕

本実施例では、実施例１において結晶質珪素膜の形成に他の手段を用いた場合について説明する。

【０１６５】

具体的には、非晶質珪素膜の結晶化に特開平７－１３０６５２号公報の実施例２に記載された技術を用いる。同公報に記載された技術は、結晶化を促進する触媒元素（代表的にはニッケル）を非晶質珪素膜の表面に選択的に保持させ、その部分を核成長の種として結晶化を行う技術である。

【０１６６】

この技術によれば、結晶成長に特定の方向性を持たせることができるので非常に結晶性の高い結晶質珪素膜を形成することが可能である。

【０１６７】

また、触媒元素を選択的に保持させるために設けるマスク用の絶縁膜を、そのままゲッタリング用に添加するリンのマスクとすることも可能である。こうすることで工程数を削減することができる。この技術に関しては、本出願人による特開平１０－２４７７３５号公報に詳しい。

【０１６８】

なお、本実施例の構成は実施例１～７のいずれの構成とも自由に組み合わせることが可能である。

【０１６９】

〔実施例９〕

実施例１で説明したニッケル（珪素膜を結晶化するために用いた触媒元素）をゲッタリングするためにリンを用いたが、本実施例では他の元素を用いてニッケルをゲッタリングする場合について説明する。

【０１７０】

まず、実施例１の工程に従って、図２（Ｂ）の状態を得る。図２（Ｂ）において、２０４は結晶質珪素膜である。但し、本実施例では結晶化に用いるニッケルの濃度を極力低いものとしている。具体的には、非晶質珪素膜上に重量換算で０．５～３ppmのニッケルを含む層を形成し、結晶化のための熱処理を行う。これにより形成された結晶質珪素膜中に含まれるニッケル濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ）となる。

【０１７１】

そして、結晶質珪素膜を形成したら、ハロゲン元素を含む酸化性雰囲気中で熱処理を行う。温度は８００～１１５０（好ましくは９００～１０００）とし、処理時間は１０分～４時間（好ましくは３０分～１時間）とする。

【０１７２】

本実施例では、酸素雰囲気中に対して３～１０体積％の塩化水素を含ませた雰囲気中にお

10

20

30

40

50

いて、950 30分の熱処理を行う。

【0173】

この工程により結晶質珪素膜中のニッケルは揮発性の塩化ニッケルとなって処理雰囲気中に離脱する。即ち、ハロゲン元素のゲッターリング作用によってニッケルを除去することが可能となる。但し、結晶質珪素膜中に存在するニッケル濃度が高すぎると、ニッケルの偏析部で酸化が異常に進行するという問題を生じる。そのため、結晶化の段階で用いるニッケルの濃度を極力低くする必要がある。

【0174】

なお、本実施例の構成は実施例1～8のいずれの構成とも自由に組み合わせることが可能である。

【0175】

〔実施例10〕

本実施例では、実施例1に示したCMOS回路や画素部の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に応じてLDD領域の配置を異ならせる例を示す。

【0176】

なお、CMOS回路および画素部の基本構造は図1に既に示したので本実施例では必要箇所のみに符号を付して説明することとする。また、本実施例のTFT構造は、基本的には実施例1の作製方法を参考にすれば良い。

【0177】

まず、図12(A)に示した回路は、CMOS回路において、NTFTのLDD領域31をチャネル形成領域32のドレイン領域33側のみに接して設けることを特徴としている。なお、この構造はソース領域側をレジストマスクで隠しておくことで実現できる。

【0178】

駆動回路部に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵抗成分は極力排除する必要がある。しかしながら、ホットキャリア耐性を高めるために必要なLDD領域は抵抗成分として働いてしまうため、動作速度を犠牲にしてしまう。

【0179】

しかし、ホットキャリア注入が生じるのはチャネル形成領域のドレイン領域側の端部であり、その部分にゲート配線と重なったLDD領域が存在すればホットキャリア対策は十分である。従って、必ずしもチャネル形成領域のソース領域側の端部には必要以上にLDD領域を設けておく必要はない。

【0180】

なお、図12(A)の構造はソース領域とドレイン領域とが入れ替わる画素TFTのような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されるため、図12(A)のような構造を実現することができる。

【0181】

次に、図12(B)に示した回路は、CMOS回路において、NTFTをダブルゲート構造、PTFTをシングルゲート構造とした場合の例である。このような構造は、高耐圧であることを要求される駆動回路部(代表的にはバッファ回路もしくはサンプリング回路)に用いる。

【0182】

この場合、NTFTのLDD領域34a、34bをチャネル形成領域35a、35bそれぞれのドレイン領域36側(またはドレイン領域36に近い側)のみに設けることを特徴としている。

【0183】

このような構造とすることでソース領域側のLDD領域による抵抗成分をなくし、ダブルゲート構造とすることでソース-ドレイン間にかかる電界を分散させて緩和する効果がある。

10

20

30

40

50

【 0 1 8 4 】

なお、本実施例の構成は実施例 1 ~ 9 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 8 5 】

〔実施例 1 1〕

実施例 1 において、必要に応じて T F T の下（具体的には活性層の下）に遮光膜を設けることは、光励起によるリーク電流を抑制する上で有効である。特に、リーク電流（またはオフ電流）を極力抑える必要がある画素 T F T の下に設けることは効果的である。

【 0 1 8 6 】

遮光膜としては、金属膜、黒色樹脂膜などを用いることができるが、金属膜を用いた場合には当該金属膜を用いて、遮光膜と活性層との間に保持容量を形成することも可能である。この場合、正味二つの保持容量が並列に接続された構造となるため、十分な保持容量を確保することが可能となる。

【 0 1 8 7 】

なお、本実施例の構成は実施例 1 ~ 1 0 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 8 8 】

〔実施例 1 2〕

本実施例では、実施例 1 に示した画素部において、遮光膜とその下の第 2 層間絶縁膜（樹脂膜）との間の密着性を高めるための技術を提供する。説明には図 1 3 を用いる。

【 0 1 8 9 】

本実施例では、アクリル膜でなる第 2 層間絶縁膜 4 1 を形成した後、スパッタ法により 1 0 ~ 3 0 nm 厚の酸化珪素膜を形成し、さらに連続的に高純度アルミニウム膜を形成する。これを一括でエッチングして遮光膜を形成する。図 1 3 では 4 2 が酸化珪素膜、4 3 が高純度アルミニウム膜である。

【 0 1 9 0 】

この酸化珪素膜 4 2 はアクリル膜でなる第 2 層間絶縁膜 4 1 と、高純度アルミニウム膜でなる遮光膜 4 3 との密着性を高めるパフア層として機能する。この酸化珪素膜 4 2 を設けることで、陽極酸化法等により酸化物 4 4 を形成した場合においても良好な密着性を確保することができる。

【 0 1 9 1 】

なお、本実施例の構成は、実施例 1 ~ 1 1 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 9 2 】

〔実施例 1 3〕

本実施例では、保持容量の構造を図 1 とは異なるものとした場合の例について説明する。説明には図 1 4 (A)、(B) を用いる。

【 0 1 9 3 】

図 1 4 (A) では、まず実施例 1 の工程に従って図 5 (A) の状態を得る。次に、樹脂膜（本実施例ではアクリル膜）でなる第 3 層間絶縁膜 5 1 を形成し、開口部 5 2 a、5 2 b を形成する。この開口部 5 2 a、5 2 b の形成により遮光膜 2 5 0（厳密にはその表面の酸化物 2 5 1）が露呈する。なお、この時、同時にコンタクトホール 5 3 も形成しておく。

【 0 1 9 4 】

その後、ITO 膜でなる画素電極 5 4 を形成する。こうして開口部 5 2 a、5 2 b では、遮光膜 2 5 0、遮光膜の酸化物 2 5 1 および画素電極 5 4 で保持容量が形成される。このような構造とすると、遮光膜 2 5 0 の端部を画素電極 5 4 が乗り越える必要がなくなるので、端部での短絡（ショート）などの問題の発生を防ぐことができる。

【 0 1 9 5 】

また、図 1 4 (B) では、まず実施例 1 の工程に従って図 5 (A) の工程（但し、酸化物 2 5 1 を形成する前）までを行う。即ち、第 2 層間絶縁膜 2 4 9 上にアルミニウム膜でな

10

20

30

40

50

る遮光膜 250 を形成するところまで行う。

【0196】

次に、アクリル膜でなる第3層間絶縁膜 55 を形成し、開口部 56a、56b を形成する。また、この時、同時にコンタクトホール 57 を形成する。

【0197】

そして、その状態で遮光膜 250 の露呈した表面に酸化物 58 を形成する。本実施例では酸化物 58 を陽極酸化法により形成するが、熱酸化法やプラズマ酸化法を用いても構わない。

【0198】

こうして遮光膜 250 の表面（上面）の一部に酸化物 58 を形成したら、次にITO膜でなる画素電極 59 を形成する。こうして、開口部 56a、56b では、遮光膜 250、遮光膜の酸化物 58 および画素電極 59 で保持容量が形成される。このような構造においても図14（A）と同様に、遮光膜端部における画素電極の短絡（ショート）を防ぐことができる。

10

【0199】

なお、本実施例の構成は、実施例1～12のいずれの構成とも自由に組み合わせることが可能である。

【0200】

〔実施例14〕

本実施例では、本願発明を用いて形成された画素部の構造について、図15を用いて説明する。なお、基本的な断面構造は図1～5で既に説明したので、ここでは遮光膜と画素電極の位置関係（保持容量の形成位置）に注目して説明を行うこととする。

20

【0201】

まず、図15（A）の状態は、図4（D）に示す工程までが終了した状態である。61は活性層、62はゲート配線、63はソース配線、64は活性層とソース配線とのコンタクト部、65はドレイン配線（ドレイン電極）、66は活性層とドレイン配線とのコンタクト部である。

【0202】

次に、図15（B）の状態は、図5（B）に示す工程までが終了した状態である。また、この状態は、図15（A）に遮光膜 67 と画素電極 68 を重ね合わせた状態を示している。なお、画素電極 68 は一部点線で表しているが、これは下層の遮光膜との位置関係を明瞭にするためである。

30

【0203】

図15（B）に示すように、画素電極 68 は画像表示領域 69 の外周部分で遮光膜 67 と重なるように形成されている。この画素電極 68 と遮光膜 67 とが重なる領域 70 が保持容量として機能することになる。

【0204】

また、71はドレイン配線 65 と画素電極 68 とのコンタクト部である。コンタクト部 71 には遮光膜 67 を設けることができないが、ドレイン配線 65 で完全に遮光されるので、TFTに光が当たるようなことはない。

40

【0205】

本実施例の構造の利点は、別途容量形成用の配線を形成する必要がないので、画素の開口率を高めることができる点にある。保持容量 70 はソース配線 63 やゲート配線 62 の上に形成されるので、実質的に開口率を低下させる要因にならない。従って、画像表示領域 69 を最大限に大きくすることができ、明るい画像を得ることが可能となる。

【0206】

なお、本実施例の構成は、実施例1～13のいずれの構成とも自由に組み合わせることが可能である。

【0207】

〔実施例15〕

50

本実施例では、実施例 1 とは異なる手段で結晶質珪素膜を形成する場合の例について説明する。

【0208】

実施例 1 では非晶質半導体膜（具体的には非晶質珪素膜）の結晶化に触媒元素（ニッケル）を用いたが、本実施例では触媒元素を用いないで熱結晶化させた場合について説明する。

【0209】

本実施例の場合、非晶質珪素膜を形成したら、580～640（代表的には600）の温度で、12～30時間（代表的には16～24時間）の熱処理を行って結晶化し、結晶質珪素膜を得る。従って、実施例 1 に示したようなゲッタリング工程は省略することができる。

10

【0210】

このように本願発明の構造が実現できるのであれば、いわゆる高温ポリシリコンと呼ばれる結晶質珪素膜を用いたプロセスを本願発明に組み合わせることは容易である。

【0211】

なお、本実施例の構成は実施例 1～7、9～14のいずれの実施例とも自由に組み合わせることができる。

【0212】

〔実施例 16〕

本実施例では実施例 1 とは異なる方法で第 1 層間絶縁膜を形成する例について説明する。説明には図 16 を用いる。

20

【0213】

まず、実施例 1 の作製工程に従って図 4（C）に示した活性化工程までを終了させる。なお、本実施例では酸化窒化珪素膜 240 として膜厚が 70 nm の酸化窒化珪素膜（ここでは酸化窒化珪素膜（A）1601 と記す）を用いる。活性化工程が終了したら、その上に 600 nm～1 μm（本実施例では 800 nm）の酸化窒化珪素膜（B）1602 を形成する。さらに、その上にレジストマスク 1603 を形成する。（図 16（A））

【0214】

なお、酸化窒化珪素膜（A）1601 と酸化窒化珪素膜（B）1602 とでは含有される窒素、酸素、水素及び珪素の組成比が異なる。酸化窒化珪素膜（A）1601 は窒素 7 %、酸素 59 %、水素 2 %、珪素 32 % となっており、酸化窒化珪素膜（B）1602 は窒素 33 %、酸素 15 %、水素 23 %、珪素 29 % となっている。勿論、この組成比に限定されるものではない。

30

【0215】

また、レジストマスク 1603 は膜厚が厚いため、酸化窒化珪素膜（B）1602 の表面の起伏を完全に平坦化することができる。

【0216】

次に、四フッ化炭素と酸素との混合ガスを用いたドライエッチング法によりレジストマスク 1603 及び酸化窒化珪素膜（B）1602 のエッチングを行う。本実施例の場合、四フッ化炭素と酸素との混合ガスを用いたドライエッチングにおいて、酸化窒化珪素膜（B）1602 とレジストマスク 1603 のエッチングレートがほぼ等しい。

40

【0217】

このエッチング工程により図 16（B）に示すようにレジストマスク 1603 は完全に除去され、酸化窒化珪素膜（B）1602 の一部（本実施例では表面から深さ 300 nm まで）がエッチングされる。その結果、レジストマスク 1603 の表面の平坦度がそのままエッチングされた酸化窒化珪素膜（B）の表面の平坦度に反映される。

【0218】

こうして極めて平坦性の高い第 1 層間絶縁膜 1604 を得る。本実施例の場合、第 1 層間絶縁膜 1604 の膜厚は 500 nm となる。このあとの工程は実施例 1 の作製工程を参照すれば良い。

50

【 0 2 1 9 】

なお、本実施例の構成は、実施例 1 ~ 1 5 のいずれの実施例とも自由に組み合わせることが可能である。

【 0 2 2 0 】

〔 実施例 1 7 〕

本願発明によって作製された A M - L C D は様々な公知の液晶材料を用いることが可能である。そのような材料として、T N 液晶、P D L C (ポリマー分散型液晶)、F L C (強誘電性液晶)、A F L C (反強誘電性電液晶)、または F L C と A F L C の混合物が挙げられる。

【 0 2 2 1 】

例えば、「H.Furue et al.;Charakteristics and Drivng Scheme of Polymer-Stabilized Monostable FLC D Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability,SID,1998」、「T.Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time,841,SID97DIGEST,1997」、または米国特許第5,594,569号に開示された材料を用いることができる。

10

【 0 2 2 2 】

特に、しきい値レスの反強誘電性液晶 (Thresholdless Antiferroelectric LCD) を使うと、液晶の動作電圧が $\pm 2 \sim 5$ V 程度のため電源電圧として 5 ~ 8 V 程度で済む。即ち、駆動回路部と画素部を同じ電源電圧で動作させることが可能となり、A M - L C D 全体の低消費電力化を図ることができる。

20

【 0 2 2 3 】

また、強誘電性液晶や反強誘電性液晶は T N 液晶に比べて応答速度が速いという利点をもつ。従来 of T F T ではこの利点を生かせなかったが、実施例 1 で説明したような結晶構造を有する T F T を用いる場合、非常に動作速度の速い T F T が実現されるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い A M - L C D を実現することが可能である。

【 0 2 2 4 】

なお、本実施例の A M - L C D をパーソナルコンピュータ等の電気器具の表示部として用いることが有効であることは言うまでもない。

30

【 0 2 2 5 】

また、本実施例の構成は、実施例 1 ~ 1 6 のいずれの構成とも自由に組み合わせることが可能である。

【 0 2 2 6 】

〔 実施例 1 8 〕

本願発明は従来の M O S F E T 上に層間絶縁膜を形成し、その上に T F T を形成する際に用いることも可能である。即ち、半導体回路上に反射型 A M - L C D が形成された三次元構造の半導体装置を実現することも可能である。

【 0 2 2 7 】

また、前記半導体回路は S I M O X、S m a r t - C u t (SOITEC社の登録商標)、E L T R A N (キャノン株式会社の登録商標)などの S O I 基板上に形成されたものであっても良い。

40

【 0 2 2 8 】

なお、本実施例を実施するにあたって、実施例 1 ~ 1 7 のいずれの構成を組み合わせても構わない。

【 0 2 2 9 】

〔 実施例 1 9 〕

本願発明はアクティブマトリクス型 E L (エレクトロルミネッセンス)ディスプレイ (E L 表示装置ともいう) に適用することも可能である。その例を図 1 7 に示す。

【 0 2 3 0 】

50

図１７はアクティブマトリクス型ＥＬディスプレイの回路図である。８１は表示領域を表しており、その周辺にはＸ方向（ゲート側）駆動回路８２、Ｙ方向（ソース側）駆動回路８３が設けられている。また、表示領域８１の各画素は、スイッチング用ＴＦＴ８４、コンデンサ８５、電流制御用ＴＦＴ８６、ＥＬ素子８７を有し、スイッチング用ＴＦＴ８４にＸ方向信号線（ゲート信号線）８８ａ（または８８ｂ）、Ｙ方向信号線（ソース信号線）８９ａ（または８９ｂ、８９ｃ）が接続される。また、電流制御用ＴＦＴ８６には、電源線９０ａ、９０ｂが接続される。

【０２３１】

本実施例のアクティブマトリクス型ＥＬディスプレイでは、Ｘ方向駆動回路８２、Ｙ方向駆動回路８３に用いられるＴＦＴのゲート絶縁膜が、スイッチング用ＴＦＴ８４や電流制御用ＴＦＴ８６のゲート絶縁膜よりも薄くなっている。また、コンデンサ８５が本願発明の保持容量で形成されている。

10

【０２３２】

なお、本実施例のアクティブマトリクス型ＥＬディスプレイに対して、実施例１～１６、１８のいずれの構成を組み合わせても良い。

【０２３３】

〔実施例２０〕

本実施例では、本願発明を用いてＥＬ（エレクトロルミネセンス）表示装置を作製した例について説明する。なお、図１８（Ａ）は本願発明のＥＬ表示装置の上面図であり、図１８（Ｂ）はその断面図である。

20

【０２３４】

図１８（Ａ）において、４００１は基板、４００２は画素部、４００３はソース側駆動回路、４００４はゲート側駆動回路であり、それぞれの駆動回路は配線４００５を経てＦＰＣ（フレキシブルプリントサーキット）４００６に至り、外部機器へと接続される。

【０２３５】

このとき、画素部４００２、ソース側駆動回路４００３及びゲート側駆動回路４００４を囲むようにして第１シール材４１０１、カバー材４１０２、充填材４１０３及び第２シール材４１０４が設けられている。

【０２３６】

また、図１８（Ｂ）は図１８（Ａ）をＡ－Ａ'で切断した断面図に相当し、基板４００１の上にソース側駆動回路４００３に含まれる駆動ＴＦＴ（但し、ここではｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを図示している。）４２０１及び画素部４００２に含まれる電流制御用ＴＦＴ（ＥＬ素子への電流を制御するＴＦＴ）４２０２が形成されている。

30

【０２３７】

本実施例では、駆動ＴＦＴ４２０１には図１の駆動回路部と同じ構造のＴＦＴが用いられ、電流制御用ＴＦＴ４２０２には図１の画素部と同じ構造のＴＦＴが用いられる。また、画素部４００２には電流制御用ＴＦＴ４２０２のゲートに接続された保持容量（図１７のコンデンサ８５に相当する）が設けられるが、この保持容量（図示せず）には図５（Ｂ）に示した保持容量２５４と同じ構造の保持容量が用いられる。

【０２３８】

駆動ＴＦＴ４２０１及び画素ＴＦＴ４２０２の上には樹脂材料でなる層間絶縁膜（平坦化膜）４３０１が形成され、その上に画素ＴＦＴ４２０２のドレインと電氣的に接続する画素電極（陽極）４３０２が形成される。画素電極４３０２としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

40

【０２３９】

そして、画素電極４３０２の上には絶縁膜４３０３が形成され、絶縁膜４３０３は画素電極４３０２の上に開口部が形成されている。この開口部において、画素電極４３０２の上にはＥＬ（エレクトロルミネッセンス）層４３０４が形成される。ＥＬ層４３０４は公知の有機ＥＬ材料または無機ＥＬ材料を用いることができる。また、有機ＥＬ材料には低分

50

子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0240】

EL層4304の形成方法は公知の技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0241】

EL層4304の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

10

【0242】

そして陰極4305は4306で示される領域において配線4005に電氣的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、導電性材料4307を介してFPC4006に電氣的に接続される。

【0243】

以上のようにして、画素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

20

【0244】

カバー材4102としては、ガラス板、金属板（代表的にはステンレス板）、セラミックス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0245】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

30

【0246】

また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）を設けておくとEL素子の劣化を抑制できる。

【0247】

また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陽極4305上に樹脂膜を設けることも有効である。

40

【0248】

また、配線4005は導電性材料4305を介してFPC4006に電氣的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電氣的に接続される。

【0249】

また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うよう

50

に第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図18(B)の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1~16、18のいずれの構成を組み合わせで作製しても構わない。

【0250】

〔実施例21〕

本実施例では、実施例20に示したEL表示装置の画素部に用いることができる画素構造の例を図19(A)~(C)に示す。なお、本実施例において、4401はスイッチング用TFT4402のソース配線、4403はスイッチング用TFT4402のゲート配線、4404は電流制御用TFT、4405はコンデンサ、4406、4408は電流供給線、4407はEL素子とする。

10

【0251】

図19(A)は、二つの画素間で電流供給線4406を共通とした場合の例である。即ち、二つの画素が電流供給線4406を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0252】

また、図19(B)は、電流供給線4408をゲート配線4403と平行に設けた場合の例である。なお、図19(B)では電流供給線4408とゲート配線4403とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線4408とゲート配線4403とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

20

【0253】

また、図19(C)は、図19(B)の構造と同様に電流供給線4408をゲート配線4403と平行に設け、さらに、二つの画素を電流供給線4408を中心に線対称となるように形成する点に特徴がある。また、電流供給線4408をゲート配線4403のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0254】

〔実施例22〕

本願発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図20~22に示す。

30

【0255】

図20(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本願発明の電気光学装置は表示部2004に、本願発明の半導体回路は音声出力部2002、音声入力部2003またはCPUやメモリ等に用いることができる。

40

【0256】

図20(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明の電気光学装置は表示部2102に、本願発明の半導体回路は音声入力部2103またはCPUやメモリ等に用いることができる。

【0257】

図20(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成され

50

る。本願発明の電気光学装置は表示部 2 2 0 5 に、本願発明の半導体回路は C P U やメモリ等に用いることができる。

【 0 2 5 8 】

図 2 0 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 で構成される。本願発明の電気光学装置は表示部 2 3 0 2 に、本願発明の半導体回路は C P U やメモリ等に用いることができる。

【 0 2 5 9 】

図 2 0 (E) はリアプロジェクター (プロジェクション T V) であり、本体 2 4 0 1、光源 2 4 0 2、液晶表示装置 2 4 0 3、偏光ビームスプリッタ 2 4 0 4、リフレクター 2 4 0 5、2 4 0 6、スクリーン 2 4 0 7 で構成される。本発明は液晶表示装置 2 4 0 3 に用
10

【 0 2 6 0 】

図 2 0 (F) はフロントプロジェクターであり、本体 2 5 0 1、光源 2 5 0 2、液晶表示装置 2 5 0 3、光学系 2 5 0 4、スクリーン 2 5 0 5 で構成される。本発明は液晶表示装置 2 5 0 2 に用いることができ、本願発明の半導体回路は C P U やメモリ等に用いること
20

【 0 2 6 1 】

図 2 1 (A) はパーソナルコンピュータであり、本体 2 6 0 1、映像入力部 2 6 0 2、表示部 2 6 0 3、キーボード 2 6 0 4 等を含む。本願発明の電気光学装置は表示部 2 6 0 3
20

【 0 2 6 2 】

図 2 1 (B) は電子遊戯機器 (ゲーム機器) であり、本体 2 7 0 1、記録媒体 2 7 0 2、表示部 2 7 0 3 及びコントローラ 2 7 0 4 を含む。この電子遊戯機器から出力された音声や映像は筐体 2 7 0 5 及び表示部 2 7 0 6 を含む表示ディスプレイにて再生される。コントローラ 2 7 0 4 と本体 2 7 0 1 との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線センサ部 2 7 0 7、2 7 0 8 で検知する構成となっている。本願発明の電気光学装置は表示部 2 7 0 3、2 7 0 6 に、本願発明の半導体回路は C P U やメモリ等に用いる
30

【 0 2 6 3 】

図 2 1 (C) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤー (画像再生装置) であり、本体 2 8 0 1、表示部 2 8 0 2、スピーカ部 2 8 0 3、記録媒体 2 8 0 4 及び操作スイッチ 2 8 0 5 を含む。なお、この画像再生装置は記録媒体として D V D (D i g i t a l V e r s a t i l e D i s c)、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の電気光学装置は表示部 2 8 0 2 や C P U やメモリ等に用いることができる。

【 0 2 6 4 】

図 2 1 (D) はデジタルカメラであり、本体 2 9 0 1、表示部 2 9 0 2、接眼部 2 9 0 3、操作スイッチ 2 9 0 4、受像部 (図示せず) を含む。本願発明の電気光学装置は表示部 2 9 0 2 や C P U やメモリ等に用いることができる。
40

【 0 2 6 5 】

なお、図 2 0 (E) のリアプロジェクターや図 2 0 (F) のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図 2 2 に示す。なお、図 2 2 (A) は光学エンジンであり、図 2 2 (B) は光学エンジンに内蔵される光源光学系である。

【 0 2 6 6 】

図 2 2 (A) に示す光学エンジンは、光源光学系 3 0 0 1、ミラー 3 0 0 2、3 0 0 5 ~ 3 0 0 7、ダイクロイックミラー 3 0 0 3、3 0 0 4、光学レンズ 3 0 0 8 a ~ 3 0 0 8 c、プリズム 3 0 1 1、液晶表示装置 3 0 1 0、投射光学系 3 0 1 2 を含む。投射光学系 3 0 1 2 は、投射レンズを備えた光学系である。本実施例は液晶表示装置 3 0 1 0 を三つ使用する三板式の例を示したが、単板式であってもよい。また、図 2 2 (A) 中において矢
50

印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくはＩＲフィルム等を設けてもよい。

【０２６７】

また、図２２（Ｂ）に示すように、光源光学系３００１は、光源３０１３、３０１４、合成プリズム３０１５、コリメータレンズ３０１６、３０２０、レンズアレイ３０１７、３０１８、偏光変換素子３０１９を含む。なお、図２２（Ｂ）に示した光源光学系は光源を２つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくはＩＲフィルム等を設けてもよい。

【０２６８】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例１～２１のどのような組み合わせからなる構成を用いても実現することができる。

【０２６９】

【発明の効果】

本願発明を用いることで同一基板上に、異なる膜厚のゲート絶縁膜を有するＴＦＴを形成することができる。そのため、ＡＭ－ＬＣＤに代表される電子装置や、そのような電子装置を表示部（表示ディスプレイ）として有する電気器具を含む半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させうる。

【０２７０】

また、ＡＭ－ＬＣＤに代表される電子装置の画素部において、小さい面積で大きなキャパシティを有する保持容量を形成することができる。そのため、対角１インチ以下の表示部をもつ電子装置においても開口率を低下させることなく、十分な保持容量を確保することが可能となる。

【図面の簡単な説明】

【図１】 ＡＭ－ＬＣＤの断面構造を示す図。

【図２】 ＡＭ－ＬＣＤの作製工程を示す図。

【図３】 ＡＭ－ＬＣＤの作製工程を示す図。

【図４】 ＡＭ－ＬＣＤの作製工程を示す図。

【図５】 ＡＭ－ＬＣＤの作製工程を示す図。

【図６】 不純物元素を添加する際の濃度分布の関係を示す図。

【図７】 コモン電位引き落とし端子部の構造を示す図。

【図８】 コモン電位引き落とし端子部の構造を示す図。

【図９】 ＡＭ－ＬＣＤのブロック構成および回路配置を示す図。

【図１０】 駆動ＴＦＴ（ＣＭＯＳ回路）の構造を示す図。

【図１１】 ＡＭ－ＬＣＤの外観を示す図。

【図１２】 ＣＭＯＳ回路の断面構造を示す図。

【図１３】 画素部の断面構造を示す図。

【図１４】 画素部の断面構造を示す図。

【図１５】 画素部の上面構造を示す図。

【図１６】 ＡＭ－ＬＣＤの作製工程を示す図。

【図１７】 アクティブマトリクス型ＥＬディスプレイの回路構成を示す図。

【図１８】 ＥＬ表示装置の上面構造及び断面構造を示す図。

【図１９】 ＥＬ表示装置の画素部の構成を示す図。

【図２０】 電気器具の一例を示す図。

【図２１】 電気器具の一例を示す図。

【図２２】 光学エンジンの構造を示す図。

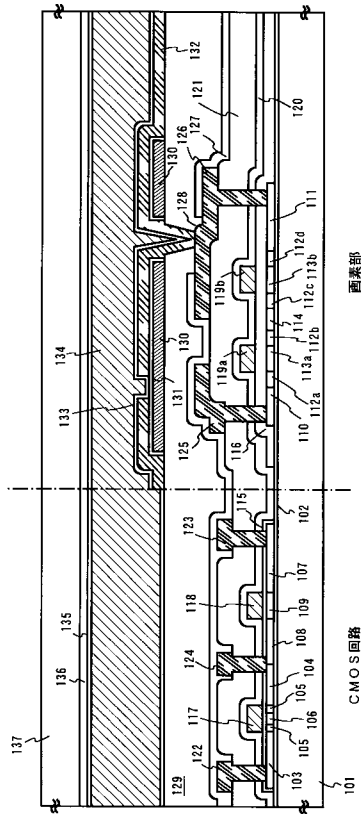
10

20

30

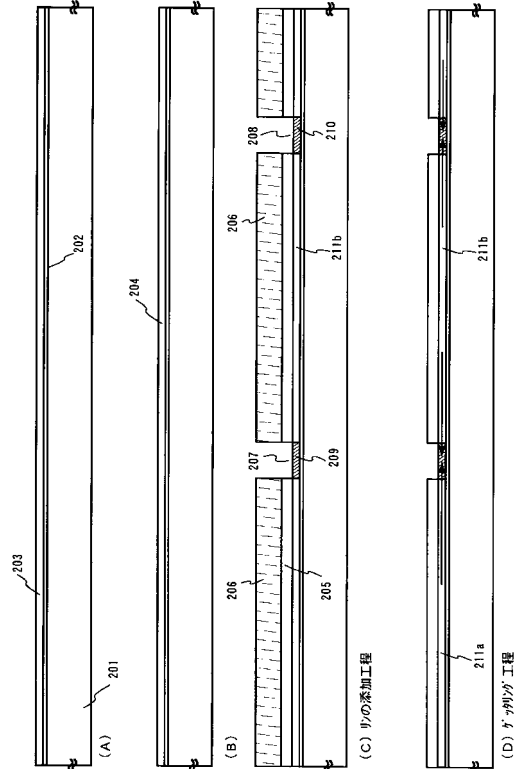
40

【 図 1 】



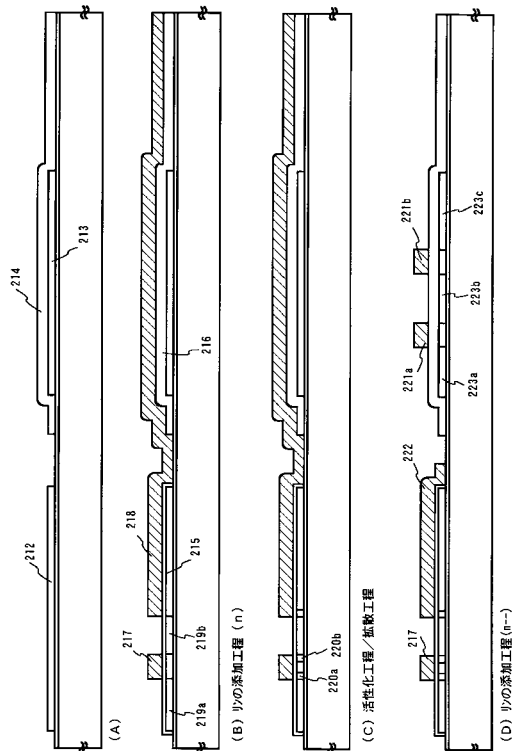
101. 基板 102. 下地膜 103. 107, 110, 125, 部膜 104, 108, 111, 121, 122, 123, 125, 126, 127, 128, 129, 130, 131, 132, 133, 134, 135, 136, 137, 138, 139, 140, 141, 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 170, 171, 172, 173, 174, 175, 176, 177, 178, 179, 180, 181, 182, 183, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200, 201, 202, 203, 204, 205, 206, 207, 208, 209, 210, 211, 212, 213, 214, 215, 216, 217, 218, 219, 220, 221, 222, 223, 224, 225, 226, 227, 228, 229, 230, 231, 232, 233, 234, 235, 236, 237, 238, 239, 240, 241, 242, 243, 244, 245, 246, 247, 248, 249, 250, 251, 252, 253, 254, 255, 256, 257, 258, 259, 260, 261, 262, 263, 264, 265, 266, 267, 268, 269, 270, 271, 272, 273, 274, 275, 276, 277, 278, 279, 280, 281, 282, 283, 284, 285, 286, 287, 288, 289, 290, 291, 292, 293, 294, 295, 296, 297, 298, 299, 300, 301, 302, 303, 304, 305, 306, 307, 308, 309, 310, 311, 312, 313, 314, 315, 316, 317, 318, 319, 320, 321, 322, 323, 324, 325, 326, 327, 328, 329, 330, 331, 332, 333, 334, 335, 336, 337, 338, 339, 340, 341, 342, 343, 344, 345, 346, 347, 348, 349, 350, 351, 352, 353, 354, 355, 356, 357, 358, 359, 360, 361, 362, 363, 364, 365, 366, 367, 368, 369, 370, 371, 372, 373, 374, 375, 376, 377, 378, 379, 380, 381, 382, 383, 384, 385, 386, 387, 388, 389, 390, 391, 392, 393, 394, 395, 396, 397, 398, 399, 400, 401, 402, 403, 404, 405, 406, 407, 408, 409, 410, 411, 412, 413, 414, 415, 416, 417, 418, 419, 420, 421, 422, 423, 424, 425, 426, 427, 428, 429, 430, 431, 432, 433, 434, 435, 436, 437, 438, 439, 440, 441, 442, 443, 444, 445, 446, 447, 448, 449, 450, 451, 452, 453, 454, 455, 456, 457, 458, 459, 460, 461, 462, 463, 464, 465, 466, 467, 468, 469, 470, 471, 472, 473, 474, 475, 476, 477, 478, 479, 480, 481, 482, 483, 484, 485, 486, 487, 488, 489, 490, 491, 492, 493, 494, 495, 496, 497, 498, 499, 500, 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514, 515, 516, 517, 518, 519, 520, 521, 522, 523, 524, 525, 526, 527, 528, 529, 530, 531, 532, 533, 534, 535, 536, 537, 538, 539, 540, 541, 542, 543, 544, 545, 546, 547, 548, 549, 550, 551, 552, 553, 554, 555, 556, 557, 558, 559, 560, 561, 562, 563, 564, 565, 566, 567, 568, 569, 570, 571, 572, 573, 574, 575, 576, 577, 578, 579, 580, 581, 582, 583, 584, 585, 586, 587, 588, 589, 590, 591, 592, 593, 594, 595, 596, 597, 598, 599, 600, 601, 602, 603, 604, 605, 606, 607, 608, 609, 610, 611, 612, 613, 614, 615, 616, 617, 618, 619, 620, 621, 622, 623, 624, 625, 626, 627, 628, 629, 630, 631, 632, 633, 634, 635, 636, 637, 638, 639, 640, 641, 642, 643, 644, 645, 646, 647, 648, 649, 650, 651, 652, 653, 654, 655, 656, 657, 658, 659, 660, 661, 662, 663, 664, 665, 666, 667, 668, 669, 670, 671, 672, 673, 674, 675, 676, 677, 678, 679, 680, 681, 682, 683, 684, 685, 686, 687, 688, 689, 690, 691, 692, 693, 694, 695, 696, 697, 698, 699, 700, 701, 702, 703, 704, 705, 706, 707, 708, 709, 710, 711, 712, 713, 714, 715, 716, 717, 718, 719, 720, 721, 722, 723, 724, 725, 726, 727, 728, 729, 730, 731, 732, 733, 734, 735, 736, 737, 738, 739, 740, 741, 742, 743, 744, 745, 746, 747, 748, 749, 750, 751, 752, 753, 754, 755, 756, 757, 758, 759, 760, 761, 762, 763, 764, 765, 766, 767, 768, 769, 770, 771, 772, 773, 774, 775, 776, 777, 778, 779, 780, 781, 782, 783, 784, 785, 786, 787, 788, 789, 790, 791, 792, 793, 794, 795, 796, 797, 798, 799, 800, 801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 814, 815, 816, 817, 818, 819, 820, 821, 822, 823, 824, 825, 826, 827, 828, 829, 830, 831, 832, 833, 834, 835, 836, 837, 838, 839, 840, 841, 842, 843, 844, 845, 846, 847, 848, 849, 850, 851, 852, 853, 854, 855, 856, 857, 858, 859, 860, 861, 862, 863, 864, 865, 866, 867, 868, 869, 870, 871, 872, 873, 874, 875, 876, 877, 878, 879, 880, 881, 882, 883, 884, 885, 886, 887, 888, 889, 890, 891, 892, 893, 894, 895, 896, 897, 898, 899, 900, 901, 902, 903, 904, 905, 906, 907, 908, 909, 910, 911, 912, 913, 914, 915, 916, 917, 918, 919, 920, 921, 922, 923, 924, 925, 926, 927, 928, 929,

【 図 2 】



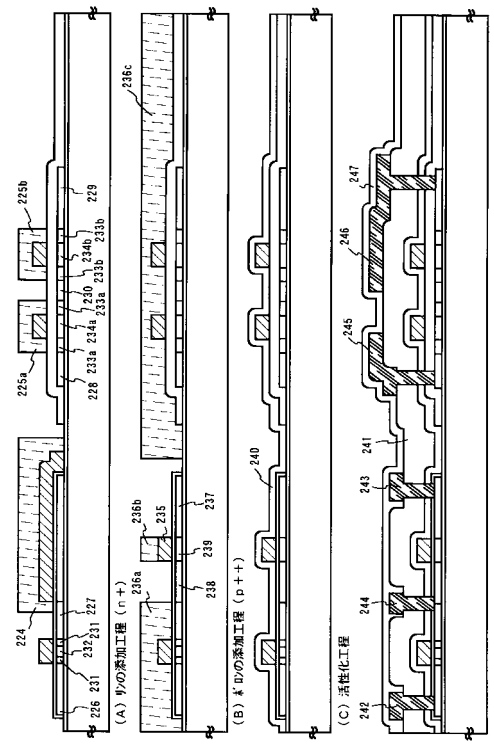
201: 石英基板 202: 酸化珪素膜 (下地膜) 203: 非晶質珪素膜 204: 結晶質珪素膜 205: 酸化珪素膜 (マド膜)
206: ヴィ ス・マシ 207, 208: 開口部 209, 210: リット・マシ領域 211a, 211b: 結晶質珪素膜

【 図 3 】



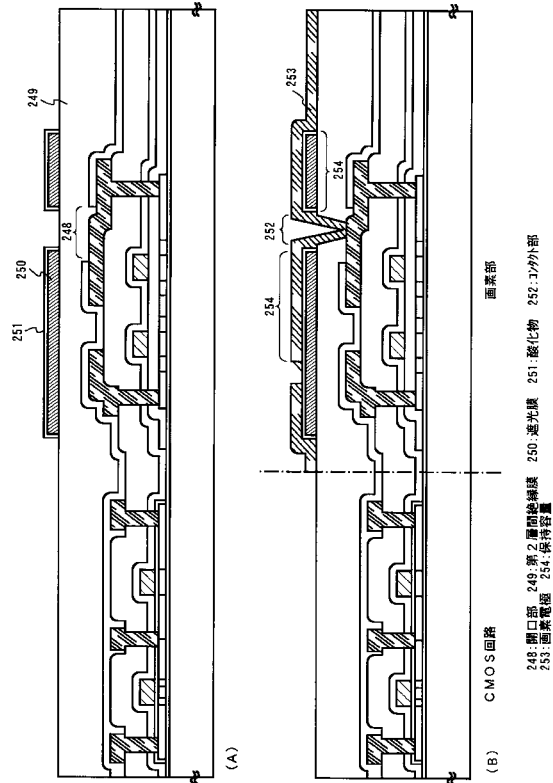
212, 213: 半導体層 214: 第一絶縁膜 215: 熱酸化膜 (第一絶縁膜) 216: 第一絶縁膜 217, 221a, 221b: 第一配線
218, 222: 導電膜 219a, 219b: n領域 220a, 220b: n領域 223a~223c: n領域

【 図 4 】

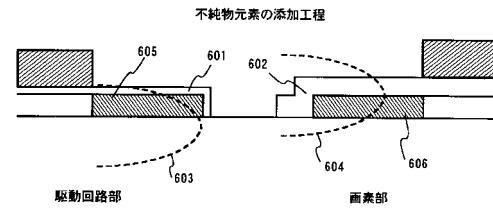


224, 225a, 226b, 236a-236c: ユース229 226, 228: ユース領域 (NIFT) 231, 233a, 233b-L00領域 (NIFT)
232, 233, 234: チェル形成領域 (NIFT) 235: ガート配線 (PFT) 237: 高濃度不純物領域 237: ユース領域 (PFT) 238: トリン領域 (PFT)
239: チェル形成領域 (NIFT) 240: 第1層間絶縁膜 (下層) 241: 第1層間絶縁膜 (上層) 242, 243, 245: ユース配線 244, 246: ドリ
配線 247: ユース239

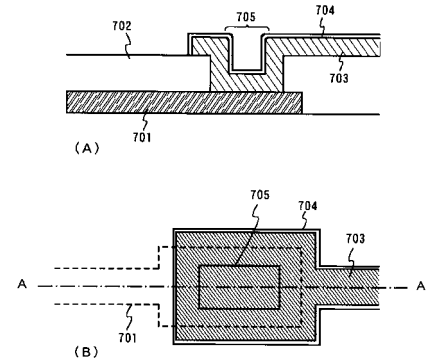
【図 5】



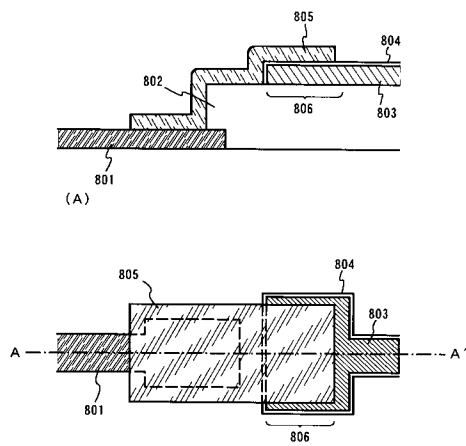
【図 6】



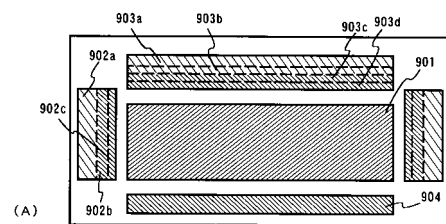
【図 7】



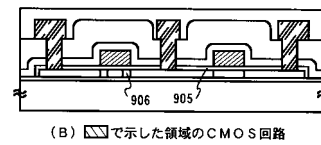
【図 8】



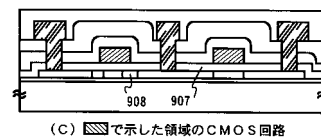
【図 9】



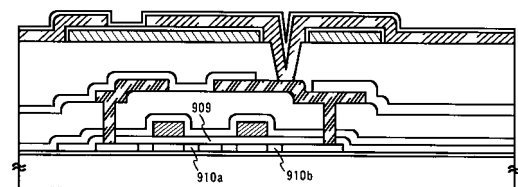
901:画素部 902a, 903a:シフトレジスタ回路 902b, 903b:177外部 902c, 903c:177外部 903d:サブピクセル回路 904:プリファージ回路



(B) 斜線で示した領域のCMOS回路

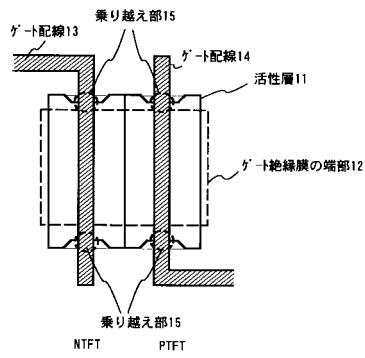


(C) 斜線で示した領域のCMOS回路

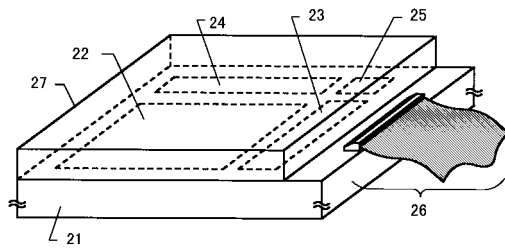


(D) 斜線で示した領域の画素部

【 図 1 0 】

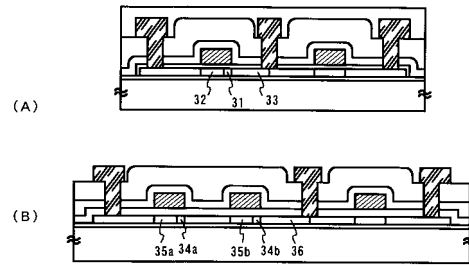


【 図 1 1 】

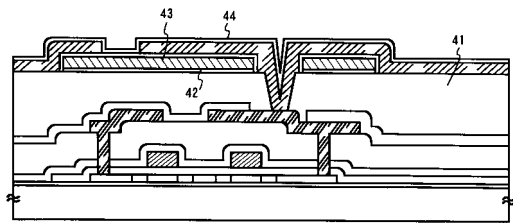


21:基板 22:画素部
23:ソースドライバ回路 24:ゲートドライバ回路
25:信号処理回路 26:FPC 27:対向基板

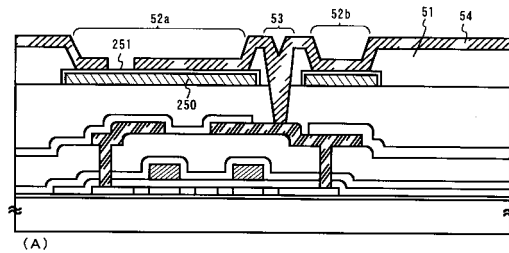
【圖 12】



【 図 1 3 】

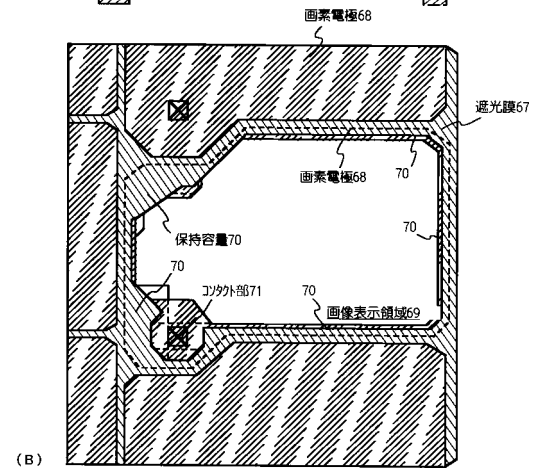
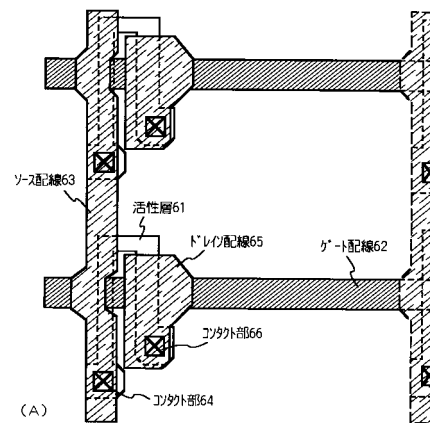


【 図 1 4 】

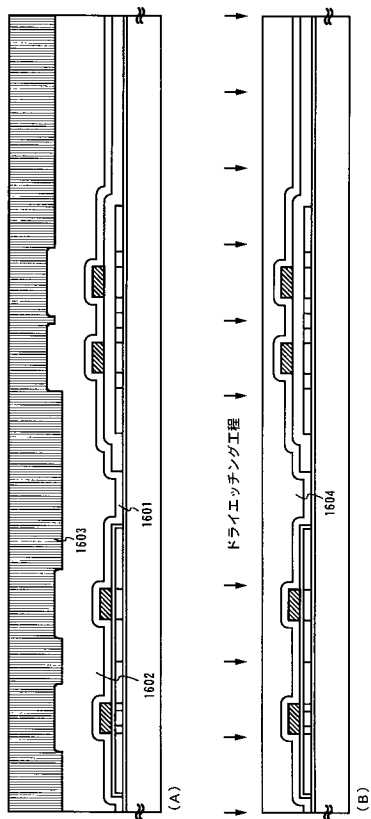


(B)

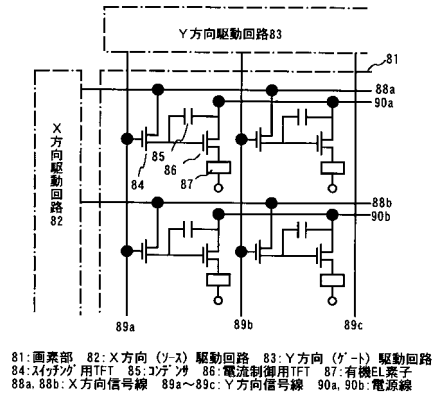
【 図 1 5 】



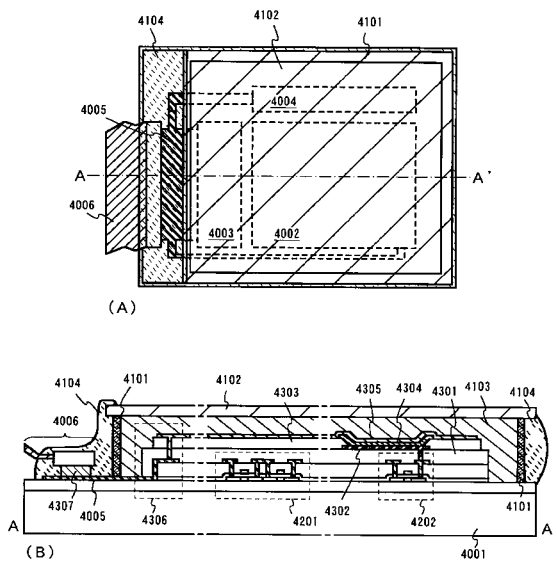
【図16】



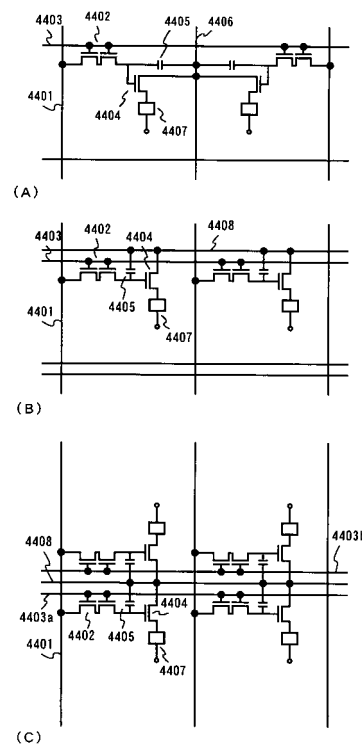
【図17】



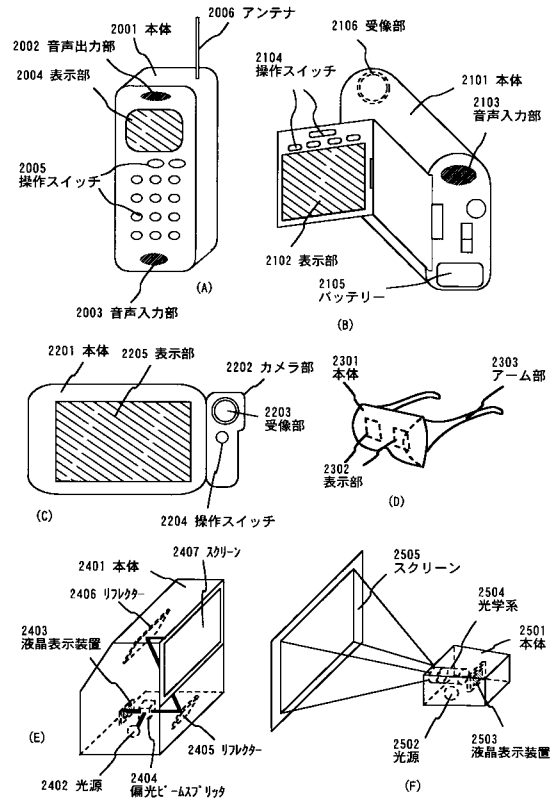
【図18】



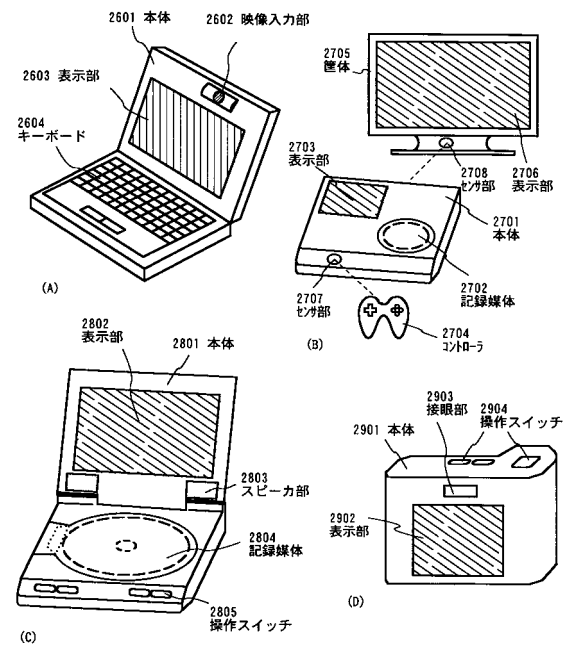
【図19】



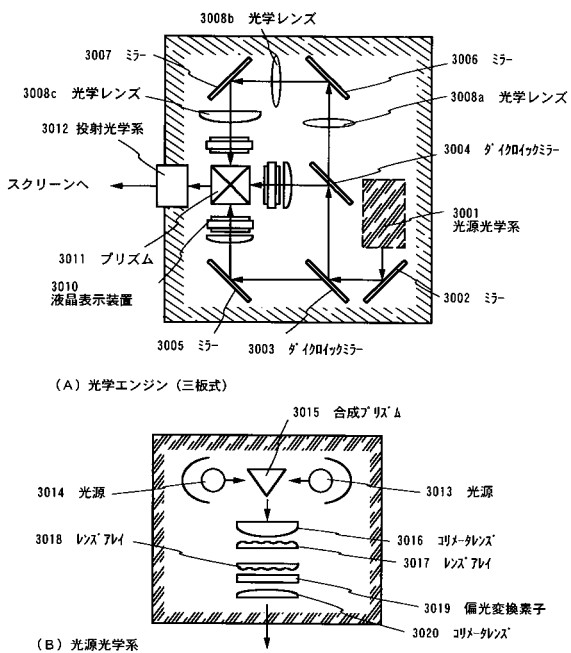
【図 20】



【図 21】



【図 22】



フロントページの続き

- (72)発明者 村上 智史
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 大沼 英人
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 藤本 悦子
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 北角 英人
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

- (56)参考文献 特開昭 5 8 - 1 4 2 5 6 6 (J P , A)
特開平 0 8 - 0 3 2 0 8 0 (J P , A)
特開平 0 6 - 1 0 4 4 3 3 (J P , A)
特開平 0 8 - 0 3 7 3 1 3 (J P , A)
特開平 0 6 - 1 3 8 4 8 4 (J P , A)
特開平 0 7 - 1 2 8 6 8 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368
G09F 9/30
H01L 21/336
H01L 29/786