



(12) 发明专利申请

(10) 申请公布号 CN 103207366 A

(43) 申请公布日 2013. 07. 17

(21) 申请号 201210025657. 4

(22) 申请日 2012. 02. 07

(30) 优先权数据

101101339 2012. 01. 13 TW

(71) 申请人 纬创资通股份有限公司

地址 中国台湾新北市

(72) 发明人 刘冠麟 彭国荣

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G01R 31/28 (2006. 01)

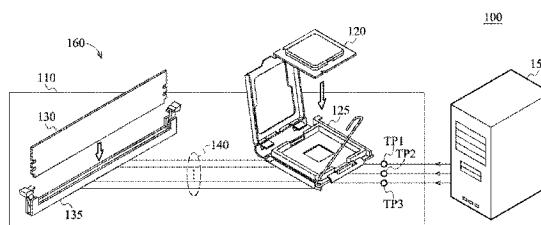
权利要求书3页 说明书6页 附图6页

(54) 发明名称

测试系统及印刷电路板组件的测试方法

(57) 摘要

一种测试系统及印刷电路板组件的测试方法。该测试系统包括一印刷电路板。该印刷电路板包括多条导线及至少一测试点。具有多个第一接脚的一中央处理器插座以及具有多个第二接脚的一存储器模块插槽设置在上述印刷电路板。每一第二接脚经由对应的导线而耦接于中央处理器插座的对应的第一接脚。一中央处理器转接板插入于上述中央处理器插座，而一存储器转接板插入于上述存储器模块插槽。导线经由中央处理器转接板以及存储器转接板形成一测试回路。当一自动测试设备通过测试点提供一测试信号至上述测试回路时，上述自动测试设备根据上述测试信号的一反射结果来判断上述测试回路是否正常。



1. 一种测试系统,包括:

一待测的印刷电路板组件,包括:

一印刷电路板,包括多条导线以及至少一测试点;

一中央处理器插座,设置于上述印刷电路板,包括多个第一接脚,以及上述中央处理器插座经由上述第一接脚的一个而耦接于上述测试点;以及

一存储器模块插槽,设置于上述印刷电路板,包括多个第二接脚,其中每一上述第二接脚经由对应的上述导线而耦接于上述中央处理器插座的对应的上述第一接脚,其中上述中央处理器插座耦接于上述存储器模块插槽以及上述测试点之间;

一中央处理器转接板,插入于上述中央处理器插座;以及

一存储器转接板,插入于上述存储器模块插槽,其中上述导线经由上述中央处理器转接板以及上述存储器转接板形成一测试回路;

其中当一自动测试设备通过上述测试点提供一测试信号至上述测试回路时,上述自动测试设备根据上述测试信号的一反射结果来判断上述测试回路是否正常。

2. 如权利要求 1 所述的测试系统,其中上述中央处理器转接板包括多个第一接脚对,其中每一上述第一接脚对包括互相耦接的两第三接脚,且每一上述第三接脚耦接于对应的上述中央处理器插座的上述第一接脚。

3. 如权利要求 2 所述的测试系统,其中上述存储器转接板包括多个第二接脚对,其中每一上述第二接脚对包括互相耦接的两第四接脚,且每一上述第四接脚耦接于对应的上述存储器模块插槽的上述第二接脚。

4. 如权利要求 3 所述的测试系统,其中上述自动测试设备根据上述反射结果来判断上述中央处理器插座与上述印刷电路板之间的焊锡性是否正常。

5. 如权利要求 4 所述的测试系统,其中上述自动测试设备还根据上述反射结果来判断上述导线是否短路、断路或是缺陷。

6. 如权利要求 5 所述的测试系统,其中上述自动测试设备还根据上述反射结果来判断上述存储器模块插槽与上述印刷电路板之间的焊锡性是否正常。

7. 如权利要求 1 所述的测试系统,其中上述存储器模块插槽为一双列直插存储器模块插槽。

8. 如权利要求 1 所述的测试系统,其中上述反射结果为一时域反射结果。

9. 如权利要求 1 所述的测试系统,其中上述反射结果为一频域反射结果。

10. 一种测试系统,包括:

一待测的印刷电路板组件,包括:

一印刷电路板,包括多条导线以及至少一测试点;

一中央处理器插座,设置于上述印刷电路板,包括多个第一接脚,以及上述中央处理器插座经由上述第一接脚的一个而耦接于上述测试点;以及

多个存储器模块插槽,设置于上述印刷电路板,其中每一上述存储器模块插槽包括多个第二接脚以及一特定接脚,以及每一上述第二接脚经由对应的上述导线而耦接于对应的上述第一接脚,其中上述中央处理器插座耦接于上述存储器模块插槽以及上述测试点之间;

一中央处理器转接板,插入于上述中央处理器插座;以及

多个存储器转接板,各自插入于个别的上述存储器模块插槽,其中当上述存储器转接板的一个的上述特定接脚接受到一致能信号时,上述存储器转接板的该者以及上述中央处理器转接板之间的上述导线形成一测试回路;

其中当一自动测试设备通过上述测试点提供一测试信号至上述测试回路时,上述自动测试设备根据上述测试信号的一反射结果来判断上述测试回路是否正常。

11. 如权利要求 10 所述的测试系统,其中上述中央处理器转接板包括多个第一接脚对,其中每一上述第一接脚对包括互相耦接的两第三接脚,且每一上述第三接脚耦接于对应的上述中央处理器插座的上述第一接脚。

12. 如权利要求 11 所述的测试系统,其中每一上述存储器转接板包括多个第二接脚对,其中每一上述第二接脚对包括互相耦接的两第四接脚,且每一上述第四接脚耦接于对应的上述存储器模块插槽的对应的上述第二接脚。

13. 如权利要求 12 所述的测试系统,其中上述自动测试设备根据上述反射结果来判断上述中央处理器插座与上述印刷电路板之间的焊锡性是否正常。

14. 如权利要求 13 所述的测试系统,其中上述自动测试设备还根据上述反射结果来判断上述存储器转接板的该者以及上述中央处理器转接板之间的上述导线是否短路、断路或是缺陷。

15. 如权利要求 14 所述的测试系统,其中上述自动测试设备还根据上述反射结果来判断上述存储器模块插槽的该者与上述印刷电路板之间的焊锡性是否正常。

16. 如权利要求 10 所述的测试系统,其中每一上述存储器模块插槽为一双列直插存储器模块插槽。

17. 如权利要求 10 所述的测试系统,其中上述反射结果为一时域反射结果。

18. 如权利要求 10 所述的测试系统,其中上述反射结果为一频域反射结果。

19. 一种测试方法,适用于一印刷电路板组件,上述印刷电路板组件包括一印刷电路板、一中央处理器插座以及一存储器模块插槽,上述测试方法包括:

插入一中央处理器转接板至上述中央处理器插座,其中上述中央处理器插座设置于上述印刷电路板并包括多个第一接脚,以及上述中央处理器插座经由上述第一接脚的一个而耦接于上述印刷电路板的至少一测试点,其中上述印刷电路板还包括多条导线;

插入一存储器转接板至上述存储器模块插槽,其中上述存储器模块插槽设置于上述印刷电路板并包括多个第二接脚,其中每一上述第二接脚经由对应的上述导线而耦接于对应的上述中央处理器插座的上述第一接脚,以及上述导线经由上述中央处理器转接板以及上述存储器转接板形成一测试回路;

经由上述印刷电路板的上述测试点,提供一测试信号至上述测试回路;以及
根据上述测试信号的一反射结果来判断上述测试回路是否正常。

20. 如权利要求 19 所述的测试方法,其中上述中央处理器转接板包括多个第一接脚对,其中每一上述第一接脚对包括互相耦接的两第三接脚,且每一上述第三接脚耦接于对应的上述中央处理器插座的上述第一接脚。

21. 如权利要求 20 所述的测试方法,其中上述存储器转接板包括多个第二接脚对,其中每一上述第二接脚对包括互相耦接的两第四接脚,且每一上述第四接脚耦接于对应的上述存储器模块插槽的上述第二接脚。

22. 如权利要求 21 所述的测试方法,还包括:

根据上述反射结果,判断上述中央处理器插座与上述印刷电路板之间的焊锡性是否正常;

根据上述反射结果,判断上述导线是否短路、断路或是缺陷;以及

根据上述反射结果,判断上述存储器模块插槽与上述印刷电路板之间的焊锡性是否正常。

23. 如权利要求 19 所述的测试方法,其中上述根据上述测试信号的上述反射结果来判断上述测试回路是否正常的步骤还包括:

当上述反射结果符合一目标反射结果时,判断上述测试回路为正常;以及

当上述反射结果不符合上述目标反射结果时,判断上述测试回路为异常。

24. 如权利要求 19 所述的测试方法,其中上述存储器模块插槽为一双列直插存储器模块插槽。

25. 如权利要求 19 所述的测试系统,其中上述反射结果为一时域反射结果。

26. 如权利要求 19 所述的测试系统,其中上述反射结果为一频域反射结果。

测试系统及印刷电路板组件的测试方法

技术领域

[0001] 本发明涉及一种测试系统,特别是涉及一种印刷电路板组件(Printed Circuit Board Assembly,PCBA)的测试系统。

背景技术

[0002] 在主机板的制造过程中,设置在主机板上的不同元件都需要事先测试是否正常,以避免在量产之后才发生问题,而造成制造商的重大损失。

[0003] 一般而言,在测试主机板上的插槽或是连接器是否能正常运作时,例如插槽与主机板上之间是否有空焊、断路、短路或其他异常情形发生,通常是藉由插入存储器模块、接口卡或是中央处理器(Central Processing Unit,CPU)等实际要在该插槽运作的模块/元件,来对插槽进行测试。然而,使用实际的模块/元件来进行测试,需要较高的生产成本。此外,重复地插拔实际的模块/元件,容易造成该模块/元件损坏。当该模块/元件操作在快要失效的临界点时,会造成测试上的不稳定。因此,测试工程师需要进一步分析是否为实际的模块/元件损坏或是主机板异常,因而增加了测试时间与测试成本。

[0004] 图1显示台湾专利公告第M362410号所揭示的测试板10。在图1中,测试板10可插入主机板1上的插槽20,以便测试插槽20的多个接脚21是否正常。测试板10包括电路板11、多个电性插接端12以及多个电性导通部13。电性插接端12印刷于电路板11上,用以电性连接于插槽20的接脚21。电性导通部13与对应的电性插接端12相连接。因此,当测试板10插入插槽20之后,可藉由输入一测试信号来测试插槽20的多个接脚21是否焊接正常。图1的测试板10仅能用来测试插槽20是否正常。然而,却无法测试到插槽20与主机板1上的其他模块/元件之间的连接是否正常。

[0005] 有鉴于此,需要一种能测试印刷电路板组件的测试系统。

发明内容

[0006] 本发明提供一种测试系统。上述测试系统包括一待测的印刷电路板组件、一中央处理器转接板以及一存储器转接板。上述待测的印刷电路板组件包括:一印刷电路板,包括多条导线以及至少一测试点;一中央处理器插座,设置于上述印刷电路板,包括多个第一接脚,以及上述中央处理器插座经由上述第一接脚的一个而耦接于上述测试点;以及,一存储器模块插槽,设置于上述印刷电路板,包括多个第二接脚,其中每一上述第二接脚经由对应的上述导线而耦接于上述中央处理器插座的对应的上述第一接脚,其中上述中央处理器插座耦接于上述存储器模块插槽以及上述测试点之间。上述中央处理器转接板插入于上述中央处理器插座。上述存储器转接板插入于上述存储器模块插槽,其中上述导线经由上述中央处理器转接板以及上述存储器转接板形成一测试回路。当一自动测试设备通过上述测试点提供一测试信号至上述测试回路时,上述自动测试设备根据上述测试信号的一反射结果来判断上述测试回路是否正常。

[0007] 再者,本发明提供另一种测试系统。上述测试系统包括一待测的印刷电路板组件、

一中央处理器转接板以及多个存储器转接板。上述待测的印刷电路板组件包括：一印刷电路板，包括多个导线以及至少一测试点；一中央处理器插座，设置于上述印刷电路板，包括多个第一接脚，以及上述中央处理器插座经由上述第一接脚的一个而耦接于上述测试点；以及，多个存储器模块插槽，设置于上述印刷电路板，其中每一上述存储器模块插槽包括多个第二接脚以及一特定接脚，以及每一上述第二接脚经由对应的上述导线而耦接于对应的上述第一接脚。上述中央处理器插座耦接于上述存储器模块插槽以及上述测试点之间。上述中央处理器转接板插入于上述中央处理器插座。存储器转接板各自插入于个别的上述存储器模块插槽。当上述存储器转接板的一个的上述特定接脚接受到一致能信号时，上述存储器转接板的该者以及上述中央处理器转接板之间的上述导线形成一测试回路。当一自动测试设备通过上述测试点提供一测试信号至上述测试回路时，上述自动测试设备根据上述测试信号的一反射结果来判断上述测试回路是否正常。

[0008] 再者，本发明提供一种测试方法，适用于一印刷电路板组件。上述印刷电路板组件包括一印刷电路板、一中央处理器插座以及一存储器模块插槽。插入一中央处理器转接板至上述中央处理器插座，其中上述中央处理器插座设置于上述印刷电路板并包括多个第一接脚，以及上述中央处理器插座经由上述第一接脚的一个而耦接于上述印刷电路板的至少一测试点，其中上述印刷电路板还包括多条导线。插入一存储器转接板至上述存储器模块插槽，其中上述存储器模块插槽设置于上述印刷电路板并包括多个第二接脚，其中每一上述第二接脚经由对应的上述导线而耦接于对应的上述中央处理器插座的上述第一接脚，以及上述导线经由上述中央处理器转接板以及上述存储器转接板形成一测试回路。经由上述印刷电路板的上述测试点，提供一测试信号至上述测试回路。根据上述测试信号的一反射结果来判断上述测试回路是否正常。

附图说明

- [0009] 图 1 显示传统的测试板；
- [0010] 图 2 显示根据本发明一实施例所述的测试系统；
- [0011] 图 3 显示根据本发明一实施例所述的图 2 中测试系统的电路图；
- [0012] 图 4 显示在一测试回路中特性阻抗与时间的示范关系图；
- [0013] 图 5 显示根据本发明另一实施例所述的测试系统的电路图；以及
- [0014] 图 6 显示根据本发明一实施例所述的测试方法，适用于一印刷电路板组件。
- [0015] 附图符号说明
- [0016] 100、500 ~ 测试系统；
- [0017] 110 ~ 印刷电路板；
- [0018] 120 ~ 中央处理器转接板；
- [0019] 125 ~ 中央处理器插座；
- [0020] 130、130A、130B、130C、130D ~ 存储器转接板；
- [0021] 135、135A、135B、135C、135D ~ 存储器模块插槽；
- [0022] 140、140A、140B ~ 导线；
- [0023] 150 ~ 自动测试设备；
- [0024] 160 ~ 印刷电路板组件；

- [0025] 210 ~ 选择器；
- [0026] 220 ~ 控制器；
- [0027] 230A、230B ~ 回路控制单元；
- [0028] 240A、240B、330 ~ 接脚对；
- [0029] 310 ~ 控制器；
- [0030] 320 ~ 开关；
- [0031] P1、P2、P3、P4 ~ 接脚；
- [0032] S1、S2 ~ 曲线；
- [0033] S_{EN} ~ 致能信号；
- [0034] S_{CTRL} 、 S_{SEL} 、 S_{TDR} ~ 测试信号；
- [0035] S_{SW} ~ 切换信号；
- [0036] TP1、TP2、TP3 ~ 测试点。

具体实施方式

[0037] 为使本发明的上述和其他目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并结合附图详细说明如下。

[0038] 实施例：

[0039] 图 2 显示根据本发明一实施例所述的测试系统 100。测试系统 100 包括待测的印刷电路板组件 (PCBA) 160、中央处理器转接板 (interposer board) 120、存储器转接板 130 以及自动测试设备 (Automatic Test Equipment, ATE) 150，其中印刷电路板组件 160 包括印刷电路板 110、中央处理器插座 125 以及存储器模块插槽 135。中央处理器插座 125 以及存储器模块插槽 135 设置在印刷电路板 110 上，其中中央处理器插座 125 通过印刷电路板 110 的多条导线 140 而电性连接于存储器模块插槽 135。此外，印刷电路板 110 还包括测试点 TP1、TP2 与 TP3，其中测试点 TP1、TP2 与 TP3 分别通过对应的导线而电性连接于中央处理器插座 125。此外，中央处理器插座 125 耦接于存储器模块插槽 135 以及测试点 TP1、TP2 与 TP3 之间。在此实施例中，存储器模块插槽 135 为一双列直插存储器模块 (Dual Inline Memory Module, DIMM) 插槽。当中央处理器转接板 120 以及存储器转接板 130 分别插入中央处理器插座 125 以及存储器模块插槽 135 时，自动测试设备 150 可通过测试点 TP1、TP2 与 TP3 来判断中央处理器插座 125 与印刷电路板 110 之间以及存储器模块插槽 135 与印刷电路板 110 之间的焊锡性 (Solderability) 是否正常。此外，自动测试设备 150 还可通过测试点 TP1、TP2 与 TP3 来判断导线 140 是否短路、断路或是缺陷。

[0040] 图 3 显示根据本发明一实施例所述的图 2 中测试系统 100 的电路图。同时参考图 2 和图 3，中央处理器插座 125 通过多个接脚 P1 而焊接于印刷电路板 110 上，而存储器模块插槽 135 通过多个接脚 P2 而焊接于印刷电路板 110 上，其中每一接脚 P1 经由对应的导线 140 而耦接于对应的接脚 P2。此外，当中央处理器转接板 120 插入中央处理器插座 125 时，中央处理器转接板 120 的多个接脚 P3 会分别经由所对应的中央处理器插座 125 的接脚 P1 而电性连接至所对应的导线 140。此外，当存储器模块转接板 130 插入存储器模块插座 135 时，存储器模块转接板 130 的多个接脚 P4 会分别经由所对应的存储器模块插座 135 的接脚 P2 而电性连接至所对应的导线 140。中央处理器转接板 120 包括选择器 210、控制器 220 以

及回路控制单元 230A 与 230B, 其中回路控制单元 230A 与 230B 具有相同的电路设计。在此实施例中, 导线 140 可视为信号线, 而非电源线。

[0041] 在图 3 中, 控制器 220 可接收到来自测试点 TP1 的测试信号 S_{CTRL} , 而选择器 210 可接收到来自测试点 TP2 的测试信号 S_{TDR} 以及来自测试点 TP3 的测试信号 S_{SEL} , 其中测试信号 S_{CTRL} 、 S_{TDR} 与 S_{SEL} 是由图 2 的自动测试设备 150 所提供。控制器 220 会根据测试信号 S_{CTRL} 而产生致能信号 S_{EN} , 并经由导线 140、存储器模块插座 135 以及特定接脚 P2 与 P4 传送致能信号 S_{EN} 至存储器模块转接板 130。选择器 210 根据测试信号 S_{SEL} 选择性地提供测试信号 S_{TDR} 至回路控制单元 230A 或是回路控制单元 230B。在回路控制单元 230A 及 230B 中, 相邻的两接脚 P3 互相耦接而形成接脚对 240A 及 240B。存储器模块转接板 130 包括控制器 310 以及多个开关 320。控制器 310 根据来自中央处理器转接板 120 的致能信号 S_{EN} 而产生切换信号 S_{SW} , 并提供切换信号 S_{SW} 来控制开关 320 的切换。当切换信号 S_{SW} 控制开关 320 为导通时, 相邻的两接脚 P4 会互相连接而形成接脚对 330。因此, 中央处理器转接板 120 的回路控制单元 230A 的接脚对 240A、存储器模块转接板 130 的接脚对 330 以及导线 140 会形成一测试回路。同时地, 中央处理器转接板 120 的选择器 210 根据测试信号 S_{SEL} 而提供测试信号 S_{TDR} 至该测试回路。接着, 自动测试设备 150 可通过测试点 TP2 来量测到测试信号 S_{TDR} 的时域反射 (Time Domain Reflectometry, TDR) 结果, 以便判断该测试回路是否正常。根据反射系数 (reflectance), 自动测试设备 150 可得到测试回路上的特性阻抗, 进而得到测试信号 S_{TDR} 的时域反射结果。接着, 若测试信号 S_{TDR} 的时域反射结果符合一目标反射结果时, 则自动测试设备 150 判断该测试回路为正常, 即中央处理器插座 125 与印刷电路板 110 之间以及存储器模块插槽 135 与印刷电路板 110 之间的焊锡性为正常, 以及印刷电路板 110 上的导线 140 为正常, 其中目标反射结果为自动测试设备 150 先前所量测的正常印刷电路板组件 (例如黄金样本) 的时域反射结果。在另一实施例中, 自动测试设备 150 通过测试点 TP2 来量测到测试信号 S_{TDR} 的频域反射 (Frequency Domain Reflectometry) 结果, 以便判断该测试回路是否正常。

[0042] 图 4 显示在一测试回路中特性阻抗与时间的示范关系图, 其中曲线 S1 表示一目标反射结果, 而曲线 S2 表示一待测的印刷电路板组件的时域反射结果。在周期 T1 的期间, 曲线 S2 的阻抗值已经不符合曲线 S1 的阻抗值, 其中周期 T1 对应到测试信号 S_{TDR} 通过图 3 的中央处理器插座 125 的反射结果。因此, 自动测试设备 150 便可判断出中央处理器插座 125 与印刷电路板 110 之间的焊锡性不正常。

[0043] 图 5 显示根据本发明另一实施例所述的测试系统 500 的电路图。在此实施例中, 一自动测试设备可通过测试点 TP1、TP2 与 TP3 对多个存储器模块插槽进行测试。在图 5 中, 四个存储器模块插槽 135A、135B、135C 以及 135D 设置在印刷电路板 110 上, 其中存储器转接板 130A、130B、130C 以及 130D 分别插入至存储器模块插槽 135A、135B、135C 以及 135D 中。中央处理器转接板 120 的回路控制单元 230A 经由导线 140A 电性连接于存储器模块插槽 135A 与 135B, 而中央处理器转接板 120 的回路控制单元 230B 经由导线 140B 电性连接于存储器模块插槽 135C 与 135D。此外, 中央处理器转接板 120 的控制器 220 提供致能信号 S_{EN} 至存储器转接板 130A、130B、130C 以及 130D, 以便分别控制存储器转接板 130A、130B、130C 以及 130D 内的开关, 而形成不同的测试回路。在图 5 中, 存储器模块插槽的数量以及连接方式仅是个例子, 并未用以限定本发明。

[0044] 在图 5 中,首先,自动测试设备可使用测试信号 S_{SEL} 来控制选择器 210,以便将测试信号 S_{TDR} 传送至回路控制单元 230A。同时地,中央处理器转接板 120 的控制器 220 根据测试信号 S_{CTRL} 而提供致能信号 S_{EN} 来控制存储器转接板 130A 内的开关为导通,并控制存储器转接板 130B、130C 与 130D 内的开关为不导通。于是,中央处理器转接板 120 的回路控制单元 230A 的接脚对 240A、存储器模块转接板 130A 以及耦接于存储器模块转接板 130A 的导线 140A 形成第一测试回路。接着,自动测试设备可通过测试点 TP2 来得到测试信号 S_{TDR} 的时域反射结果,以便判断第一测试回路是否正常。接着,控制器 220 根据测试信号 S_{CTRL} 而提供致能信号 S_{EN} 来控制存储器转接板 130B 内的开关为导通,并控制存储器转接板 130A、130C 与 130D 内的开关为不导通。于是,中央处理器转接板 120 的回路控制单元 230A 的接脚对 240A、存储器模块转接板 130B 以及耦接于存储器模块转接板 130B 的导线 140A 形成第二测试回路。接着,自动测试设备可通过测试点 TP2 来得到测试信号 S_{TDR} 的时域反射结果,以便判断第二测试回路是否正常。在成功测试完第一与第二测试回路之后,自动测试设备可使用测试信号 S_{SEL} 来控制选择器 210,以便将测试信号 S_{TDR} 传送至回路控制单元 230B。此外,中央处理器转接板 120 的控制器 220 根据测试信号 S_{CTRL} 而提供致能信号 S_{EN} 来控制存储器转接板 130C 内的开关为导通,并控制存储器转接板 130A、130B 与 130D 内的开关为不导通。于是,中央处理器转接板 120 的回路控制单元 230B 的接脚对 240B、存储器模块转接板 130C 以及耦接于存储器模块转接板 130C 的导线 140B 形成第三测试回路。接着,自动测试设备可通过测试点 TP2 来得到测试信号 S_{TDR} 的时域反射结果,以便判断第三测试回路是否正常。接着,控制器 220 根据测试信号 S_{CTRL} 而提供致能信号 S_{EN} 来控制存储器转接板 130D 内的开关为导通,并控制存储器转接板 130A、130B 与 130C 内的开关为不导通。于是,中央处理器转接板 120 的回路控制单元 230B 的接脚对 240B、存储器模块转接板 130D 以及耦接于存储器模块转接板 130D 的导线 140B 形成第四测试回路。因此,自动测试设备可藉由提供测试信号 S_{CTRL} 、 S_{TDR} 以及 S_{SEL} 来完整地测试设置在印刷电路板 110 上的不同存储器模块插槽以及中央处理器插座进行测试。

[0045] 图 6 显示根据本发明一实施例所述的测试方法,适用于一印刷电路板组件。印刷电路板组件包括一印刷电路板以及设置在印刷电路板的一中央处理器插座以及至少一存储器模块插槽,其中存储器模块插槽为一双列直插存储器模块插槽。印刷电路板包括多条导线以及至少一测试点,其中中央处理器插座的接脚经由对应的导线耦接于存储器模块插槽的对应的接脚。此外,中央处理器插座的至少一接脚耦接于印刷电路板的测试点。首先,将一中央处理器转接板插入至中央处理器插座(步骤 S610)。中央处理器转接板包括多个接脚对,其中每一接脚对包括互相连接的接脚,如图 3 的接脚对 240A 及 240B 所显示。接着,将一存储器转接板插入至存储器模块插槽(步骤 S620),使得印刷电路板上的导线可经由中央处理器转接板以及存储器转接板形成一测试回路。存储器转接板亦包括多个接脚对,其中每一接脚对包括互相连接的接脚,如图 3 的接脚对 330 所显示。接着,一自动测试设备可经由印刷电路板的测试点,而提供一测试信号 S_{TDR} 至该测试回路(步骤 S630)。接着,自动测试设备可根据测试信号 S_{TDR} 的时域反射结果来判断该测试回路是否正常(步骤 S640)。例如,自动测试设备可藉由比较测试信号 S_{TDR} 的时域反射结果以及一目标反射结果,来判断中央处理器插座与印刷电路板之间以及存储器模块插槽与印刷电路板之间的焊锡性是否正常,以及判断印刷电路板上的导线是否短路、断路或是缺陷。

[0046] 虽然本发明已以较佳实施例揭示如上,然其并非用以限定本发明,本领域的技术人员,在不脱离本发明的精神和范围的前提下,可作若干的更动与润饰,因此本发明的保护范围是以本发明的权利要求为准。

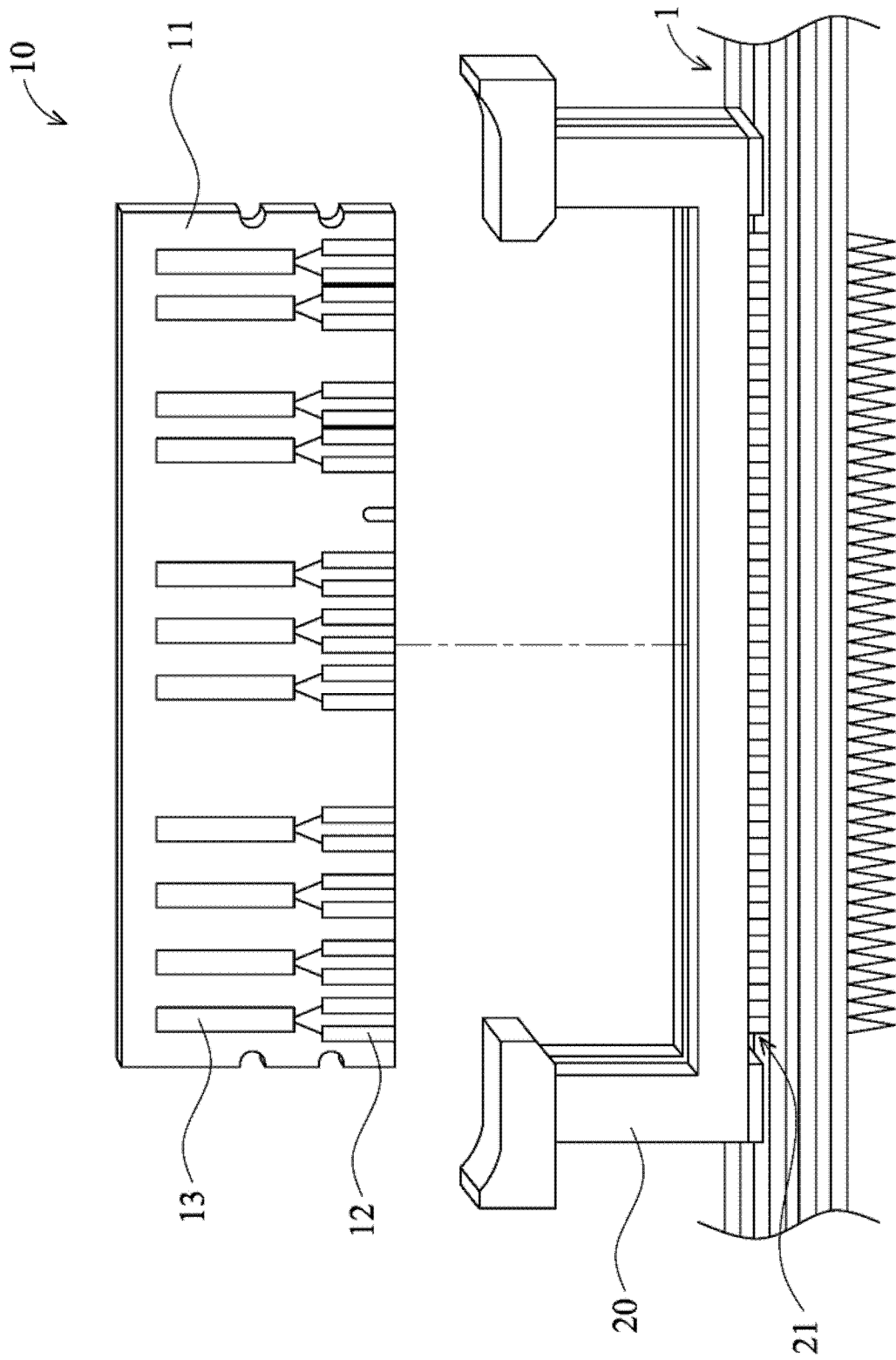


图 1

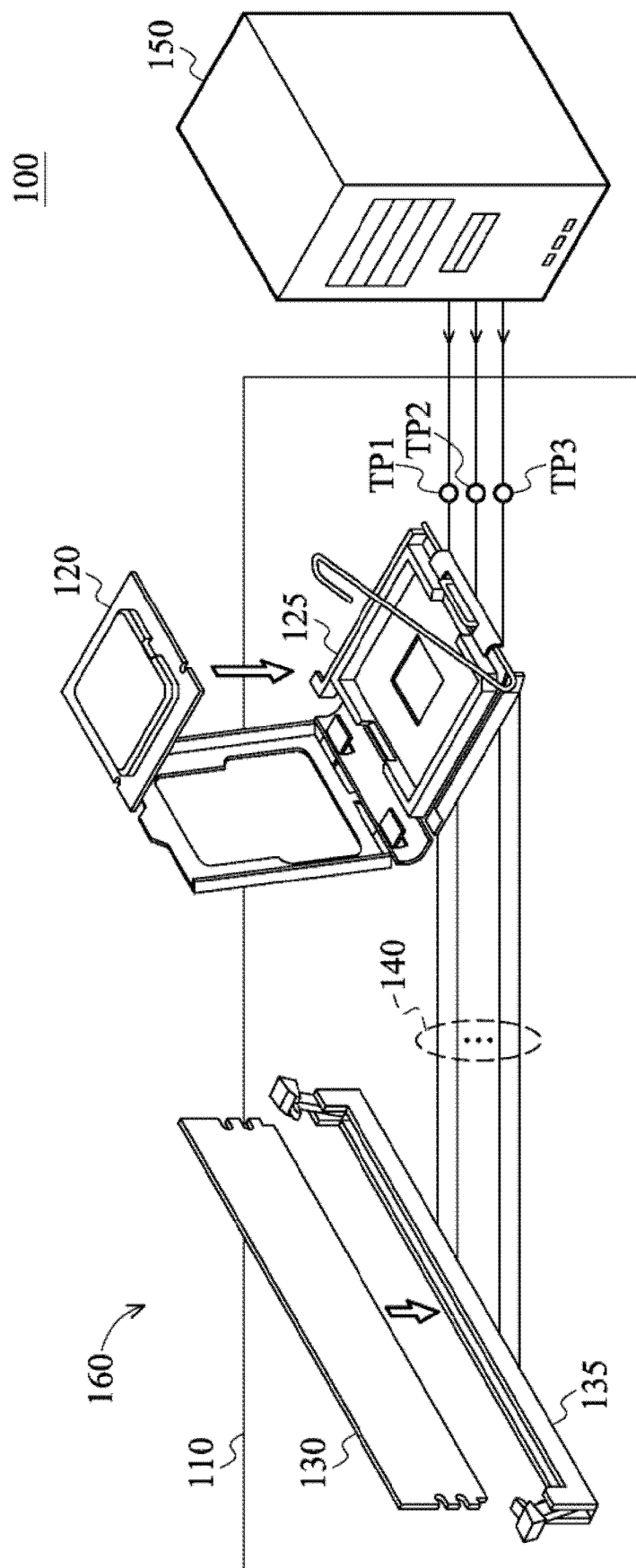


图 2

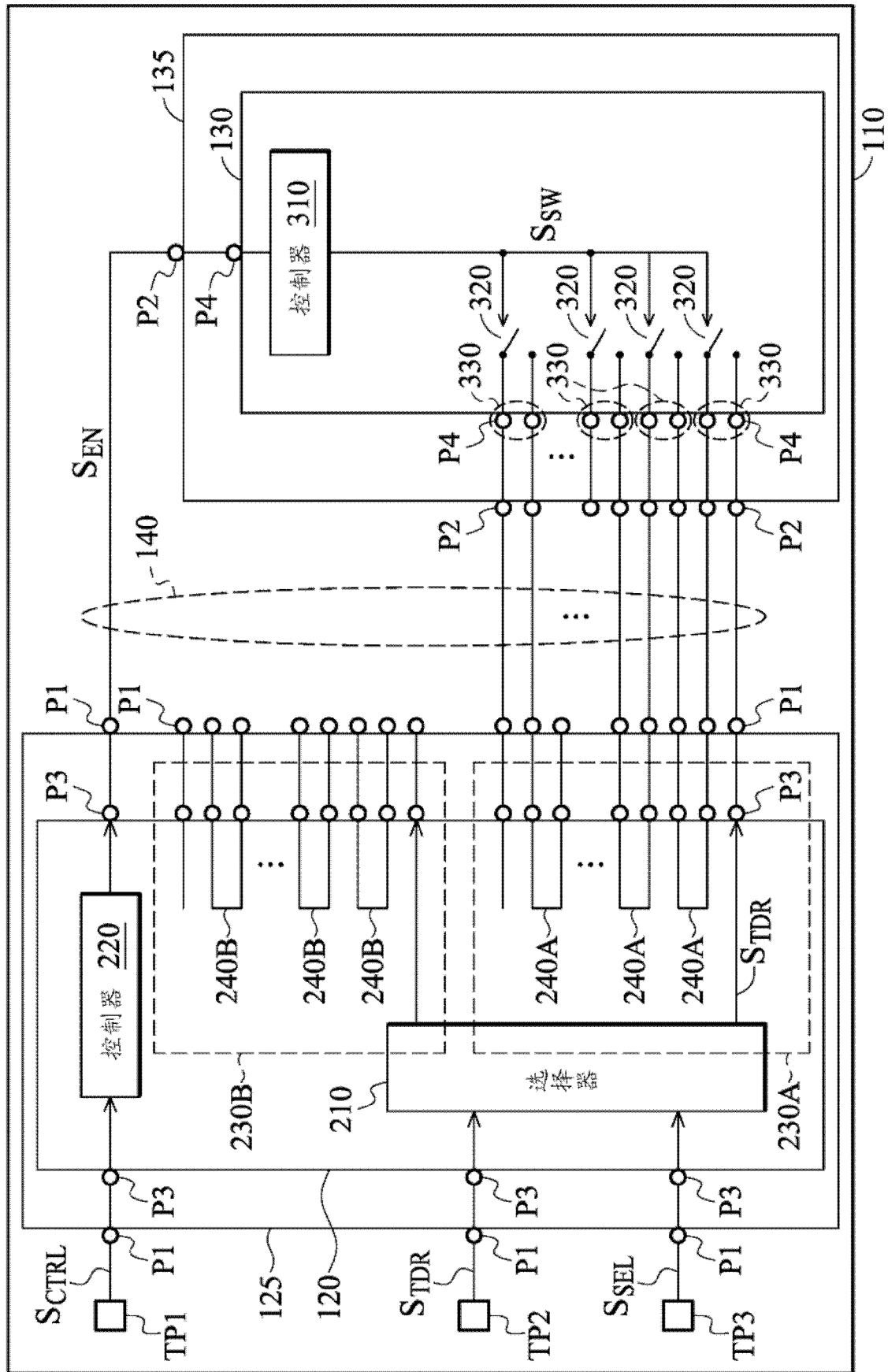


图 3

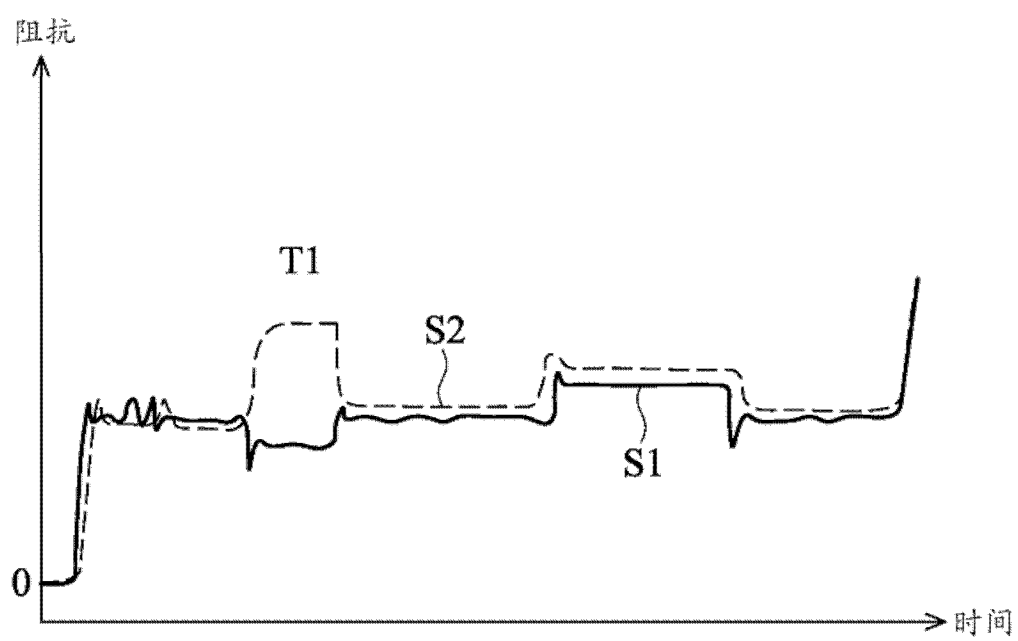


图 4

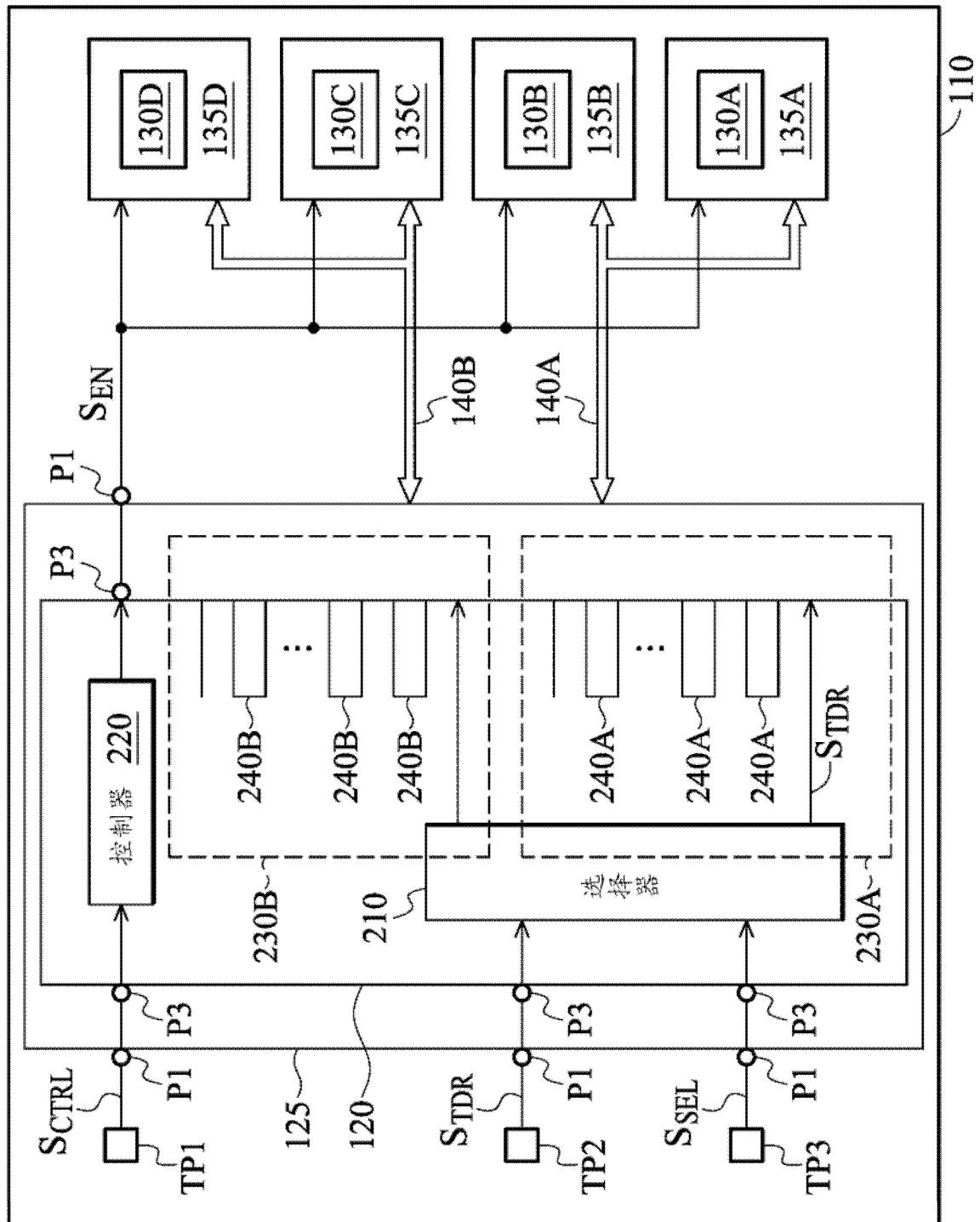


图 5

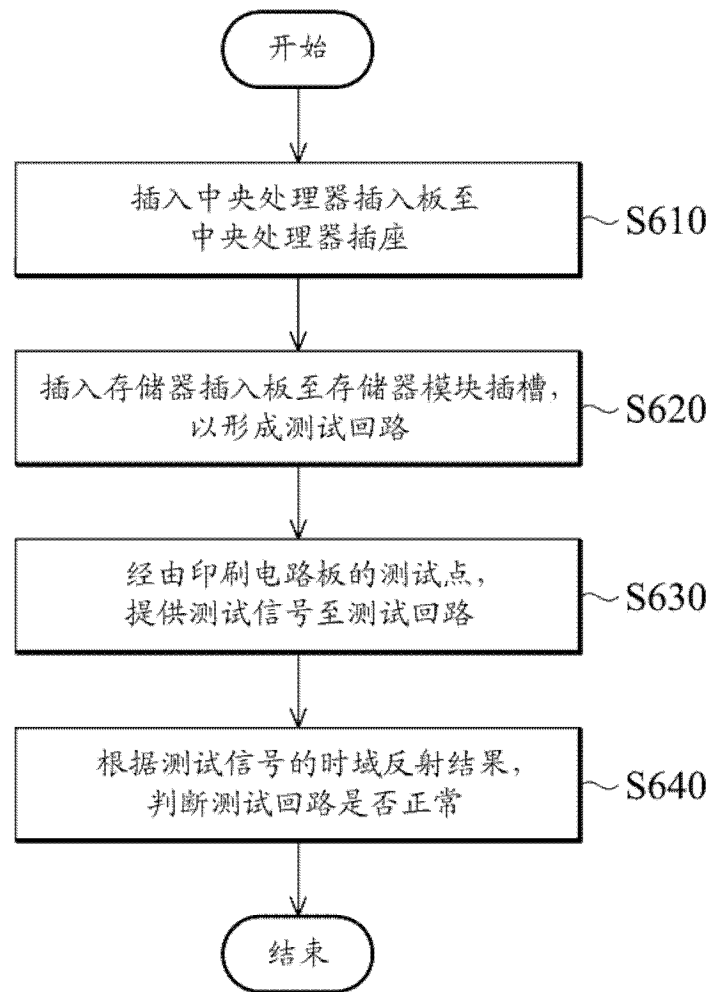


图 6