

# [12] 发明专利申请公开说明书

[21]申请号 95117359.6

[51]Int.Cl<sup>6</sup>

H01L 29/78

[43]公开日 1996年8月21日

[22]申请日 95.9.25

[30]优先权

[32]94.9.26 [33]US[31]311979

[71]申请人 摩托罗拉公司

地址 美国伊利诺斯

[72]发明人 乔恩J·坎迪拉里亚

[74]专利代理机构 中国国际贸易促进委员会专利商  
标事务所

代理人 王以平

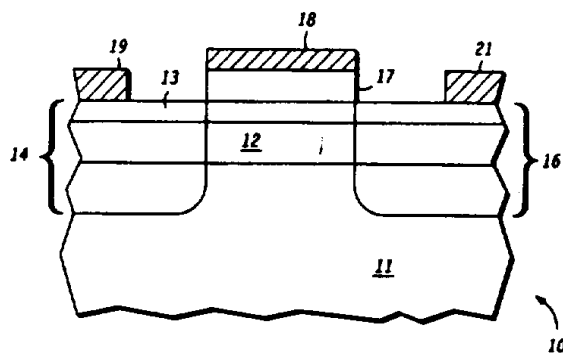
H01L 29/02 H01L 21/336

权利要求书 3 页 说明书 8 页 附图页数 3 页

[54]发明名称 迁移率提高了的MOSFET器件及其制造方法

[57]摘要

一种迁移率提高了的 MOSFET 器件 (10)，它包含一个形成在单晶硅层 (11) 上的沟道层 (12)。沟道层 (12) 包含硅和第二种材料的合金，其中，第二种材料替位地出现在硅的晶格位置上，其原子百分比使沟道层 (12) 处于张应力之下。



# 权 利 要 求 书

---

1. 一种迁移率提高了的 *MOSFET* 器件,其特征是:

一个第一导电类型的单晶硅层(11);

一个形成在单晶硅层(11)上的载流子输运区(22),其中的载流子输运区(12)由硅与第二半导体材料的合金组成,且其中的第二半导体材料替位地出现在载流子输运区(12)的晶格位置,其原子百分比要使载流子输运区处于张应力之下;

一个延伸到载流子输运区(12)中的第二导电类型的源区(14);

一个延伸到载流子输运区(12)中的第二导电类型的漏区(16),其中载流子输运区(12)的一部分位于源区(14)和漏区(16)之间;以及

一个与载流子输运区(12)电隔离的控制电极(18),其中的控制电极(18)排列在源区(14)和漏区(16)之间。

2. 如权利要求 1 的器件,其进一步特征是:

一个排列在载流子输运区(12)和控制电极(18)之间的第一半导体材料的外延层(13),其中的源区(14)和漏区(16)延伸通过外延层(13)至少进入载流子输运区(12)。

3. 如权利要求 1 的器件,其中的载流子输运区(12)包含  $\text{Si}_{1-x}\text{C}_x$  合金。

4. 如权利要求 3 的器件,其中的  $x \leq 0.02$ 。

5. 一种带有埋置的掺碳的硅沟道区的 MOSFET 结构,其特征是:

一个沟道层(12),它包含形成在第一导电类型单晶硅层(11)上的  $\text{Si}_{1-x}\text{C}_x$  合金,其中的碳出现在沟道层(12)中替位晶格位置上,使沟道(12)处于张应力之下;

一个形成在沟道层上的硅外延层(13);

一个延伸通过硅外延层(13)且至少进入沟道层(12)的第二导电类型的源区(14);

一个延伸通过硅外延层(13)且至少进入沟道层(12)的第二导电类型的漏区(16),其中的部分沟道层(12)将源区(14)与漏区(16)分隔开来;

一个形成在硅外延层(13)上至少位于源区(14)和漏区(16)之间的栅介质层(17);以及

一个形成在栅介质层(17)上的栅电极(18)。

6. 如权利要求 5 的结构,其中的  $x \leq 0.02$ ,且其中的单晶硅层(11)的厚度为 1000 埃的数量级,沟道层(12)的厚度为 100 埃的数量级,而硅外延层(13)的厚度为 50 埃数量级。

7. 如权利要求 5 的结构,其进一步特征是:一个排列在单晶硅层(11)下方的隔离区(51)。

8. 如权利要求 5 的结构,其中的单晶硅层(11)包括一个排列在单晶硅层(11)中的调制层(41),其中单晶硅层(11)的一部分将调制层(41)与沟道层(21)分隔开来,且其中的调制层(41)是第二导电类型的,调制层(41)的杂质浓度高于单晶硅层(11)的杂质浓度。

9. 一种迁移率提高了的 MOSFET 器件的制造方法, 其特征在于下列步骤:

在第一导电类型的单晶硅层(11)上形成一个载流子输运区(12), 其中, 载流子输运区(12)包含硅和第二半导体材料的合金, 且其中的第二半导体材料替位地出现在载流子输运区(12)的晶格位置, 其原子百分比使载流子输运区(12)比之第一导电类型的单晶硅层(11)来说处于张应力之下;

在载流子输运区(12)上形成一个外延半导体层(13);

在一部分载流子输运层(12)上的外延半导体层(13)上形成一个栅介质层(17);

在栅介质层(17)上形成一个控制电极(18);

形成一个延伸通过外延半导体层(13)至少进入载流子输运区(12)的第二导电类型的源区(14); 以及

形成一个延伸通过外延半导体层(13)至少进入载流子输运区(12)的第二导电类型的漏区(16), 其中部分载流子输运区位于源区(14)和漏区(16)之间。

10. 如权利要求 9 的方法, 其中, 形成载流子输运区(12)的步骤包括形成一个以  $\text{Si}_{1-x}\text{C}_x$  合金为特征的载流子输运区(12), 其中的  $x \leq 0.02$ 。

# 说 明 书

---

## 迁移率提高了的 MOSFET 器件及其制造方法

本发明一般涉及到半导体器件、更确切地说是涉及到具有提高了的载流子迁移率的半导体器件。

金属氧化物半导体场效应晶体管(MOSFET)已为人们熟知并广泛地应用于电子工业。MOSFET 器件的载流子迁移率由于直接影响到输出电流和开关性能而成为一个重要参数。在标准的 MOSFET 技术中,为改善电流驱动和开关性能而减小沟道长度和栅极介质厚度。但由于栅极介质厚度的减小相应增加了本征栅电容而会损害器件性能。

在硅 MOSFET 器件中已表明,上下以硅区为界、由硅锗( $\text{Si}_{1-x}\text{Ge}_x$ )合金构成的处于压应力下的埋置沟道区可以提高沟道区中的空穴载流子迁移率。这是由于空穴被该周围硅区和  $\text{Si}_{1-x}\text{Ge}_x$  沟道区之间的势能偏移限制于沟道区中。在授予 Murakami 等人的美国专利 5019882 和授予 Solomon 等人的美国专利 5241197 中示出了这种应变(strained)器件。

埋置  $\text{Si}_{1-x}\text{Ge}_x$  沟道的器件有一些缺点,包括增加了的沟道区合金散射使电子迁移率下降、不希望有的导带偏移使电子迁移率提高很少、得不到比硅更高的载流子速度,以及为了产生应力并提高迁移率而需要高的 Ge 浓度。高的 Ge 浓度引起层厚度和工艺温度

大大降低。降低了的工艺温度对杂质激活和栅氧化工艺有不利影响。

带有处于张应力下的沟道区的硅器件是可取的,这是由于张应力引起空穴和电子迁移率都提高且比起硅来可提高载流子速度。已报道的一种方法采用了一种在硅沟道区下方带有一个  $\text{Si}_{0.7}\text{Ge}_{0.3}$  合金弛豫层并在  $\text{Si}_{0.7}\text{Ge}_{0.3}$  合金层下方带有一个  $\text{Si}_{1-x}\text{Ge}_x$  ( $X=5-30\%$ ) 缓冲层的应变硅表面沟道区。此法的优点是消除了沟道区中的合金散射。但此法有一个缺点,即应变沟道区处于表面从而对会使迁移率降低的表面散射效应很敏感。对热载流子退化和噪声问题也很敏感。此外,此法需要合金弛豫层和缓冲层,使工艺复杂性和成本增加。

另一种已报导的方法采用一种形成在  $\text{Si}_{1-y}\text{Ge}_y$  (其中  $y>x$ ) 弛豫层上的应变  $\text{Si}_{1-x}\text{Ge}_x$  沟道层,在该应变  $\text{Si}_{1-x}\text{Ge}_x$  沟道层上方带有一个硅层并在  $\text{Si}_{1-y}\text{Ge}_y$  弛豫层下方带有一个硅层。这种结构有一些缺点,包括:载流子会迁移出应变  $\text{Si}_{1-x}\text{Ge}_x$  沟道层而进入  $\text{Si}_{1-y}\text{Ge}_y$  合金弛豫层从而降低提高的迁移率效应,由于沟道层中存在锗而出现较大的合金散射效应,以及因多层  $\text{SiGe}$  而增加工艺复杂性。

显而易见,需要有一种电子和空穴迁移率得提高到的、对合金散射效应不那么敏感的、对表面散射效应也不那么敏感的且不需要合金弛豫层和缓冲层的 *MOSFET* 器件。

简要地说,迁移率提高了的 *MOSFET* 器件包含一个形成在第一导电类型单晶硅层上的载流子输运区。载流子输运区包含一个硅与第二材料的合金,其中第二材料在载流子输运区中的原子百分

比要使载流子输运区处于张力状态。第二导电类型的源区和漏区延伸到载流子输运区中。载流子输运区的一部分将源区和漏区分隔开来。控制电极与载流子输运区电隔离并排列在源区和漏区之间。

制作此处所述迁移率提高了的 *MOSFET* 的方法包括在第一导电类型单晶硅层上制作一个载流子输运区。此载流子输运区包含一个硅与第二材料的合金。第二材料在载流子输运区中的原子百分比使载流子输运区处于张应力之下。栅介质层制作在部分载流子输运区上。控制电极制作在栅介质层上。第二导电类型的源区和漏区制作成至少延伸到载流子输运区中，这部分载流子输运区位于源和漏区之间。

图 1 是本发明一个实施例的放大剖面图；

图 2 是图 1 实施例在零栅偏压下的能带图；

图 3 是本发明另一实施例的放大剖面图；

图 4 是本发明又一实施例的放大剖面图；

图 5 是本发明又一实施例的放大剖面图。

图 1 示出了根据本发明的具有提高了的载流子迁移率的 *MOSFET* 器件 10 的一个实施例。载流子输运区即沟道层 12 制作在单晶硅层 11 上。沟道层 12 为硅和第二材料的合金。*p* 沟道器件的单晶硅层 11 为 *n* 型导电类型而 *n* 沟道器件的单晶硅层 11 为 *p* 型导电类型。第二材料以替位形式出现在沟道层 12 的晶格位置中，其原子百分比要使沟道层相比于单晶硅层 11 或含硅晶体来说处于张应力之下。沟道层 12 最好不要用受主或施主杂质掺杂。

*MOSFET* 器件 10 还包含形成在沟道层 12 上的外延半导体即外延层 13。外延层 13 最好含有硅，且厚度为 50 埃数量级。源区 14

和漏区 16 延伸通过外延层 13 且至少伸入沟道层 12。源区 14 和漏区 16 最好延伸通过沟道层 12 进入单晶硅层 11 之中。一部分沟道层 12 位于源区 14 和漏区 16 之间。控制电极即栅电极 18 和外延层 13 电隔离。栅电极 18 最好用栅介质层 17 和外延层 13 电隔离。栅介质层 17 最好由氧化物构成且其厚度在 30—125 埃范围内。在部分源区 14 上制作源电极 19 并在部分漏区 16 上制作漏电极 21。

图 2 是图 1 实施例在零栅偏压下的能带图，示出了应变引入的能带分裂对沟道层 12 的作用。图 2 示出了外延层 13 中、沟道层 12 中和单晶硅层 11 中价带 22 与导带 23 之间的相对关系。当沟道层 12 处于张应力下时，沟道层 12 中的价带边即交界面 24 分裂，并实际上能级向上移向导带 23。此外，导带边即界面 26 分裂并实际上能级向下移向价带 22。这就产生了一个比单晶硅层带隙 28 和外延层带隙 29 窄的沟道层带隙 27。沟道层带隙 27 的偏移或变窄实际上产生一个在沟道层 12 中捕获空穴和电子的势阱。而且，上述效应还使沟道 12 具有被有效载流子质量降低了的空穴和电子优先占据的能级。当栅电极 18 加有恰当栅偏压时，这又反过来提高了沟道层 12 中的自由载流子迁移率。

张应力下的沟道层比压应力下的沟道层更好，这是由于张应力能提供更大的导带分裂。此外，比之压应力下的薄膜，张应力下的薄膜预计有较低的有效载流子质量。于是，张应力下的沟道层可提高电子和空穴载流子的迁移率并保证了迁移率提高了的互补 p 沟道和 n 沟道器件的制造。

如授予 *J. Candalaria* 和 *Motorola* 公司的美国专利 5360986 (此处作为参考文献) 所示，掺碳硅是一种适用于沟道层 12 的合金材

料。在最佳实施例中,沟道层 12 包含一个掺碳的硅而  $\text{Si}_{1-x}\text{C}_x$  合金,其中碳是第二材料,碳位于替位硅晶格位置上, $x$  最好  $\leq 0.02$ 。 $x$  最好在约 0.005—0.016 的范围内。

当  $x$  为 0.02—0.005 数量级时,沟道层 12 的厚度最好分别为 100—200 埃数量级。根据碳存在的原子百分比来调整沟道层 12 的厚度。当沟道层 12 包含  $\text{Si}_{1-x}\text{C}_x$  合金时,外延层 13 最好包含硅且厚度在 50—100 埃范围内。

由于掺碳沟道层的合金/载流子散射效应较低,故掺碳硅沟道层优于掺 Ge 硅沟道层。这是由于碳与锗原子间的相对尺寸差使得有可能利用比锗量低很多的碳量(11~1 的数量级)来获得相似的应变幅度(尽管符号相反)。由于掺碳硅沟道层的合金/载流子散射效应比有类似应变的掺 Ge 硅沟道层低,故载流子迁移率,特别是电子迁移率得到了额外的提高。而且,由于 MOSFET 器件 10 中的沟道层 12 是埋置的,亦即以外延层 13 和单晶硅层 11 为界,故 MOSFET 10 对表面散射、热载流子退化和噪声效应更不敏感。

当沟道层 12 含有  $\text{Si}_{1-x}\text{C}_x$  合金时,采用外延生长即化学气相淀积技术来制作沟道层 12。例如采用乙炔、乙稀、丙烷或甲烷碳源。或者为美国专利 5360986 所示,制作一个硅层,将碳离子注入到硅层中,并加热掺碳的硅层以诱导掺碳硅层的固相外延再生长以形成沟道层 12。或者用分子束外延、金属有机化学气相淀积(MOCVD)或超高真空化学气相淀积(UHVCVD)来制作沟道层 12。

在制作带有 p 沟道结构和掺碳的沟道层的 MOSFET 10 的最佳实施例中, $n$  型导电性单晶硅层 11 被选择性地形成在 p 型衬底上或 p 型衬底中。然后在不掺杂的硅层上形成含有掺碳硅的沟道层

12。接着在沟道层 12 上形成含有  $n$  型掺杂硅或不掺杂硅且厚度为 50—100 埃数量级的外延层 13。不掺杂硅层、沟道层 12 以及外延层 13 最好在同一个外延生长步骤中形成。

然后在外延层 13 上沉积或生长一个厚度在 60—80 埃范围内的氧化硅层。接着在氧化硅层上形成一个原位掺杂的  $n$  型多晶硅层。接下来对此  $n$  型多晶硅层和氧化硅层进行选择图形化以分别形成栅电极 18 和栅介质层 17。再将  $p$  型杂质选择性地引入外延层 13。然后将该结构加热以激活  $p$  型杂质而形成源区 14 和漏区 16。再用标准的 *MOSFET* 工艺来完成 *MOSFET* 器件 10。为制作  $n$  沟道结构形式的 *MOSFET* 器件 10, 杂质的导电类型正好相反。

图 3—5 示出了根据本发明的迁移率提高了的 *MOSFET* 器件的其它实施例。图 3 所示 *MOSFET*30 除不带有外延层 13 之外均与 *MOSFET* 器件 10 相似。*MOSFET*30 具有如前所述的提高了的迁移率, 但由于沟道层 12 和栅介质层 17 之间的界面而对表面散射效应更为敏感。然而, 比之结构相似的无应力硅沟道 *MOSFET* 器件来说, *MOSFET*30 的载流子迁移率仍然提高了。

图 4 所示的 *MOSFET* 器件 40 相似于 *MOSFET* 器件 10, 另外还带有形成在单晶硅层 11 中的调制掺杂层或调制层 41。单晶硅层 11 的 43 部分将调制层 41 和沟道层 12 分隔开来。43 部分和厚度最好为 50—100 埃数量级。调制层 41 的导电类型与源区 14 和漏区 16 相同, 其杂质浓度高于单晶硅层 11, 而且导电类型相反。调制层 41 的厚度最好在 100—200 埃的范围内。

调制层 41 采用外延生长即化学气相淀积 (*CVD*) 制作在单晶硅层 11 的 42 部位。然后用外延生长或 *CVD* 技术在调制层 41 上

制作单晶硅层 11 的 43 部分。可用离子注入或扩散技术向单晶硅层 11 的 43 部分掺入  $n$  型或  $p$  型杂质,具体根据 MOSFET 器件 10 是  $p$  沟道抑或是  $n$  沟道器件来决定。调制层 41 和单晶硅层 11 的 43 部分最好在同一个原位工序中相继制作。

图 5 所示的 MOSFET 50 和 MOSFET 10 相似,另还带有隔离层即区 51 以形成一个绝缘体上半导体(SOI)器件。隔离层 51 最好包含氧化硅并用离子注入氧或其它技术来制作。隔离层 51 最好在形成沟道层 12 和外延层 13 之前制作。作为变通,隔离层 51 可制作在支撑用的衬底(未绘出)上,然后将单晶硅衬底固定到隔离层 51 上,并将单晶硅衬底减薄至所需的厚度以形成单晶硅层 11。隔离层 51 最好与沟道层 12 隔开一个 500—600 埃的距离 52。

当隔离层 51 同 MOSFET 器件 3 一起使用时(图 3),它最好位于沟道层 12 下方 1000 埃数量级处。当隔离层 51 同 MOSFET 40 一起使用时(图 4),它最好位于调制层 41 下方 100—200 埃数量级处。

至此应认为已提供了一种迁移率提高了的 MOSFET 器件。借助于在单晶硅层上制作一个载流子输运区(其中的载流子输运区包含一个硅和第二材料的合金,且第二材料在载流子输运区中的原子百分比使载流子输运区处于张应力之下),获得了提高了的载流子迁移率。

而且,借助于使载流子输运区处于张应力之下,获得了比之载流子输运区处于压应力下更大的导带分裂,从而为电子和空穴载流子都提供了更高的迁移率。这保证了迁移率提高了的互补  $n$  沟和  $p$  沟器件的制造。

此外,借助于在载流子输运区上增加一个外延层,提供了一个对表面散射、热载流子退化和噪声效应较不敏感的埋置结构。

而且,当载流子输运区包含掺碳硅时,获得了比包含掺锗硅的有类似应变的载流子区更低的合金散射。同时,当载流子输运区包含掺碳硅时,无需采用弛豫合金层就获得了张应力下的载流子输运区。这就降低了工艺的复杂性和成本。

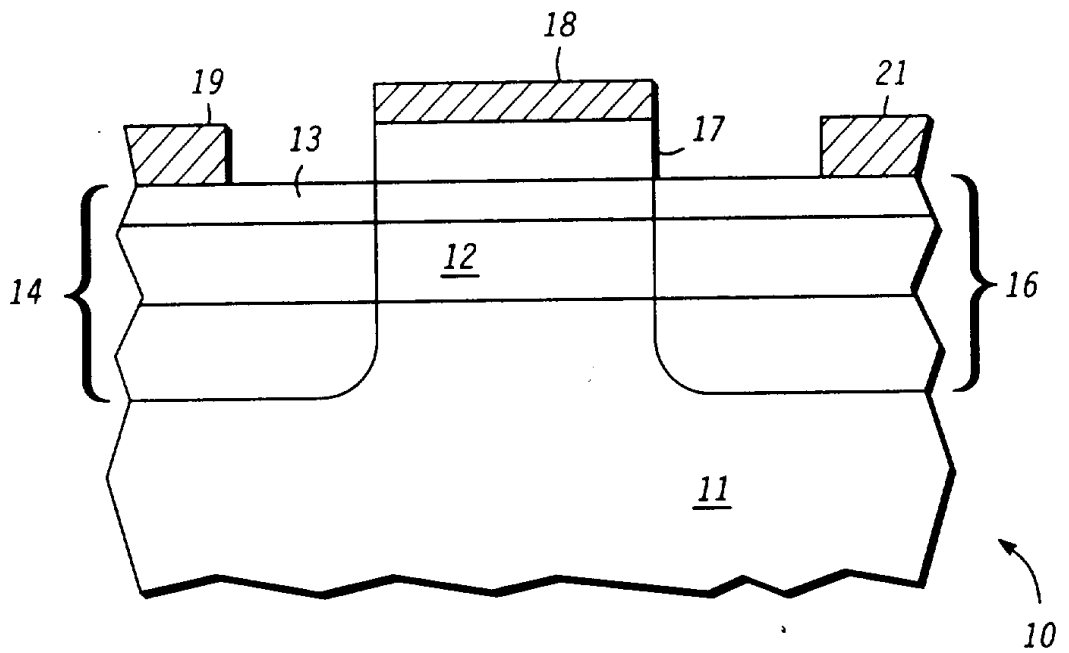


图 1

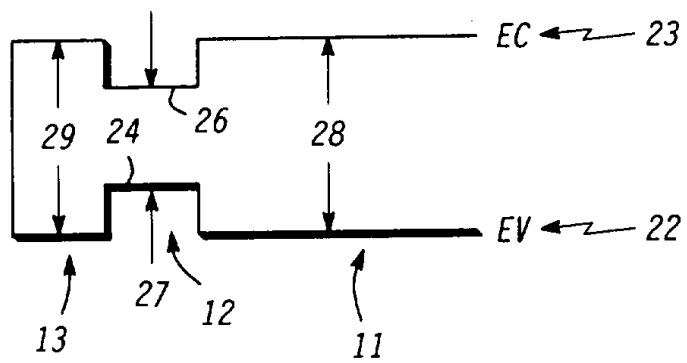


图 2

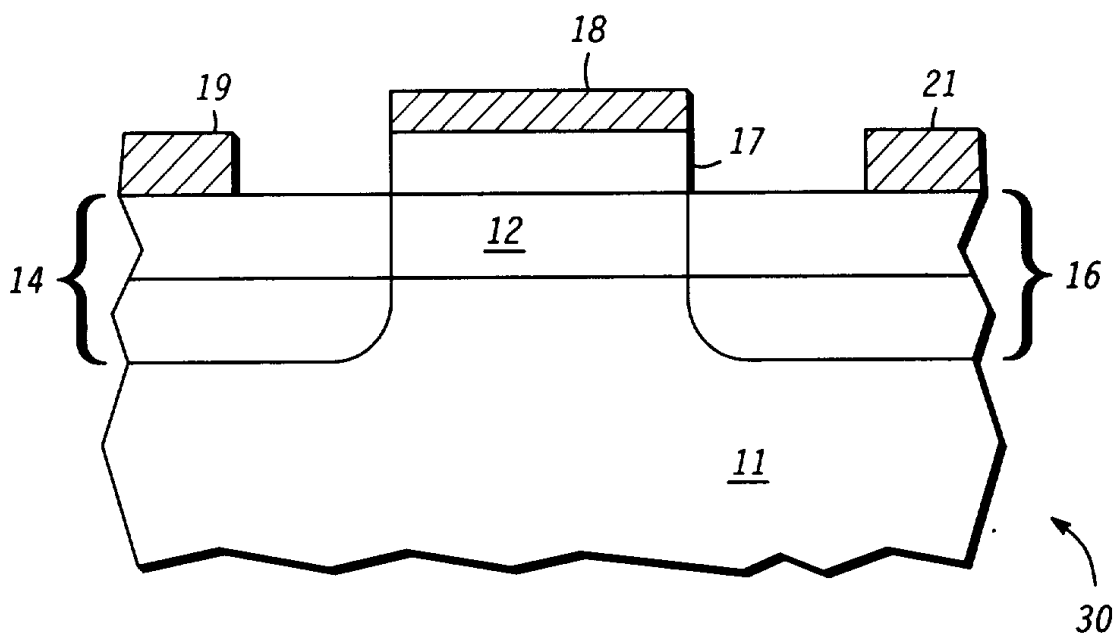


图 3

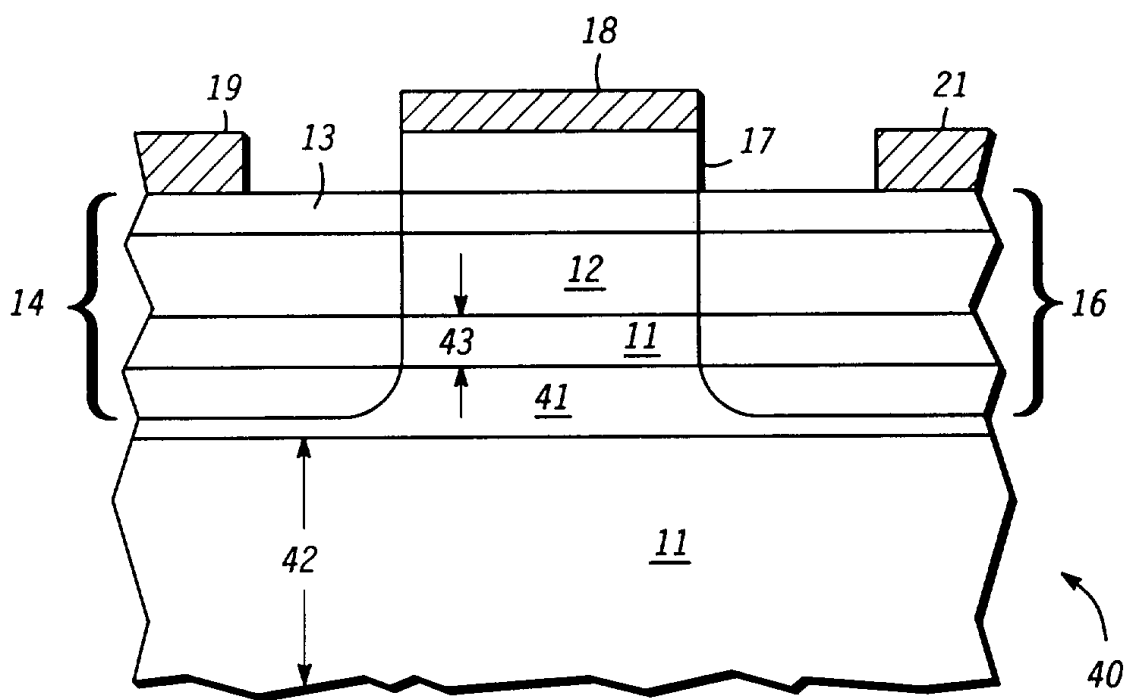


图 4

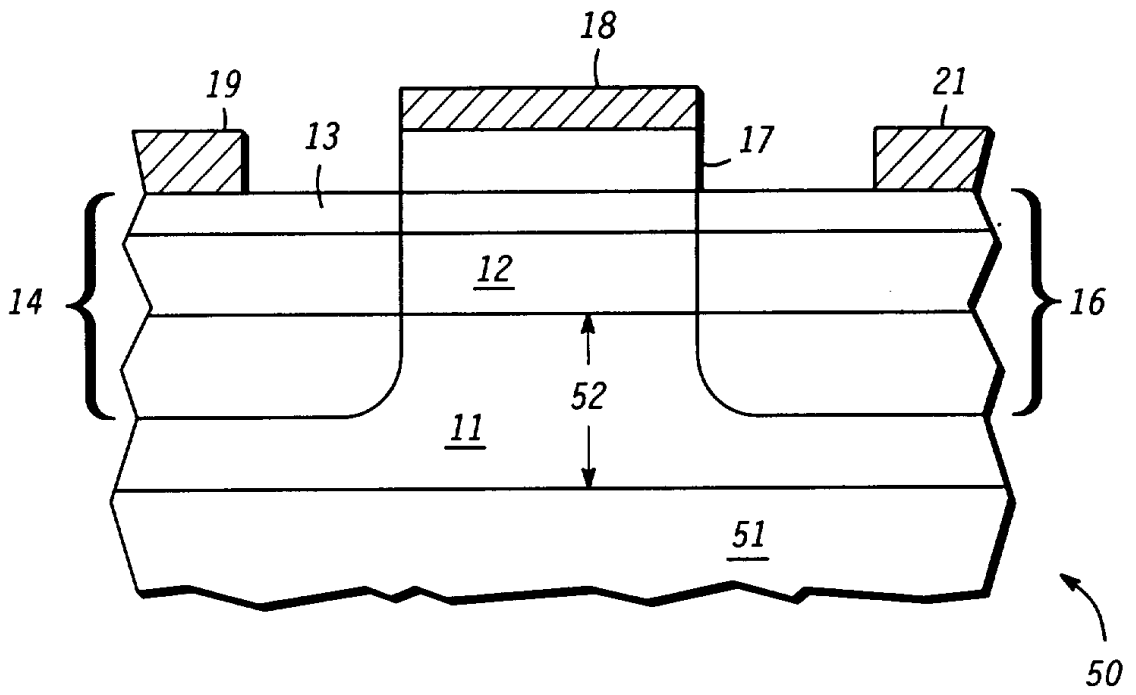


图 5