

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7316028号
(P7316028)

(45)発行日 令和5年7月27日(2023.7.27)

(24)登録日 令和5年7月19日(2023.7.19)

(51)国際特許分類

F I

H 0 4 N 25/70 (2023.01)

H 0 4 N 25/76 (2023.01)

H 0 4 N 25/63 (2023.01)

H 0 4 N 25/40 (2023.01)

H 0 4 N 25/70

H 0 4 N 25/76

H 0 4 N 25/63

H 0 4 N 25/40

請求項の数 14 (全16頁)

(21)出願番号	特願2018-145411(P2018-145411)	(73)特許権者	000001007
(22)出願日	平成30年8月1日(2018.8.1)		キヤノン株式会社
(65)公開番号	特開2020-22096(P2020-22096A)		東京都大田区下丸子3丁目30番2号
(43)公開日	令和2年2月6日(2020.2.6)	(74)代理人	110003281
審査請求日	令和3年7月30日(2021.7.30)		弁理士法人大塚国際特許事務所
		(72)発明者	石井 美絵
			東京都大田区下丸子3丁目30番2号
			キヤノン株式会社内
		(72)発明者	大下内 和樹
			東京都大田区下丸子3丁目30番2号
			キヤノン株式会社内
		審査官	鈴木 明

最終頁に続く

(54)【発明の名称】 撮像素子及びその制御方法、及び撮像装置

(57)【特許請求の範囲】

【請求項1】

遮光された複数の第1の画素をそれぞれ含む複数の第1の画素ブロックと、遮光されていない複数の第2の画素をそれぞれ含む複数の第2の画素ブロックとを有する画素部と、前記複数の第1の画素ブロックそれぞれに対して設けられ、それぞれAD変換手段を備える複数の第1の読み出し手段と、前記複数の第2の画素ブロックそれぞれに対して設けられ、それぞれAD変換手段を備える複数の第2の読み出し手段と、前記複数の第1の画素ブロックから前記複数の第1の読み出し手段に画素信号を読み出す第1の読み出し動作と、前記複数の第2の画素ブロックから前記複数の第2の読み出し手段に画素信号を読み出す第2の読み出し動作と、を制御する制御手段と、を有し、前記制御手段は、前記第2の読み出し動作の開始に先立って、前記複数の第1の画素ブロックそれぞれに含まれる前記複数の第1の画素すべてからの画素信号の前記第1の読み出し動作を終了するように制御することを特徴とする撮像素子。

【請求項2】

前記制御手段は、前記複数の第1の画素と前記複数の第2の画素の電荷の蓄積動作の開始時間をずらすことで、画素信号の読み出し時における前記複数の第1の画素と前記複数の第2の画素の電荷の蓄積時間を揃えることを特徴とする請求項1に記載の撮像素子。

【請求項3】

遮光された複数の第1の画素をそれぞれ含む複数の第1の画素ブロックと、遮光されて

いない複数の第 2 の画素をそれぞれ含む複数の第 2 の画素ブロックとを有する画素部と、
前記複数の第 1 の画素ブロックそれぞれに対して設けられ、それぞれ A D 変換手段を備える複数の第 1 の読み出し手段と、

前記複数の第 2 の画素ブロックそれぞれに対して設けられ、それぞれ A D 変換手段を備える複数の第 2 の読み出し手段と、

前記複数の第 1 の画素ブロックから前記複数の第 1 の読み出し手段に画素信号を読み出す第 1 の読み出し動作と、前記複数の第 2 の画素ブロックから前記複数の第 2 の読み出し手段に画素信号を読み出す第 2 の読み出し動作と、を制御する制御手段と、を有し、

前記制御手段は、前記第 2 の読み出し動作の開始に先立って、前記複数の第 1 の画素ブロックそれぞれに含まれる前記複数の第 1 の画素の内、予め決められた一部の第 1 の画素からの画素信号の読み出しを終了するように前記第 1 の読み出し動作を制御すると共に、前記予め決められた一部の第 1 の画素を除く第 1 の画素からの画素信号を、前記第 2 の読み出し動作と並行して行うように前記第 1 の読み出し動作を制御することを特徴とする撮像素子。

10

【請求項 4】

前記複数の第 1 の画素ブロックは、前記複数の第 2 の画素ブロックの周辺部に配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像素子。

【請求項 5】

遮光された複数の第 1 の画素をそれぞれ含む複数の第 1 の画素ブロックと、遮光されていない複数の第 2 の画素をそれぞれ含む複数の第 2 の画素ブロックとを有する画素部と、

20

前記複数の第 1 の画素ブロックそれぞれに対して設けられ、それぞれ A D 変換手段を備える複数の第 1 の読み出し手段と、

前記複数の第 2 の画素ブロックそれぞれに対して設けられ、それぞれ A D 変換手段を備える複数の第 2 の読み出し手段と、

前記複数の第 1 の画素ブロックから前記複数の第 1 の読み出し手段に画素信号を読み出す第 1 の読み出し動作と、前記複数の第 2 の画素ブロックから前記複数の第 2 の読み出し手段に画素信号を読み出す第 2 の読み出し動作と、を制御する制御手段と、を有し、

前記複数の第 1 の画素ブロックは、前記複数の第 2 の画素ブロックから成る領域の長辺部と短辺部に配置され、

前記制御手段は、前記第 2 の読み出し動作の開始に先立って、前記長辺部に配置された前記第 1 の画素ブロックそれぞれに含まれる前記複数の第 1 の画素すべてからの画素信号の読み出しを終了するように前記第 1 の読み出し動作を制御すると共に、前記短辺部に配置された前記第 1 の画素ブロックそれぞれに含まれる前記複数の第 1 の画素すべてからの画素信号を読み出す前記第 1 の読み出し動作を、前記第 2 の読み出し動作と並行して行うように制御することを特徴とする撮像素子。

30

【請求項 6】

前記第 2 の画素ブロックの画素信号と並行して読み出された前記第 1 の画素ブロックの画素信号に基づいて、前記第 2 の読み出し動作中の駆動信号の変動に伴う前記第 2 の画素ブロックの画素信号のばらつきを補正する補正手段を更に有することを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の撮像素子。

40

【請求項 7】

前記長辺部に配置された前記第 1 の画素ブロックの画素信号に基づいて黒レベルを補正し、前記短辺部に配置された前記第 1 の画素ブロックの画素信号に基づいて、前記第 2 の読み出し動作中の駆動信号の変動に伴う前記第 2 の画素ブロックの画素信号のばらつきを補正する補正手段を更に有することを特徴とする請求項 5 に記載の撮像素子。

【請求項 8】

前記第 1 の画素ブロックに含まれる前記複数の第 1 の画素の数は、前記第 2 の画素ブロックに含まれる前記複数の第 2 の画素の数よりも少ないことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の撮像素子。

【請求項 9】

50

前記画素部および前記制御手段と、前記複数の第 1 の読み出し手段および前記複数の第 2 の読み出し手段とが、積層された異なる基板に配置されていることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の撮像素子。

【請求項 1 0】

前記第 2 の読み出し動作の開始に先立って前記第 1 の読み出し動作によって読み出された画素信号に基づいて、黒レベルを補正する補正手段を更に有することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の撮像素子。

【請求項 1 1】

請求項 1 乃至 9 のいずれか 1 項に記載の撮像素子と、

前記複数の第 2 の画素ブロックからの画素信号の読み出し開始に先立って、前記複数の第 1 の画素ブロックから読み出された画素信号に基づいて、黒レベルを補正する補正手段とを有することを特徴とする撮像装置。

【請求項 1 2】

遮光された複数の第 1 の画素をそれぞれ含む複数の第 1 の画素ブロックと、遮光されていない複数の第 2 の画素をそれぞれ含む複数の第 2 の画素ブロックとを有する画素部と、前記複数の第 1 の画素ブロックそれぞれに対して設けられ、それぞれ A/D 変換手段を備える複数の第 1 の読み出し手段と、前記複数の第 2 の画素ブロックそれぞれに対して設けられ、それぞれ A/D 変換手段を備える複数の第 2 の読み出し手段と、前記複数の第 1 の画素ブロックから前記複数の第 1 の読み出し手段に画素信号を読み出す第 1 の読み出し動作と、前記複数の第 2 の画素ブロックから前記複数の第 2 の読み出し手段に画素信号を読み出す第 2 の読み出し動作と、を制御する制御手段と、を有する撮像素子の制御方法であって、

前記第 2 の読み出し動作の開始に先立って、前記複数の第 1 の画素ブロックそれぞれに含まれる前記複数の第 1 の画素すべてからの画素信号の前記第 1 の読み出し動作を終了するように制御することを特徴とする撮像素子の制御方法。

【請求項 1 3】

遮光された複数の第 1 の画素をそれぞれ含む複数の第 1 の画素ブロックと、遮光されていない複数の第 2 の画素をそれぞれ含む複数の第 2 の画素ブロックとを有する画素部と、前記複数の第 1 の画素ブロックそれぞれに対して設けられ、それぞれ A/D 変換手段を備える複数の第 1 の読み出し手段と、前記複数の第 2 の画素ブロックそれぞれに対して設けられ、それぞれ A/D 変換手段を備える複数の第 2 の読み出し手段と、前記複数の第 1 の画素ブロックから前記複数の第 1 の読み出し手段に画素信号を読み出す第 1 の読み出し動作と、前記複数の第 2 の画素ブロックから前記複数の第 2 の読み出し手段に画素信号を読み出す第 2 の読み出し動作と、を制御する制御手段と、を有する撮像素子の制御方法であって、

前記第 2 の読み出し動作の開始に先立って、前記複数の第 1 の画素ブロックそれぞれに含まれる前記複数の第 1 の画素の内、予め決められた一部の第 1 の画素からの画素信号の読み出しを終了するように前記第 1 の読み出し動作を制御すると共に、前記予め決められた一部の第 1 の画素を除く第 1 の画素からの画素信号を、前記第 2 の読み出し動作と並行して行うように前記第 1 の読み出し動作を制御することを特徴とする撮像素子の制御方法。

【請求項 1 4】

遮光された複数の第 1 の画素をそれぞれ含む複数の第 1 の画素ブロックと、遮光されていない複数の第 2 の画素をそれぞれ含む複数の第 2 の画素ブロックとを有する画素部と、前記複数の第 1 の画素ブロックそれぞれに対して設けられ、それぞれ A/D 変換手段を備える複数の第 1 の読み出し手段と、前記複数の第 2 の画素ブロックそれぞれに対して設けられ、それぞれ A/D 変換手段を備える複数の第 2 の読み出し手段と、前記複数の第 1 の画素ブロックから前記複数の第 1 の読み出し手段に画素信号を読み出す第 1 の読み出し動作と、前記複数の第 2 の画素ブロックから前記複数の第 2 の読み出し手段に画素信号を読み出す第 2 の読み出し動作と、を制御する制御手段と、を有し、前記複数の第 1 の画素ブロックは、前記複数の第 2 の画素ブロックから成る領域の長辺部と短辺部に配置された撮像素子の制御方法であって、

前記第 2 の読み出し動作の開始に先立って、前記長辺部に配置された前記第 1 の画素ブ

10

20

30

40

50

ロックそれぞれに含まれる前記複数の第 1 の画素すべてからの画素信号の読み出しを終了するように前記第 1 の読み出し動作を制御すると共に、前記短辺部に配置された前記第 1 の画素ブロックそれぞれに含まれる前記複数の第 1 の画素すべてからの画素信号を読み出す前記第 1 の読み出し動作を、前記第 2 の読み出し動作と並行して行うように制御することを特徴とする撮像素子の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子及びその制御方法、及び撮像装置に関する。

【背景技術】

【0002】

近年、デジタル一眼レフカメラやビデオカメラに、CMOS撮像素子が多く使用されている。このCMOS撮像素子に関しては、多画素化、高速撮像化のニーズが高まっており、CMOS撮像素子の高速な読み出し技術が要求されている。

【0003】

CMOS撮像素子の高速化の手法としては、従来では画素アレイの列ごとに共有していたAD変換回路を、画素ごと、または比較的少数の複数画素ごとに共有するように、より多くのAD変換回路を用いる手法が知られている。

【0004】

例えば、特許文献1では、画素とAD変換回路を異なる基板に設けて、両基板をCu-Cu接合などにより貼り合せて接続する構成が提案されている。画素基板とAD変換回路基板とを分けることで、画素の光学特性を損なわずに、かつ比較的少数の複数画素ごとに1つのAD変換回路を有する構成を取ることができ、飛躍的に高速に画素の読み出しをすることが可能となる。

【0005】

また、上記のような積層構成の撮像素子として、特許文献2には、複数の画素ブロックが行列状に配置された画素基板と、各画素ブロックに対応したAD変換回路を含む複数の処理部が行列状に配置された処理基板とを備える構成が記載されている。一例として、各画素ブロックは4×4画素の合計16個の画素からなり、複数の処理部は平行に動作する。

【0006】

ところで、撮像素子は通常、信号レベルの基準信号となる信号（黒基準信号）を得るために、光に反応しないように遮光されたオプティカルブラック画素（以下、「OB画素」と呼ぶ。）を備えている。そして、遮光されていない画素（以下、「開口画素」と呼ぶ。）から読み出された開口画素信号は、OB画素から読み出されたOB画素信号の信号レベルを基準として演算処理される。通常、画面上部（長辺部）や画面左部（短辺部）などの画面の周辺部に、数行または数列程度のOB画素が設けられる。これにより、画素信号を所定のレベルにクランプすることができ、長時間露光による暗電流や、例えば垂直方向のシェーディングなどの暗時信号を補正することができる。

【先行技術文献】

【特許文献】

【0007】

【文献】特開2009-177207号公報

特開2014-155175号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

一般的に、開口画素信号の読み出しに先立ってOB画素信号を読み出し、その後、開口画素信号を読み出しながらOB画素信号から求めた黒基準信号の信号レベルを順次補正して処理していくことが望ましい。そのため、列毎にAD変換部を備え、画素アレイの上から順次読み出すような従来のCMOS撮像素子では、開口画素領域の上部や左部にOB画

10

20

30

40

50

素を配置している。

【 0 0 0 9 】

しかしながら、特許文献 2 のように、画素ブロックごとに処理部が対応して配置される構成の場合、開口画素の信号読み出し開始時に黒基準信号が取得できていないという課題があった。

【 0 0 1 0 】

本発明は上記問題点を鑑みてなされたものであり、複数の画素ブロックから並行して信号を読み出し可能な撮像素子において、遮光画素の信号を用いた処理を、読み出した画像信号に対して順次行えるように読み出し制御することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

上記目的を達成するために、本発明の撮像素子は、遮光された複数の第 1 の画素をそれぞれ含む複数の第 1 の画素ブロックと、遮光されていない複数の第 2 の画素をそれぞれ含む複数の第 2 の画素ブロックとを有する画素部と、前記複数の第 1 の画素ブロックそれぞれに対して設けられ、それぞれ A/D 変換手段を備える複数の第 1 の読み出し手段と、前記複数の第 2 の画素ブロックそれぞれに対して設けられ、それぞれ A/D 変換手段を備える複数の第 2 の読み出し手段と、前記複数の第 1 の画素ブロックから前記複数の第 1 の読み出し手段に画素信号を読み出す第 1 の読み出し動作と、前記複数の第 2 の画素ブロックから前記複数の第 2 の読み出し手段へ画素信号を読み出す第 2 の読み出し動作と、を制御する制御手段と、を有し、前記制御手段は、前記第 2 の読み出し動作の開始に先立って、前記複数の第 1 の画素ブロックそれぞれに含まれる前記第 1 の画素すべてからの画素信号の第 1 の読み出し動作を終了するように制御する。

【発明の効果】

【 0 0 1 2 】

本発明によれば、複数の画素ブロックから並行して信号を読み出し可能な撮像素子において、遮光画素の信号を用いた処理を、読み出した画像信号に対して順次行えるように読み出し制御することができる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】本発明の実施形態における撮像装置の概略構成を示すブロック図。

【図 2】実施形態における撮像素子の構成例を示す模式図。

【図 3】実施形態における撮像素子の構成例を示す平面図。

【図 4】実施形態における撮像素子の画素領域の構成例を示す図。

【図 5】実施形態における撮像素子の画素と読み出し回路の構成を示す図。

【図 6】実施形態における画素の画素信号の読み出し動作の一例を示すタイミングチャート。

【図 7】第 1 の実施形態における撮像素子の読み出し制御を示す図。

【図 8】第 1 の実施形態の信号処理回路におけるクランプ処理を説明する図。

【図 9】第 1 の実施形態の変形例における撮像素子の他の読み出し制御を示す図。

【図 10】第 2 の実施形態における撮像素子の読み出し制御を示す図。

【発明を実施するための形態】

【 0 0 1 4 】

以下、添付図面を参照して本発明を実施するための形態を詳細に説明する。ただし、本形態において例示される構成部品の寸法、形状、それらの相対配置などは、本発明が適用される装置の構成や各種条件により適宜変更されるべきものであり、本発明がそれらの例示に限定されるものではない。

【 0 0 1 5 】

< 第 1 の実施形態 >

図 1 は、本発明の実施形態における撮像装置 100 の概略構成を示すブロック図である。図 1 において、撮像装置 100 の撮像光学系は、撮像レンズ 101 及び絞り 102 を備

10

20

30

40

50

える。撮像レンズ１０１及び絞り１０２を通過した光は、撮像レンズ１０１の焦点位置近傍に結像する。なお、撮像レンズ１０１は、１枚のレンズとして図示しているが、実際には複数のレンズから成るレンズ群で構成される。撮像素子１０３はＣＭＯＳ撮像素子であり、撮像レンズ１０１により結像された被写体像を光量に応じて電気信号に変換し、更に、データ処理可能な画像信号に変換する機能を有する。信号処理回路１０４は、撮像素子１０３から出力される画像信号に対して、信号増幅、基準レベル調整等の各種の補正や、データの並べ替えなどを行う。なお、基準レベル調整等、一部の信号処理機能は、撮像素子１０３の中に設けても良い。タイミング発生回路１０５は撮像素子１０３や信号処理回路１０４に駆動タイミング信号を出力する。

【００１６】

全体制御・演算回路１０６は、撮像素子１０３や信号処理回路１０４などを含む撮像装置１００全体の統括的な駆動及び制御を行う。また、信号処理回路１０４から出力された画像信号に対して、所定の画像処理や欠陥補正等を施す。メモリ回路１０７及び記録回路１０８は、全体制御・演算回路１０６から出力された画像信号等を記録保持する不揮発性メモリあるいはメモリカード等の記録媒体である。操作回路１０９は撮像装置１００に備え付けられた操作部材からの信号を受け付け、全体制御・演算回路１０６に対してユーザーの命令を反映する。表示回路１１０は撮影後の画像やライブビュー画像、各種設定画面等を表示する。

【００１７】

次に、撮像素子１０３の構成について、図２から図４を用いて説明する。図２及び図３は、本発明の実施形態における撮像素子１０３の構成例を示す図である。図２において、撮像素子１０３は、画素領域基板２０１と読み出し回路基板２０２を積層させた構成を有する。各基板の配線は、シリコン貫通電極等を用いて電氣的に接続される。画素領域基板２０１は、画素領域２０３と、画素を駆動して走査する垂直走査回路２０４と、水平走査回路２０５とを備える。読み出し回路基板２０２は、複数の読み出し回路からなる読み出し領域２０６、タイミング発生回路（ＴＧ）２０７、デジタル信号処理回路２０８、デジタル信号出力回路２０９を備える。

【００１８】

次に、上記構成を有する撮像素子１０３を構成する各ブロックについて、図３を参照して詳細に説明する。画素領域基板２０１上にある画素領域２０３は、光学的に遮光されたオプティカルブラック（ＯＢ）領域（網掛けで示す領域）と、被写体像を受光する開口領域とから構成される。ここでは、開口領域の上部（長辺部）に数行程度のＯＢ領域が配置された構成となっている。ＯＢ領域には、遮光された画素３０２（以下、「ＯＢ画素３０２」と呼ぶ。）が行列状に配置され、開口領域には、遮光されていない画素３０４（以下、「受光画素３０４」と呼ぶ。）が行列状に配置されている。ＯＢ領域に配されているＯＢ画素３０２から読み出された画素信号は、基準信号レベルへのクランプ処理のための補正值の取得に用いられる。

【００１９】

ここで、図３において太枠で囲まれた、ＯＢ画素３０２が４×４画素の合計１６個配置された画素ブロックを、ＯＢ画素ブロック３０１と呼ぶ。同様に、受光画素３０４が４×４画素の合計１６個配置された画素ブロックを、開口画素ブロック３０３と呼ぶ。なお、図３に示すように、画素ブロックがＯＢ領域と開口領域を跨ぐことは無く、互いに別々の画素ブロックに分かれるように配置する。すなわち、ＯＢ領域は、ＯＢ画素ブロック３０１のみを含み、開口領域は開口画素ブロック３０３のみを含む。

【００２０】

一方、読み出し回路基板２０２には、読み出し回路３０５、３０６が行列状に配置されている。読み出し回路３０５、３０６はそれぞれ、対応した位置に配された画素ブロック（ＯＢ画素ブロック３０１、開口画素ブロック３０３）に接続され、対応する画素ブロックから並行に出力される画素信号を、並行に処理することができる。なお、読み出し回路３０５、３０６は同じ構成を有するが、説明の都合上、ＯＢ画素ブロック３０１に接続さ

10

20

30

40

50

れている読み出し回路をOB画素読み出し回路305、開口画素ブロック303に接続されている読み出し回路を開口画素読み出し回路306と呼ぶ。

【0021】

対応する画素ブロックと読み出し回路の位置関係について、簡単に説明する。例えば、図3における6×4個の画素ブロックのうち、画素領域基板201上の一番左上のOB画素ブロック301は、読み出し回路基板202上の一番左上にあるOB画素読み出し回路305に接続されている。以下、同様にそれぞれ対応するブロックが接続される。このように接続されることにより、画素部からの出力線を短くすることができ、出力線の配線抵抗を増やさずに撮像素子103を構成することができる。

【0022】

TG207は、垂直走査回路204や水平走査回路205、及びOB画素読み出し回路305、開口画素読み出し回路306や、デジタル信号処理回路208、デジタル信号出力回路209に信号を送り、その駆動を制御する。

【0023】

垂直走査回路204、水平走査回路205は、画素領域203の画素それぞれに駆動信号を送り、画素の電荷リセットや蓄積、転送、読み出し回路への出力等の駆動を制御する。OB画素読み出し回路305及び開口画素読み出し回路306は、TG207からの制御により、それぞれ対応する画素ブロックの各画素（OB画素302、受光画素304）の出力信号を受け取って、アナログデジタル変換（AD変換）を行う。そして、デジタル信号処理回路208を介して、デジタル信号出力回路209より、撮像素子103の外部に順次出力される。

【0024】

なお、説明の簡略化のために、図3では、OB画素ブロック301及び開口画素ブロック303は、それぞれ4×4=16個の画素からなる構成を示しているが、本発明はこれに限られるものではない。また、画素ブロック及び読み出し回路として、それぞれ6×4=24個を記載しているが、実際の撮像素子103は数千～数万個の画素ブロック及び読み出し回路からなる。

【0025】

また、画素領域203におけるOB領域と開口領域の配置も、図3の構成に限られるものではない。図4は、画素領域203におけるOB領域と開口領域の配置の他の配置例を示す図である。図4(a)は、開口領域402の左部（短辺部）に数列程度のOB領域401を配置した構成である。また、図4(b)のように、上部（長辺部）及び左部（短辺部）に数行、数列程度のOB領域401を配置した構成、また、図4(c)のように、周囲を囲むように（周辺部に）数行、数列程度のOB領域401を配置した構成であっても良い。また、これら以外の配置であってもよい。

【0026】

図5は、撮像素子103の受光画素304と開口画素読み出し回路306の構成を示す図である。図の簡略化のため、図5では、1つの画素と1つの読み出し回路のみを示しているが、OB画素302とOB画素読み出し回路305も同様の構成となる。画素領域基板201に形成された受光画素304は、シリコン貫通電極509を介して、読み出し回路基板202に形成された開口画素読み出し回路306に接続される。

【0027】

受光画素304において、フォトダイオード（PD）501（光電変換部）は、撮像レンズ101によって結像された被写体像を受けて電荷を発生し、発生した電荷を蓄積する。PD501で蓄積された電荷は、転送MOSトランジスタ（転送スイッチ）502を介して電荷保持部であるフローティングディフュージョン部（FD）504に転送される。FD504に転送された電荷は、選択スイッチ506がオンされると、ソースフォロワンプを形成する増幅MOSトランジスタ（SF）505を介して電荷に対応した電圧として出力線507に出力される。出力線507には電流源508が接続されている。

【0028】

10

20

30

40

50

なお、選択スイッチ506は垂直走査回路204及び水平走査回路205の制御により、画素ブロック単位で制御され、各画素ブロックから選択された画素の画素信号が同時に各出力線507に出力される。リセットMOSトランジスタ（リセットスイッチ）503は、FD504の電位、及び、転送スイッチ502を介してPD501の電位をVDDにリセットする。転送スイッチ502、リセットスイッチ503、選択スイッチ506は、それぞれ、不図示の垂直走査回路204に接続されている信号線を介して制御信号PTX、PRES、PSELにより制御される。垂直走査回路204からの信号線は行単位で制御可能であり、更に水平走査回路205によるオン、オフを制御する信号線を接続して制御することにより、画素ブロック内の所定の画素の駆動を制御することができる。

【0029】

次に、開口画素読み出し回路306の回路構成について説明する。アンプ510は、出力線507に現れた信号を増幅し、容量512は信号電圧を保持するために用いられる。容量512への書き込みは、制御信号PSHによりオン、オフされるスイッチ511により制御される。比較器513の一方の入力には、不図示のスロープ電圧発生回路から供給された参照電圧であるVslopeが入力され、他方の入力には、容量512に書き込まれたアンプ510の出力が入力される。比較器513はアンプ510の出力と参照電圧Vslopeを比較し、その大小関係によってローレベル、ハイレベルの2値のいずれかを出力する。具体的には、参照電圧Vslopeがアンプ510の出力に対して小さい時にはローレベル、大きい時にはハイレベルを出力する。参照電圧Vslopeの遷移開始と同時にCLKが動き出し、カウンタ514は比較器513の出力がハイレベルの時にCLKに対応してカウントアップし、比較器513の出力がローレベルに反転すると同時にカウントを停止する。

【0030】

Nメモリ516には、FD504のリセットレベルの信号（以下、「N信号」と呼ぶ。）をAD変換したデジタル信号が保持される。また、Sメモリ517には、PD501の信号をFD504のN信号に重畳した信号（以下、「S+N信号」と呼ぶ。）をAD変換したデジタル信号が保持される。Nメモリ516、Sメモリ517のどちらに書き込まれるかはスイッチ515により振り分けられる。

【0031】

CDS回路518は、上述したように、Sメモリ517に保持されたS+N信号からNメモリ516に保持されたN信号を差分し、リセットノイズ成分が除去されたS信号（光信号）を得る。S信号は、TG207の制御により、デジタル信号出力線519を介してデジタル信号処理回路208へ出力される。そして、クランプ等の演算処理が行われた後、デジタル信号出力回路209を介して撮像素子103の外部に出力される。

【0032】

図6は、図5に示す回路構成を有する撮像素子103の画素（OB画素302、受光画素304）からの、画素信号の読み出し動作の一例を示すタイミングチャートである。各駆動パルスのタイミング、参照電圧Vslope、カウンタを示している。また、各タイミングにおける、アンプ510より出力された電位V1もあわせて示している。COMPは比較器513の出力レベルを示す。

【0033】

PD501からの信号の読み出しに先立って、リセットスイッチ503の制御信号PRESがHiとなる（t600）。これによって、SF505のゲートがリセット電源電圧にリセットされる。時刻t601で制御信号PSELをHiとし、SF505を動作状態とする。そして、時刻t602で制御信号PRESをLoとすることでFD504のリセットを解除する。このときのFD504の電位を出力線507にリセット信号レベル（N信号）として読み出し、読み出し回路（OB画素読み出し回路305、開口画素読み出し回路306）に入力する。時刻t603、t604で制御信号PSHをHi、Loとしてスイッチ511をオン、オフすることにより、出力線507に読み出されたN信号はアンプ510で所定のゲインで増幅された後、容量512に保持される。容量512に保持さ

10

20

30

40

50

れたN信号の電位は比較器513の一方の端子に入力される。

【0034】

時刻t604でスイッチ511がオフされた後、時刻t605から時刻t607まで、不図示のスロープ電圧発生回路は、参照電圧V_{slope}を時刻と共に初期値から減少させていく。時刻t605の参照電圧V_{slope}の遷移開始と共に、CLKをカウンタ514に供給し、カウンタ514の値はCLKの数に応じて増加していく。そして、比較器513に入力された参照電圧V_{slope}がN信号と同じレベルになると、比較器513の出力COMPはローレベルとなり(時刻t606)、同時にカウンタ514の動作も停止する。この、カウンタ514の動作が停止した時のカウント値が、N信号がAD変換された値となり、Nメモリ516に保持される。

10

【0035】

次に、デジタル化されたN信号をNメモリ516に保持した後の時刻t607、t608で制御信号PTXを順次Hi、LoとしてPD501に蓄積された光電荷をFD504に転送する。すると、電荷量に応じたFD504の電位変動が出力線507にS+N信号(光成分+リセットノイズ成分)として読み出され、読み出し回路(OB画素読み出し回路305、開口画素読み出し回路306)に入力される。S+N信号はアンプ510で所定のゲインで増幅された後、時刻t609、t610で制御信号PSHを順次Hi、Loとしてスイッチ511をオン、オフすることにより容量512に保持される。容量512に保持された電位は比較器513の一方の端子に入力される。

【0036】

20

時刻t610でスイッチ511がオフされた後、時刻t611から時刻t613まで、付図示のスロープ電圧発生回路は、参照電圧V_{slope}を時刻と共に初期値から減少させていく。時刻t611の参照電圧V_{slope}の遷移開始と共に、CLKをカウンタ514に供給し、カウンタ514の値はCLKの数に応じて増加していく。そして、比較器513に入力された参照電圧V_{slope}がS+N信号と同じレベルになると、比較器513の出力COMPはローレベルとなり(時刻t612)、同時にカウンタ514の動作も停止する。この、カウンタ514の動作が停止した時のカウント値が、S+N信号がAD変換された値となり、Sメモリ517に保持される。

【0037】

上述した時刻t601からt613までの時間ROが、画素(OB画素302、受光画素304)の画素信号を読み出す時間である。この読み出し駆動を画素ブロック(OB画素ブロック301、開口画素ブロック303)を構成する画素数分繰り返すことにより、1フレーム分の読み出しが完了する。

30

【0038】

しかし、全画素ブロックに対して、同時に上記の読み出し動作を行った場合、開口画素ブロック303の最初の画素読み出し時に、黒基準信号が取得することができないため、デジタル信号処理回路208にてクランプ処理を行うことができない。

【0039】

そこで、本発明の第1の実施形態による電荷蓄積及び画素信号の読み出し駆動について、図7を用いて説明する。図7は、画素領域を構成するすべてのOB画素ブロック301と開口画素ブロック303の動作例を模式的に表した図であり、横軸は時刻を示している。第1の実施形態は、OB画素ブロック301と開口画素ブロック303とで、画素信号の読み出し動作のタイミングをずらすことを特徴とする。

40

【0040】

撮影の開始に伴い、時刻t700において、全画素のリセット動作を行う。ここでは、垂直走査回路204が、制御信号PRES、PTXを全行についてONすることで、一括リセット動作を行う。一括リセットの後、制御信号PRES、PTXを全行についてOFFすることで、時刻t701より全画素同時に蓄積動作が開始される。そして、時刻t702で不図示のシャッタが開くことにより、露光が開始する。ここでは、シャッタが閉じる時刻t704までが開口領域の露光時間となり、ここで蓄積動作を終了して、以降、開

50

□画素ブロック 3 0 3 からの画素信号の読み出しが開始される。一方、開口画素ブロック 3 0 3 の蓄積動作の終了時刻 t_{704} に先立って、時刻 t_{703} より O B 画素ブロック 3 0 1 の画素信号の読み出し動作を行う。

【 0 0 4 1 】

画素の読み出し駆動は、図 6 で示したタイミングチャートに従うことで実施でき、1 画素の読み出しが終わったら、順次、次の画素の読み出しを行うことで、各 O B 画素ブロック 3 0 1 を構成する O B 画素 3 0 2 の画素信号を順次読み出していく。

【 0 0 4 2 】

ここで、時刻 t_{703} は、O B 画素 3 0 2 の 1 つの画素信号の読み出しにかかる時間 (R O) × O B 画素ブロック 3 0 1 を構成する画素数 (図 4 の例では 1 6 画素) の時間に相当する時間 T だけ、時刻 t_{704} よりも前にする。このように制御することで、開口画素ブロック 3 0 3 の画素信号の読み出しを開始する前に、O B 画素ブロックの画素信号の読み出しを終了することができる。そして、前もって読み出された O B 画素ブロック 3 0 1 の画素信号から、デジタル信号処理回路 2 0 8 にて黒基準信号を演算することで、開口画素ブロック 3 0 3 の画素信号の読み出し時にクランプ処理を行うことができる。なお、クランプ処理に関しては後述する。

【 0 0 4 3 】

なお、通常、蓄積時間の間は読み出し回路の駆動スイッチをオフしてパワーを落とし、読み出し動作開始前に読み出し回路を駆動させる省電駆動を行う。本実施形態においては、O B 画素読み出し回路 3 0 5 と開口画素読み出し回路 3 0 6 の駆動スイッチを別々に制御し、O B 画素読み出し回路 3 0 5 を先に省電駆動から復帰させる。

【 0 0 4 4 】

続いて、図 8 を用いて、デジタル信号処理回路 2 0 8 における、クランプ処理について説明する。O B 画素読み出し回路 3 0 5 及び開口画素読み出し回路 3 0 6 より送られた画素信号は、図 8 の I N より入力される。T G 2 0 7 からの制御信号に基づいて、O B 画素ブロック 3 0 1 の画素信号が入力された場合には、データ取得・クランプ値生成部 8 0 2 に画素信号が送られる。データ取得・クランプ値生成部 8 0 2 にて O B 領域の画素信号の平均化処理を行い、黒基準信号を算出する。例えば、全 O B 画素ブロック 3 0 1 の画素信号の平均化処理を行い、黒基準信号を算出し、これを元にクランプ値を算出する。

【 0 0 4 5 】

そして、開口画素ブロック 3 0 3 の画素信号が読み出されてデジタル信号処理回路 2 0 8 に入力されると、減算回路 8 0 1 にてクランプ値の減算処理を行う。これにより、暗電流等の影響による黒レベルのずれ分を取り除き、画素信号の黒レベルを黒基準信号に合わせることができる。

【 0 0 4 6 】

上記の通り第 1 の実施形態によれば、開口領域の画素信号の読み出しに先立って、O B 領域の画素信号を読み出すことにより、適切にクランプ処理を行うことができる。なお、本第 1 の実施形態においては撮像素子 1 0 3 が有するデジタル信号処理回路 2 0 8 にてクランプ処理を行ったが、撮像装置が有する信号処理回路 1 0 4 にて行っても良い。

【 0 0 4 7 】

また、図 3 に示す例では、O B 画素ブロック 3 0 1 を構成する O B 画素 3 0 2 の画素数と開口画素ブロック 3 0 3 を構成する受光画素 3 0 4 の画素数は同じであるが、必ずしも同じでなくても良い。例えば、O B 画素ブロック 3 0 1 を構成する画素 3 0 2 の画素数を開口画素ブロック 3 0 3 を構成する受光画素 3 0 4 の画素数よりも少なくすれば、より少ないタイムラグで、開口領域の画素信号を読み出すことができる。その場合、画素のサイズを変えずに、例えば、 2×4 画素にするなど、単純に O B 画素ブロック 3 0 1 を構成する画素 3 0 2 の画素数を少なくしても良いし、画素のサイズを大きくすることで、画素数を少なくしてもよい。また、両方を組み合わせてもよい。

【 0 0 4 8 】

< 第 1 の実施形態の変形例 >

10

20

30

40

50

図9は、撮像素子103の別の動作例を模式的に表した図である。図7に示した動作の場合、OB画素ブロック301のOB画素302と、開口画素ブロック303の受光画素304の蓄積時間に、わずかではあるが差が生じてしまう。高温撮影時など、暗電流が多くなる状態での撮影においては、暗電流量差が生じ、正しく黒基準信号を取得できない可能性もある。また、全画素一括でリセットを行っているため、同じ画素ブロック内の画素においても蓄積時間にわずかな違いが生じる。シャッタを用いた静止画撮影では、シャッタで遮光することで蓄積時間の違いをわずかに抑えることができる。これに対し、シャッタを使用しない動画撮影などでは、通常、リセット動作のタイミングをずらして露光時間及び蓄積時間を揃える、所謂ローリング駆動を行う。

【0049】

そこで、図9に示す動作では、ローリング駆動を行うと共に、OB画素ブロック301の画素信号の読み出しにかかる時間Tだけ、OB画素ブロック301のリセットを早める。つまり、時刻t900からt901において、垂直走査回路204によって、OB画素ブロック301のOB画素302に対してのみ、制御信号PRES、PTXを送ることで、リセット動作を行う。更に、各画素の読み出し開始時間を考慮して、リセット動作の開始時間をずらす。リセット動作の後、順次OB画素ブロック301のOB画素302の蓄積動作が開始される。そして、時刻t900から時間T経過した後、時刻t902からt903において、開口画素ブロック303の受光画素304のリセット動作を行い、それぞれ受光画素304の蓄積動作を開始する。以下、図7での説明と同様に、所定の蓄積時間が経過した後、時刻t904からOB画素ブロック301の画素信号の読み出しを行い、時刻t905から開口画素ブロック303の画素信号の読み出しを開始する。

【0050】

このように、OB領域の画素信号読み出しにかかる時間分だけ、前もってリセット、蓄積動作を開始することにより、OB領域と開口領域の蓄積時間を揃えることが可能となる。

【0051】

<第2の実施形態>

次に、本発明の第2の実施形態について説明する。第2の実施形態では、OB画素信号を用いて、画素信号読み出し動作時の電源やGNDの変動などの影響による黒レベルのずれを補正する方法について説明する。一般的に、撮像素子に供給する各種基準電源やGNDは共通であり、画素信号の読み出し動作中にこれらの電源やGNDが変動すると、その際に読み出されていた画素の信号はほぼ一様のレベル差が生じる。このレベル差を補正しないと、パターンノイズとなって出力画像の画質が劣化してしまう。

【0052】

図10は、第2の実施形態による画素信号の読み出し駆動の動作例を模式的に表した図である。第2の実施形態においては、OB画素ブロック301の画素信号を先に読み始めるとともに、開口画素ブロック303の画素信号の読み出し時にもOB画素ブロック301の画素信号を読み出す。図10の1つの は図6で示した1画素の読み出し時間(RO)に相当し、各画素ブロックにおける画素の読み出し動作を示している。

【0053】

本第2の実施形態では、図10に示すように、例えば、1画素の読み出し時間分だけOB画素ブロック301の画素信号を先に読み出す。そして、この先に読み出したOB画素ブロックの画素信号を用いて、デジタル信号処理回路208にて主に暗電流成分のクランプを行う。以下、このクランプ処理を「暗電流補正」と呼ぶ。より具体的には、複数のOB画素ブロック301からそれぞれ1つのOB画素302を読み出し、得られた複数の画素信号を演算して、暗電流補正の補正值として使用する。

【0054】

一方、開口画素ブロック303の画素信号と同じタイミングで読み出したOB画素ブロック301の画素信号を、その同じタイミングで読み出した開口画素ブロック303の画素信号のクランプに使用する。この処理は、画素信号の読み出し動作中における電源やGNDの変動を補正するための処理で、以下、「読み出し時変動レベル補正」と呼ぶ。なお

、同じタイミングで読み出した画素信号をデジタル信号処理回路 208 に送る際には、OB 画素ブロック 301 の画素信号を優先する。そして、暗電流補正と同様に、複数の OB 画素ブロック 301 からそれぞれ読み出された複数の OB 画素 302 の画素信号に基づいて、読み出し時変動レベル補正の補正値を算出して使用する。

【0055】

なお、暗電流補正のために開口領域 402 より先に読み出す OB 画素ブロック 301 の画素数は、画素ブロックあたり 1 画素に限定する必要はなく、更に多くても良い。暗電流補正のクランプ値算出に使用する画素数が多いほど、精度良く補正値を算出することができる。この場合、OB 画素ブロック 301 を構成する画素の数は、暗電流補正の補正値の算出に使用する画素の分、多くするのが好適である。例えば、図 3 では OB 画素ブロック 301 は、開口画素ブロック 303 と同じ 16 画素から成っているが、縦 5 行、横 4 列の 20 画素とし、4 画素分の画素信号を開口領域 402 より先に OB 画素ブロック 301 から読み出すようにしても良い。

10

【0056】

読み出し時変動レベル補正に使用するクランプ値は、同じタイミングで読み出された複数の OB 画素ブロック 301 の画素信号から平均値を算出した結果を元に算出し、開口領域の画素信号の補正を行う。なお、この際、OB 領域を大きく取れば良いが、撮像素子 103 の面積が大きくなってしまいうため、OB 領域はそれほど大きくできず、読み出し時変動レベル補正用の画素信号を得るための OB 画素 302 の数をそれほど多くすることは通常困難である。その場合、読み出し時のノイズが大きいと補正値の誤差が大きくなる可能性がある。そこで、例えば、暗電流補正に使用した黒レベルとの差分から変動レベルを演算し、更に誤補正にならないよう、補正係数をかけてクランプに使用しても良い。

20

【0057】

また、撮像素子 103 のレイアウトによっては、画素領域の暗時信号が水平方向や垂直方向にシェーディングをもつ場合もある。この場合、そのシェーディングの特徴に応じて、水平方向や垂直方向が同じ位置に配置された OB 画素の画素信号を用いて開口領域の画素信号を補正しても良い。

【0058】

このように、開口領域の画素信号の読み出しに先立って、OB 領域の画素信号を読み出し、かつ、開口領域と同じタイミングでも OB 領域の画素信号を読み出して補正値の算出に用いることにより、適切にクランプ処理を行うことができる。

30

【0059】

(第2の実施形態の変形例)

次に、本発明の第2の実施形態の変形例について説明する。図4(b)のような画素配置の撮像素子 103 において、開口領域 402 の上部(長辺部)に配置された OB 領域 401 (以下、VOB)の画素信号は図7や図9に従って駆動する。また、開口領域 402 の左部(短辺部)に配置された OB 領域 401 (以下、HOB)の画素信号は、開口領域 402 と同じタイミングで読み出しを行う。そして、先に読み出された VOB の画素信号を用いて暗電流補正を行い、開口領域 402 と同じタイミングで読み出された HOB の画素信号を用いて、読み出し時変動レベルの補正を行ってもよい。

40

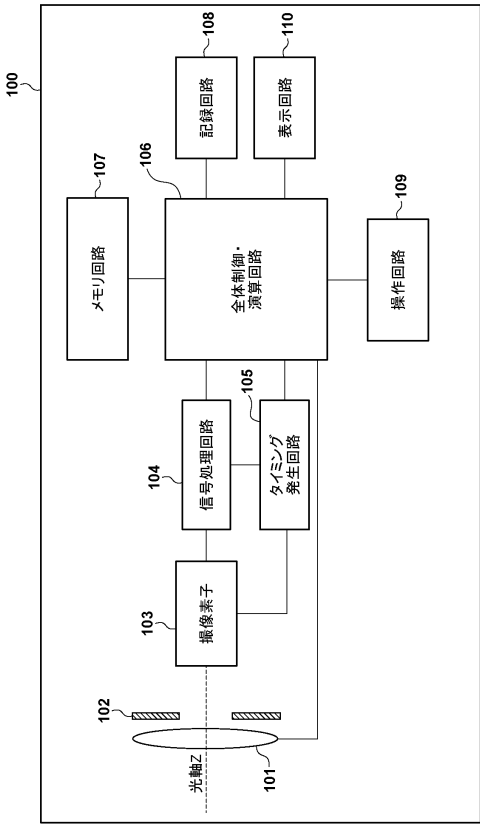
【符号の説明】

【0060】

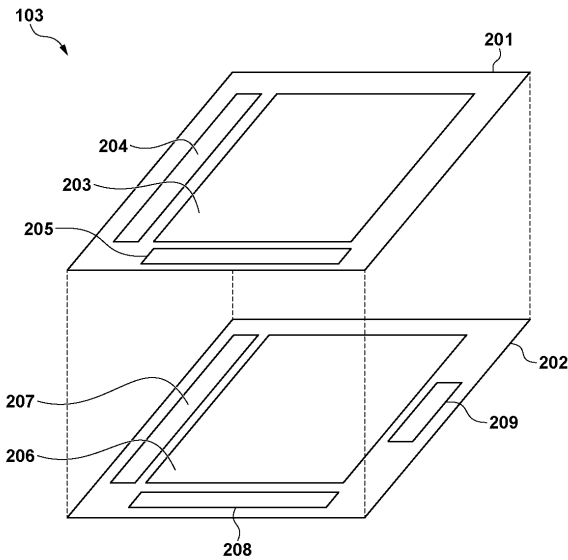
103 : 撮像素子、104 : 信号処理回路、105 : タイミング発生回路、106 : 全体制御・演算回路、201 : 画素領域基板、202 : 読み出し回路基板、203 : 画素領域、204 : 垂直走査回路、205 : 水平走査回路、206 : 読み出し領域、207 : タイミング発生回路、208 : デジタル信号処理回路、301 : OB 画素ブロック、302 : OB 画素、303 : 開口画素ブロック、304 : 受光画素、305 : OB 画素読み出し回路、306 : 開口画素読み出し回路

【図面】

【図 1】



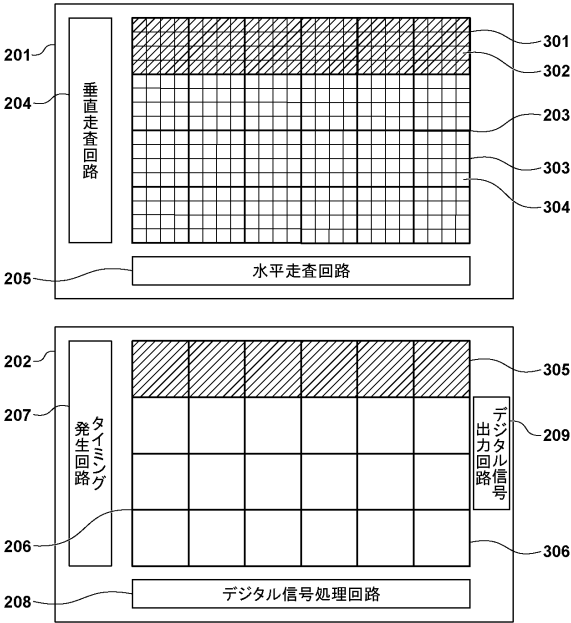
【図 2】



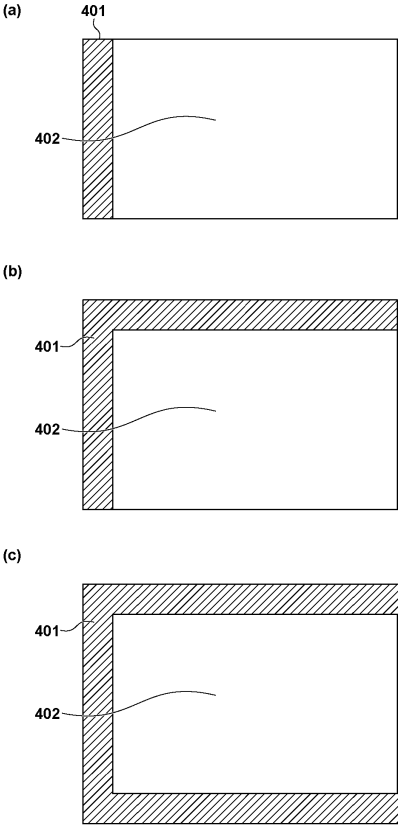
10

20

【図 3】



【図 4】

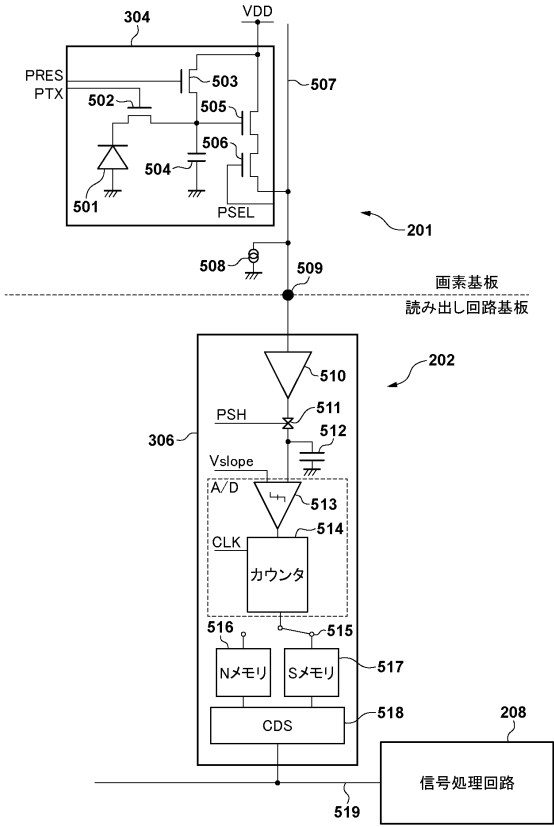


30

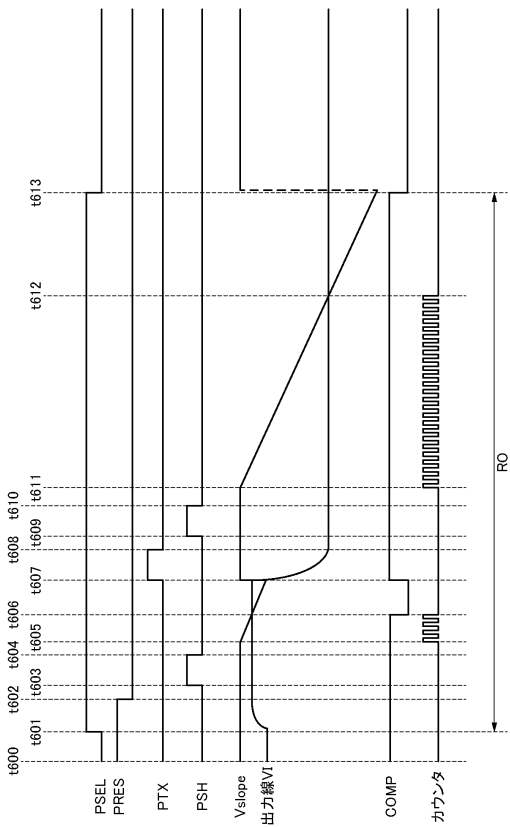
40

50

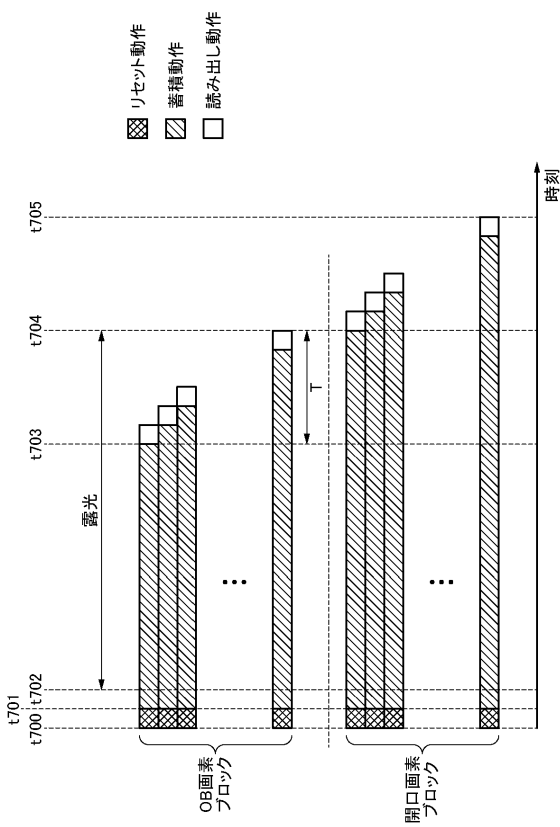
【図 5】



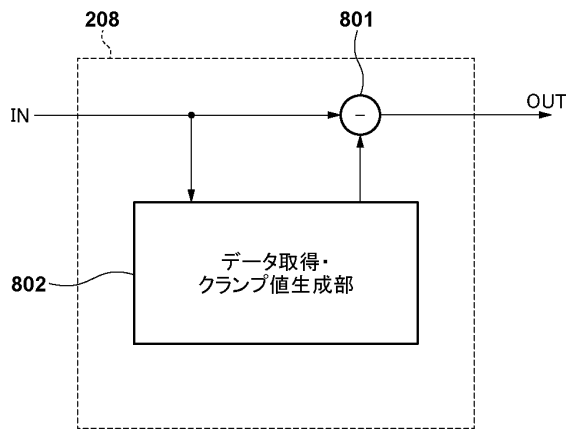
【図 6】



【図 7】



【図 8】



10

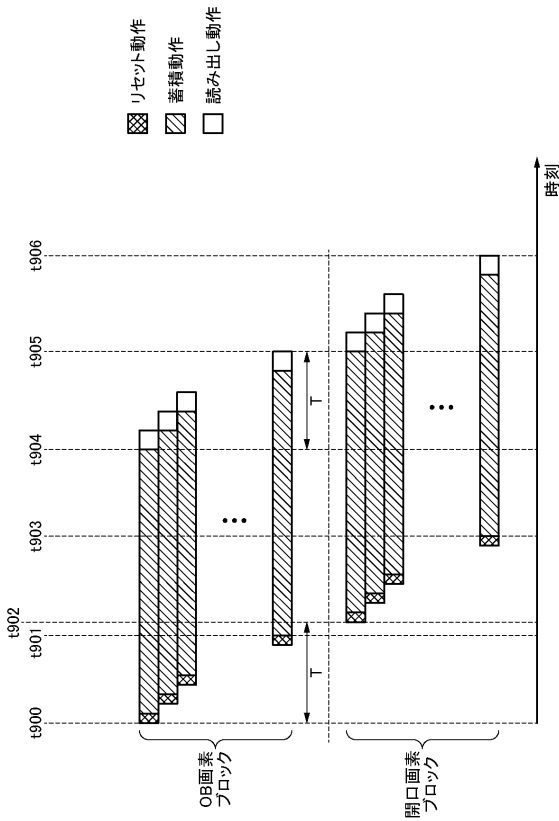
20

30

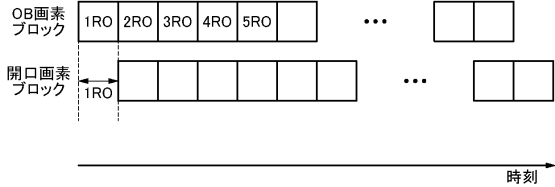
40

50

【図 9】



【図 10】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 0 9 - 1 0 5 7 5 6 (J P , A)
特開 2 0 0 8 - 2 1 9 2 9 3 (J P , A)
特開 2 0 1 5 - 1 2 6 0 4 3 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 4 N 2 5 / 0 0 - 2 5 / 7 9