(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3726383号
(P3726383)
(45)発行日　平成17年12月14日(2005.12.14)　(24)登録日　平成17年10月7日(2005.10.7)

(51)Int.Cl.[7]　F I
H03G　3/02　H03G　3/02　Z

請求項の数 7　(全 14 頁)

(21)出願番号　特願平8-286235
(22)出願日　平成8年10月29日(1996.10.29)
(65)公開番号　特開平10-135752
(43)公開日　平成10年5月22日(1998.5.22)
審査請求日　平成15年1月10日(2003.1.10)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　宇野　慶生
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　石井　研一

(56)参考文献　特開平０８－１２５５３７（ＪＰ，Ａ）
実開昭６２－１４７０１３（ＪＰ，Ｕ）
特開平０５－１０２７５１（ＪＰ，Ａ）
特開平０７－２９７６７７（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】出力調整回路

(57)【特許請求の範囲】
【請求項１】
電圧出力ラインに並列に接続された複数のツェナーダイオードの開放／短絡状態に応じた第１の出力電圧を、前記電圧出力ラインから出力する第１の電圧出力手段と、
ツェナーダイオードの開放／短絡状態に応じて、前記第１の電圧の最大値および最小値を選択的に第２の電圧として出力する第２の電圧出力手段と、
前記ツェナーダイオードの開放／短絡状態を制御する制御手段と、
前記第１の電圧と前記第２の電圧との差分電圧に応じた出力信号を出力する出力手段と
を有する出力調整回路。
【請求項２】
前記出力手段は、所定の定電流源を有し、当該定電流源からの定電流と前記出力電流との和電流を出力電流として出力する
請求項１に記載の出力調整回路。
【請求項３】
前記制御手段は、ｎビットの制御データに基づいて、前記ツェナーダイオードの制御を行い、前記制御データのうち、１ビットが前記第２の電圧出力手段のツェナーダイオードの開放／短絡状態を制御する情報であり、ｎ－１ビットが、前記第１の電圧出力手段のツェナーダイオードの開放／短絡状態を制御する情報である請求項１に記載の出力調整回路。
【請求項４】
前記第１の電圧出力手段は、

前記複数のツェナーダイオードの開放／短絡状態に応じて内部抵抗値を切り換えて、所望の前記第１の電圧を出力する請求項１に記載の出力調整回路。

【請求項５】

電流出力ラインに並列に接続された複数のツェナーダイオードと当該ツェナーダイオードにそれぞれ対応して設けられた複数電流源とを有し、前記複数のツェナーダイオードのうち短絡状態のツェナーダイオードに対応した電流源からの電流の和電流を第１の電流として出力する第１の電流出力手段と、

ツェナーダイオードの開放／短絡状態に応じて、前記第１の電流の最大値および最小値に対応した電流を選択的に第２の電流として出力する第２の電流出力手段と、

前記ツェナーダイオードの開放／短絡状態を制御する制御手段と、

前記第１の電流と前記第２の電流との差分電流を出力電流とする出力手段と

を有する出力調整回路。

【請求項６】

前記出力手段は、所定の定電流源を有し、当該定電流源からの定電流と前記出力電流との和電流を出力電流として出力する

請求項５に記載の出力調整回路。

【請求項７】

前記制御手段は、ｎビットの制御データに基づいて、前記ツェナーダイオードの制御を行い、前記制御データのうち、１ビットが前記第２の電流出力手段のツェナーダイオードの開放／短絡状態を制御する情報であり、ｎ－１ビットが、前記第１の電流出力手段のツェナーダイオードの開放／短絡状態を制御する情報である請求項５に記載の出力調整回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ツェナーダイオードの接続状態を切り換えて出力電圧または出力電流を調整する出力調整回路に関する。

【０００２】

【従来の技術】

例えば、集積回路において、所定の回路定数をツェナーザップ法によって調整することがある。

ツェナーザップ法による調整では、ツェナーダイオードのアノード・カソード間に過大な逆バイアスを印加して大電流を流してアノードとカソードとを短絡し、この大電流を流すのを停止した後に導通状態が維持されることを利用して、回路の抵抗値を決定し、回路定数を調整する。

【０００３】

以下、このツェナーザップ法を用いた従来の回路の調整方法について、フィルター回路の周波数を調整する場合を例示して説明する。

一般的に、集積回路などに組み込まれたフィルター回路は、ジーエムアンプ（ｇｍａｍｐ）回路と称される電圧－電流変換回路と、コンデンサなどを組み合わせて構成される。

図９は、ジーエムアンプ回路１の一般的な回路構成図である。

図９に示すように、ジーエムアンプ回路１は、電圧「Ｖｃｃ」が印加される電圧ライン１０に、ｐｎ接合ダイオード１３のｐ端子およびｎｐｎトランジスタ２３のコレクタ端子が接続してある。また、ｐｎ接合ダイオード１３のｎ端子は、ｐｎ接合ダイオード１１，１２のｐ端子に接続してある。ｐｎ接合ダイオード１１のｎ端子は、ｎｐｎトランジスタ２４のベース端子およびｎｐｎトランジスタ２１のコレクタ端子に接続してある。ｐｎ接合ダイオード１２のｎ端子は、ｎｐｎトランジスタ２３のベース端子およびｎｐｎトランジスタ２２のコレクタ端子に接続してある。

【０００４】

ｎｐｎトランジスタ２２のベース端子は、電池２５のプラス端子に接続してある。また、ｎｐｎトランジスタ２２のエミッタ端子は、抵抗Ｒｉｎの一端および定電流源２７に接続

してある。ｎｐｎトランジスタ２１のベース端子には入力電圧「Ｖｉｎ」が印加される。また、ｎｐｎトランジスタ２１のエミッタ端子は、抵抗Ｒｉｎの他端および定電流源２６に接続してある。定電流源２６，２７は、それぞれ定電流Ｉａ／２を出力する。

【０００５】

ｐｎ接合ダイオード１２のｎ端子は、ｎｐｎトランジスタ２３のベース端子と接続してあり、ｐｎ接合ダイオード１１のｎ端子はｎｐｎトランジスタ２４のベース端子と接続してある。ｎｐｎトランジスタ２３，２４のエミッタ端子は、定電流源２８に接続してある。また、ｎｐｎトランジスタ２４のコレクタ端子からは、出力電流Ｉｏｕｔが出力される。定電流源２８は、定電流Ｉｂを出力する。

【０００６】

ジーエムアンプ回路１では、ｎｐｎトランジスタ２１のベースに入力電圧「Ｖｉｎ」が印加され、入力抵抗Ｒｉｎに電流Δｉが流れると、この電流Δｉによって、ｎｐｎトランジスタ２３，２４のベース電圧、それぞれ±Δｉに応じた分だけ変化する。これによって、ｎｐｎトランジスタ２４のコレクタ電流である出力電流Ｉｏｕｔが変化する。

このとき、ジーエムアンプ回路１では、下記式（１），（２）が成り立つ。

【０００７】

【数１】

Ｉｏｕｔ／Δｉ＝Ｉｂ／Ｉａ　　…（１）

【０００７】

【数２】

Δｉ＝Ｖｉｎ／Ｒｉｎ　　…（２）

（１）、（２）より、下記式（３）が成り立つ。

【０００８】

【数３】

ｇｍ＝Ｉｏｕｔ／Ｖｉｎ＝（Ｉｂ／Ｉａ）・１／Ｒｉｎ　…（３）

【０００９】

上記式（３）から分かるように、定電流Ｉａ、Ｉｂを適切に設定することで、ジーエムアンプ回路１の「ｇｍ」値を調整することができる。ジーエムアンプ回路１を組み込んだフィルター回路では、ジーエムアンプ回路１の定電流ＩａおよびＩｂを適切に調整することで、図１０に示すような“電流－中心周波数”関係に基づいて、中心周波数が設定される。

図１０において、ツェナーダイオードを用いてフィルターの中心周波数を「ｆ０」に設定する場合には、ツェナーダイオードの接続状態を切り換えて電流を「Ｉ０」になるように調整する。

【００１０】

次に、ツェナーザップ法によって、出力電流を調整する従来の可変電流出力回路について説明する。

図１１は、ツェナーザップ法によって、出力電流を調整する従来の可変電流出力回路の構成図である。

図１１において、「ＡＭＰ３１」はオペアンプを示し、「ＤＥＴ３３」はＶ－Ｉ変換器を示している。

図１１に示す回路では、ＡＭＰ３１の＋入力端子が基準電源３４の＋端子と接続している。基準電源３４の－端子は接地してある。ＡＭＰ３１の出力端子は抵抗Ｒ３５を介してＡＭＰ３１の－端子に接続してある。ＡＭＰ３１の－端子は、抵抗Ｒ３６～３９．．．の一端に接続してある。抵抗Ｒ３６の他端は、接地してある。また、抵抗Ｒ３７～３９．．．の他端は、それぞれツェナーダイオード（Ｚａｐ）４０～４２．．．を介して接地してある。

【００１１】

また、ＡＭＰ３１の出力端子は、ＤＥＴ３３の＋入力端子と接続してある。ＤＥＴ３３の－入力端子は、基準電源３２のプラス端子と接続してある。基準電源３２の－端子は接地

してある。ＤＥＴ３３の出力端子から、出力電流Ｉｏｕｔが得られる。
尚、ツェナーダイオードＺａｐ４０は図１１に示すようにしてｐｎ接合が配置してある。ツェナーダイオードＺａｐ４０～４２も同様である。
【００１２】
図１１に示す可変電流出力回路では、ツェナーダイオードＺａｐ４０、Ｚａｐ４１、Ｚａｐ４２が開放（オープン）のとき、ＡＭＰ３１の出力電圧Ｖｏ２（ｏｐｅｎ）は、下記式（４）で示される。
【００１３】
【数４】
Ｖｏ２（ｏｐｅｎ）＝Ｖｏ１（Ｒ３５／Ｒ３６＋１）　…（４）
上記式（４）において、Ｖｏ１はＡＭＰ３１の－入力端子の電圧を示し、Ｒ３５，Ｒ３６は抵抗３５，３６の抵抗値を示している。
【００１４】
また、ツェナーダイオードＺａｐ４０が、オン、すなわち短絡されたとき、ＡＭＰ３１の出力電圧Ｖｏ２（ｚａｐ４０）は、下記式（５）で示される。
【００１５】
【数５】
Ｖｏ２（ｚａｐ４０）＝Ｖｏ１｛Ｒ３５／（Ｒ３６／／Ｒ３７）＋１｝…（５）
【００１６】
上記式（５）において、Ｒ３６／／Ｒ３７は、抵抗３６と抵抗３７との並列抵抗値を示している。
次に、ツェナーダイオードＺａｐ４１がオンのときのＡＭＰ３１の出力電圧Ｖｏ２（ｚａｐ４１）は、下記式（６）で示される。
【数６】
Ｖｏ２（ｚａｐ４１）＝Ｖｏ１｛Ｒ３５／（Ｒ３６／／Ｒ３８）＋１｝…（６）
【００１７】
ここで、Ｖｏ２（ｏｐｅｎ）、Ｖｏ２（ｚａｐ４０）およびＶｏ２（ｚａｐ４１）の相互間の差電圧は、下記式（７），（８）で示される。
すなわち、式（５）から式（４）を差し引いて、
【００１８】
【数７】
Ｖｐ２（ｚａｐ４０）－Ｖｏ２（ｏｐｅｎ）＝
Ｖｏ１・Ｒ３５｛１／（Ｒ３６／／Ｒ３７）－１／Ｒ３６｝
＝Ｖｏ１・Ｒ３５（１／Ｒ３７）　…（７）
【００１９】
また、式（６）から式（４）を差し引いて、
【数８】
Ｖｏ２（ｚａｐ３６）－Ｖｏ２（ｏｐｅｎ）＝
Ｖｏ１・Ｒ３５｛１／（Ｒ３６／／Ｒ３８）－１／Ｒ３６｝
＝Ｖｏ１・Ｒ３５（１／Ｒ３８）　…（８）
【００２０】
上述した式（７），（８）から、ＡＭＰ３１の出力電圧Ｖｏ２の電圧変位はＲ３７、Ｒ３８の抵抗値に反比例していることが分かる。
したがって、この関係から、ツェナーザップ法によってショートされる、ツェナーダイオードＺａｐ４０の抵抗Ｒ３７や、Ｚａｐ４１の抵抗Ｒ３８、Ｚａｐ４２の抵抗Ｒ３９．．．の抵抗比を下記式（９）に示すように、2^{-1}の倍数に設定する。
【００２１】
【数９】
Ｒ３７＝１として
Ｒ３８／Ｒ３７＝１／２

Ｒ３９／Ｒ３７＝１／４　　…（９）

・

・

【００２２】

このように、ＡＭＰ３１出力電圧Ｖｏ２を２の倍数で変化させると、ツェナーダイオードＺａｐ４０、Ｚａｐ４１、Ｚａｐ４２…、の開放・短絡を組み合わせることによって、ディジタル２進符号に対応する１０進の出力電圧Ｖｏ２を得ることができ、ＤＥＴ３１出力電流Ｉｏｕｔも同様に、これらの開放・短絡の組み合わせに応じた１０進の出力電流とすることができる。

したがって、この出力電流Ｉｏｕｔを用いて、フィルターの中心周波数を調整することができる。

【００２３】

尚、このような回路特性の調整は、抵抗値の比を重視した、Ｒ－２Ｒ形のＤ－Ａ変換器などでも行なわれる。

【００２４】

【発明が解決しようとする課題】

ところで、前述した従来のツェナーダイオードを用いた可変電流出力回路では、ツェナーダイオードが前述したように開放状態から短絡状態への一方向にしか動作できないという特性を有しているため、この可変電流出力回路から得られた電流を用いてフィルター回路などの調整を行う場合は、図１２に示すように、可変電流出力回路の出力電流Ｉｏｕｔを低電流から高電流に向かって順に切り換えて、フィルター回路の周波数を「ｆ０」に近づける。

【００２５】

このとき、フィルター回路の周波数を目標周波数「ｆ０」にする出力電流「Ｉ０」を得るために、可変電流出力回路を以下に示すように動作させる。

図１１に示す可変電流出力回路は、調整動作を開始する前に、全てのツェナーダイオードＺａｐ４０，４１，４２．．．が開放状態となっており、可変電流出力回路の出力電流Ｉｏｕｔは図１２に示す「Ｉｓｔａｒｔ」になっている。ここから調整を開始してツェナーダイオードＺａｐ４０，Ｚａｐ４１．．．の開放・短絡を組み合わせて、目標のポイントを探索する。

【００２６】

すなわち、集積回路の回路特性を調整するときに、可変電流出力回路から出力される出力電流は、図１２に示す「Ｉｓｔａｒｔ」から、目標周波数「ｆ０」に応じた出力電流「Ｉ０」まで増加する方向に順次に切り換えられる。

【００２７】

従ってツェナーザップ法による調整を行う前はツェナーザップ素子はすべて開放状態の為目標のｆ０を得る為にはこの調整を行わないとＩＣの仕様を満足できない。また、従来の可変電流出力回路では、「Ｉｓｔａｒｔ」と「Ｉ０」との差分が大きい場合には、所望の目標ポイントを得るのに長時間かかってしまうという問題がある。その結果、集積回路の評価を行なう際に、ツェナーザップ法調整治具を予め集積回路の評価時期に合わせて立ちあげておかなければならない。

【００２８】

また、上述した従来の可変電流出力回路では、出力電流を増加する方向にのみ切り換えて調整を行なう構成であることから、状況に応じた多様な調整操作を行なうことができないという問題がある。

【００２９】

また、集積回路を試作している段階において、可変電流出力回路による調整の作業が入る為、試作作業を効率的に行なうことができない。

【００３０】

尚、ツェナーダイオードによる調整用の端子を集積回路の外部端子に出す方法があるが、

出荷時とは違う端子配置となり、セット実装評価が不可能など、評価を複雑にしてしまう。

【００３１】

本発明は上述した従来技術の問題点に鑑みてなされ、出力電流および出力電圧の調整時間を短縮化できると共に、状況に応じた多様な調整操作を行なうことができる出力調整回路を提供することを目的とする。

【００３２】

【課題を解決するための手段】

上述した従来技術の問題点を解決し、上述した目的を達成するために、本発明の出力調整回路は、電圧出力ラインに並列に接続された複数のツェナーダイオードの開放／短絡状態に応じた第１の出力電圧を、前記電圧出力ラインから出力する第１の電圧出力手段と、ツェナーダイオードの開放／短絡状態に応じて、前記第１の電圧の最大値および最小値を選択的に第２の電圧として出力する第２の電圧出力手段と、前記ツェナーダイオードの開放／短絡状態を制御する制御手段と、前記第１の電圧と前記第２の電圧との差分電圧に応じた出力信号を出力する出力手段とを有する。

【００３３】

本発明の出力調整回路では、前述したようにして決定される前記第１の電圧と前記第２の電圧との差分電圧を用いることで、ツェナーダイオードが開放から短絡状態への一方向にしか動作できないにもかかわらず、出力電流または出力電圧を所定の目標値に対して徐々に増減させながら近づけることができる。その結果、出力電流または出力電圧の調整操作を多様化できる。

【００３４】

また、本発明の出力調整回路では、前記出力手段に所定の定電流源を備え、当該定電流源からの定電流と前記出力電流との和電流を出力電流として出力することで、複数のツェナーダイオードの開放／短絡状態を調整すれば、前記定電流をそのまま出力電流とすることができる。その結果、いわゆるセンター品を短時間で作ることができる。

【００３５】

また、本発明の出力調整回路は、電流出力ラインに並列に接続された複数のツェナーダイオードと当該ツェナーダイオードにそれぞれ対応して設けられた複数電流源とを有し、前記複数のツェナーダイオードのうち短絡状態のツェナーダイオードに対応した電流源からの電流の和電流を第１の電流として出力する第１の電流出力手段と、ツェナーダイオードの開放／短絡状態に応じて、前記第１の電流の最大値および最小値に対応した電流を選択的に第２の電流として出力する第２の電流出力手段と、前記ツェナーダイオードの開放／短絡状態を制御する制御手段と、前記第１の電流と前記第２の電流との差分電流を出力電流とする出力手段とを有する。

【００３６】

【発明の実施の形態】

第１実施形態

以下、本発明の実施形態に係わるツェナーザップ法によって出力電流を調整する従来の可変電流出力回路について説明する。

図１は、ツェナーザップ法によって出力電流を調整する本実施形態に係わる可変電流出力回路の構成図である。

図１において、「ＡＭＰ５１」および「ＡＭＰ６４」はオペアンプを示し、「ＤＥＴ５３」はＶ－Ｉ変換器を示している。

図１に示す回路では、ＡＭＰ５１の＋入力端子が基準電源５４の＋端子と接続している。基準電源５４の－端子は接地してある。ＡＭＰ５１の出力端子は抵抗Ｒ５５を介してＡＭＰ５１の－端子に接続してある。ＡＭＰ５１の－端子は、抵抗Ｒ５６～５９．．．の一端に接続してある。抵抗Ｒ５６の他端は、接地してある。また、抵抗Ｒ５７～５９．．．の他端は、それぞれツェナーダイオード（Ｚａｐ）６０～６２．．．を介して接地してある。

【００３７】
また、ＡＭＰ５１の出力端子は、ＤＥＴ５３の＋入力端子と接続してある。ＤＥＴ５３の－入力端子はＡＭＰ６４の出力端子と接続してあり、この出力端子は抵抗Ｒ６５の一端に接続してある。抵抗Ｒ６５の他端は、ＡＭＰ６４の－端子および抵抗６６，６７の一端に接続してある。抵抗６６の他端は、接地してある。抵抗６７の他端は、ツェナーダイオードＺａｐ６８を介して接地してある。ＡＭＰ６４の＋端子は、ＡＭＰ５１の＋端子に接続してある。　ＤＥＴ５３の出力端子から、出力電流Ｉｏｕｔが得られる。ＤＥＴ５３の出力端子には、定電流Ｉ０を出力する定電流源６３が接続してある。
【００３８】
また、ツェナーザップ法による調整による制御電流をＩｏｕｔとし、設計上のフィルターのセンター特性を得る電流値をＩ０とし、フィルターへの制御電流をＩｆｉｌとする。
本実施形態では、Ｒ５５＝Ｒ６５　Ｒ５６＝Ｒ６６とし、抵抗Ｒ５１～Ｒ５９を前述した従来技術に示した回路におけるＲ３５～Ｒ３９と同様に設定している。また、同様に、ＡＭＰ５１出力電圧Ｖｏ２を２の倍数で変化させると、ツェナーダイオードＺａｐ６０、Ｚａｐ６１、Ｚａｐ６２…、の開放・短絡を組み合わせることによって、ディジタル２進符号に対応する１０進の出力電圧Ｖｏ２を得ることができ、ＤＥＴ５３の出力電流Ｉｏｕｔも同様に、これらの開放・短絡の組み合わせに応じた１０進の出力電流として得ることができる。
したがって、この出力電流Ｉｏｕｔを用いて、フィルターの中心周波数を調整することができる。
また、定電流Ｉ０は、あらかじめ、フィルターが所望の特性を得るように設計上決めている電流値であり、この定電流Ｉ０を用いてフィルター回路のセンター品が作製される。
尚、ツェナーダイオードＺａｐ６８は図１に示すようにしてｐｎ接合が配置してある。ツェナーダイオードＺａｐ６０～６２も同様である。
【００３９】
ここで、ツェナーダイオードＺａｐ６１～Ｚａｐ６２の全て短絡状態とした時の抵抗値（Ｒ５６／／Ｒ５７／／Ｒ５８／／Ｒ５９）と、ツェナーダイオードＺａｐ６８を短絡状態とした時の抵抗値（Ｒ６６／／Ｒ６７）との間に下記式（１０）が成り立つように抵抗値Ｒ６７を設定する。
【数１０】

$$(R56//R57//R59) = (R66//R67) \qquad (10)$$

【００４０】
図１に示す可変電流出力回路では、ツェナーダイオードＺａｐ６０～Ｚａｐ６２およびＺａｐ６８の接続状態を組み合わせて、出力電圧Ｖｏ２と出力電圧Ｖｏ３との関係を調整し、以下のように出力電流Ｉｏｕｔを生成する。
また、この可変電流出力回路において、ツェナーダイオードＺａｐ６０～Ｚａｐ６２，Ｚａｐ６８の短絡／開放は、図示しない制御回路からの制御情報に基づいて行なわれる。
【００４１】
パターン１
ツェナーダイオードＺａｐ６０～Ｚａｐ６２およびＺａｐ６８の全てを開放状態にした場合、すなわち、ツェナーザップ法による調整を行なわない場合である。
この場合には、下記式（１１）が成り立ち、ＤＥＴ５３の＋入力端子と－入力端子との間には差電圧がなく出力電流Ｉｏｕｔは、下記式（１２）のようになる。
【００４２】
【数１１】

$$Vo2 = Vo3 \qquad (11)$$

【００４３】
【数１２】

（１２）
Ｉｏｕｔ＝０
したがって、図１に示す「Ｉｆｉｌ」は下記式（１３）に示すようになる。
【００４４】
【数１３】
Ｉｆｉｌ＝Ｉ０＋Ｉｏｕｔ　　（１３）
上記式（１２），（１３）から下記式（１４）が成り立つ。
【００４５】
【数１４】
Ｉｆｉｌ＝Ｉ０　　（１４）
このように、ツェナーザップ法による調整を行なわない場合には、フィルターは設計上のセンターの狙い目である周波数「ｆ０」を中心としたバラツキのある特性になる。
【００４６】
パターン２
ツェナーダイオードＺａｐ６８が開放した状態で、ツェナーダイオードＺａｐ６０～Ｚａｐ６２の接続状態を制御する場合である。
この場合には、前述した抵抗Ｒ５６～Ｒ５９と抵抗６６，Ｒ６７との関係から、下記式（１５）が成り立つ。この関係は、図３に示される。図３において、横軸はツェナーダイオードＺａｐ６０～６２の接続パターンを示し、縦軸はＡＭＰ５１，６５の出力電圧Ｖｏ２，Ｖｏ３を示している。
【００４７】
【数１５】
Ｖｏ２≧Ｖｏ３　　（１５）
上記式（１５）から下記式（１６）が成り立つ。
【００４８】
【数１６】
Ｖｏ２－Ｖｏ３≧０　　（１６）
その結果、ＤＥＴ５３の出力電流Ｉｏｕｔには下記式（１７）の関係が成り立つ。
【００４９】
【数１７】
Ｉｏｕｔ≧０　　（１７）
ここで、下記式（１８）から、出力電流Ｉｏｕｔは、図２，図３に示す＋方向、すなわち、「Ｉｓｔａｒｔ」に対して＋方向における調整となり、フィルターの周波数の調整を、＋方向（ｆｓｔａｒｔに対して＋方向）において行うことができる。
【００５０】
【数１８】
（１８）
Ｉｆｉｌ＝Ｉ０＋Ｉｏｕｔ　　（１８）
【００５１】
パターン３
ツェナーダイオードＺａｐ６８を短絡した状態で、ツェナーダイオードＺａｐ６０～Ｚａｐ６２の接続状態を制御する場合である。
この場合には、前述した抵抗Ｒ５６～Ｒ５９と抵抗Ｒ６６，Ｒ６７との関係から、下記式（１９）が成り立つ。この関係は、図４に示される。図４において、横軸はツェナーダイオードＺａｐ６０～６２の接続パターンを示し、縦軸はＡＭＰ５１，６５の出力電圧Ｖｏ２，Ｖｏ３を示している。
【００５２】
【数１９】
Ｖｏ２≦Ｖｏ３　　（１９）
また、上記式（１９）から下記式（２０）が成り立つ。

【００５３】
【数２０】
（２０）
Ｖｏ２－Ｖｏ３≦０
したがって、ＤＥＴ５３の出力電流Ｉｏｕｔには、下記式（２１）で示される関係が成り立つ。
【００５４】
【数２１】
Ｉｏｕｔ≦０　　（２１）
ここで、下記式（２２）から、出力電流Ｉｏｕｔは、図２，図３に示す－方向、すなわち、「Ｉｓｔａｒｔ」に対して－方向における調整となり、フィルターの周波数の調整を、－方向（ｆｓｔａｒｔに対して－方向）において行うことができる。
【００５５】
【数２２】
Ｉｆｉｌ＝Ｉ０＋Ｉｏｕｔ　　（２２）
【００５６】
以上説明したように、本実施形態に係わる可変電流出力回路によれば、ツェナーザップ法による出力電流の調整を行なわない場合に、この出力電流Ｉ０を用いて、フィルターに、設計周波数「ｆ０」を中心としたバラツキのある周波数を持たすことができる。すなわち、集積回路の評価を行なう場合などに、ツェナーダイオードによる調整を行なわずに、集積回路のセンター品を短時間で作製できる。
【００５７】
また、本実施形態に係わる可変電流出力回路によれば、ツェナーザップ法による出力電流の調整を行い、フィルター回路の周波数を調整する場合に、フィルターの周波数を目標周波数「ｆ０」を中心にして、±方向に調整することができる。その結果、フィルター回路の周波数特性を多様な形態で調整できる。
また、このとき、±方向の周波数の調整の相互間で、ＡＭＰ５１、抵抗Ｒ５５～Ｒ５９およびツェナーダイオードＺａｐ６０～６２を共用することから、集積回路の面積を有効利用することができる。
【００５８】
上述した実施形態では、可変電流出力回路によってフィルターの周波数を調整する場合について例示したが、本発明は、前述したように、ツェナーダイオードによる調整を行わない場合に集積回路のセンター品を得ることができ、さらに、ツェナーダイオードによる調整を行う場合には、その制御の方向が一方向のみならず±方向に、可変電圧出力または可変電流出力を得るためのものである。
【００５９】
この機能を実現するために、本発明は、ツェナーダイオードによる調整において、制御回路は、制御する２進数の全ビット数をｎ個とした場合、そのうちの１ビットを差動電圧の一方向の出力電圧Ｖｏ３の制御に割り当て、残りのｎ－１ビットをそれと比較する反対側の差動電圧出力Ｖｏ２の制御に割り当てる。
【００６０】
このとき、出力電圧Ｖｏ３の制御を、出力電圧Ｖｏ２の制御範囲の最小電圧値Ｖｏ２（ｍｉｎ）と最大電圧値Ｖｏ２（ｍａｘ）とになるように行なう。
具体的には、図３においてＶｏ３＝Ｖｏ２（ｍｉｎ）となり、図４においてＶｏ３＝Ｖｏ２（ｍａｘ）となるように、２進制御を行う。
【００６１】
このような本発明は特徴は、以下の第２実施形態において示すように、電流ラダーを使った電流制御にも適用できる。
【００６２】
第２実施形態

本実施形態では、電流ラダー（はしご回路）を用いてフィルターに供給する出力電流を調整する可変電流出力回路について説明する。
図５は、本実施形態に係わる可変電流出力回路の回路図である。
図５に示すように、本実施形態に係わる可変電流出力回路は、電源ライン７０とライン８０との間に、直列接続されたスイッチ７４および定電流源７８と、定電流源７９とが並列に接続してある。電源ライン７０には、電圧「Ｖｃｃ」が印加される。定電流源７８は、定電流Ｉｏｂを出力する。
【００６３】
ライン８０とグラウンドとの間には、直列接続されたスイッチ７１および定電流源７５と、直列接続されたスイッチ７２および定電流源７６と、直列接続されたスイッチ７３および定電流源７７とが並列に接続してある。定電流源７５，７６，７７は、定電流Ｉｏ１，Ｉｏ２，Ｉｏ３を出力する。
ここで、Ｉｏ２＝２×Ｉｏ１であり、Ｉｏ３＝４×Ｉｏ１である。
【００６４】
図５に示す電流Ｉｏａ，Ｉｏｂ，Ｉｏｕｔ，Ｉ０，Ｉｆｉｌには以下に示す関係がある。
【００６５】
【数２３】
Ｉｏｂ＝Ｉｏａ＋Ｉｏｕｔ　　（２３）
【００６６】
【数２４】
Ｉｆｉｌ＝Ｉｏｕｔ＋Ｉ０　　（２４）
【００６７】
図５に示すスイッチ７１および定電流源７５の直列接続は図６に示す回路構成によって実現される。また、スイッチ７４および定電流源７８の直列接続、スイッチ７２および定電流源７６の直列接続、スイッチ７３および定電流源７７の直列接続は、スイッチ７１および定電流源７５の直列接続と同様に構成される。
図６に示すように、図５に示すスイッチ７１および定電流源７５の直列接続では、電源ライン８１とグラウンドとの間に、抵抗８６とツェナーダイオードＺａｐ８７とが直列接続してある。また、電源ライン８１には、ｎｐｎトランジスタ８４のコレクタ端子が接続してある。ｎｐｎトランジスタ８４のベース端子は、抵抗８６とツェナーダイオードＺａｐ８７との接続点と接続してある。
【００６８】
また、ｎｐｎトランジスタ８２，８４のエミッタ端子には、定電流源７５が接続してある。ｎｐｎトランジスタ８２のベース端子は、電源８３のプラス端子と接続してある。電源８３のマイナス端子は接地してある。電源８３は、電圧「Ｖｃｃ／２」を供給する。
【００６９】
また、この可変電流出力回路において、スイッチ７１～７４を構成するツェナーダイオードの短絡／開放は、図示しない制御回路からの制御情報に基づいて行なわれる。
尚、ツェナーダイオードＺＡＰ８７は図６に示すようにしてｐｎ接合が配置してある。
【００７０】
図６に示す回路構成では、ツェナーダイオードＺａｐ８７がオフのときに、ｎｐｎトランジスタ８４のベース電位は約「Ｖｃｃ」となり、定電流源７５からの定電流Ｉｏ１の殆どがｎｐｎトランジスタ８４を流れる。その結果、ｎｐｎトランジスタ８２のコレクタ電流は略「０」になる。これに対して、ツェナーダイオードＺａｐ８７がオンすると、ｎｐｎトランジスタ８４のベース電位が略「０」になる。その結果、定電流源７５が出力する定電流Ｉｏ１のに応じたコレクタ電流が、ｎｐｎトランジスタ８２のコレクタ端子（図６中（イ））に現れる。
尚、図５に示すスイッチ７１および定電流源７５の直列接続において、図６に示すｎｐｎトランジスタ８２のコレクタ端子は、図５に示すライン８０に接続される。
【００７１】

本実施形態の可変電流出力回路では、制御回路は、制御情報を構成する２進数の全ビット数をｎ個とした場合、そのうちの１ビットをＩｏｂの制御に割り当て、残りのｎ－１ビットをＩｏａの制御に割り当てる。

【００７２】

本実施形態の可変電流出力回路では、電流Ｉｏｂの制御を、電流Ｉｏａの制御電流範囲の最小電流値Ｉｏａ（ｍｉｎ）と最大電流値Ｉｏａ（ｍａｘ）との間で行なう。

具体的には、図７に示すようにＩｏａ＝Ｉｏａ（ｍｉｎ）となり、図８に示すようにＩｏｂ＝Ｉｏａ（ｍａｘ）となるように、２進数のデータに基づいて制御を行う。

【００７３】

本発明は上述した実施形態には限定されない。例えば、上述した実施形態では、フィルターの周波数を調整する場合について例示したが、本発明は、その他、電流値を調整しながら、所望の回路特性を得る他の回路の調整にも同様に適用できる。

また、上述した実施形態では、本発明を可変電流出力回路に適用した場合について例示したが、本発明は、例えば出力電圧を調整する可変電圧出力回路にも同様に適用できる。

【００７４】

【発明の効果】

以上説明したように、本発明の出力調整回路によれば、出力電流および出力電圧の調整時間を短縮化できる。

また、本発明の出力調整回路によれば、出力電流および出力電圧を、状況に応じて多様に調整することができる。

また、本発明の出力調整回路によれば、回路の小規模化を図ることができる。さらに、本発明の出力調整回路によれば、ツェナーダイオードによる調整を行なわない状態での出力電圧および出力電流を得ることができる。

【図面の簡単な説明】

【図１】図１は、ツェナーザップ法によって出力電流を調整する本発明の第１実施形態に係わる可変電流出力回路の構成図である。

【図２】図２は、図１に示す可変電流出力回路によるフィルター回路の調整処理を説明するための図であり、横軸は出力電流を示し、縦軸はフィルター回路の周波数を示している。

【図３】図３は、ツェナーダイオードＺａｐ６８を開放した状態での図１に示す可変電流出力回路の調整処理を説明するための図である。

【図４】図４は、ツェナーダイオードＺａｐ６８を短絡した状態での図１に示す可変電流出力回路の調整処理を説明するための図である。

【図５】図５は、ツェナーザップ法によって出力電流を調整する本発明の第２実施形態に係わる可変電流出力回路の構成図である。

【図６】図６は、図１に示すスイッチと定電流源との実現例である。

【図７】図７は、スイッチ７４を開放した状態での図５に示す可変電流出力回路の調整処理を説明するための図である。

【図８】図８は、スイッチ７４を短絡した状態での図５に示す可変電流出力回路の調整処理を説明するための図である。

【図９】図９は、ジーエムアンプ回路の一般的な回路構成図である。

【図１０】フィルター回路における電流－中心周波数関係を示す図である。

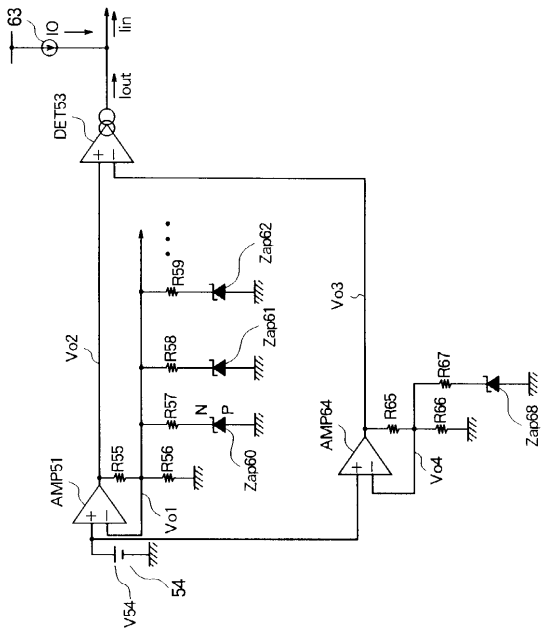
【図１１】図１１は、ツェナーザップ法によって、出力電流を調整する従来の可変電流出力回路の構成図である。

【図１２】図１２は、図１１に示す可変電流出力回路による出力電流の調整処理を説明するための図である。

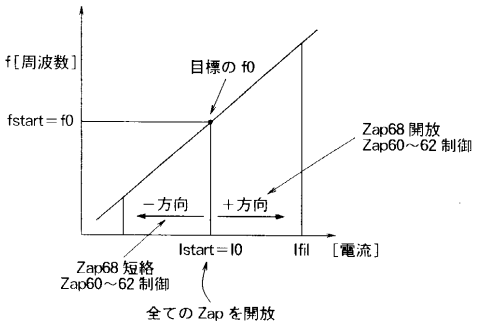
【符号の説明】

５１，６４…オペアンプ、５３…Ｖ－Ｉ（電圧－電流）変換器、５４…電源、６０～６２，６８…ツェナーダイオード、６３，７５，７６，７７，７８，７９…定電流源、７１～７３…スイッチ

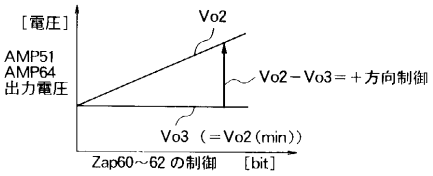
【図１】



【図２】

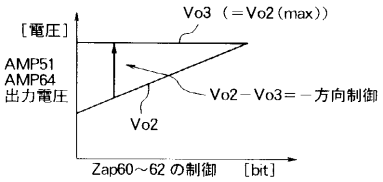


【図３】



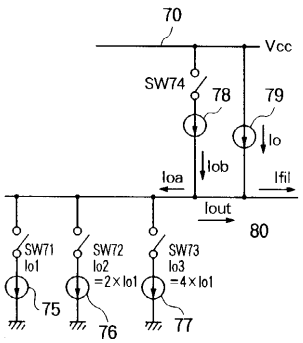
Zap68 開放時の制御特性

【図４】

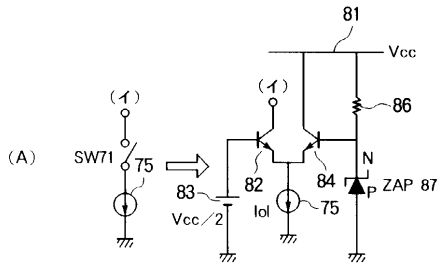


Zap68 短絡時の制御特性

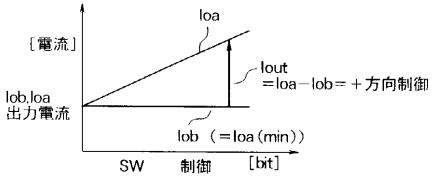
【図５】



【図６】

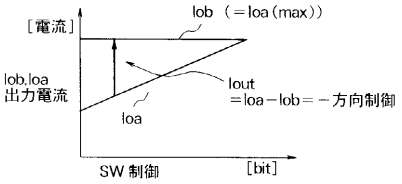


【図７】



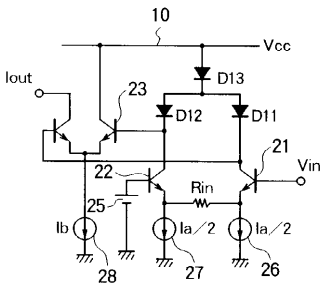
SW74 開放時の制御特性

【図８】

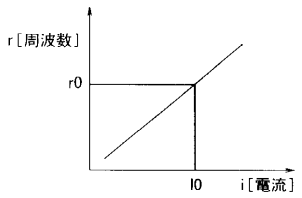


SW74 短絡時の制御特性

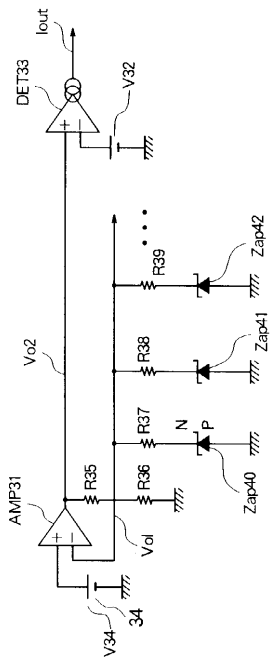
【図９】



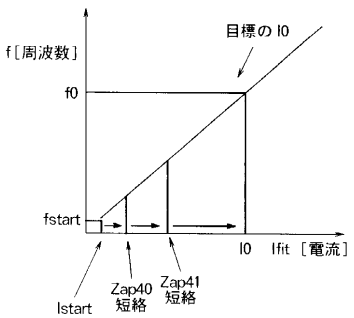
【図１０】



【図１１】



【図１２】



フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H03G 3/02