

[21] 申请号 200610153765.4

H05B 33/14 (2006.01)

[11] 公开号 CN 1932940A

代理人 浦柏明 刘宗杰

[illegible]

1. 一种显示器件，其具有设置有发光元件的像素，包括：

所述像素中的第一至第五晶体管、第一及第二存储电容器、信号线、第一至第四扫描线、第一及第二电源线、以及电容线，

其中所述第一晶体管的栅电极电连接到所述第二晶体管的第一电极、所述第三晶体管的第一电极、所述第四晶体管的第二电极、以及所述第二存储电容器的第一电极；所述第一晶体管的第一电极电连接到所述第一电源线；并且所述第一晶体管的第二电极电连接到所述第四晶体管的第一电极和所述第五晶体管的第一电极，

其中所述第二晶体管的栅电极电连接到所述第一扫描线，并且所述第二晶体管的第二电极电连接到所述信号线，

其中所述第三晶体管的栅电极电连接到所述第二扫描线，并且所述第三晶体管的第二电极电连接到所述第一存储电容器的第一电极，

其中所述第四晶体管的栅电极电连接到所述第三扫描线，

其中所述第五晶体管的栅电极电连接到所述第四扫描线，并且所述第五晶体管的第二电极电连接到所述发光元件的第一电极，

其中所述第一存储电容器的第二电极电连接到所述电容线，

其中所述第二存储电容器的第二电极电连接到所述电容线，并且其中所述发光元件的第二电极电连接到所述第二电源线。

2. 一种显示器件，其具有设置有发光元件的像素，包括：

所述像素中的第一至第六晶体管、第一及第二存储电容器、信号线、第一至第五扫描线、第一至第三电源线、以及电容线，

其中所述第一晶体管的栅电极电连接到所述第二晶体管的第一电极、所述第三晶体管的第一电极、所述第四晶体管的第二电极、以及所述第二存储电容器的第一电极；所述第一晶体管的第一电极电连接到所述第一电源线；并且所述第一晶体管的第二电极电连接到所述第四晶体管的第一电极、所述第五晶体管的第一电极、以及所述第六晶体管的第一电极，

其中所述第二晶体管的栅电极电连接到所述第一扫描线，并且所述第二晶体管的第二电极电连接到所述信号线，

其中所述第三晶体管的栅电极电连接到所述第二扫描线，并且所述第三晶体管的第二电极电连接到所述第一存储电容器的第一电极，

其中所述第四晶体管的栅电极电连接到所述第三扫描线，

其中所述第五晶体管的栅电极电连接到所述第四扫描线，并且所述第五晶体管的第二电极电连接到所述发光元件的第一电极，

其中所述第六晶体管的栅电极电连接到所述第五扫描线，并且所述第六晶体管的第二电极电连接到所述第三电源线，

其中所述第一存储电容器的第二电极电连接到所述电容线，

其中所述第二存储电容器的第二电极电连接到所述电容线，并且其中所述发光元件的第二电极电连接到所述第二电源线。

3. 一种显示器件，其具有设置有发光元件的像素，包括：

所述像素中的第一至第五晶体管、第一及第二存储电容器、信号线、第一至第四扫描线、第一及第二电源线、以及电容线，

其中所述第一晶体管的栅电极电连接到所述第二晶体管的第一电极、所述第四晶体管的第二电极、以及所述第一存储电容器的第一电极；所述第一晶体管的第一电极电连接到所述第一电源线；并且所述第一晶体管的第二电极电连接到所述第四晶体管的第一电极及所述第五晶体管的第一电极，

其中所述第二晶体管的栅电极电连接到所述第一扫描线，并且所述第二晶体管的第二电极电连接到所述信号线，

其中所述第三晶体管的栅电极电连接到所述第二扫描线，所述第三晶体管的第一电极电连接到所述第一存储电容器的第二电极及所述第二存储电容器的第一电极，并且所述第三晶体管的第二电极电连接到所述电容线，

其中所述第四晶体管的栅电极电连接到所述第三扫描线，

其中所述第五晶体管的栅电极电连接到所述第四扫描线，并且所述第五晶体管的第二电极电连接到所述发光元件的第一电极，

其中所述第二存储电容器的第二电极电连接到所述电容线，并且其中所述发光元件的第二电极电连接到所述第二电源线。

4. 一种显示器件，其具有设置有发光元件的像素，包括：

所述像素中的第一至第六晶体管、第一及第二存储电容器、信号线、第一至第五扫描线、第一至第三电源线、以及电容线，

其中所述第一晶体管的栅电极电连接到所述第二晶体管的第一电极、所述第四晶体管的第二电极、以及所述第一存储电容器的第一电

极；所述第一晶体管的第一电极电连接到所述第一电源线；并且所述第一晶体管的第二电极电连接到所述第四晶体管的第一电极、所述第五晶体管的第一电极、以及所述第六晶体管的第一电极，

其中所述第二晶体管的栅电极电连接到所述第一扫描线，并且所述第二晶体管的第二电极电连接到所述信号线，

其中所述第三晶体管的栅电极电连接到所述第二扫描线，所述第三晶体管的第一电极电连接到所述第一存储电容器的第二电极及所述第二存储电容器的第一电极，并且所述第三晶体管的第二电极电连接到所述电容线，

其中所述第四晶体管的栅电极电连接到所述第三扫描线，

其中所述第五晶体管的栅电极电连接到所述第四扫描线，并且所述第五晶体管的第二电极电连接到所述发光元件的第一电极，

其中所述第六晶体管的栅电极电连接到所述第五扫描线，并且所述第六晶体管的第二电极电连接到所述第三电源线，

其中所述第二存储电容器的第二电极电连接到所述电容线，并且其中所述发光元件的第二电极电连接到所述第二电源线。

5. 根据权利要求1至4中任一项所述的显示器件，其中所述第二晶体管 and 所述第三晶体管各个具有彼此不同的导电形式。

6. 根据权利要求1至5中任一项所述的显示器件，其中所述第四晶体管 and 所述第五晶体管各个具有彼此不同的导电形式。

7. 一种显示器件，其具有设置有发光元件的像素，包括：

所述像素中的第一至第四晶体管、第一及第二存储电容器、信号线、第一至第三扫描线、第一及第二电源线、以及电容线，

其中所述第一晶体管的栅电极电连接到所述第二晶体管的第一电极、所述第三晶体管的第一电极、所述第四晶体管的第二电极、以及所述第二存储电容器的第一电极；所述第一晶体管的第一电极电连接到所述第一电源线；并且所述第一晶体管的第二电极电连接到所述第四晶体管的第一电极、以及所述发光元件的第一电极，

其中所述第二晶体管的栅电极电连接到所述第一扫描线，并且所述第二晶体管的第二电极电连接到所述信号线，

其中所述第三晶体管的栅电极电连接到所述第二扫描线，并且所述第三晶体管的第二电极电连接到所述第一存储电容器的第一电极，

其中所述第四晶体管的栅电极电连接到所述第三扫描线，
其中所述第一存储电容器的第二电极电连接到所述电容线，
其中所述第二存储电容器的第二电极电连接到所述电容线，并且
其中所述发光元件的第二电极电连接到所述第二电源线。

8. 一种显示器件，其具有设置有发光元件的像素，包括：

所述像素中的第一至第四晶体管、第一及第二存储电容器、信号线、第一至第三扫描线、第一及第二电源线、以及电容线，

其中所述第一晶体管的栅电极电连接到所述第二晶体管的第一电极、所述第四晶体管的第二电极、以及所述第一存储电容器的第一电极；所述第一晶体管的第一电极电连接到所述第一电源线；并且所述第一晶体管的第二电极电连接到所述第四晶体管的第一电极、以及所述发光元件的第一电极，

其中所述第二晶体管的栅电极电连接到所述第一扫描线，并且所述第二晶体管的第二电极电连接到所述信号线，

其中所述第三晶体管的栅电极电连接到所述第二扫描线，所述第三晶体管的第一电极电连接到所述第一存储电容器的第二电极、以及所述第二存储电容器的第一电极，并且所述第三晶体管的第二电极电连接到所述电容线，

其中所述第四晶体管的栅电极电连接到所述第三扫描线，

其中所述第二存储电容器的第二电极电连接到所述电容线，并且
其中所述发光元件的第二电极电连接到所述第二电源线。

9. 根据权利要求7至8中任一项所述的显示器件，其中所述第二晶体管和所述第三晶体管各个具有彼此不同的导电形式。

10. 根据权利要求1至9中任一项所述的显示器件，其中所述像素具有的多个晶体管中至少两个晶体管的栅电极连接到共同的扫描线。

11. 一种显示器件的驱动方法，该显示器件包括：

设置有发光元件的像素，以及

所述像素中的至少第一及第二晶体管、第一及第二存储电容器、信号线、以及第一及第二电源线，

其中所述第二晶体管的第一电极电连接到所述第一晶体管的第二电极及所述发光元件的第一电极，并且所述第二晶体管的第二电极电

连接到所述第一晶体管的栅电极及所述信号线，并且

其中所述第一及第二存储电容器互相并联连接，

所述方法包括：

第一步骤，其中将所述第一及第二存储电容器各有的两个电极之间的每个电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的阈值电压之间的差的第一电压；

第二步骤，其中将供给给所述信号线的电流供给给所述第一晶体管，以便将所述第二存储电容器的两个所述电极之间的电压设定为相当于施加到所述第一电源线的所述电压和所述第一晶体管的栅极-源极之间的电压之间的差的第二电压，其中所述第一晶体管的所述栅极-所述源极之间的电压是为将等于供给给所述信号线的所述电流的电流供给给所述第一晶体管而需要的；以及

第三步骤，其中将基于所述第一电压及所述第二电压的第三电压施加到所述第一晶体管的栅电极，将电流通过所述第一晶体管供给给所述发光元件，并且发光，

其中在所述第一及第二步骤中，使所述第二晶体管处于导通状态，以便使所述第一晶体管的所述栅电极和所述第一晶体管的所述第二电极之间处于导通状态，并且在所述第三步骤中，使所述第二晶体管处于非导通状态，以便切断所述第一晶体管的所述栅电极和所述第一晶体管的所述第二电极的电连接。

12. 一种显示器件的驱动方法，该显示器件包括：

设置有发光元件的像素，以及

所述像素中的至少第一及第二晶体管、第一及第二存储电容器、信号线、以及第一及第二电源线，

其中所述第二晶体管的第一电极电连接到所述第一晶体管的第二电极及所述发光元件的第一电极，并且所述第二晶体管的第二电极电连接到所述第一晶体管的栅电极及所述信号线，并且

其中所述第一及第二存储电容器互相串联连接，

所述方法包括：

第一步骤，其中将所述第一存储电容器的两个电极之间的电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的阈值电压之间的差的第一电压；

第二步骤，其中将供给给所述信号线的电流供给给所述第一晶体管，以便所述第一及第二存储电容器各有的两个电极之间的电压的总和设定为相当于施加到所述第一电源线的所述电压和所述第一晶体管的栅极-源极之间的电压之间的差的第二电压，其中所述第一晶体管的所述栅极-源极之间的所述电压是为将等于供给给所述信号线的电流的电流供给给所述第一晶体管而需要的；以及

第三步骤，其中将保持在所述第一存储电容器的两个所述电极之间的第三电压施加到所述第一晶体管的所述栅电极，将电流通过所述第一晶体管供给给所述发光元件，并且发光，

其中，在所述第一及第二步骤中，使所述第二晶体管处于导通状态，以便使所述第一晶体管的所述栅电极和所述第一晶体管的所述第二电极处于导通状态，并且在所述第三步骤中，使所述第二晶体管处于非导通状态，以便切断所述第一晶体管的所述栅电极和所述第一晶体管的所述第二电极的电连接。

13. 根据权利要求 11 或 12 所述的显示器件的驱动方法，其中在所述第一及第二步骤与所述第三步骤之间，被施加到所述第二电源线的所述电压不同。

14. 一种显示器件的驱动方法，该显示器件包括：

设置有发光元件的像素，以及

所述像素中的至少第一及第二晶体管、第一及第二存储电容器、信号线、第一至第三电源线、以及电容线，

其中所述第二晶体管的第一电极电连接到所述第一晶体管的第二电极及所述发光元件的第一电极，并且所述第二晶体管的第二电极电连接到所述第一晶体管的栅电极及所述信号线，并且

其中所述第一及第二存储电容器互相并联连接，

所述方法包括：

第一步骤，其中将所述第一及第二存储电容器各有的两个电极之间的每个电压设定为相当于施加到所述第三电源线的电压和施加到所述电容线的电压之间的差的第一电压；

第二步骤，其中将所述第一及第二存储电容器各有的两个所述电极之间的电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的阈值电压之间的差的第二电压；

第三步骤，其中将供给给所述信号线的电流供给给所述第一晶体管，以便所述第二存储电容器的两个所述电极之间的电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的栅极-源极之间的电压之间的差的第三电压，其中所述第一晶体管的所述栅极-所述源极之间的所述电压是为将等于供给给所述信号线的所述电流的电流供给给所述发光元件而需要的；以及

第四步骤，其中将基于所述第二电压和所述第三电压的第四电压施加到所述第一晶体管的所述栅电极，将电流通过所述第一晶体管供给给所述发光元件，并且发光，

其中在所述第一至第三步骤中，使所述第二晶体管处于导通状态，以便使所述第一晶体管的所述栅电极和所述第一晶体管的所述第二电极处于导通状态，在所述第四步骤中，使所述第二晶体管处于非导通状态，以便切断所述第一晶体管的所述栅电极和所述第一晶体管的所述第二电极的电连接。

15. 一种显示器件的驱动方法，该显示器件包括：

设置有发光元件的像素，以及

所述像素中的至少第一及第二晶体管、第一及第二存储电容器、信号线、第一至第三电源线、以及电容线，

其中所述第二晶体管的第一电极电连接到所述第一晶体管的第二电极及所述发光元件的第一电极，并且所述第二晶体管的第二电极电连接到所述第一晶体管的栅电极及所述信号线，并且

其中所述第一及第二存储电容器互相串联连接，

所述方法包括：

第一步骤，其中将所述第一及第二存储电容器各有的两个电极之间的电压设定为相当于施加到所述第三电源线的电压和施加到所述电容线的电压之间的差的第一电压；

第二步骤，其中将所述第一存储电容器的两个电极之间的电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的阈值电压之间的差的第二电压；

第三步骤，其中将供给给所述信号线的电流供给给所述第一晶体管，以便所述第一及第二存储电容器各有的两个电极之间的所述电压的总和设定为相当于施加到所述第一电源线的所述电压和所述第一晶

体管的栅极-源极之间的电压之间的差的第三电压,其中所述第一晶体管的所述栅极-源极之间的所述电压是为将等于供给给所述信号线的所述电流的电流供给给所述第一晶体管而需要的;以及

第四步骤,其中将保持在所述第一存储电容器的两个所述电极之间的第四电压施加到所述第一晶体管的所述栅电极,将电流通过所述第一晶体管供给给所述发光元件,并且发光,

其中,在所述第一至第三步骤中,使所述第二晶体管处于导通状态,在所述第四步骤中,使所述第一晶体管的所述栅电极和所述第一晶体管的所述第二电极处于导通状态,在所述第四步骤中,所述第二晶体管处于非导通状态,以便切断所述第一晶体管的所述栅电极和所述第一晶体管的所述第二电极的电连接。

16. 根据权利要求 14 或 15 所述的显示器件的驱动方法,其中,在所述第一至第三步骤与所述第四步骤之间,被施加到所述第二电源线的所述电压不同。

17. 根据权利要求 1 至 10 中任一项所述的显示器件,其中所述显示器件包括在电子器具中。

18. 一种使用根据权利要求 11 至 16 中任一项所述的驱动方法的显示器件,其中所述显示器件包括在电子器具中。

显示器件及显示器件的驱动方法

技术领域

本发明涉及具有晶体管的显示器件的结构。本发明特别涉及具有制造在玻璃、塑料等绝缘体上的薄膜晶体管的有源矩阵显示器件的结构。本发明还涉及将这种显示器件用于显示部分的电子器具。

背景技术

近年来，所谓的自发光的显示器件正在引起人们的注意，其中像素是以发光二极管（LED）之类的发光元件形成的。作为在这样的自发光的显示器件中使用的发光元件，有机发光二极管（也叫做 OLED（有机发光二极管）、有机 EL 元件、场致发光（EL）元件等）引起人们的注意，并且用于 EL 显示器等。由于 OLED 之类的发光元件是自发光型，所以与液晶显示器相比，具有如下优点：像素的可见度高、不需要背光、以及响应速度良好等。此外，发光元件的亮度由流入其中的电流值来控制。

此外，近年来，发光元件和控制该发光元件的发光的晶体管设置在每一个像素中的有源矩阵显示器件的开发正在展开。在有源矩阵显示器件中，不仅可以实现在无源矩阵显示器件中难以实现的高清晰、大屏幕的显示，还可以实现用比无源矩阵显示器件低的耗电量来工作，并且具有高可靠性，因此有源矩阵显示器件被期待着实用化。

作为有源矩阵显示器件的像素的驱动方法，以输入到像素的信号种类来可以分为电压输入方式和电流输入方式。前者的电压输入方式是如下方式：将输入到像素的视频信号（电压）输入到驱动元件的栅电极，然后使用该驱动元件控制发光元件的亮度。另一方面，后者的电流输入方式是如下方式：通过将被设定的信号电流流到发光元件，来控制该发光元件的亮度。

在此，将参照图 48 和 49 简单地说明在适用电压输入方式及电流输入方式的显示器件中的像素结构的一个示例和其驱动方式。注意，举出 EL 显示器件作为典型显示器件来说明。

图 48 示出了在适用电压输入方式的显示器件中的像素结构的一个

示例（参照专利文献1）。图48中所示的像素包括驱动晶体管4801、开关晶体管4802、存储电容器4803、信号线4804、扫描线4805、第一电源线4806、第二电源线4807、以及发光元件4808。

注意，在本说明书中，晶体管导通是指如下状态：晶体管的栅极和源极之间的电压超过其阈值电压，以在源极和漏极之间流入电流。晶体管截止是指如下状态：晶体管的栅极和源极之间的电压不到其阈值电压，以在源极和漏极之间不流入电流。

当扫描线4805的电位发生变化使得开关晶体管4802导通时，输入信号线4804的视频信号被输入到驱动晶体管4801的栅电极。驱动晶体管4801的栅极和源极之间的电压由被输入的视频信号的电位确定，以确定驱动晶体管4801的源极和漏极之间流入的电流。该电流被提供到发光元件4808，由此该发光元件4808发光。

如上那样，电压输入方式是如下方式：根据视频信号的电位设定驱动晶体管4801的栅极和源极之间的电压以及其源极和漏极之间流入的电流，以相应于该电流的亮度使发光元件4811发光。

作为驱动发光元件的半导体元件，使用多晶硅（p-Si）晶体管。但是，在多晶硅晶体管中，很容易产生起因于晶界中的缺陷的电特性如阈值电压、导通电流、迁移度等不均匀的问题。在图48中所示的像素中，当驱动晶体管4801的特性对每一个像素不均匀时，由于即使输入相同的视频信号，相应于该信号的驱动晶体管4801的漏极电流量也不同，所以发光元件4808的亮度就不均匀了。

另一方面，在电流输入方式中，可以与晶体管的特性无关地控制提供到发光元件的电流量。

图49示出了在适用电流输入方式的显示器件中的像素结构的一个示例（参照专利文献2）。图49中所示的像素包括驱动晶体管4901、第一至第三开关晶体管4902至4904、存储电容器4905、信号线4906、第一及第二扫描线4907及4908、第一及第二电源线4909及4910、以及发光元件4911。电流源电路4912配置在各个信号线（各个列）中。

首先，第一扫描线4907的电位发生变化，使得第一及第二开关晶体管4902及4903导通。此时，将流入信号线4906的视频信号电流表示为 I_{data} 。由于开关晶体管4902及4903导通，所以驱动晶体管4901处于二极管连接的状态。此时，在信号线4906中流入视频信号电流

I_{data} ，所以在存储电容器 4905 的两个电极之间电流流入起来，并且电荷存储在存储电容器 4905 中，从而在两个电极之间渐渐产生电位差。然后，驱动晶体管 4901 的栅极电位降低，电流从漏极流到源极。在存储电容器 4905 中，电荷的存储持续到其两个电极之间的电位差、即驱动晶体管 4901 的栅极和源极之间的电压变为所希望的电压。也就是说，电荷的存储持续到驱动晶体管 4901 变为能够流出 I_{data} 的电流的电压。然后，在存储电容器 4905 中电荷的存储结束后，电流不流到存储电容器 4905 中，并且存储电容器 4905 保持满足驱动晶体管 4901 能够流出 I_{data} 的电流的栅极和源极之间的电压。通过如上工作，将信号写入到像素的工作就完成。最后，第一扫描线 4907 的选择结束，从而第一及第二开关晶体管 4902、4903 就截止。

接着，第二扫描线 4908 的电位发生变化，使得第三开关晶体管 4904 导通。由于存储电容器 4905 保持有首先写入的栅极和源极之间的电压，所以驱动晶体管 4901 导通，从第一电源线 4909 流入等于 I_{data} 的电流。由此，发光元件 4911 发光。此时，如果预先设定驱动晶体管 4901 在饱和区工作，则即使驱动晶体管 4901 的源极和漏极之间的电压发生变化，流入发光元件 4911 的发光电流也不变地一直流入。

如上那样，电流输入方式是如下方式：将驱动晶体管 4901 的漏极电流设定为与由电流源电路 4912 设定的视频信号电流 I_{data} 相同的电流值，并且以对应于该漏极电流的亮度使发光元件 4911 发光。通过使用具有上述结构的像素，可以抑制来自构成像素的晶体管的特性不均匀的影响，以将所希望的电流提供到发光元件中。

但是，在常规电流输入方式的像素结构中，当用视频信号电流 I_{data} 充电信号线的寄生电容器等时需要很长时间。特别在要想显示低灰度级的情况下，由于视频信号电流 I_{data} 下降得很多，所以信号线的寄生电容器等的充电时间对于水平扫描期间不充分，从而不能正确地写入视频信号。

此外，在常规像素电路（图 48、图 49）中，存储电容器连接于驱动晶体管的栅极和源极之间，但是，在用 MOS 晶体管形成所述存储电容器的情况下，由于当该 MOS 晶体管的栅极和源极之间的电压与该 MOS 晶体管的阈值电压大致相同时，沟道区不形成在该 MOS 晶体管，因此导致该 MOS 晶体管不起到存储电容器的作用。结果，不能正确地

保持视频信号。

[专利文献 1]特开 2001-147659 号公报

[专利文献 2]特开 2004-163673 号公报

如上那样，在常规的电压输入方式中，晶体管的电特性不均匀导致产生亮度的不均匀，并且在常规的电流输入方式中，特别在低灰度级显示中，信号线的寄生电容等的充电时间不充分，导致不能正确地写入视频信号。

发明内容

鉴于上述问题，本发明的目的在于提供一种显示器件、以及使用此的驱动方法，其中该显示器件可以补偿晶体管的阈值电压和迁移度等的不均匀性，同时在显示低灰度级的情况下也可以充分地对信号线进行充电，从而可以正确地显示灰度级。

本发明是一种显示器件，其包括：具备发光元件的像素，其中，所述像素包括：第一至第五晶体管；第一及第二存储电容器；信号线；第一至第四扫描线；第一及第二电源线；以及电容线，其中，在所述第一晶体管中，其栅电极电连接到所述第二晶体管的第一电极、所述第三晶体管的第一电极、所述第四晶体管的第二电极、以及所述第二存储电容器的第一电极，其第一电极电连接到所述第一电源线，其第二电极电连接到所述第四晶体管的第一电极、以及所述第五晶体管的第一电极，其中，在所述第二晶体管中，其栅电极电连接到所述第一扫描线，其第二电极电连接到所述信号线，其中，在所述第三晶体管中，其栅电极电连接到所述第二扫描线，其第二电极电连接到所述第一存储电容器的第一电极，其中，在所述第四晶体管中，其栅电极电连接到所述第三扫描线，其中，在所述第五晶体管中，其栅电极电连接到所述第四扫描线，其第二电极电连接到所述发光元件的第一电极，其中，所述第一存储电容器的第二电极电连接到所述电容线，其中，所述第二存储电容器的第二电极电连接到所述电容线，其中，所述发光元件的第二电极电连接到所述第二电源线。

本发明是一种显示器件，其包括：具备发光元件的像素，其中，所述像素包括：第一至第六晶体管；第一及第二存储电容器；信号线；第一至第五扫描线；第一至第三电源线；以及电容线，其中，在所述

第一晶体管中，其栅电极电连接到所述第二晶体管的第一电极、所述第三晶体管的第一电极、所述第四晶体管的第二电极、以及所述第二存储电容器的第一电极，其第一电极电连接到所述第一电源线，其第二电极电连接到所述第四晶体管的第一电极、所述第五晶体管的第一电极、以及所述第六晶体管的第一电极，其中，在所述第二晶体管中，其栅电极电连接到所述第一扫描线，其第二电极电连接到所述信号线，其中，在所述第三晶体管中，其栅电极电连接到所述第二扫描线，其第二电极电连接到所述第一存储电容器的第一电极，其中，在所述第四晶体管中，其栅电极电连接到所述第三扫描线，其中，在所述第五晶体管中，其栅电极电连接到所述第四扫描线，其第二电极电连接到所述发光元件的第一电极，其中，在所述第六晶体管中，其栅电极电连接到所述第五扫描线，其第二电极电连接到所述第三电源线，其中，所述第一存储电容器的第二电极电连接到所述电容线，其中，所述第二存储电容器的第二电极电连接到所述电容线，其中，所述发光元件的第二电极电连接到所述第二电源线。

本发明是一种显示器件，其包括：具备发光元件的像素，其中，所述像素包括：第一至第五晶体管；第一及第二存储电容器；信号线；第一至第四扫描线；第一及第二电源线；以及电容线，其中，在所述第一晶体管中，其栅电极电连接到所述第二晶体管的第一电极、所述第四晶体管的第二电极、以及所述第一存储电容器的第一电极，其第一电极电连接到所述第一电源线，其第二电极电连接到所述第四晶体管的第一电极、以及所述第五晶体管的第一电极，其中，在所述第二晶体管中，其栅电极电连接到所述第一扫描线，其第二电极电连接到所述信号线，其中，在所述第三晶体管中，其栅电极电连接到所述第二扫描线，其第一电极电连接到所述第一存储电容器的第二电极、以及所述第二存储电容器的第一电极，其第二电极电连接到所述电容线，其中，在所述第四晶体管中，其栅电极电连接到所述第三扫描线，其中，在所述第五晶体管中，其栅电极电连接到所述第四扫描线，其第二电极电连接到所述发光元件的第一电极，其中，所述第二存储电容器的第二电极电连接到所述电容线，其中，所述发光元件的第二电极电连接到所述第二电源线。

本发明是一种显示器件，其包括：具备发光元件的像素，其中，

所述像素包括：第一至第六晶体管；第一及第二存储电容器；信号线；第一至第五扫描线；第一至第三电源线；以及电容线，其中，在所述第一晶体管中，其栅电极电连接到所述第二晶体管的第一电极、所述第四晶体管的第二电极、以及所述第一存储电容器的第一电极，其第一电极电连接到所述第一电源线，其第二电极电连接到所述第四晶体管的第一电极、所述第五晶体管的第一电极、以及所述第六晶体管的第一电极，其中，在所述第二晶体管中，其栅电极电连接到所述第一扫描线，其第二电极电连接到所述信号线，其中，在所述第三晶体管中，其栅电极电连接到所述第二扫描线，其第一电极电连接到所述第一存储电容器的第二电极、以及所述第二存储电容器的第一电极，其第二电极电连接到所述电容线，其中，在所述第四晶体管中，其栅电极电连接到所述第三扫描线，其中，在所述第五晶体管中，其栅电极电连接到所述第四扫描线，其第二电极电连接到所述发光元件的第一电极，其中，在所述第六晶体管中，其栅电极电连接到所述第五扫描线，其第二电极电连接到所述第三电源线，其中，所述第二存储电容器的第二电极电连接到所述电容线，其中，所述发光元件的第二电极电连接到所述第二电源线。

本发明是一种显示器件，其包括：具备发光元件的像素，其中，所述像素包括：第一至第四晶体管；第一及第二存储电容器；信号线；第一至第三扫描线；第一及第二电源线；以及电容线，其中，在所述第一晶体管中，其栅电极电连接到所述第二晶体管的第一电极、所述第三晶体管的第一电极、所述第四晶体管的第二电极、以及所述第二存储电容器的第一电极，其第一电极电连接到所述第一电源线，其第二电极电连接到所述第四晶体管的第一电极、以及所述发光元件的第一电极，其中，在所述第二晶体管中，其栅电极电连接到所述第一扫描线，其第二电极电连接到所述信号线，其中，在所述第三晶体管中，其栅电极电连接到所述第二扫描线，其第二电极电连接到所述第一存储电容器的第一电极，其中，在所述第四晶体管中，其栅电极电连接到所述第三扫描线，其中，所述第一存储电容器的第二电极电连接到所述电容线，其中，所述第二存储电容器的第二电极电连接到所述电容线，其中，所述发光元件的第二电极电连接到所述第二电源线。

本发明是一种显示器件，其包括：具备发光元件的像素，其中，

所述像素包括：第一至第四晶体管；第一及第二存储电容器；信号线；第一至第三扫描线；第一及第二电源线；以及电容线，其中，在所述第一晶体管中，其栅电极电连接到所述第二晶体管的第一电极、所述第四晶体管的第二电极、以及所述第一存储电容器的第一电极，其第一电极电连接到所述第一电源线，其第二电极电连接到所述第四晶体管的第一电极、以及所述发光元件的第一电极，其中，在所述第二晶体管中，其栅电极电连接到所述第一扫描线，其第二电极电连接到所述信号线，其中，在所述第三晶体管中，其栅电极电连接到所述第二扫描线，其第一电极电连接到所述第一存储电容器的第二电极、以及所述第二存储电容器的第一电极，其第二电极电连接到所述电容线，其中，在所述第四晶体管中，其栅电极电连接到所述第三扫描线，其中，所述第二存储电容器的第二电极电连接到所述电容线，其中，所述发光元件的第二电极电连接到所述第二电源线。

注意，在本发明的显示器件中，所述第二晶体管和所述第三晶体管可以分别具有互相不同的导电形式。此外，所述第四晶体管和所述第五晶体管可以分别具有互相不同的导电形式。

本发明是一种显示器件的驱动方法，该显示器件包括：具备发光元件的像素，其中，所述像素至少包括：第一及第二晶体管；第一及第二存储电容器；信号线；以及第一及第二电源线，其中，在所述第二晶体管中，第一电极电连接到所述第一晶体管的第二电极、以及所述发光元件的第一电极，第二电极电连接到所述第一晶体管的栅电极、以及所述信号线，其中，所述第一及第二存储电容器并联连接，其包括以下步骤：第一步骤，其中将所述第一及第二存储电容器的两个电极之间的电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的阈值电压之间的差的电压；第二步骤，其中将所述第二存储电容器的两个电极之间的电压设定为相当于施加到所述第一电源线的电压和为将与被输入到所述信号线的视频信号电流相同的电流供给给发光元件而需要的所述第一晶体管的栅极/源极之间的电压之间的差的电压；以及第三步骤，其中将基于相当于所述第一电源线与所述阈值电压之间的差的电压和相当于所述第一电源线与所述栅极-源极之间的电压的差的电压的电压施加到所述第一晶体管的栅电极，将电流通过所述第一晶体管供给给所述发光元件，从而发光，其中，在所

述第一及第二步骤中，所述第二晶体管处于导通状态，在所述第三步骤中，所述第二晶体管处于非导通状态。

本发明是一种显示器件的驱动方法，该显示器件包括：具备发光元件的像素，其中，所述像素至少包括：第一及第二晶体管；第一及第二存储电容器；信号线；以及第一及第二电源线，其中，在所述第二晶体管中，第一电极电连接到所述第一晶体管的第二电极、以及所述发光元件的第一电极，第二电极电连接到所述第一晶体管的栅电极、以及所述信号线，其中，所述第一及第二存储电容器串联连接，其包括以下步骤：第一步骤，其中将所述第一存储电容器的两个电极之间的电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的阈值电压之间的差的电压；第二步骤，其中将所述第一及第二存储电容器的两个电极之间的电压分别设定为基于相当于施加到所述第一电源线的电压和为将与被输入到所述信号线的视频信号电流相同的电流供给给发光元件而需要的所述第一晶体管的栅极-源极之间的电压之间的差的电压的电压；以及第三步骤，其中将与保持在所述第一存储电容器的两个电极之间的电压相同的电压施加到所述第一晶体管的栅电极，将电流通过所述第一晶体管供给给所述发光元件，从而发光，其中，在所述第一及第二步骤中，所述第二晶体管处于导通状态，在所述第三步骤中，所述第二晶体管处于非导通状态。

注意，在本发明的显示器件的驱动方法中，可以在所述第一及第二步骤与所述第三步骤之间，被施加到所述第二电源线的电压不同。

本发明是一种显示器件的驱动方法，该显示器件包括：具备发光元件的像素，其中，所述像素至少包括：第一及第二晶体管；第一及第二存储电容器；信号线；第一至第三电源线；以及电容线，其中，在所述第二晶体管中，第一电极电连接到所述第一晶体管的第二电极、以及所述发光元件的第一电极，第二电极电连接到所述第一晶体管的栅电极、以及所述信号线，其中，所述第一及第二存储电容器并联连接，其包括以下步骤：第一步骤，其中将所述第一及第二存储电容器的两个电极之间的电压设定为相当于施加到所述第三电源线的电压和施加到所述电容线的电压之间的差的电压；第二步骤，其中将所述第一及第二存储电容器的两个电极之间的电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的阈值电压之间的差的电

压；第三步骤，其中将所述第二存储电容器的两个电极之间的电压设定为相当于施加到所述第一电源线的电压和为将与被输入到所述信号线的视频信号电流相同的电流供给给发光元件而需要的所述第一晶体管的栅极-源极之间的电压之间的差的电压；以及第四步骤，其中将基于相当于所述第一电源线和所述阈值电压之间的差的电压与相当于所述第一电源线和所述栅极-源极之间的电压的差的电压的电压施加到所述第一晶体管的栅电极，将电流通过所述第一晶体管供给给所述发光元件，从而发光，其中，在所述第一至第三步骤中，所述第二晶体管处于导通状态，在所述第四步骤中，所述第二晶体管处于非导通状态。

本发明是一种显示器件的驱动方法，该显示器件包括：具备发光元件的像素，其中，所述像素至少包括：第一及第二晶体管；第一及第二存储电容器；信号线；第一至第三电源线；电容线，其中，在所述第二晶体管中，第一电极电连接到所述第一晶体管的第二电极、以及所述发光元件的第一电极，第二电极电连接到所述第一晶体管的栅电极、以及所述信号线，其中，所述第一及第二存储电容器串联连接，其包括以下步骤：第一步骤，其中将所述第一及第二存储电容器的两个电极之间的电压设定为相当于施加到所述第三电源线的电压和施加到所述电容线的电压之间的差的电压；第二步骤，其中将所述第一存储电容器的两个电极之间的电压设定为相当于施加到所述第一电源线的电压和所述第一晶体管的阈值电压之间的差的电压；第三步骤，其中将所述第一及第二存储电容器的两个电极之间的电压分别设定为基于相当于施加到所述第一电源线的电压和为将与被输入到所述信号线的视频信号电流相同的电流供给给发光元件而需要的所述第一晶体管的栅极-源极之间的电压之间的差的电压的电压；以及第四步骤，其中将与保持在所述第一存储电容器的两个电极之间的电压相同的电压施加到所述第一晶体管的栅电极，将电流通过所述第一晶体管供给给所述发光元件，从而发光，其中，在所述第一至第三步骤中，所述第二晶体管处于导通状态，在所述第四步骤中，所述第二晶体管处于非导通状态。

注意，在本发明的显示器件的驱动方法中，可以在所述第一至第三步骤与所述第四步骤之间，被施加到所述第二电源线的电压不同。

注意，考虑到晶体管的结构，不容易区别源极和漏极。此外，还有一种情况，即，根据电路的工作，电位的高低交替。因此，在本说明书中，将源极和漏极表示为第一电极和第二电极而并不特定。例如，在第一电极是源极的情况下，第二电极是漏极，与此相反在第一电极是漏极的情况下，第二电极是源极。

注意，在本发明中，一个像素表示一个彩色成分。因此，在由 R（红）G（绿）B（蓝）的彩色成分构成的彩色显示器件中，图像的最小单位由 R 的像素、G 的像素和 B 的像素这三个像素构成。注意，彩色成分不局限于三个颜色，既可使用更多数量的颜色，又可使用除了 RGB 以外的颜色。例如，可以加上白色（W）而为 RGBW。此外，也可以将黄、红紫、蓝绿等一个或更多颜色加上到 RGB 而使用。此外，例如可以加上与 RGB 中的至少一个类似的颜色，例如为 R、G、B1、B2。该 B1 和 B2 虽然都是蓝色，但是其波长相同。通过使用这种彩色成分，既可更类似于实际地显示，又可降低耗电量。注意，也可以对一个彩色成分使用多个区域来控制亮度。在此情况下，以一个彩色成分为一个像素，并且以控制其亮度的各个区域为子像素。因此，例如在进行面积灰度级方式的情况下，每一个彩色成分具有多个控制亮度的区域，并且该整个区域显示灰度级，以控制亮度的各个区域为子像素。因此，在此情况下，一个彩色成分由多个子像素构成，此外，有可能根据子像素，关于显示的区域尺寸互不相同。此外，在每一个彩色成分具有的多个控制亮度的区域中，即在构成一个彩色成分的多个子像素中，也可以使提供到各个的信号稍微不同，以便扩大视角。

注意，在本发明中，像素包括配置（排列）为矩阵形状的情况。在此，像素配置（排列）为矩阵形状包括如下情况：在纵方向或横方向上以直线排列并配置的情况；在锯齿形线上排列的情况。因此，也包括如下情况：例如当用三个彩色成分（例如 RGB）进行全彩色显示时，像素配置为条纹形状，或三个彩色成分的点配置为所谓的三角。还包括配置为拜耳（Bayer）的情况。

注意，在本发明中，作为晶体管可以适用各种方式的晶体管。因此，可以适用的晶体管的种类没有限制。从而，例如可以适用具有以非晶硅和多晶硅为典型的非单晶半导体膜的薄膜晶体管（TFT）等。由此，即使在制造温度不高的情况下，也可以制造显示器件，并且既

可在大规模衬底或透明衬底上以低成本制造显示器件，又可用晶体管透过光。此外，也可以适用由半导体衬底或 SOI 衬底形成的 MOS 晶体管、接合型晶体管、双极晶体管等。由此，可以制造不均匀性少、电流提供能力高、尺寸小的晶体管，又可以构成耗电量少的电路。此外，还可以适用具有化合物半导体如 ZnO、a-InGaZnO、SiGe、GaAs 等的晶体管；以及使这些晶体管薄膜化了的薄膜晶体管等。由此，即使在制造温度不高的情况下也可制造，又可在室温下制造，又可在耐热性低的衬底例如塑料衬底或薄膜衬底上直接形成晶体管。此外，可以适用用喷墨法或印刷法制作的晶体管等。由此，既可在室温下或真空度低的状态下制造，又可在大规模衬底上制造显示器件。此外，由于可以制造晶体管而不使用掩模（中间掩模），所以可以容易改变晶体管的配置。此外，可以适用具有有机半导体或碳纳米管的晶体管、其他晶体管。由此，可以在具有柔性的衬底上形成晶体管。注意，非单晶半导体膜可以含有氢或卤素。此外，作为配置有晶体管的衬底的种类，可以适用各种种类而没有特别的限制。因此，例如可以将晶体管配置到单晶衬底、SOI 衬底、玻璃衬底、石英衬底、塑料衬底、纸衬底、玻璃纸衬底、石材衬底、不锈钢衬底、以及具有不锈钢箔的衬底等。此外，也可以在一个衬底上形成晶体管，然后将该晶体管移动且配置到其他衬底上。通过使用这些衬底，可以形成具有优良特性、耗电量小的晶体管，还可以制造不容易破坏的器件并且使器件具有耐热性。

注意，作为本发明所示的开关，可以适用各种方式的开关，例如电开关或机械开关等。就是说，只要可以控制电流的流动，就可以适用各种开关而没有特别的限制。例如，可以适用如下：晶体管；二极管（例如，PN 二极管、PIN 二极管、肖特基二极管、二极管连接的晶体管等）；可控硅整流器（thyristor）；以及组合这些的逻辑电路。因此，在使用晶体管作为开关的情况下，由于该晶体管仅仅起到开关的作用，所以其极性（导电型）没有特别的限制。然而，在优选截止电流少的情况下，优选使用截止电流少的极性的晶体管。截止电流少的晶体管包括：设置有 LDD 区域的晶体管；以及具有多栅极结构的晶体管等。此外，当在用作开关的晶体管的源极端子的电位接近于低电位一侧的电源（VSS、GND、0V 等）的状态下工作时，优选使用 N 沟道型晶体管，与此相反，当其源极端子的电位接近于高电位一侧的电源

(VDD 等)的状态下工作时,优选使用 P 沟道型晶体管。这是因为,可以提高栅极和源极之间的电压的绝对值,从而作为开关容易工作。注意,也可以都使用 N 沟道型和 P 沟道型晶体管的双方,而为 CMOS 型开关。在 CMOS 型开关中,只要 N 沟道型和 P 沟道型中哪一种开关导通,就可以流入电流,因此容易用作开关。例如,即使在向开关的输入信号的电压高或低的情况下,也都可以适当地输出电压。此外,由于可以减少用于使开关导通/截止的信号的电压振幅值,所以可以降低耗电量。

注意,在本发明中,在...之上或在...上如形成在某一种东西之上或形成在...上等的记述不局限于在某一种东西上直接接触的情况。还包括不直接接触的情况,即其中夹着其他东西的情况。因此,例如层 B 形成在层 A 之上(或在层 A 上)的情况包括如下两种情况:层 B 直接接触地形成在层 A 之上的情况;以及其他层(例如层 C 或层 D 等)直接接触地形成在层 A 之上,并且层 B 直接接触地形成在其上的情况。此外,在...之上方这种记述也同样,包括其中夹着其他东西的情况而不局限于直接接触在某一个东西之上的情况。因此,例如层 B 形成在层 A 之上方的情况包括如下两种情况:层 B 直接接触地形成在层 A 之上的情况;以及其他层(例如层 C 或层 D 等)直接接触地形成在层 A 之上,并且层 B 直接接触地形成在其上的情况。注意,在-之下或在-之下方也同样,包括直接接触的情况和不直接接触的情况。

注意,本发明的显示器件既可适用各种方式又可具有各种显示元件。例如,可以适用由电磁作用改变对比度的显示介质如 EL 元件(有机 EL 元件、无机 EL 元件或含有有机物及无机物的 EL 元件)、电子发射元件、液晶元件、电子墨、光栅光阀(GLV)、等离子体显示器(PDP)、数字微镜器件(DMD)、压电陶瓷显示器、碳纳米管等。注意,使用 EL 元件的显示器件包括 EL 显示器,使用电子放出元件的显示器件包括场致发射显示器(FED)、SED 平板显示器(SED: Surface-conduction Electron-emitter Display)等,使用液晶元件的显示器件包括液晶显示器、透过型液晶显示器、半透过型液晶显示器、以及反射型液晶显示器,使用电子墨的显示器包括电子纸张。

注意,在本发明中的发光元件指的是可以由流入元件中的电流值控制发光亮度的元件。典型的是,可以适用 EL 元件。除了 EL 元件以

外，还可以适用在场致发射显示器（FED）中使用的元件、FED 之一的 SED（Surface-conduction Electron-emitter Display）等发光元件。

注意，在本发明中，连接是与电连接相同的意思。因此，在本发明公开的结构中，除了预定的连接关系以外，还包括其中配置有可以电连接的其他元件（例如，别的元件或开关等）的情况。

在本发明的显示器件中，由于可以控制流入发光元件中的电流，所以可以在一个水平扫描期间内充分地对信号线进行充电。由此，即使当显示低灰度级时，也可以正确地显示。此外，由于流入发光元件的电流不根据晶体管的阈值电压或迁移度确定，所以可以补偿晶体管的阈值电压或迁移度的不均匀性。由此，可以降低发光元件的亮度的不均匀性，还可以提高图像质量。

附图说明

- 图 1 是表示在本发明的显示器件中的像素结构的一个示例的图；
- 图 2 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 3 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 4 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 5 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 6 是表示在本发明的显示器件中的像素结构的一个示例的图；
- 图 7 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 8 是表示在本发明的显示器件中的像素结构的一个示例的图；
- 图 9 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 10 是表示在本发明的显示器件中的像素结构的一个示例的图；
- 图 11 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 12 是表示在本发明的显示器件中的像素结构的一个示例的图；
- 图 13 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 14 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 15 是表示在本发明的显示器件中的像素结构的一个示例的图；
- 图 16 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 17 是表示在本发明的显示器件中的像素结构的一个示例的图；
- 图 18 是描述在本发明的显示器件中的像素电路的工作的图；
- 图 19 是描述在本发明的显示器件中的像素电路的工作的图；

- 图 20 是描述在本发明的显示器件中的像素电路的工作的图；
图 21 是描述在本发明的显示器件中的像素电路的工作的图；
图 22 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 23 是描述在本发明的显示器件中的像素电路的工作的图；
图 24 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 25 是描述在本发明的显示器件中的像素电路的工作的图；
图 26 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 27 是描述在本发明的显示器件中的像素电路的工作的图；
图 28 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 29 是描述在本发明的显示器件中的像素电路的工作的图；
图 30 是描述在本发明的显示器件中的像素电路的工作的图；
图 31 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 32 是描述在本发明的显示器件中的像素电路的工作的图；
图 33 是表示本发明的显示器件的一个结构示例的图；
图 34 是表示本发明的显示器件的一个结构示例的图；
图 35 是表示本发明的显示器件的一个结构示例的图；
图 36 是表示用于本发明的显示器件的晶体管的结构的图；
图 37 是描述用于本发明的显示器件的晶体管的制造方法的图；
图 38 是描述用于本发明的显示器件的晶体管的制造方法的图；
图 39 是描述用于本发明的显示器件的晶体管的制造方法的图；
图 40 是描述用于本发明的显示器件的晶体管的制造方法的图；
图 41 是描述用于本发明的显示器件的晶体管的制造方法的图；
图 42 是描述用于本发明的显示器件的晶体管的制造方法的图；
图 43 是表示控制本发明的驱动方式的硬件的一个示例的图；
图 44 是表示使用本发明的驱动方式的 EL 模块的一个示例的图；
图 45 是表示使用本发明的驱动方式的显示面板的结构例子的图；
图 46 是表示使用本发明的驱动方式的 EL 电视接收机的一个示例的图；
图 47 是表示适用本发明的驱动方式的电子器具的一个示例的图；
图 48 是表示常规像素结构的图；
图 49 是表示常规像素结构的图；
图 50 是表示在本发明的显示器件中的像素结构的一个示例的图；

图 51 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 52 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 53 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 54 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 55 是描述在本发明的显示器件中的像素电路的工作的图；
图 56 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 57 是描述在本发明的显示器件中的像素电路的工作的图；
图 58 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 59 是描述在本发明的显示器件中的像素电路的工作的图；
图 60 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 61 是描述在本发明的显示器件中的像素电路的工作的图；
图 62 是表示本发明的显示器件的结构示例的图；
图 63 是表示本发明的显示器件的信号线驱动电路的结构例子的图；
图 64 是表示本发明的显示器件的扫描线驱动电路的结构例子的图；
图 65 是表示本发明的显示器件的结构示例的图；
图 66 是表示本发明的显示器件的结构示例的图；
图 67 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 68 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 69 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 70 是描述在本发明的显示器件中的像素电路的工作的图；
图 71 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 72 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 73 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 74 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 75 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 76 是描述在本发明的显示器件中的像素电路的工作的图；
图 77 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 78 是表示在本发明的显示器件中的像素结构的一个示例的图；
图 79 是表示适用于本发明的显示器件的显示面板的一个结构示例的图；

图 80 是表示适用于本发明的显示器件的发光元件的一个结构示例的图；

图 81 是表示本发明的显示器件的一个结构示例的图；

图 82 是表示本发明的显示器件的一个结构示例的图；

图 83 是表示本发明的显示器件的一个结构示例的图；

图 84 是表示本发明的显示器件的一个结构示例的图；

图 85 是表示本发明的显示器件的一个结构示例的图；

图 86 是表示本发明的显示器件的像素结构的一个配置示例的图；

图 87 是表示本发明的显示器件的像素结构的一个配置示例的图。

具体实施方式

下面，参照附图对于本发明的实施方式进行说明。注意，本发明可以通过多种不同的方式来实施，所属领域的普通人员可以很容易地理解一个事实就是其方式和详细内容可以被变换为各种各样的形式，而不脱离本发明的宗旨及其范围。因此，本发明不应该被解释为限定在以下将说明的实施方式所记载的内容中。

实施方式 1

首先，将参照图 1 描述在本实施方式中的显示器件中的像素电路的基本结构。注意，作为发光元件使用 EL 元件为例子。

图 1 示出了本实施方式的像素电路的电路图。本实施方式的像素电路包括第一至第五晶体管 101 至 105、第一及第二存储电容器 106 及 107、信号线 108、第一至第四扫描线 109 至 112、第一及第二电源线 113 及 114、电容线 115、发光元件 116、以及电流源电路 117。注意，电流源电路 117 配置在各个信号线（各个列）中。

注意，在图 1 中所示的像素电路中，第一至第五晶体管 101 至 105 都是 P 沟道型晶体管。

在第一晶体管 101 中，其栅电极连接到第二晶体管 102 的第一电极、第三晶体管 103 的第一电极、第四晶体管 104 的第二电极、以及第二存储电容器 107 的第一电极，其第一电极连接到第一电源线 113，其第二电极连接到第四晶体管 104 的第一电极、以及第五晶体管 105 的第一电极。在第二晶体管 102 中，其栅电极连接到第一扫描线 109，其第二电极连接到信号线 108。在第三晶体管 103 中，其栅电极连接到

第二扫描线 110, 其第二电极连接到第一存储电容器 106 的第一电极。在第四晶体管 104 中, 其栅电极连接到第三扫描线 111。在第五晶体管 105 中, 其栅电极连接到第四扫描线 112, 其第二电极连接到发光元件 116 的第一电极。在第一存储电容器 106 中, 其第二电极连接到电容线 115。在第二存储电容器 107 中, 其第二电极连接到电容线 115。在发光元件 116 中, 其第二电极连接到第二电源线 114。

接下来, 将参照图 2 至图 5 描述本实施方式的像素电路的工作。

图 2 示出了输入到信号线 108 及第一至第四扫描线 109 至 112 的视频信号电流及脉冲定时, 并且相对于图 3 至图 5 所示的像素电路的各个工作将像素电路的工作周期分割为第一至第三期间 T1 至 T3 的三个期间。

图 3 至图 5 示出了在各个期间中的本实施方式的像素电路的连接状态。注意, 在图 3 至图 5 中, 由实线表示的部分指导通状态, 并由虚线表示的部分指非导通状态。

首先, 将参照图 3 描述在第一期间 T1 中的像素电路的工作。图 3 示出了在第一期间 T1 中的像素电路的连接状态。在第一期间 T1 中, 第二及第三扫描线 110 及 111 处于 L 电平, 第三及第四晶体管 103 及 104 导通。此外, 第一及第四扫描线 109 及 112 处于 H 电平, 第二及第五晶体管 102 及 105 截止。由此, 第一晶体管 101 成为二极管连接的状态, 电流流到并联连接的第一及第二存储电容器 106 及 107, 第一及第二存储电容器 106 及 107 都被充电。第一及第二存储电容器 106 及 107 的充电持续到保持于第一及第二存储电容器 106 及 107 的电压成为相当于电源电压 V_{DD} 和第一晶体管 101 的阈值电压 $|V_{th}|$ 之间的差的电压, 即, $V_{DD}-|V_{th}|$, 并且当保持于第一及第二存储电容器 106 及 107 的电压成为 $V_{DD}-|V_{th}|$ 时, 第一晶体管 101 截止, 电流不流入第一及第二存储电容器 106 及 107。

通过以上工作, 在第一期间 T1 中, 第一及第二存储电容器 106 及 107 保持第一晶体管 101 的阈值电压 $|V_{th}|$ 。

接下来, 将参照图 4 描述在第二期间 T2 中的像素电路的工作。图 4 示出了在第二期间 T2 中的像素电路的连接状态。在第二期间 T2 中, 第一及第三扫描线 109 及 111 处于 L 电平, 第二及第四晶体管 102 及 104 导通。此外, 第二及第四扫描线 110 及 112 处于 H 电平, 第三及第

五晶体管 103 及 105 截止。此外，视频信号电流 I_{data} 从电流源电路 117 流入信号线 108。由此，第一晶体管 101 处于二极管连接的状态，电流流入第二存储电容器 107 而充电。此时，由于在信号线 108 中视频信号电流 I_{data} 流动，所以在第一晶体管 101 的漏极和源极之间 I_{data} 流动。因此，在第一晶体管 101 的栅极和源极之间的电压是第一晶体管 101 流出 I_{data} 需要的电压。如果以这时的第一晶体管 101 的栅极和源极之间的电压为 $V_{gs}(T2)$ ，则视频信号电流 I_{data} 表示为如下 (1) 式，在期间 T2 中的第一晶体管 101 的栅极和源极之间的电压 $V_{gs}(T2)$ 表示为如下 (2) 式。

[数式 1]

$$I_{data} = \frac{\beta}{2} (|V_{gs}(T2)| - |V_{th}|)^2 \quad \dots (1)$$

[数式 2]

$$|V_{gs}(T2)| = |V_{th}| + \sqrt{\frac{2I_{data}}{\beta}} \quad \dots (2)$$

其中， β 是由晶体管的迁移度或尺寸、氧化膜的电容等给出的常数。

第二存储电容器 107 的充电持续到保持于第二存储电容器 107 的电压成为相当于电源电压 VDD 和第一晶体管 101 的栅极与源极之间的电压 $|V_{gs}(T2)|$ 之间的差的电压，即， $VDD - |V_{gs}(T2)|$ ，并且当保持于第二存储电容器 107 的电压成为 $VDD - |V_{gs}(T2)|$ 时，第一晶体管 101 截止，电流不流入第二存储电容器 107。此外，在第一存储电容器 106 中，由于第一电极处于浮置状态，所以在第一期间 T1 中保持的电压 $VDD - |V_{th}|$ 一直保持。

通过如上工作，在第二期间 T2 中，第二存储电容器 107 保持为了第一晶体管 101 流出视频信号电流 I_{data} 需要的栅极和源极之间的电压 $|V_{gs}(T2)|$ 。

接下来，将参照图 5 描述在第三期间 T3 中的像素电路的工作。图 5 示出了在第三期间 T3 中的像素电路的连接状态。在第三期间 T3 中，第二及第四扫描线 110 及 112 处于 L 电平，第三及第五晶体管 103 及

105 导通。此外，第一及第三扫描线 109 及 111 处于 H 电平，第二及第四晶体管 102 及 104 截止。由此，首先第一及第二存储电容器 106 及 107 并联连接。此时，如果以存储电容器 106 及 107 保持的电压为 $V_c(T3)$ ，则 $V_c(T3)$ 表示为如下 (3) 式。

[数式 3]

$$V_c(T3) = VDD - \frac{C_1}{C_1 + C_2} |V_{th}| - \frac{C_2}{C_1 + C_2} |V_{gs}(T2)| \cdots \cdots (3)$$

注意， C_1 和 C_2 分别表示第一存储电容器 106 的电容值和第二存储电容器 107 的电容值。

由于保持在第一及第二存储电容器 106 及 107 中的电压 $|V_c(T3)|$ 被施加到第一晶体管 101 的栅极，所以如果以在期间 T3 中的第一晶体管 101 的栅极和源极之间的电压为 $V_{gs}(T3)$ ，则 $V_{gs}(T3)$ 表示为如下 (4) 式。注意，在期间 T3 中，由于第一及第二存储电容器 106 及 107 并联连接以电荷被分配，所以在期间 T3 中的第一晶体管 101 的栅极和源极之间的电压 $|V_{gs}(T3)|$ 比在期间 T2 中的第一晶体管 101 的栅极和源极之间的电压 $|V_{gs}(T2)|$ 低。

[数式 4]

$$\begin{aligned} |V_{gs}(T3)| &= VDD - V_c(T3) \\ &= \frac{C_1}{C_1 + C_2} |V_{th}| + \frac{C_2}{C_1 + C_2} |V_{gs}(T2)| \cdots \cdots (4) \end{aligned}$$

因此，第一晶体管 101 的漏极和源极之间流动的电流 I_{OLED} 表示为如下 (5) 式，该电流通过第五晶体管 105 流入发光元件 116，使发光元件 116 发光。注意，由于在期间 T3 中的第一晶体管 101 的栅极和源极之间的电压比在期间 T2 中的低，所以在期间 T3 中的第一晶体管 101 的漏极和源极之间流动的电流 I_{OLED} 比在期间 T2 中的第一晶体管 101 的漏极和源极之间流动的电流 I_{data} 低。

[数式 5]

$$I_{OLED} = \frac{\beta}{2} (|V_{gs}(T3)| - |V_{th}|)^2 = \left(\frac{C_2}{C_1 + C_2} \right)^2 I_{data} \cdots (5)$$

通过如上工作，在第三期间 T3 中，比视频信号电流 I_{data} 低的电流 I_{OLED} 流入发光元件 116，使发光元件 116 发光。

如 (5) 式所示，由于流入发光元件 116 的电流 I_{OLED} 不依赖于第一晶体管 101 的阈值电压 V_{th} 或迁移度（包含于常数 β 中）而表示，所以可以补偿晶体管的阈值电压或迁移度的不均匀性。

由于流入发光元件 116 的电流 I_{OLED} 比视频信号电流 I_{data} 低 $[C_2/(C_1+C_2)]^2$ 倍，所以可以流入比电流 I_{OLED} 高 $[(C_1+C_2)/C_2]^2$ 倍的电流作为视频信号电流 I_{data} 。由此，可以在一个水平扫描期间内充分地对信号线的布线电容进行充电，即使在显示低灰度级的情况下也可以正确地显示。

此外，流入发光元件 116 的电流 I_{OLED} 依赖于第一及第二存储电容器 106 及 107 的电容比率，当电容比率恒定时， I_{OLED} 也恒定。在此，第一及第二存储电容器由于通常在相同的步骤中制造，所以即使在制造显示器件时的掩模图案的定位错位，电容的误差在第一及第二存储电容器 106 及 107 之间也大致相同。因此，即使在产生制造误差的情况下， $[C_1/(C_1+C_2)]$ 的值也可以维持大致恒定的值， I_{OLED} 也可以维持大致恒定的值。

如上那样，根据本实施方式的像素结构，可以补偿晶体管的阈值电压的不均匀性并降低亮度的不均匀性，从而可以提高图像质量。

注意，在图 1 中，以第二电源线及电容线的电位为接地电位（GND），然而不局限于此。只要是比电源电压 VDD 和第一晶体管 101 的阈值电压 $|V_{th}|$ 的差 $VDD - |V_{th}|$ 低的电位，即可。

注意，在本实施方式中，既可用金属形成存储电容器，又可用 MOS 晶体管形成存储电容器。尤其是，在用 MOS 晶体管形成存储电容器的情况下，与用金属形成存储电容器的情况相比，能够进一步减小存储电容器的占有面积，从而可以提高像素的开口率。

例如，图 67、图 68 示出了在图 1 所示的像素电路中，用 MOS 晶体管形成存储电容器的情况的示例。

图 67 示出了用 P 沟道型晶体管形成第一及第二存储电容器 106 及 107 的情况。在用 P 沟道型晶体管形成存储电容器的情况下, 由于为了保持电荷而需要将沟道区形成在该 P 沟道型晶体管中, 所以必须要使该 P 沟道型晶体管的栅电极的电位比该 P 沟道型晶体管的第一及第二电极的电位低。在图 1 所示的像素电路的第一及第二存储电容器 106 及 107 中, 第一电极的电位比第二电极的电位高。因此, 以该 P 沟道型晶体管的第一及第二电极为第一及第二存储电容器 106 及 107 的第一电极, 并且将此与第一晶体管 101 的栅电极及第四晶体管 104 的第二电极连接, 以便将该 P 沟道型晶体管用作存储电容器。此外, 以该 P 沟道型晶体管的栅电极为第一及第二存储电容器 106 及 107 的第二电极, 并且将此与电容线 115 连接。

图 68 示出了用 N 沟道型晶体管形成第一及第二存储电容器 106 及 107 的情况。在用 N 沟道型晶体管形成存储电容器的情况下, 由于为了保持电荷而需要将沟道区形成在该 N 沟道型晶体管中, 所以必须要使该 N 沟道型晶体管的栅电极的电位比该 N 沟道型晶体管的第一及第二电极的电位高。因此, 以该 N 沟道型晶体管的栅电极为第一及第二存储电容器 106 及 107 的第一电极, 并且将此与第一晶体管 101 的栅电极及第四晶体管 104 的第二电极连接, 以便将该 N 沟道型晶体管用作存储电容器。此外, 以该 N 沟道型晶体管的第一及第二电极为第一及第二存储电容器 106 及 107 的第二电极, 并且将此与电容线 115 连接。

如本实施方式所示, 在将第一及第二存储电容器 106 及 107 连接在第一晶体管 101 的栅电极和电容线 115 之间, 并且用 MOS 晶体管形成第一及第二存储电容器的情况下, 由于在该 MOS 晶体管的栅极和源极之间始终施加有比该 MOS 晶体管的阈值电压大的电压, 所以可始终使该 MOS 晶体管用作存储电容器。因此, 在像素电路的工作过程中, 可以将所希望的电压正确地保持于存储电容器中。

注意, 在图 1 所示的像素电路中, 第一至第五晶体管 101 至 105 都是 P 沟道型, 然而可以使这些晶体管都成为 N 沟道型。在此, 图 6 示出了第一至第五晶体管都是 N 沟道型的情况的结构。

图 6 所示的像素电路包括第一至第五晶体管 601 至 605、第一及第二存储电容器 606 及 607、信号线 608、第一至第四扫描线 609 至 612、第一及第二电源线 613 及 614、电容线 615、发光元件 616、以及电流

源电路 617。注意，电流源电路 617 配置在各个信号线（各个列）中。

在第一晶体管 601 中，其栅电极连接到第二晶体管 602 的第一电极、第三晶体管 603 的第一电极、第四晶体管 604 的第二电极、以及第二存储电容器 607 的第一电极，其第一电极连接到第一电源线 613，其第二电极连接到第四晶体管 604 的第一电极、以及第五晶体管 605 的第一电极。在第二晶体管 602 中，其栅电极连接到第一扫描线 609，其第二电极连接到信号线 608。在第三晶体管 603 中，其栅电极连接到第二扫描线 610，其第二电极连接到第一存储电容器 606 的第一电极。在第四晶体管 604 中，其栅电极连接到第三扫描线 611。在第五晶体管 605 中，其栅电极连接到第四扫描线 612，其第二电极连接到发光元件 616 的第二电极。在第一存储电容器 606 中，其第二电极连接到电容线 615。在第二存储电容器 607 中，其第二电极连接到电容线 615。在发光元件 616 中，其第一电极连接到第二电源线 614。

接下来，将参照图 7 描述本实施方式的像素电路的工作。

图 7 示出了输入到信号线 608 及第一至第四扫描线 609 至 612 的视频信号电流及脉冲定时。由于第一至第五晶体管都是 N 沟道型，所以输入到第一至第四扫描线 609 至 612 的脉冲定时与整个晶体管都是 P 沟道型的情况（图 2）相比，H 电平和 L 电平倒相。此外，相对于像素电路的各个工作将像素电路的工作周期分割为第一至第三期间 T1 至 T3 的三个期间。

在第一至第三期间 T1 至 T3 中的图 6 的像素电路的工作与图 1 所示的像素电路的工作相同。就是说，在第一期间 T1 中，第一及第二存储电容器 606 及 607 保持第一晶体管 601 的阈值电压 $|V_{th}|$ 。接下来，在第二期间 T2 中，第二电容器 607 保持第一晶体管 601 流出视频信号电流 I_{data} 而需要的栅极和源极之间的电压 $|V_{gs}(T2)|$ 。此外，在第三期间 T3 中，比视频信号电流 I_{data} 小的电流 I_{OLED} 流入发光元件 616，使该发光元件 616 发光。注意，流入发光元件 616 的电流 I_{OLED} 与在图 1 所示的像素电路同样表示为（5）式。

在图 6 所示的像素电路中，由于流入发光元件 616 的电流 I_{OLED} 不依赖于第一晶体管 601 的阈值电压 V_{th} 或迁移度（包含于常数 β 中）而表示，所以可以补偿晶体管的阈值电压或迁移度的不均匀性。

此外，由于流入发光元件 616 的电流 I_{OLED} 比视频信号电流 I_{data} 低

$[C_2/(C_1+C_2)]^2$ 倍, 所以可以流入比电流 I_{OLED} 高 $[(C_1+C_2)/C_2]^2$ 倍的电流作为视频信号电流 I_{data} 。由此, 可以在一个水平扫描期间内充分地 对信号线进行充电, 即使在显示低灰度级的情况下也可以正确地显示。

此外, 流入发光元件 616 的电流 I_{OLED} 依赖于第一及第二存储电容器 606 及 607 的电容比率, 若电容比率恒定, 则 I_{OLED} 也恒定。在此, 第一及第二存储电容器由于通常在相同的步骤中制造, 所以即使在制造时的掩模图案的定位错位, 电容的误差在第一及第二存储电容器 606 及 607 之间也大致相同。因此, 即使在产生制造误差的情况下, $[C_1/(C_1+C_2)]$ 的值也可以维持大致恒定的值, I_{OLED} 也可以维持大致恒定的值。

此外, 在图 6 所示的像素电路中, 在将第一及第二存储电容器 606 及 607 连接在电容线 615 和第一晶体管 601 的栅电极之间, 并且用 MOS 晶体管形成第一及第二存储电容器的情况下, 由于在该 MOS 晶体管的栅极和源极之间始终施加有比该 MOS 晶体管的阈值电压大的电压, 所以可始终使该 MOS 晶体管用作存储电容器。因此, 在像素电路的工作过程中, 可以将所希望的电压正确地保持于存储电容器中。

如上那样, 根据本实施方式的像素结构, 可以补偿晶体管的阈值电压的不均匀性并降低亮度的不均匀性, 从而可以提高图像质量。

注意, 在本实施方式中, 以第一电源线为接地电位 (GND), 然而不局限于此。只要是比电源电压 VDD 和第一晶体管 601 的阈值电压 $|V_{th}|$ 的差 $VDD-|V_{th}|$ 低的电位, 即可。此外, 以电容线的电位为电源电位 VDD, 然而不局限于此。只要是比第一晶体管 601 的阈值电压 $|V_{th}|$ 高的电位, 即可。

注意, 在本实施方式中, 以第一至第五晶体管为彼此相同导电形式的晶体管, 例如都为 P 沟道型或 N 沟道型, 然而不局限于此。也可使用 P 沟道型和 N 沟道型的双方构成电路。

例如, 可以使第二及第四晶体管为 N 沟道型, 并使第一、第三、第五晶体管为 P 沟道型。图 8 示出了该像素电路。此外, 图 9 示出了输入到信号线及第一至第四扫描线的视频信号电流及脉冲定时。

图 8 所示的像素电路包括第一至第五晶体管 801 至 805、第一及第二存储电容器 806 及 807、信号线 808、第一至第四扫描线 809 至 812、

第一及第二电源线 813 及 814、电容线 815、发光元件 816、以及电流源电路 817。注意，电流源电路 817 配置在各个信号线（各个列）中。

在图 8 所示的电路结构中，如图 9 所示，由于输入到第一及第二扫描线的脉冲的定时相同，所以可以由共同的扫描线控制第二及第三晶体管。与此同样，由于输入到第三及第四扫描线的脉冲的定时相同，所以可以由共同的扫描线控制第四及第五晶体管。在此，图 50 示出了如下情况的示例：由第一扫描线控制第二及第三晶体管并且由第三扫描线控制第四及第五晶体管。

此外，作为其他示例，也可以使第二及第四晶体管为 P 沟道型，并使第一、三、五晶体管为 N 沟道型。图 10 示出了该像素电路。此外，图 11 示出了输入到信号线及第一至第四扫描线的视频信号电流及脉冲定时。

图 10 所示的像素电路包括第一至第五晶体管 1001 至 1005、第一及第二存储电容器 1006 及 1007、信号线 1008、第一至第四扫描线 1009 至 1012、第一及第二电源线 1013 及 1014、电容线 1015、发光元件 1016、以及电流源电路 1017。注意，电流源电路 1017 配置在各个信号线（各个列）中。

在图 10 所示的电路结构中，如图 11 所示，由于输入到第一及第二扫描线的脉冲的定时相同，所以可以由共同的扫描线控制第二及第三晶体管。与此同样，由于输入到第三及第四扫描线的脉冲的定时相同，所以可以由共同的扫描线控制第四及第五晶体管。在此，图 51 示出了如下情况的示例：由第一扫描线控制第二及第三晶体管并且由第三扫描线控制第四及第五晶体管。

如图 8 至图 11、图 50、图 51 所示，当以第二及第三晶体管为互不相同的导电形式时，可以由共同的扫描线控制第二及第三晶体管。与此同样，当以第四及第五晶体管为互不相同的导电形式时，可以由共同的扫描线控制第四及第五晶体管。由此，可以减少扫描线的条数且提高像素的开口率。此外，由于也可以减少扫描线驱动电路的数量，所以可以降低耗电量。

注意，在第一至第五晶体管中，哪个晶体管是哪个导电形式，不局限于上述内容。

注意，在本实施方式中，将第一及第二存储电容器的第二电极都

连接到共同的电容线，然而，也可以将第一及第二存储电容器的第二电极分别连接到互不相同的布线。

例如，图 69 示出了在图 1 所示的电路中，将第一及第二存储电容器的第二电极分别连接到互不相同的布线的情况的像素结构。在图 69 所示的像素结构中，第一存储电容器 106 的第二电极与第一电容线 6915 连接，第二存储电容器 107 的第二电极与第二电容线 6925 连接。

如图 69 所示，通过将第一及第二存储电容器的第二电极分别连接到互不相同的布线，可以分别控制保持于第一及第二存储电容器的电压。

注意，可以在使存储电容器保持第一晶体管的阈值电压之前，设置将保持于存储电容器的电压设定为某起始电压的期间。在本说明书中，将该工作称为初始化。作为用于进行初始化的一个方法，可以使用如下方法：通过使电流流入发光元件，改变第一晶体管的第二电极的电位。

例如，图 70 示出了在图 1 所示的像素电路中进行初始化的情况的定时图。图 70 示出输入到信号线 108 及第一至第四扫描线 109 至 112 的视频信号电流及脉冲的定时，并且相对于像素电路的各个工作将像素电路的工作周期分割为 T0 至 T3 的四个期间。

在期间 T0 中进行初始化的工作。在期间 T0 中，第二至第四扫描线 110 至 112 处于 L 电平，使第三至第五晶体管 103 至 105 导通。此外，第一扫描线 109 处于 H 电平，使第二晶体管 102 截止。由此，第一晶体管 101 处于二极管连接的状态，使电流流入发光元件 116。结果，第一晶体管 101 的第二电极、第一存储电容器 106 的第一电极、以及第二存储电容器 107 的第一电极的电位都降低，从而某起始电压保持于第一及第二存储电容器 106 及 107。

通过以上工作，在期间 T0 中，第一及第二存储电容器 106 及 107 保持某起始电压。

此外，作为用于进行初始化的其他方法，在如上所示的像素电路中另外设置初始化晶体管（第六晶体管）和初始化电源线（第三电源线）。

例如，图 12 示出了在图 1 所示的像素电路中设置初始化晶体管的情况的示例。在图 12 中，在图 1 所示的像素电路中加上第六晶体管

1218、第五扫描线 1219、以及第三电源线 1220。注意，在第六晶体管 1218 中，其栅电极连接到第五扫描线 1219，其第一电极连接到第一晶体管 101 的第二电极、第四晶体管 104 的第一电极、以及第五晶体管 105 的第一电极，其第二电极连接到第三电源线 1220。

注意，在图 12 中，第六晶体管 1218 是 P 沟道型，然而不局限于此，也可以是 N 沟道型。

接下来，将参照图 13、图 14 描述图 12 所示的像素电路的工作。

图 13 示出了输入到信号线 108、第一至第五扫描线 109 至 112、1219 的视频信号电流及脉冲的定时，并且相对于像素电路的各个工作将像素电路的工作周期分割为 T0 至 T3 的四个期间。

在期间 T0 中进行初始化的工作。将参照图 14 描述在期间 T0 中的像素电路的工作。在期间 T0 中，第二、第三、第五扫描线 110、111、1219 处于 L 电平，使第三、第四、第六晶体管 103、104、1218 导通。此外，第一及第四扫描线 109、112 处于 H 电平，使第二及第五晶体管 102、105 截止。由此，第一晶体管 101 处于二极管连接的状态，使电流流入第三电源线 1220。结果，第一晶体管 101 的第二电极、第一及第二存储电容器 106 及 107 的第一电极的电位都与第三电源线 1220 的电位相同，从而相当于第三电源线 1220 的电位和电容线 115 的电位的差的电压保持于第一及第二存储电容器 106 及 107。

通过以上工作，在期间 T0 中，第一及第二存储电容器 106 及 107 保持相当于第三电源线 1220 的电位和电容线 115 的电位的差的电压作为起始电压。

此外，在期间 T1 至 T3 中，使第五扫描线 1219 成为 H 电平，且使第六晶体管 1218 截止。并且，进行与图 1 所示的像素电路相同的工作。就是说，在期间 T1 中，第一及第二存储电容器 106 及 107 中保持第一晶体管 101 的阈值电压 $|V_{th}|$ 。接着，在期间 T2 中，第二存储电容器 107 中保持第一晶体管 101 流出视频信号电流 I_{data} 需要的栅极和源极之间的电压 $|V_{gs}(T2)|$ 。接着，在期间 T3 中，比视频信号电流 I_{data} 小的电流 I_{OLED} 流入发光元件 116，发光元件 116 发光。注意，流入发光元件 116 的电流 I_{OLED} 与图 1 所示的像素电路同样表示为 (5) 式。

注意，在图 1 所示的像素电路中，为了使存储电容器保持第一晶体管的阈值电压，必须要预先使第一晶体管的第二电极的电位比相当

于电源电位 V_{DD} 和第一晶体管的阈值电压 $|V_{th}|$ 的差的电压, 即 $V_{DD}-|V_{th}|$ 低。从而, 通过设置初始化的期间, 可以确实地使第一晶体管的第二电极的电位比 $V_{DD}-|V_{th}|$ 低, 以可以确实地补偿阈值电压。

注意, 在图 12 中, 以第三电源线 1220 的电位为接地电位 (GND), 然而不局限于此。只要是比电源电压 V_{DD} 和第一晶体管的阈值电压 $|V_{th}|$ 的差 $V_{DD}-|V_{th}|$ 低的电位, 即可。此外, 第三电源线 1220 的电位并不一定与电容线 115 的电位相同。

注意, 在本实施方式中, 将第六晶体管 1218 的第一电极连接到第一晶体管 101 的第二电极、第四晶体管 104 的第一电极、以及第五晶体管 105 的第一电极, 然而第六晶体管 1218 的第一电极的连接对象不局限于此。例如, 如图 71 所示, 也可以将第六晶体管 1218 的第一电极连接到第一晶体管 101 的栅电极、第二晶体管 102 的第一电极、第三晶体管 103 的第一电极、第四晶体管 104 的第二电极、以及第二存储电容器 107 的第一电极。

此外, 作为其他示例, 图 15 示出了在图 6 所示的像素电路中设置初始化晶体管的情况的示例。在图 15 中, 在图 6 所示的像素电路中加上第六晶体管 1518、第五扫描线 1519、以及第三电源线 1520。注意, 在第六晶体管 1518 中, 其栅电极连接到第五扫描线 1519, 其第一电极连接到第一晶体管 601 的第二电极、第四晶体管 604 的第一电极、以及第五晶体管 605 的第一电极, 其第二电极连接到第三电源线 1520。

注意, 在图 15 中, 第六晶体管 1518 是 N 沟道型, 然而不局限于此, 也可以是 P 沟道型。

接下来, 将参照图 16 描述图 15 所示的像素电路的工作。

图 16 示出了输入到信号线 608、第一至第五扫描线 609 至 612、1519 的视频信号电流及脉冲的定时, 并且相对于像素电路的各个工作将像素电路的工作周期分割为 T0 至 T3 的四个期间。由于第一至第六晶体管都是 N 沟道型, 所以输入到第一至第五扫描线 609 至 612、1519 的脉冲的定时与整个晶体管都是 P 沟道型的情况 (图 12) 相比, H 电平和 L 电平倒相。

在期间 T0 中进行初始化的工作。在期间 T0 中的像素电路的工作与图 12 所示的像素电路相同。就是说, 在期间 T0 中, 第一及第二存储电容器 606 及 607 中保持相当于电容线 615 的电位和第三电源线 1520

的电位之间的差的电压作为起始电压。

此外，在期间 T1 至 T3 中，使第五扫描线 1519 成为 L 电平，且使第六晶体管 1518 截止。并且，进行与图 6 所示的像素电路相同的工作。就是说，在期间 T1 中，第一及第二存储电容器 606 及 607 中保持第一晶体管 601 的阈值电压 $|V_{th}|$ 。接着，在期间 T2 中，第二存储电容器 607 中保持第一晶体管 601 流出视频信号电流 I_{data} 需要的栅极和源极之间的电压 $|V_{gs}(T2)|$ 。接着，在期间 T3 中，比视频信号电流 I_{data} 小的电流 I_{OLED} 流入发光元件 616，发光元件 616 发光。注意，流入发光元件 616 的电流 I_{OLED} 与图 1 所示的像素电路同样表示为 (5) 式。

注意，在图 6 所示的像素电路中，为了使存储电容器保持第一晶体管的阈值电压，必须要预先使第一晶体管的第二电极的电位比第一晶体管的阈值电压 $|V_{th}|$ 高。从而，通过设置初始化的期间，可以确实地使第一晶体管的第二电极的电位比第一晶体管的阈值电压 $|V_{th}|$ 高，以可以确实地补偿阈值电压。

注意，在图 15 中，以第三电源线 1520 的电位为电源电位 VDD，然而不局限于此。只要是比第一晶体管的阈值电压高的电位，即可。此外，第三电源线 1520 的电位并不一定与电容线 615 的电位相同。

注意，在本实施方式中，将第六晶体管 1518 的第一电极连接到第一晶体管 601 的第二电极、第四晶体管 604 的第一电极、以及第五晶体管 605 的第一电极，然而第六晶体管 1518 的第一电极的连接对象不局限于此。例如，如图 72 所示，也可以将第六晶体管 1518 的第一电极连接到第一晶体管 601 的栅电极、第二晶体管 602 的第一电极、第三晶体管 603 的第一电极、第四晶体管 604 的第二电极、以及第二存储电容器 607 的第一电极。

注意，在本实施方式中，另外设置第三电源线，然而也可以使用已经设置有的其他布线而代替第三电源线。例如，通过使用此行的像素具有的扫描线的任何一个而代替第三电源线，可以省略第三电源线。并且，由此，可以减少布线的条数，以提高像素的开口率。此外，由于不需要另外生成施加到第三电源线的电压，所以可以不设置为此的电路的同时，减少耗电量。注意，使用而代替第三电源线的扫描线不局限于此行的像素具有的扫描线，而既可为上一个行的像素具有的扫描线，又可为下一个行的像素具有的扫描线。

注意，在本实施方式中，以第二电源线的电位为固定电位，然而不局限于此。也可以相应于第一至第三期间改变第二电源线的电位。

例如，在图 1 所示的像素电路中，通过在第一及第二期间 T1 及 T2 中使第五晶体管 105 截止，电流不流入发光元件 116，然而，例如通过在第一及第二期间 T1 及 T2 中提高第二电源线 114 的电位，可以进行相同的工作。这是因为，通过提高第二电源线 114 的电位反向偏压施加到发光元件 116。由此，可以省略第五晶体管 105 及第四扫描线 112。图 54、图 55 示出了这种情况的示例。

在图 54 中，与图 1 所示的像素电路相比，第一晶体管 101 的第二电极与发光元件 116 的第一电极连接。此外，图 55 示出了输入到信号线 108、第一至第三扫描线 109 至 111、以及第二电源线 114 的视频信号电流及脉冲的定时。

注意，在第一及第二期间 T1 及 T2 中，通过使第二电源线 114 的电位比电源电位 VDD 和第一晶体管 101 的阈值电压 $|V_{th}|$ 之间的差，即 $VDD - |V_{th}|$ 高，可以进行上述工作。

此外，在设置初始化期间的情况下，通过还在初始化期间中使第二电源线 114 的电位比 $VDD - |V_{th}|$ 高，使电流不流入发光元件 116。

此外，图 56、图 57 示出了在图 6 所示的像素电路中改变第二电源线的电位的情况的示例作为其他示例。

在图 56 中，与图 6 所示的像素电路相比，第一晶体管 601 的第二电极与发光元件 616 的第二电极连接。此外，图 57 示出了输入到信号线 608、第一至第三扫描线 609 至 611、以及第二电源线 614 的视频信号电流及脉冲的定时。由于在第一及第二期间 T1 及 T2 中降低第二电源线 614 的电位，反向偏压施加到发光元件 616，所以在期间 T1 及 T2 中电流不流入发光元件 616。

注意，在第一及第二期间 T1 及 T2 中，通过使第二电源线 614 的电位比第一晶体管 601 的阈值电压 $|V_{th}|$ 低，可以进行上述工作。

此外，在设置初始化期间的情况下，通过还在初始化期间中使第二电源线 614 的电位比第一晶体管 601 的阈值电压 $|V_{th}|$ 低，使电流不流入发光元件 616。

如图 54 至 57 所示，由于通过根据期间改变第二电源线的电位，不需要设置第五晶体管及第四扫描线，因此可以提高像素的开口率。

注意，在本实施方式中，另外设置电容线，然而也可以使用已经设置有的其他布线而代替电容线。例如，通过使用此行的像素具有的扫描线的任何一个而代替电容线，可以省略电容线。并且，由此，可以减少布线的条数，以提高像素的开口率。此外，由于不需要另外生成施加到电容线的电压，所以可以不设置为此的电路的同时，减少耗电量。注意，使用而代替电容线的扫描线不局限于此行的像素具有的扫描线，而既可为上一个行的像素具有的扫描线，又可为下一个行的像素具有的扫描线。

实施方式 2

在实施方式 1 中，并联连接第一及第二存储电容器，然而也可以串联连接。因此，在本实施方式中，将描述串联连接第一及第二存储电容器的情况。将参照图 17 描述本实施方式的显示器件中的像素电路的基本结构。注意，作为发光元件使用 EL 元件为例子。

图 17 示出了本实施方式的像素电路的电路图。本实施方式的像素电路包括第一至第五晶体管 1701 至 1705、第一及第二存储电容器 1706 及 1707、信号线 1708、第一至第四扫描线 1709 至 1712、第一及第二电源线 1713 及 1714、电容线 1715、发光元件 1716、以及电流源电路 1717。注意，电流源电路 1717 配置在各个信号线（各个列）中。

注意，在图 17 中所示的像素电路中，第一至第五晶体管 1701 至 1705 都是 P 沟道型晶体管。

在第一晶体管 1701 中，其栅电极连接到第二晶体管 1702 的第一电极、第四晶体管 1704 的第二电极、以及第一存储电容器 1706 的第一电极，其第一电极连接到第一电源线 1713，其第二电极连接到第四晶体管 1704 的第一电极、以及第五晶体管 1705 的第一电极。在第二晶体管 1702 中，其栅电极连接到第一扫描线 1709，其第二电极连接到信号线 1708。在第三晶体管 1703 中，其栅电极连接到第二扫描线 1710，其第一电极连接到第一存储电容器 1706 的第二电极、以及第二存储电容器 1707 的第一电极，其第二电极连接到电容线 1715。在第四晶体管 1704 中，其栅电极连接到第三扫描线 1711。在第五晶体管 1705 中，其栅电极连接到第四扫描线 1712，其第二电极连接到发光元件 1716 的第一电极。在第二存储电容器 1707 中，其第二电极连接到电容线 1715。在发光元件 1716 中，其第二电极连接到第二电源线 1714。

接下来,将参照图 18 至图 21 描述本实施方式的像素电路的工作。

图 18 示出了输入到信号线 1708 及第一至第四扫描线 1709 至 1712 的视频信号电流及脉冲定时,并且相对于图 19 至图 21 所示的像素电路的各个工作将像素电路的工作周期分割为第一至第三期间 T1 至 T3 的三个期间。

图 19 至图 21 示出了在各个期间中的本实施方式的像素电路的连接状态。注意,在图 19 至图 21 中,由实线表示的部分指导通状态,并由虚线表示的部分指非导通状态。

首先,将参照图 19 描述在第一期间 T1 中的像素电路的工作。图 19 示出了在第一期间 T1 中的像素电路的连接状态。在第一期间 T1 中,第二及第三扫描线 1710 及 1711 处于 L 电平,第三及第四晶体管 1703 及 1704 导通。此外,第一及第四扫描线 1709 及 1712 处于 H 电平,第二及第五晶体管 1702 及 1705 截止。由此,第一存储电容器 1706 的第二电极及第二存储电容器 1707 的两个电极连接到电容线 1715。此外,第一晶体管 1701 成为二极管连接的状态,电流流到第一存储电容器 1706,以对第一存储电容器 1706 充电。注意,第二存储电容器 1707 由于其两个电极都连接到电容线,所以该两个电极之间的电位相同,以不对第二存储电容器 1707 充电。第一存储电容器 1706 的充电持续到保持于第一存储电容器 1706 的电压成为相当于电源电压 VDD 和第一晶体管 1701 的阈值电压 $|V_{th}|$ 之间的差的电压,即, $VDD - |V_{th}|$,并且当保持于第一存储电容器 1706 的电压成为 $VDD - |V_{th}|$ 时,第一晶体管 1701 截止,电流不流入第一存储电容器 1706。

通过以上工作,在第一期间 T1 中,第一存储电容器 1706 保持第一晶体管的 1701 的阈值电压 $|V_{th}|$ 。

接下来,将参照图 20 描述在第二期间 T2 中的像素电路的工作。图 20 示出了在第二期间 T2 中的像素电路的连接状态。在第二期间 T2 中,第一及第三扫描线 1709 及 1711 处于 L 电平,第二及第四晶体管 1702 及 1704 导通。此外,第二及第四扫描线 1710 及 1712 处于 H 电平,第三及第五晶体管 1703 及 1705 截止。此外,视频信号电流 I_{data} 从电流源电路 1717 流入信号线 1708。由此,第一晶体管 1701 处于二极管连接的状态,电流流入串联连接的第一及第二存储电容器 1706 及 1707 而充电。此时,由于在信号线 1708 中视频信号电流 I_{data} 流动,所以在

第一晶体管 1701 的漏极和源极之间 I_{data} 流动。因此,在第一晶体管 1701 的栅极和源极之间的电压是第一晶体管 1701 流出 I_{data} 需要的电压。如果以这时的第一晶体管 1701 的栅极和源极之间的电压为 $V_{gs}(T2)$, 则视频信号电流 I_{data} 表示为上述的 (1) 式, 在期间 T2 中的第一晶体管 1701 的栅极和源极之间的电压 $V_{gs}(T2)$ 表示为上述的 (2) 式。

第一及第二存储电容器 1706 及 1707 的充电持续到保持于各个存储电容器的电压的总和成为相当于电源电压 VDD 和第一晶体管 1701 的栅极和源极之间的电压 $|V_{gs}(T2)|$ 的差的电压, 即, $VDD - |V_{gs}(T2)|$, 并且当保持于各个存储电容器的电压的总和成为 $VDD - |V_{gs}(T2)|$ 时, 第一晶体管 1701 截止, 电流不流入各个存储电容器。此时, 以分别保持于第一及第二存储电容器 1706 及 1707 的电压为 $V_{c1}(T2)$ 及 $V_{c2}(T2)$, $V_{c1}(T2)$ 和 $V_{c2}(T2)$ 可以表示为如下 (6) 式和 (7) 式。

[数式 6]

$$V_{c1}(T2) = VDD - \frac{C_1}{C_1 + C_2} |V_{th}| - \frac{C_2}{C_1 + C_2} |V_{gs}(T2)| \quad \dots (6)$$

[数式 7]

$$V_{c2}(T2) = \frac{C_1}{C_1 + C_2} (|V_{th}| - |V_{gs}(T2)|) \quad \dots (7)$$

注意, C_1 表示第一存储电容器 1706 的电容值, C_2 表示第二存储电容器 1707 的电容值。

通过如上工作, 在第二期间 T2 中, 第一及第二存储电容器 1706 及 1707 保持第一晶体管 1701 流出视频信号电流 I_{data} 需要的栅极和源极之间的电压 $|V_{gs}(T2)|$ 。

接下来, 将参照图 21 描述在第三期间 T3 中的像素电路的工作。图 21 示出了在第三期间 T3 中的像素电路的连接状态。在第三期间 T3 中, 第二及第四扫描线 1710 及 1712 处于 L 电平, 第三及第五晶体管 1703 及 1705 导通。此外, 第一及第三扫描线 1709 及 1711 处于 H 电平, 第二及第四晶体管 1702 及 1704 截止。由此, 第一存储电容器 1706 的第二电极及第二存储电容器 1707 的两个电极连接到电容线。此时, 第一存储电容器 1706 由于其第一电极处于浮置状态, 所以一直保持期间

T2 中保持的电压 $V_{C1}(T2)$ 。此外,第二存储电容器 1707 由于其两个电极都连接到电容线,所以该两个电极之间的电位相同,使保持于第二存储电容器 1707 的电压成为 0。

由于保持在第一存储电容器 1706 中的电压 $|V_{C1}(T2)|$ 被施加到第一晶体管 1701 的栅电极,所以如果以在期间 T3 中第一晶体管 1701 的栅极和源极之间的电压为 $V_{gs}(T3)$,则 $V_{gs}(T3)$ 表示为如下(8)式。注意,在期间 T3 中,由于保持于第一存储电容器 1706 的电压 $V_{C1}(T2)$ 仅仅被施加到第一晶体管 1701 的栅电极,所以在期间 T3 中的第一晶体管 1701 的栅极和源极之间的电压 $|V_{gs}(T3)|$ 比在期间 T2 中的第一晶体管 1701 的栅极和源极之间的电压 $|V_{gs}(T2)|$ 低。

[数式 8]

$$\begin{aligned} |V_{gs}(T3)| &= VDD - V_{C1}(T2) \\ &= \frac{C_1}{C_1 + C_2} |V_{th}| + \frac{C_2}{C_1 + C_2} |V_{gs}(T2)| \quad \dots (8) \end{aligned}$$

因此,第一晶体管 1701 的漏极和源极之间流动的电流 I_{OLED} 表示为如下(9)式,该电流通过第五晶体管 1705 流入发光元件 1716,使发光元件 1716 发光。注意,由于在期间 T3 中的第一晶体管 1701 的栅极和源极之间的电压比在期间 T2 中的低,所以在期间 T3 中的第一晶体管 1701 的漏极和源极之间流动的电流 I_{OLED} 比在期间 T2 中的第一晶体管 1701 的漏极和源极之间流动的电流 I_{data} 低。

[数式 9]

$$I_{OLED} = \frac{\beta}{2} (|V_{gs}(T3)| - |V_{th}|)^2 = \left(\frac{C_2}{C_1 + C_2} \right)^2 I_{data} \quad \dots (9)$$

通过如上工作,在第三期间 T3 中,比视频信号电流 I_{data} 低的电流 I_{OLED} 流入发光元件 1716,使发光元件 1716 发光。

如(9)式所示,由于流入发光元件 1716 的电流 I_{OLED} 不依赖于第一晶体管 1701 的阈值电压 V_{th} 或迁移度(包含于常数 β 中)而表示,所以可以补偿晶体管的阈值电压或迁移度的不均匀性。

由于流入发光元件 1716 的电流 I_{OLED} 比视频信号电流 I_{data} 低 $[C_2/$

$(C_1+C_2)]^2$ 倍, 所以可以流入比电流 I_{OLED} 高 $[(C_1+C_2)/C_2]^2$ 倍的电流作为视频信号电流 I_{data} 。由此, 可以在一个水平扫描期间内充分地对待信号线进行充电, 即使在显示低灰度级的情况下也可以正确地显示。

此外, 流入发光元件 1716 的电流 I_{OLED} 依赖于第一及第二存储电容器 1706 及 1707 的电容比率, 若电容比率恒定, 则 I_{OLED} 也恒定。在此, 第一及第二存储电容器由于通常在相同的步骤中制造, 所以即使在制造时的掩模图案的定位错位, 电容的误差在第一及第二存储电容器 1706 及 1707 之间也大致相同。因此, 即使在产生制造误差的情况下, $[C_1/(C_1+C_2)]$ 的值也可以维持大致恒定的值, I_{OLED} 也可以维持大致恒定的值。

如上那样, 根据本实施方式的像素结构, 可以补偿晶体管的阈值电压的不均匀性并降低亮度的不均匀性, 从而可以提高图像质量。

注意, 在图 17 中, 以第二电源线及电容线的电位为接地电位 (GND), 然而不局限于此。只要是比电源电压 V_{DD} 和第一晶体管 1701 的阈值电压 $|V_{th}|$ 的差 $V_{DD}-|V_{th}|$ 低的电位, 即可。

注意, 在本实施方式中, 既可用金属形成存储电容器, 又可用 MOS 晶体管形成存储电容器。尤其是, 在用 MOS 晶体管形成存储电容器的情况下, 与用金属形成存储电容器的情况相比, 能够进一步减小存储电容器的占有面积, 从而可以提高像素的开口率。

例如, 图 73、图 74 示出了在图 17 所示的像素电路中, 用 MOS 晶体管形成存储电容器的情况的示例。

图 73 示出了用 P 沟道型晶体管形成第一及第二存储电容器 1706 及 1707 的情况。在图 17 所示的像素电路的第一及第二存储电容器 1706 及 1707 中, 第一电极的电位比第二电极的电位高。因此, 以该 P 沟道型晶体管的第一及第二电极为第一及第二存储电容器 1706 及 1707 的第一电极, 并且以该 P 沟道型晶体管的栅电极为第一及第二存储电容器 1706 及 1707 的第二电极, 以便将该 P 沟道型晶体管用作存储电容器。

图 74 示出了用 N 沟道型晶体管形成第一及第二存储电容器 1706 及 1707 的情况。在图 17 所示的像素电路中, 以该 N 沟道型晶体管的栅电极为第一及第二存储电容器 1706 及 1707 的第一电极, 以该 N 沟道型晶体管的第一及第二电极为第一及第二存储电容器 1706 及 1707

的第二电极，以便将该 N 沟道型晶体管用作存储电容器。

如本实施方式所示，在将第一及第二存储电容器 1706 及 1707 连接在第一晶体管 1701 的栅电极和电容线 1715 之间，并且用 MOS 晶体管形成第一及第二存储电容器的情况下，由于在该 MOS 晶体管的栅极和源极之间始终施加有比该 MOS 晶体管的阈值电压大的电压，所以可始终使该 MOS 晶体管用作存储电容器。因此，在像素电路的工作过程中，可以将所希望的电压正确地保持于存储电容器中。

注意，在图 17 所示的像素电路中，第一至第五晶体管 1701 至 1705 都是 P 沟道型，然而可以使这些晶体管都成为 N 沟道型。在此，图 22 示出了第一至第五晶体管都是 N 沟道型的情况的结构。

图 22 所示的像素电路包括第一至第五晶体管 2201 至 2205、第一及第二存储电容器 2206 及 2207、信号线 2208、第一至第四扫描线 2209 至 2212、第一及第二电源线 2213 及 2214、电容线 2215、发光元件 2216、以及电流源电路 2217。注意，电流源电路 2217 配置在各个信号线（各个列）中。

在第一晶体管 2201 中，其栅电极连接到第二晶体管 2202 的第一电极、第四晶体管 2204 的第二电极、以及第一存储电容器 2206 的第一电极，其第一电极连接到第一电源线 2213，其第二电极连接到第四晶体管 2204 的第一电极、以及第五晶体管 2205 的第一电极。在第二晶体管 2202 中，其栅电极连接到第一扫描线 2209，其第二电极连接到信号线 2208。在第三晶体管 2203 中，其栅电极连接到第二扫描线 2210，其第一电极连接到第一存储电容器 2206 的第二电极、以及第二存储电容器 2207 的第一电极，其第二电极连接到电容线 2215。在第四晶体管 2204 中，其栅电极连接到第三扫描线 2211。在第五晶体管 2205 中，其栅电极连接到第四扫描线 2212，其第二电极连接到发光元件 2216 的第二电极。在第二存储电容器 2207 中，其第二电极连接到电容线 2215。在发光元件 2216 中，其第一电极连接到第二电源线 2214。

接下来，将参照图 23 描述本实施方式的像素电路的工作。

图 23 示出了输入到信号线 2208 及第一至第四扫描线 2209 至 2212 的视频信号电流及脉冲定时。由于第一至第五晶体管都是 N 沟道型，所以输入到第一至第四扫描线 2209 至 2212 的脉冲定时与整个晶体管都是 P 沟道型的情况（图 18）相比，H 电平和 L 电平倒相。此外，相

对于像素电路的各个工作将像素电路的工作周期分割为第一至第三期间 T1 至 T3 的三个期间。

在第一至第三期间 T1 至 T3 中的图 22 的像素电路的工作与图 17 所示的像素电路的工作相同。就是说，在第一期间 T1 中，第一存储电容器 2206 保持第一晶体管 2201 的阈值电压 $|V_{th}|$ 。接下来，在第二期间 T2 中，第一及第二电容器 2206 及 2207 保持第一晶体管 2201 流出视频信号电流 I_{data} 而需要的栅极和源极之间的电压 $|V_{gs}(T2)|$ 。此外，在第三期间 T3 中，比视频信号电流 I_{data} 小的电流 I_{OLED} 流入发光元件 2216，使该发光元件 2216 发光。注意，流入发光元件 2216 的电流 I_{OLED} 与在图 17 所示的像素电路同样表示为 (9) 式。

在图 22 所示的像素电路中，由于流入发光元件 2216 的电流 I_{OLED} 不依赖于第一晶体管 2201 的阈值电压 V_{th} 或迁移度（包含于常数 β 中）而表示，所以可以补偿晶体管的阈值电压或迁移度的不均匀性。

此外，由于流入发光元件 2216 的电流 I_{OLED} 比视频信号电流 I_{data} 低 $[C_2/(C_1+C_2)]^2$ 倍，所以可以流入比电流 I_{OLED} 高 $[(C_1+C_2)/C_2]^2$ 倍的电流作为视频信号电流 I_{data} 。由此，可以在一个水平扫描期间内充分地对待信号线进行充电，即使在显示低灰度级的情况下也可以正确地显示。

此外，流入发光元件 2216 的电流 I_{OLED} 依赖于第一及第二存储电容器 2206 及 2207 的电容比率，若电容比率恒定，则 I_{OLED} 也恒定。在此，第一及第二存储电容器由于通常在相同的步骤中制造，所以即使在制造时的掩模图案的定位错位，电容的误差在第一及第二存储电容器 2206 及 2207 之间也大致相同。因此，即使在产生制造误差的情况下， $[C_1/(C_1+C_2)]$ 的值也可以维持大致恒定的值， I_{OLED} 也可以维持大致恒定的值。

此外，在图 22 所示的像素电路中，在将第一及第二存储电容器 2206 及 2207 连接在电容线 2215 和第一晶体管 2201 的栅电极之间，并且用 MOS 晶体管形成第一及第二存储电容器的情况下，由于在该 MOS 晶体管的栅极和源极之间始终施加有比该 MOS 晶体管的阈值电压大的电压，所以可始终使该 MOS 晶体管用作存储电容器。因此，在像素电路的工作过程中，可以将所希望的电压正确地保持于存储电容器中。

如上那样，根据本实施方式的像素结构，可以补偿晶体管的阈值

电压的不均匀性并降低亮度的不均匀性，从而可以提高图像质量。

注意，在本实施方式中，以第一电源线为接地电位（GND），然而不局限于此。只要是比电源电位 VDD 和第一晶体管 2201 的阈值电压 $|V_{th}|$ 的差 $VDD - |V_{th}|$ 低的电位，即可。此外，虽然以电容线的电位为电源电位 VDD，然而不局限于此。只要是比第一晶体管 2201 的阈值电压 $|V_{th}|$ 高的电位，即可。

注意，在本实施方式中，以第一至第五晶体管为彼此相同导电形式的晶体管，例如都为 P 沟道型或 N 沟道型，然而不局限于此。也可使用 P 沟道型和 N 沟道型的双方构成电路。

例如，可以将第二及第四晶体管为 N 沟道型，并将第一、第三、第五晶体管为 P 沟道型。图 24 示出了该像素电路。此外，图 25 示出了输入到信号线及第一至第四扫描线的视频信号电流及脉冲定时。

图 24 所示的像素电路包括第一至第五晶体管 2401 至 2405、第一及第二存储电容器 2406 及 2407、信号线 2408、第一至第四扫描线 2409 至 2412、第一及第二电源线 2413 及 2414、电容线 2415、发光元件 2416、以及电流源电路 2417。注意，电流源电路 2417 配置在各个信号线（各个列）中。

在图 24 所示的电路结构中，如图 25 所示，由于输入到第一及第二扫描线的脉冲的定时相同，所以可以由共同的扫描线控制第二及第三晶体管。与此同样，由于输入到第三及第四扫描线的脉冲的定时相同，所以可以由共同的扫描线控制第四及第五晶体管。在此，图 52 示出了如下情况的示例：由第一扫描线控制第二及第三晶体管并且由第三扫描线控制第四及第五晶体管。

此外，作为其他示例，也可以使第二及第四晶体管为 P 沟道型，并使第一、三、五晶体管为 N 沟道型。图 26 示出了该像素电路。此外，图 27 示出了输入到信号线及第一至第四扫描线的视频信号电流及脉冲定时。

图 26 所示的像素电路包括第一至第五晶体管 2601 至 2605、第一及第二存储电容器 2606 及 2607、信号线 2608、第一至第四扫描线 2609 至 2612、第一及第二电源线 2613 及 2614、电容线 2615、发光元件 2616、以及电流源电路 2617。注意，电流源电路 2617 配置在各个信号线（各个列）中。

在图 26 所示的电路结构中, 如图 27 所示, 由于输入到第一及第二扫描线的脉冲的定时相同, 所以可以由共同的扫描线控制第二及第三晶体管。与此同样, 由于输入到第三及第四扫描线的脉冲的定时相同, 所以可以由共同的扫描线控制第四及第五晶体管。在此, 图 53 示出了如下情况的示例: 由第一扫描线控制第二及第三晶体管并且由第三扫描线控制第四及第五晶体管。

如 24 至图 27、图 52、图 53 所示, 当以第二及第三晶体管为互不相同的导电形式时, 可以由共同的扫描线控制第二及第三晶体管。与此同样, 当以第四及第五晶体管为互不相同的导电形式时, 可以由共同的扫描线控制第四及第五晶体管。由此, 可以减少扫描线的条数且提高像素的开口率。此外, 由于也可以减少扫描线驱动电路的数量, 所以可以降低耗电量。

注意, 在第一至第五晶体管中, 哪个晶体管是哪个导电形式, 不局限于上述内容。

注意, 在本实施方式中, 将第三晶体管的第二电极及第二存储电容器的第二电极都连接到共同的电容线, 然而, 也可以将第三晶体管的第二电极及第二存储电容器的第二电极分别连接到互不相同的布线。

例如, 图 75 示出了在图 17 所示的电路中, 将第三晶体管的第二电极及第二存储电容器的第二电极分别连接到互不相同的布线的情况的像素结构。在图 75 所示的像素结构中, 第三晶体管 1703 的第二电极与第一电容线 7515 连接, 第二存储电容器 1707 的第二电极与第二电容线 7525 连接。

如图 75 所示, 通过将第三晶体管的第二电极及第二存储电容器的第二电极分别连接到互不相同的布线, 可以控制保持于第一及第二存储电容器的电压。

注意, 与实施方式 1 所示的像素电路同样, 可以在使存储电容器保持第一晶体管的阈值电压之前, 设置使保持于存储电容器的电压初始化的期间。作为用于进行初始化的一个方法, 可以使用如下方法: 通过使电流流入发光元件, 改变第一晶体管的第二电极的电位。

例如, 图 76 示出了在图 17 所示的像素电路中进行初始化的情况的定时图。图 76 示出输入到信号线 1708 及第一至第四扫描线 1709 至

1712 的视频信号电流及脉冲的定时，并且相对于像素电路的各个工作将像素电路的工作周期分割为 T0 至 T3 的四个期间。

在期间 T0 中进行初始化的工作。在期间 T0 中，第二至第四扫描线 1710 至 1712 处于 L 电平，使第三至第五晶体管 1703 至 1705 导通。此外，第一扫描线 1709 处于 H 电平，使第二晶体管 1702 截止。由此，第一晶体管 1701 处于二极管连接的状态，使电流流入发光元件 1716。结果，第一晶体管 1701 的第二电极、第一存储电容器 1706 的第一电极的电位都降低，从而某起始电压保持于第一存储电容器 1706。

通过以上工作，在期间 T0 中，第一存储电容器 1706 保持某起始电压。

此外，作为用于进行初始化的其他方法，在如上所示的像素电路中另外设置初始化晶体管（第六晶体管）和初始化电源线（第三电源线）。

例如，图 28 示出了在图 17 所示的像素电路中设置初始化晶体管的情况的示例。在图 28 中，在图 17 所示的像素电路中加上第六晶体管 2818、第五扫描线 2819、以及第三电源线 2820。注意，在第六晶体管 2818 中，其栅电极连接到第五扫描线 2819，其第一电极连接到第一晶体管 1701 的第二电极、第四晶体管 1704 的第一电极、以及第五晶体管 1705 的第一电极，其第二电极连接到第三电源线 2820。

注意，在图 28 中，第六晶体管 2818 是 P 沟道型，然而不局限于此，也可以是 N 沟道型。

接下来，将参照图 29、图 30 描述图 28 所示的像素电路的工作。

图 29 示出了输入到信号线 1708、第一至第五扫描线 1709 至 1712、2819 的视频信号电流及脉冲的定时，并且相对于像素电路的各个工作将像素电路的工作周期分割为 T0 至 T3 的四个期间。

在期间 T0 中进行初始化的工作。将参照图 30 描述在期间 T0 中的像素电路的工作。在期间 T0 中，第二、第三、第五扫描线 1710、1711、2819 处于 L 电平，使第三、第四、第六晶体管 1703、1704、2818 导通。此外，第一及第四扫描线 1709、1712 处于 H 电平，使第二及第五晶体管 1702、1705 截止。由此，第一晶体管 1701 处于二极管连接的状态，使电流流入第三电源线 2820。结果，第一晶体管 1701 的第二电极、第一存储电容器 1706 的第一电极的电位都与第三电源线 2820 的电位相

同，从而相当于第三电源线 2820 的电位和电容线 1715 的电位的差的电压保持于第一存储电容器 1706。

通过以上工作，在期间 T0 中，第一存储电容器 1706 保持相当于第三电源线 2820 的电位和电容线 1715 的电位的差的电压作为起始电压。

此外，在期间 T1 至 T3 中，使第五扫描线 2819 成为 H 电平，且使第六晶体管 2818 截止。并且，进行与图 17 所示的像素电路相同的工作。就是说，在期间 T1 中，第一存储电容器 1706 中保持第一晶体管 1701 的阈值电压 $|V_{th}|$ 。接着，在期间 T2 中，第一及第二存储电容器 1706 及 1707 中保持第一晶体管 1701 流出视频信号电流 I_{data} 需要的栅极和源极之间的电压 $|V_{gs}(T2)|$ 。接着，在期间 T3 中，比视频信号电流 I_{data} 小的电流 I_{OLED} 流入发光元件 1716，发光元件 1716 发光。注意，流入发光元件 1716 的电流 I_{OLED} 与图 17 所示的像素电路同样表示为 (9) 式。

注意，在图 17 所示的像素电路中，为了使存储电容器保持第一晶体管的阈值电压，必须要预先使第一晶体管的第二电极的电位比相当于电源电位 VDD 和第一晶体管的阈值电压 $|V_{th}|$ 的差的电压，即 $VDD - |V_{th}|$ 低。从而，通过设置初始化的期间，可以确实地使第一晶体管的第二电极的电位比 $VDD - |V_{th}|$ 低，以可以确实地补偿阈值电压。

注意，在图 28 中，以第三电源线 2820 的电位为接地电位 (GND)，然而不局限于此。只要是比电源电压 VDD 和第一晶体管的阈值电压 $|V_{th}|$ 的差 $VDD - |V_{th}|$ 低的电位，即可。此外，第三电源线 2820 的电位并不一定与电容线 1715 的电位相同。

注意，在本实施方式中，将第六晶体管 2818 的第一电极连接到第一晶体管 1701 的第二电极、第四晶体管 1704 的第一电极、以及第五晶体管 1705 的第一电极，然而第六晶体管 2818 的第一电极的连接对象不局限于此。例如，如图 77 所示，也可以将第六晶体管 2818 的第一电极连接到第一晶体管 1701 的栅电极、第二晶体管 1702 的第一电极、第四晶体管 1704 的第二电极、以及第一存储电容器 1706 的第一电极。

此外，作为其他示例，图 31 示出了在图 22 所示的像素电路中设置初始化晶体管的情况的示例。在图 31 中，在图 22 所示的像素电路

中加上第六晶体管 3118、第五扫描线 3119、以及第三电源线 3120。注意，在第六晶体管 3118 中，其栅电极连接到第五扫描线 3119，其第一电极连接到第一晶体管 2201 的第二电极、第四晶体管 2204 的第一电极、以及第五晶体管 2205 的第一电极，其第二电极连接到第三电源线 3120。

注意，在图 31 中，第六晶体管 3118 是 N 沟道型，然而不局限于此，也可以是 P 沟道型。

接下来，将参照图 32 描述图 31 所示的像素电路的工作。

图 32 示出了输入到信号线 2208、第一至第五扫描线 2209 至 2212、3119 的视频信号电流及脉冲的定时，并且相对于像素电路的各个工作将像素电路的工作周期分割为 T0 至 T3 的四个期间。由于第一至第六晶体管都是 N 沟道型，所以输入到第一至第五扫描线 2209 至 2212、3119 的脉冲的定时与整个晶体管都是 P 沟道型的情况（图 28）相比，H 电平和 L 电平倒相。

在期间 T0 中进行初始化的工作。在期间 T0 中的像素电路的工作与图 28 所示的像素电路相同。就是说，在期间 T0 中，第一存储电容器 2206 中保持相当于电容线 2215 的电位和第三电源线 3120 的电位之间的差的电压作为起始电压。

此外，在期间 T1 至 T3 中，使第五扫描线 3119 成为 L 电平，且使第六晶体管 3118 截止。并且，进行与图 22 所示的像素电路相同的工作。就是说，在期间 T1 中，第一存储电容器 2206 中保持第一晶体管 2201 的阈值电压 $|V_{th}|$ 。接着，在期间 T2 中，第一及第二存储电容器 2206 及 2207 中保持第一晶体管 2201 流出视频信号电流 I_{data} 需要的栅极和源极之间的电压 $|V_{gs}(T2)|$ 。接着，在期间 T3 中，比视频信号电流 I_{data} 小的电流 I_{OLED} 流入发光元件 2216，发光元件 2216 发光。注意，流入发光元件 2216 的电流 I_{OLED} 与图 17 所示的像素电路同样表示为 (9) 式。

注意，在图 22 所示的像素电路中，为了使存储电容器保持第一晶体管的阈值电压，必须要预先使第一晶体管的第二电极的电位比第一晶体管的阈值电压 $|V_{th}|$ 高。从而，通过设置初始化的期间，可以确实地使第一晶体管的第二电极的电位比第一晶体管的阈值电压 $|V_{th}|$ 高，以可以确实地补偿阈值电压。

注意，在图 31 中，以第三电源线 3120 的电位为电源电位 VDD，然而不局限于此。只要是比第一晶体管的阈值电压高的电位，即可。此外，第三电源线 3120 的电位并不一定与电容线 2215 的电位相同。

注意，在本实施方式中，将第六晶体管 3118 的第一电极连接到第一晶体管 2201 的第二电极、第四晶体管 2204 的第一电极、以及第五晶体管 2205 的第一电极，然而第六晶体管 3118 的第一电极的连接对象不局限于此。例如，如图 78 所示，也可以将第六晶体管 3118 的第一电极连接到第一晶体管 2201 的栅电极、第二晶体管 2202 的第一电极、第四晶体管 2204 的第二电极、以及第一存储电容器 2206 的第一电极。

注意，在本实施方式中，以第二电源线的电位为固定电位，然而不局限于此。如实施方式 1 所示，也可以相应于第一至第三期间改变第二电源线的电位。

例如，在图 58、图 59 示出了在图 17 所示的像素电路中改变第二电源线的电位的情况的示例。

在图 58 中，与图 17 所示的像素电路相比，第一晶体管 1701 的第二电极与发光元件 1716 的第一电极连接。此外，图 59 示出了输入到信号线 1708、第一至第三扫描线 1709 至 1711、以及第二电源线 1714 的视频信号电流及脉冲的定时。由于通过在第一及第二期间 T1 及 T2 中提高第二电源线 1714 的电位，反向偏压施加到发光元件 1716，所以在期间 T1 及 T2 中电流不流入发光元件 1716。

注意，在第一及第二期间 T1 及 T2 中，通过使第二电源线 1714 的电位比电源电位 VDD 和第一晶体管 1701 的阈值电压 $|V_{th}|$ 之间的差，即 $VDD - |V_{th}|$ 高，可以进行上述工作。

此外，在设置初始化期间的情况下，通过还在初始化期间中使第二电源线 1714 的电位比 $VDD - |V_{th}|$ 高，使电流不流入发光元件 1716。

此外，图 60、图 61 示出了在图 22 所示的像素电路中改变第二电源线的电位的情况的示例作为其他示例。

在图 60 中，与图 22 所示的像素电路相比，第一晶体管 2201 的第二电极与发光元件 2216 的第二电极连接。此外，图 61 示出了输入到信号线 2208、第一至第三扫描线 2209 至 2211、以及第二电源线 2214 的视频信号电流及脉冲的定时。由于在第一及第二期间 T1 及 T2 中降

低第二电源线 2214 的电位，反向偏压施加到发光元件 2216，所以在期间 T1 及 T2 中电流不流入发光元件 2216。

注意，在第一及第二期间 T1 及 T2 中，通过使第二电源线 2214 的电位比第一晶体管 2201 的阈值电压 $|V_{th}|$ 低，可以进行上述工作。

此外，在设置初始化期间的情况下，通过还在初始化期间中使第二电源线 2214 的电位比第一晶体管 2201 的阈值电压 $|V_{th}|$ 低，使电流不流入发光元件 2216。

如图 58 至 61 所示，由于通过根据期间改变第二电源线的电位，不需要设置第五晶体管及第四扫描线，因此可以提高像素的开口率。

注意，在本实施方式中所示的内容可以与实施方式 1 所示的内容自由地组合而实施。

实施方式 3

在本实施方式中，将描述在显示器件中的信号线驱动电路和扫描线驱动电路等的结构和其工作。

例如，如图 1 所示的具有用信号线和第一至第四扫描线控制工作的像素电路的显示器件的结构是如图 62 所示那样。图 62 所示的显示器件包括像素部分 6201、第一至第四扫描线驱动电路 6202 至 6205、以及信号线驱动电路 6206。

首先，将描述信号线驱动电路。信号线驱动电路 6206 将视频信号电流通过信号线 6211 依次输出到像素部分 6201。在像素部分 6201 中，根据视频信号电流控制光的状态，以显示图像。

图 63A 和 63B 示出了信号线驱动电路 6206 的一个结构示例。信号线驱动电路 6206 主要包括移位寄存器 6301、第一锁存电路 6302、第二锁存电路 6303、以及电流源电路 6304。

接下来，简要地描述信号线驱动电路 6206 的工作。向移位寄存器 6301 输入时钟信号 (S-CLK)、启动脉冲 (S-SP)、以及反相的时钟信号 (S-CLKB)，并根据这些信号的定时，移位寄存器 6301 依次输出采样脉冲。

从移位寄存器 6301 输出的采样脉冲被输入到第一锁存电路 6302。视频信号以电压 V_{data} 从视频信号线输入到第一锁存电路 6302，根据采样脉冲的输入定时，这些视频信号保持在每一列中。在此，视频信号是数字信号。

在视频信号的保持完成，直到第一锁存电路 6302 中的最后列之后，在水平回归周期内从锁存控制线输入锁存信号，保持在第一锁存电路 6302 中的视频信号一齐转移到第二锁存电路 6303。然后，已经保持在第二锁存电路 6303 中的一行的视频信号同时输入到电流源电路 6304。然后，在电流源电路中，视频信号电压 V_{data} 被转换为视频信号电流 I_{data} ，并从各信号线被输入到像素部分 6201。

当保持在第二锁存电路 6303 中的视频信号被输入到电流源电路 6304，随后输入到像素部分 6201 时，移位寄存器 6301 再次输出采样脉冲。即，同时进行两个工作。相应地，可以执行线依次驱动。之后将重复该工作。

图 63A 和 63B 所示的信号线驱动电路的差别在于将视频信号电压转换为视频信号电流的方法。

在图 63A 所示的信号线驱动电路中，保持在第二锁存电路 6303 中的数字视频信号被输入到电流源电路 6304A 至 6304C。在此，从电流源电路 6304A 至 6304C 分别输出的电流值互不相同。例如，电流值的比率为 1: 2: 4。就是说，通过并列地配置 n 个电流源电路，以其电流值的比率为 1: 2: 4: $\dots 2^{n-1}$ ，并且总合从每个电流源电路输出的电流，而可以线性地改变被输出的电流值 I_{data} 。

在图 63B 所示的信号线驱动电路中，保持在第二锁存电路 6303 中的数字视频信号由锁存信号的输入转移到 D/A 转换电路 6305 中，在此转换为模拟视频信号。该模拟视频信号被输入到每个电流源电路 6304，然后视频信号电流 I_{data} 被输出。

此外，也可以使这样的 D/A 转换电路 6305 中具有例如伽玛校正的功能。

接下来，将描述扫描线驱动电路。第一至第四扫描线驱动电路 6202 至 6205 将选择信号依次输出到像素部分 6201。图 64 示出了第一至第四扫描线驱动电路 6202 至 6205 的一个结构示例。扫描线驱动电路主要包括移位寄存器 6401 和放大电路 6402 等。

接下来，简要地描述图 64 所示的第一至第四扫描线驱动电路 6202 至 6205 的工作。向移位寄存器 6401 输入时钟信号 (G-CLK)、启动脉冲 (G-SP)、以及反相的时钟信号 (G-CLKB)，并根据这些信号的定时，移位寄存器 6401 依次输出采样脉冲。被输出的采样脉冲在放

大电路 6402 中被放大，并从每个扫描线被输入到像素部分 6201。

注意，放大电路 6402 的结构既可具有缓冲电路，又可具有电平转移电路。此外，在扫描线驱动电路中，除了移位寄存器 6401 和放大电路 6402 以外，还可以配置有脉冲宽度控制电路等。

在此，第一至第四扫描线驱动电路 6202 至 6205 的每一个都是用于将选择信号依次输出到第一至第四扫描线 6207 至 6210 的驱动电路。

通过使用如上那样的信号线驱动电路及扫描线驱动电路，可以驱动本发明的像素电路。

注意，例如在图 1 所示的像素电路中，向第一及第二扫描线输入互相反相的选择信号。因此，也可以使用第一及第二扫描线驱动电路的任何一个控制输入到第一及第二扫描线的任何一个的选择信号，并向另一个扫描线输入其反相的信号。与此同样，由于向第三及第四扫描线输入互相反相的选择信号，因此，也可以使用第三及第四扫描线驱动电路的任何一个控制输入到第三及第四扫描线的任何一个的选择信号，并向另一个扫描线输入其反相的信号。图 65 示出了这种情况的显示器件的结构示例。在图 65 中，使用第一及第三扫描线驱动电路 6202 及 6204 控制输入到第一及第三扫描线 6207 及 6209 的选择信号。此外，使用反相器 6212 及 6213 生成输入到第一及第三扫描线 6207 及 6209 的选择信号的反相信号，然后将此输出到第二及第四扫描线 6208 及 6210。

此外，例如，图 66 示出了如图 50 所示的像素电路，分别使用共同的扫描线控制第二及第三晶体管或第四及第五晶体管的情况的显示器件的结构示例。在图 66 中，使用第一扫描线控制第二及第三晶体管，并使用第三扫描线控制第四及第五晶体管，从而使用第一及第三扫描线驱动电路 6202 及 6204 控制第一及第三扫描线 6207 及 6209。

注意，信号线驱动电路和扫描线驱动电路等的结构不局限于图 62 至图 66。

注意，本发明的晶体管可以是任何晶体管类型，并在任何衬底上形成。因此，如图 62 至图 66 所示的所有电路都可以形成在玻璃衬底、塑料衬底、单晶衬底、或 SOI 衬底上，即，都可以形成在任何衬底上。或者，可以是图 62 至图 66 中的电路的一部分形成在某一个衬底上，而电路的另一部分形成在另一个衬底上。即，并不是图 62 至图 66 中

的所有电路都需要形成在同一个衬底上。例如，在图 62 至图 66 中，可以使用晶体管在玻璃衬底上形成像素部分和扫描线驱动电路，然后通过 COG（玻璃上芯片）将在单晶衬底上形成信号线驱动电路（或它的一部分）而制作的 IC 芯片连接而配置到玻璃衬底上。或者，该 IC 芯片可以通过 TAB（带式自动接合）或利用印刷衬底连接到玻璃衬底。

注意，在本实施方式中所述的内容可以与实施方式 1 和实施方式 2 所述的内容自由地组合而实施。

实施方式 4

在本实施方式中，将参照图 79 等描述用于本发明的显示器件中的显示面板。注意，在图 79A 是表示显示面板的俯视图，图 79B 是沿图 79A 的 A-A' 切断的截面图。图 79A 和图 79B 包括由虚线所示的信号线驱动电路 7901、像素部分 7902、第一扫描线驱动电路 7903、以及第二扫描线驱动电路 7906。此外，它还包括密封衬底 7904、以及密封材料 7905，并且由密封材料 7905 围绕的内侧是空间 7907。

注意，布线 7908 用于传送输入到第一扫描线驱动电路 7903、第二扫描线驱动电路 7906、以及信号线驱动电路 7901 的信号，并且从作为外部输入端子的 FPC7909 接收视频信号、时钟信号、启动信号等。在 FPC7909 和显示面板的连接部分上通过 COG（玻璃上芯片）等安装有 IC 芯片（形成有存储电路、缓冲电路等的半导体芯片）7919。注意，虽然在此仅仅表示 FPC，但是也可以印刷线路板（PWB）安装在该 FPC 上。

接下来，将参照图 79B 描述截面结构。虽然在衬底 7910 上形成有像素部分 7902 和其周边驱动电路（第一扫描线驱动电路 7903、第二扫描线驱动电路 7906、以及信号线驱动电路 7901），但是在此表示信号线驱动电路 7901 和像素部分 7902。

注意，信号线驱动电路 7901 包括多个晶体管如晶体管 7920 和晶体管 7921 等。此外，虽然在本实施方式中表示在衬底上形成像素部分和周边驱动电路为一体的显示面板，但是并不一定需要这样形成，也可以在 IC 芯片等上形成周边驱动电路的全部或一部分并使用 COG 等将此安装。

此外，像素部分 7902 具有多个电路，该多个电路构成包含开关晶体管 7911 和驱动晶体管 7912 的像素。注意，驱动晶体管 7912 的源极

与第一电极 7913 连接。此外，以覆盖第一电极 7913 的端部的方式形成有绝缘膜 7914。在此，使用正型的感光性丙烯酸树脂膜而形成。

此外，在绝缘膜 7914 的上端部或下端部形成具有曲率的曲面，以便使覆盖性良好。例如，在使用正型的感光性丙烯酸作为绝缘膜 7914 的材料的情况下，优选仅仅使绝缘膜 7914 的上端部具有曲率半径（0.2 至 3 μm ）的曲面。此外，作为绝缘膜 7914，可以使用由感光性的光而变得不溶解于蚀刻剂的负型或者由光而变得溶解于蚀刻剂的正型中的任何一种。

在第一电极 7913 上分别形成有含有有机化合物的层 7916、以及第二电极 7917。在此，作为用作阳极的第一电极 7913 的材料，优选使用功函数高的材料。例如，可以使用 ITO（氧化铟锡）膜、氧化铟锌（IZO）膜、氮化钛膜、铬膜、钨膜、铟膜或铂膜等的单层膜；氮化钛膜和以铝为主要成分的膜的叠层膜；或者氮化钛膜、以铝为主要成分的膜和另一个氮化钛膜的三层结构膜等。注意，当第一电极 7913 为叠层结构时，作为布线其可以具有低电阻并实现良好的欧姆接触，可以进一步用作阳极。

此外，含有有机化合物的层 7916 通过使用蒸发淀积掩模的蒸发淀积法、或喷墨法形成。使用元素周期表第四族金属配合物作为含有有机化合物的层 7916 的一部分，另外低分子材料和高分子材料都可以组合而使用。此外，作为用于含有有机化合物的层的材料，通常在很多情况下，使用有机化合物的单层或叠层，然而，在本实施方式中，包括如下结构：使用无机化合物作为由有机化合物构成的膜的一部分。另外，也可以使用已知的三重态材料。

此外，形成在含有有机化合物的层 7916 上的阴极的第二电极 7917 的材料，使用功函数低的材料（Al、Ag、Li、Ca、或其合金的 MgAg、MgIn、AlLi、CaF₂ 或氮化钙）即可。注意，使在含有有机化合物的层 7916 中产生的光透过第二电极 7917 的情况下，优选使用膜厚度薄的金属薄膜和透明导电膜（ITO（氧化铟锡）、氧化铟氧化锌合金（In₂O₃-ZnO）或氧化锌（ZnO）等）的叠层膜作为第二电极 7917。

再者，采用如下结构：密封衬底 7904 和衬底 7910 由密封材料 7905 贴合在一起，由此发光元件 7918 位于由衬底 7910、密封衬底 7904 和密封材料 7905 围绕的空间 7907 中。注意，所述空间 7907 中既可填充

有惰性气体（氮、氩等）又可填充有密封材料 7905。

作为所述密封材料 7905，优选使用环氧类树脂。此外，这些材料优选尽可能不透过水分和氧气。此外，作为密封衬底 7904，除了玻璃衬底和石英衬底外，还可以使用由 FRP（玻璃纤维增强塑料）、PVF（聚氟乙烯）、聚酯薄膜（mylar）、聚酯或丙烯酸等构成的塑料衬底。

如上所述，可以得到一种包括本发明的像素结构的显示面板。

如图 79 所示，通过形成信号线驱动电路 7901、像素部分 7902、第一扫描线驱动电路 7903、以及第二扫描线驱动电路 7906 为一体，可以实现显示器件的低成本化。注意，通过使用用于信号线驱动电路 7901、像素部分 7902、第一扫描线驱动电路 7903、以及第二扫描线驱动电路 7906 的晶体管是单极性，可以实现制造步骤的简单化，因此进一步降低成本。此外，通过适用非晶硅作为用于信号线驱动电路 7901、像素部分 7902、第一扫描线驱动电路 7903、以及第二扫描线驱动电路 7906 的晶体管的半导体层，可以进一步降低成本。

注意，作为显示面板的结构，不局限于如图 79A 所示的形成信号线驱动电路 7901、像素部分 7902、第一扫描线驱动电路 7903、以及第二扫描线驱动电路 7906 为一体的结构，也可以在 IC 芯片上形成相当于信号线驱动电路 7901 的信号线驱动电路并通过 COG 等将此安装到显示面板。

就是说，使用 CMOS 等在 IC 芯片上仅仅形成驱动电路的高速工作被要求的信号线驱动电路，而实现低耗电量化。此外，以 IC 芯片为硅片等的半导体芯片，从而可以进一步实现高速工作和低耗电量化。

并且，通过形成扫描线驱动电路和像素部分为一体，使得实现低成本化。注意，通过使用单极性的晶体管构成该扫描线驱动电路和像素部分，可以实现进一步的低成本化。作为像素部分具有的像素结构，可以适用实施方式 1 和实施方式 2 所示的结构。此外，通过使用非晶硅作为晶体管的半导体层，使得制造步骤简单化，并可以实现进一步的低成本化。

像这样，可以实现高清晰的显示器件的低成本化。此外，通过在 FPC7909 和衬底 7910 的连接部分上安装形成有功能电路（存储器和缓冲器）的 IC 芯片，可以有效地利用衬底面积。

此外，也可以采用如下结构：在 IC 芯片上形成相当于图 79A 的信

号线驱动电路 7901、第一扫描线驱动电路 7903、以及第二扫描线驱动电路 7906 的信号线驱动电路、第一扫描线驱动电路、以及第二扫描线驱动电路，并通过 COG 等将此安装到显示面板上。在此情况下，可以使高清晰的显示器件更低耗电量化。因此，优选使用多晶硅作为用于像素部分的晶体管的半导体层，以便制造耗电量更低的显示器件。

此外，通过使用非晶硅作为像素部分 7902 的晶体管的半导体层，可以实现低成本化。再者，可以制造大规模的显示面板。

注意，扫描线驱动电路和信号线驱动电路不局限于设置在像素的行方向和列方向。

接下来，图 80 示出了可以适用于发光元件 7918 的发光元件的示例。

在此，采用如下元件结构：在衬底 8000 上层叠阳极 8002、由空穴注入材料构成的空穴注入层 8003、其上由空穴传输材料构成的空穴传输层 8004、发光层 8005、由电子传输材料构成的电子传输层 8006、由电子注入材料构成的电子注入层 8007、以及阴极 8008。在此，发光层 8005 有可能仅仅由一个种类的发光材料形成，但是也可以由两个种类或更多的材料形成。此外，本发明的元件结构不局限于该结构。

此外，除了图 80 所示的层叠各个功能层的叠层结构以外，还可以使用各种各样的元件，例如使用高分子化合物的元件、利用从三重态激发态发光的三重态发光材料作为发光层的高效率元件等。还可以应用于白色发光元件等，其中由空穴阻挡层控制载流子的再结合区域，并将发光区域分割为两个区域。

接下来，将描述图 80 所示的本发明的元件的制造方法。首先，在具有阳极 8002（ITO（氧化铟锡））的衬底 8001 上顺序蒸发淀积空穴注入材料、空穴传输材料、以及发光材料。接着，蒸发淀积而形成电子传输材料、电子注入材料、以及阴极 8008。

接下来，以下举出适合于空穴注入材料、空穴传输材料、电子传输材料、电子注入材料、以及发光材料等材料的材料。

作为空穴注入材料，在有机化合物中，可以有效地使用卟啉类化合物、酞菁（以下简称为“H₂Pc”）、铜酞菁（以下简称为“CuPc”）等。此外，也可以使用具有比要使用的空穴传输材料较小的电离电势并具有空穴传输功能的材料作为空穴注入材料。还有掺入了化学物质

的导电高分子化合物，如掺入了聚苯乙烯磺酸（以下简称为“PSS”）的聚二氧乙基噻吩（以下简称为“PEDOT”）、以及聚苯胺等。此外，在平面化阳极时绝缘高分子化合物也是有效的，常常使用聚酰亚胺（以下简称为“PI”）。此外，也可以使用无机化合物，如金或铂之类的金属薄膜、氧化铝（以下简称为“铝土”）的超薄膜等。

最广泛地用作空穴传输材料的材料是芳香胺化合物（即，具有苯环-氮键的化合物）。广泛使用的材料包括：4,4'-双（二苯氨基）-联苯（以下简称为“TAD”）；其衍生物如4,4'-双[N-（3-甲基）-N-苯氨基]-联苯（以下简称为“TPD”）、以及4,4'-双[N-（1-萘）-N-苯氨基]-联苯（以下简称为“a-NPD”）。此外，还可以使用星状芳香胺化合物，如4,4',4''-三（N,N-二苯氨基）-三苯胺（以下简称为“TDATA”）、4,4',4''-三[N-（3-甲基）-N-苯氨基]-三苯胺（以下简称为“MTDATA”）等。

作为电子传输材料，常常使用金属配合物，包括具有喹啉骨架或苯并喹啉骨架的金属配合物等，如三（8-喹啉）铝（以下简称为“Alq₃”）、BAlq、三（4-甲基-8-喹啉）铝（以下简称为“Almq”）、双（10-羟苯[h]-喹啉）铍（以下简称为“Bebq”）等。此外，还有具有基于恶唑或基于噻唑的配位体的金属配合物，如双[2-（2-羟苯）-苯并恶唑]锌（以下简称为“Zn(BOX)₂”）、双[2-（2-羟苯）-苯并噻唑]锌（以下简称为“Zn(BTZ)₂”）等。此外，除了金属配合物之外，如下列材料也具有电子传输性：恶二唑衍生物，如2-（4-二联苯）-5-（4-叔丁苯）-1,3,4-恶二唑（以下简称为“PBD”）、OXD-7等；三唑衍生物，如TAZ、3-（4-叔丁苯）-4-（4-乙基苯）-5-（4-二联苯）-1,2,4-三唑（以下简称为“p-EtTAZ”）等；以及菲咯啉衍生物，如红菲绕啉（以下简称为“BPhen”）、BCP等。

作为电子注入材料，可以使用如上所述的电子传输材料。此外，常常使用金属卤化物如氟化钙、氟化锂、或氟化铯等以及碱金属氧化物如氧化锂等的绝缘体的超薄膜。此外，诸如乙酰基丙酮酸锂（以下简称为“Li(acac)”）或8-喹啉-锂（以下简称为“Liq”）之类的碱金属络合物也是有效的。

作为发光材料，除了如上所述的Alq₃、Almq、BeBq、BAlq、Zn(BOX)₂、Zn(BTZ)₂之类的金属配合物之外，还可以有效地使用各种

荧光颜料。作为荧光颜料，有蓝色的 4,4'-双(2,2-二苯乙烯基)-联苯、红色-橙色的 4-(二氟甲基)-2-甲基-6-(p-二甲胺苯乙烯基)-4H-吡喃等。此外，还可以使用三重态发光材料，主要是具有铂或铱作为中心金属的配合物。作为三重态发光材料，已知如下列材料：三(2-苯吡啶)铱；双(2-(4'-tryl)吡啶-N, C^{2'})乙酰丙酮铱(以下简称为“acacIr(tpy)₂”)；2,3,7,8,12,13,17,18-八乙基-21H, 23H 卟啉-铂等。

通过组合如上所示的具有各种功能的材料，可以制造具有高可靠性的发光元件。

此外，也可以使用与图 80 相反的顺序形成层的发光元件。就是说，可以使用如下元件结构：在衬底 8001 上层叠阴极 8008、由电子注入材料构成的电子注入层 8007、其上由电子传输材料构成的电子传输层 8006、发光层 8005、由空穴传输材料构成的空穴传输层 8004、由空穴注入材料构成的空穴注入层 8003、以及阳极 8002。

此外，优选使发光元件的阳极和阴极的至少一个为透明，以便取出发光。并且，在衬底上形成晶体管及发光元件。发光元件包括如下结构：从与衬底相反的面取出发光的顶部发射结构；从衬底一面取出发光的底部发射结构；以及从衬底一面和与衬底相反的面取出发光的双面发射结构。本发明的像素结构可以适用于任何发射结构的发光元件。

首先，将参照图 81A 描述顶部发射结构的发光元件。

在衬底 8100 上形成驱动晶体管 8101，与驱动晶体管 8101 的源极接触地形成第一电极 8102，在其上形成包含有机化合物的层 8103 和第二电极 8104。

此外，第一电极 8102 是发光元件的阳极，第二电极 8104 是发光元件的阴极。就是说，第一电极 8102 和第二电极 8104 之间夹着包含有机化合物的层 8103 的部分是发光元件。

此外，在此，作为用作阳极的第一电极 8102 的材料，优选使用功函数高的材料。例如，可以使用如下膜：氮化钛膜、铬膜、钨膜、锌膜或铂膜等的单层膜；氮化钛膜和以铝为主要成分的膜的叠层膜；或者氮化钛膜、以铝为主要成分的膜和另一个氮化钛膜的三层结构膜等。注意，当第一电极 8102 为叠层结构时，作为布线其可以具有低电阻并实现良好的欧姆接触，可以进一步用作阳极。通过使用反射光的

金属膜，可以形成使光不透过阳极。

此外，作为用作阴极的第二电极 8104 的材料，优选使用由功函数低的材料（Al、Ag、Li、Ca、或其合金的 MgAg、MgIn、AlLi、CaF₂ 或氮化钙）构成的金属薄膜和透明导电膜（ITO（氧化铟锡）、氧化铟锌（IZO）、氧化锌（ZnO）等）的叠层膜。通过这样使用薄的金属薄膜和具有透明性的透明导电膜，可以形成使光透过的阴极。

因此，可以通过图 81A 中的箭头所示的顶表面提取从发光元件发出的光。就是说，在将顶部发射结构的发光元件用于图 79 所示的显示面板的情况下，光被发射到密封衬底 7904 一侧。因此，当具有顶部发射结构的发光元件用于显示器件时，具有透光性的衬底被用作密封衬底 7904。

此外，在提供光学薄膜的情况下，可以在密封衬底 7904 上提供光学薄膜。

注意，可以使用用作阴极的由 MgAg、MgIn、AlLi 等的功函数低的材料构成的金属膜形成第一电极 8102。在此情况下，可以使用透明导电膜如 ITO（氧化铟锡）膜、氧化铟锌（IZO）膜等作为第二电极 8104。因此，根据该结构，可以提高顶部发射的透光性。

接下来，将参照图 81B 描述底部发射结构的发光元件。由于除发射结构之外的总体结构与图 81A 的结构相同，因此使用相同的附图标记进行说明。

在此，作为用作阳极的第一电极 8102 的材料，优选使用功函数高的材料。例如，可以使用透明导电膜，如氧化铟锡（ITO）膜、氧化铟锌（IZO）膜等。通过使用具有透明性的透明导电膜，可以形成可以透射光的阳极。

此外，作为用作阴极的第二电极 8104 的材料，优选使用由功函数低的材料（Al、Ag、Li、Ca、或其合金的 MgAg、MgIn、AlLi、CaF₂ 或氮化钙）构成的金属膜。像这样，通过使用反射光的金属膜，可以形成不透射光的阴极。

因此，可以通过图 81B 中的箭头所示的底表面提取从发光元件发出的光。就是说，在将底部发射结构的发光元件用于图 79 所示的显示面板的情况下，光被发射到衬底 7910 一侧。因此，当具有底部发射结构的发光元件用于显示器件时，具有透光性的衬底被用作衬底 7910。

此外,在提供光学薄膜的情况下,可以在衬底 7910 上提供光学薄膜。

接下来,将参照图 81C 描述双面发射结构的发光元件。由于除发射结构之外的总体结构与图 81A 的结构相同,因此使用相同的附图标记进行说明。

在此,作为用作阳极的第一电极 8102 的材料,优选使用功函数高的材料。例如,可以使用透明导电膜,如 ITO (氧化铟锡)膜、氧化铟锌 (IZO) 膜等。通过使用具有透明性的透明导电膜,可以形成可以透射光的阳极。

此外,作为用作阴极的第二电极 8104 的材料,优选使用由功函数低的材料 (Al、Ag、Li、Ca、或其合金的 MgAg、MgIn、AlLi、CaF₂ 或氮化钙) 构成的金属薄膜和透明导电膜 (ITO (氧化铟锡)、氧化铟氧化锌合金 (In₂O₃-ZnO)、氧化锌 (ZnO) 等) 的叠层膜。通过使用薄的金属薄膜和具有透明性的透明导电膜,可以形成使光透过的阴极。

因此,可以通过图 81C 中的箭头所示的双表面提取从发光元件发出的光。就是说,在将双面发射结构的发光元件用于图 79 所示的显示面板的情况下,光被发射到衬底 7910 一侧和密封衬底 7904 一侧。因此,当具有双面发射结构的发光元件用于显示器件时,衬底 7910 和密封衬底 7904 都使用具有透光性的衬底。

此外,在提供光学薄膜的情况下,可以在衬底 7910 和密封衬底 7904 的双方上提供光学薄膜。

此外,本发明还可以应用于通过使用发出白色的元件和滤色器执行全彩色显示的显示器件。

如图 82 所示,在衬底 8200 上形成基底膜 8202,在基底膜 8202 上形成驱动晶体管 8201,与驱动晶体管 8201 的源极接触地形成第一电极 8203,在其上形成包含有机化合物的层 8204 和第二电极 8205。

此外,第一电极 8203 是发光元件的阳极,第二电极 8205 是发光元件的阴极。就是说,第一电极 8203 和第二电极 8205 之间夹着包含有机化合物的层 8204 的部分是发光元件。在图 82 的结构中,发射白色光。在发光元件的上面提供有红色滤色器 8206R、绿色滤色器 8206G、蓝色滤色器 8206B,从而可以执行全彩色显示。此外,还提供有黑色矩

阵（也称为 BM）8207，以隔离这些滤色器。

上述的发光元件的结构可以组合而使用，并可以适当地用于本发明的显示器件。此外，上述的显示面板的结构和发光元件只是示例，本发明可以适用于具有与上述结构不同的其他结构的显示器件。

接下来，将表示显示面板的像素部分的部分截面图。

首先，将参照图 83、图 84、以及图 85 描述使用多晶硅（p-Si:H）膜作为晶体管的半导体层的情况。

在此，例如通过已知的形成膜的方法在衬底上形成非晶硅（a-Si）膜作为半导体层。注意，并不需要半导体层限于非晶硅膜，可以使用包括非晶结构的半导体膜（包括微晶半导体膜）。此外，也可以使用包括非晶结构的化合物半导体膜，如非晶硅锗膜等。

然后，通过激光结晶法、使用 RTA 或退火炉的热结晶法、使用促进结晶的金属元素的热结晶法等，对非晶硅膜进行结晶。不用说，可以组合地执行这些结晶法。

通过上述结晶，在非晶半导体膜的一部分形成结晶区域。

接着，使具有部分地增大的结晶度的结晶半导体膜图案化为所希望的形状，利用结晶区域形成岛状的半导体膜。使用该半导体膜作为晶体管的半导体层。

如图 83A 所示，在衬底 8301 上形成基底膜 8302，在其上形成半导体层。半导体层包括：驱动晶体管的 8318 的沟道形成区域 8303、LDD 区域 8304 及要成为源极或漏极区域的杂质区域 8305；以及要成为电容元件 8319 的下电极的沟道形成区域 8306、LDD 区域 8307 及杂质区域 8308。注意，可以对沟道形成区域 8303 及沟道形成区域 8306 进行沟道掺杂。

可以使用玻璃衬底、石英衬底、陶瓷衬底等作为衬底。此外，可以使用单层的氮化铝（AlN）、氧化硅（SiO₂）、氧氮化硅（SiO_xN_y）等或这些的叠层结构。

在半导体层上，以其中夹着栅极绝缘膜 8309 的方式形成有栅电极 8310 及电容元件 8319 的上电极 8311。

以覆盖电容元件 8319 及驱动晶体管 8318 的方式形成层间绝缘膜 8312。在层间绝缘膜 8312 中形成接触孔，布线 8313 通过该接触孔与杂质区域 8305 接触。与布线 8313 接触地形成像素电极 8314，以覆盖像

素电极 8314 的端部及布线 8313 的方式形成绝缘膜 8315。在此,使用正型的感光性丙烯酸树脂膜而形成。然后,在像素电极 8314 上形成包含有机化合物的层 8316 及相对电极 8317。由此,包含有机化合物的层 8316 夹在像素电极 8314 和相对电极 8317 之间的区域形成发光元件 8320。

此外,如图 83B 所示,可以在构成电容元件 8319 的下电极的一部分的 LDD 区域中形成区域 8321,以将此与电容元件 8319 的上电极 8311 重叠。注意,与图 83A 相同的部分由相同附图标记来表示,并省略其描述。

此外,如图 84A 所示,电容元件 8323 可以包括第二上电极 8322,该第二上电极 8322 是在与接触于驱动晶体管 8318 的杂质区域 8305 的布线 8313 相同的层中形成的。注意,与图 83A 相同的部分由相同附图标记来表示,并省略其描述。由于第二上电极 8322 与杂质区域 8308 接触,因此,第一电容元件和第二电容元件并联连接,该第一电容元件通过上电极 8311 和沟道形成区域 8306 之中夹有栅极绝缘膜 8309 构成,该第二电容元件通过上电极 8311 和第二上电极 8322 之中夹有层间绝缘膜 8312 构成,从而获得由第一电容元件和第二电容元件构成的电容元件 8323。由于该电容元件 8323 的电容是总合第一电容元件和第二电容元件的电容而得出的合成电容,所以可以以小的面积形成具有大的电容的电容元件。就是说,通过用作本发明的像素结构的电容元件,可以进一步实现提高开口率。

此外,可以采用如图 84B 所示的电容元件的结构。在衬底 8401 上形成基底膜 8402,在其上形成半导体层。半导体层包括驱动晶体管 8418 的沟道形成区域 8403、LDD 区域 8404、要成为源极或漏极区域的杂质区域 8405。注意,可以对沟道形成区域 8403 进行沟道掺杂。

可以使用玻璃衬底、石英衬底、陶瓷衬底等作为衬底。此外,可以使用单层的氮化铝 (AlN)、氧化硅 (SiO_2)、氧氮化硅 (SiO_xN_y) 等或这些的叠层结构作为基底膜 8402。

在半导体层上,以其中夹着栅极绝缘膜 8406 的方式形成有栅电极 8407 及第一电极 8408。

以覆盖驱动晶体管 8418 及第一电极 8408 的方式形成第一层间绝缘膜 8409。在第一层间绝缘膜 8409 中形成接触孔,布线 8410 通过该

接触孔与杂质区域 8405 接触。此外，在与布线 8410 相同的层中，形成由与布线 8410 相同的材料构成的第二电极 8411。

接着，以覆盖布线 8410 及第二电极 8411 的方式形成第二层间绝缘膜 8412，在该第二层间绝缘膜 8412 中形成接触孔，通过该接触孔与布线 8410 接触地形成像素电极 8413。此外，在与该像素电极 8413 相同的层中形成由与像素电极 8413 相同的材料构成的第三电极 8414。由此，获得由第一电极 8408、第二电极 8411、以及第三电极 8414 构成的电容元件 8419。

在像素电极 8413 上形成包含有机化合物的层 8416 及相对电极 8417。像素电极 8413 和相对电极 8417 之中夹有包含有机化合物的层 8416 的部分是发光元件 8420。

如上所述，作为使用结晶半导体膜作为半导体层的晶体管的结构，可以举出图 83 及图 84 所示的结构。注意，图 83 及图 84 所示的结构是顶部栅极结构的晶体管的一个示例。就是说，LDD 区域既可与栅电极重叠，又可与栅电极不重叠，或者又可 LDD 区域的一部分与栅电极重叠。再者，栅电极可以为锥形，可以在栅电极的锥形部分的下面以自对准地提供 LDD 区域。此外，栅电极不局限于两个，既可为三个或更多的多栅电极结构，又可为一个栅电极。

通过使用结晶半导体膜作为构成本发明的像素的晶体管的半导体层（沟道形成区域、源极区域、漏极区域等），容易形成扫描线驱动电路及信号线驱动电路和像素部分为一体。此外，也可以形成信号线驱动电路的一部分和像素部分为一体，将另一部分在 IC 芯片上形成，并如图 79 的显示面板所示通过 COG 等安装。通过采用这样的结构，可以实现降低制造成本。

此外，作为使用多晶硅（p-Si:H）作为半导体层的晶体管的结构，可以适用衬底和半导体层之间夹有栅电极的结构，即，栅电极位置在半导体层下的底部栅电极结构的晶体管。在此，图 85A 和 85B 示出了适用底部栅电极结构的晶体管的显示面板的像素部分的部分截面图。

如图 85A 所示，在衬底 8501 上形成基底膜 8502。再者，在基底膜 8502 上形成栅电极 8503。此外，在与栅电极 8503 相同的层中形成由与栅电极 8503 相同的材料构成的第一电极 8504。可以使用添加有磷的多晶硅作为栅电极 8503 的材料。除了多晶硅之外，还可以使用金属和硅

的化合物的硅化物。

以覆盖栅电极 8503 及第一电极 8504 的方式形成栅极绝缘膜 8505。可以使用氧化硅膜或氮化硅膜等作为栅极绝缘膜 8505。

在栅极绝缘膜 8505 上形成半导体层。半导体层包括：驱动晶体管 8522 的沟道形成区域 8506、LDD 区域 8507 及要成为源极或漏极区域的杂质区域 8508；以及要成为电容元件 8523 的第二电极的沟道形成区域 8509、LDD 区域 8510 及杂质区域 8511。注意，对于沟道形成区域 8506 及沟道形成区域 8509 可以进行沟道掺杂。

可以使用玻璃衬底、石英衬底、陶瓷衬底等作为衬底。此外，可以使用单层的氮化铝（AlN）、氧化硅（SiO₂）、氧氮化硅（SiO_xN_y）等或这些的叠层结构作为基底膜 8502。

覆盖半导体层地形成第一层间绝缘膜 8512，在该第一层间绝缘膜 8512 中形成接触孔，布线 8513 通过该接触孔与杂质区域 8508 接触。此外，在与布线 8513 相同的层中，形成由与布线 8513 相同的材料构成的第三电极 8514。电容元件 8523 由第一电极 8504、第二电极、第三电极 8514 构成。

此外，在第一层间绝缘膜 8512 中形成有开口部分 8515。形成第二层间绝缘膜 8516，以覆盖驱动晶体管 8522、电容元件 8523 及开口部分 8515。在第二层间绝缘膜 8516 中形成接触孔，并通过该接触孔形成像素电极 8517。此外，形成绝缘膜 8518 以覆盖像素电极 8517 的端部。例如，可以使用正型的感光性丙烯酸树脂膜。然后，在像素电极 8517 上形成包含有机化合物的层 8519 及相对电极 8520。由此，像素电极 8517 和相对电极 8520 之间夹有包含有机化合物的层 8519 的部分是发光元件 8521。并且，开口部分 8515 位于发光元件 8521 的下面。就是说，当从衬底一侧取出发光元件 8521 发出的光时，由于具有开口部分 8515，所以可以提高透光性。

此外，在图 85A 中，可以在与像素电极 8517 相同的层中使用相同的材料形成第四电极 8524，以成为如图 85B 所示的结构。由此，可以形成由第一电极 8504、第二电极、第三电极 8514 及第四电极 8524 构成的电容元件 8525。

接下来，将参照图 33A 和 33B、图 34 A 和 34B、图 35 A 和 35B 描述使用非晶硅（a-Si:H）膜作为晶体管的半导体层的情况。

图 33A 和 33B 示出了适用使用非晶硅作为半导体层的顶部栅极结构的晶体管的显示面板的像素部分的部分截面图。如图 33A 所示, 在衬底 3301 上形成有基底膜 3302。进而, 在基底膜 3302 上形成有像素电极 3303。此外, 形成有与像素电极 3303 在相同的层中且由相同的材料构成的第一电极 3304。

可以使用玻璃衬底、石英衬底、陶瓷衬底等作为衬底。此外, 可以使用单层的氮化铝 (AlN)、氧化硅 (SiO_2)、氧氮化硅 (SiO_xN_y) 等或这些的叠层结构作为基底膜 3302。

此外, 在基底膜 3302 上形成有布线 3305 及布线 3306, 并且像素电极 3303 的端部被布线 3305 覆盖。在布线 3305 及布线 3306 上形成有具有 N 型导电性的 N 型半导体层 3307 及 N 型半导体层 3308。此外, 在布线 3305 和布线 3306 之间且基底膜 3302 上形成有半导体层 3309。并且, 半导体层 3309 的一部分延长到 N 型半导体层 3307 及 N 型半导体层 3308 上。注意, 该半导体层是由非晶半导体膜如非晶硅 (a-Si:H)、微晶半导体 ($\mu\text{-Si:H}$) 等制作。此外, 在半导体层 3309 上形成有栅极绝缘膜 3310。此外, 还在第一电极 3304 上形成有与栅极绝缘膜 3310 在相同的层中且由相同材料形成的绝缘膜 3311。注意, 使用氧化硅膜、氮化硅膜等作为栅极绝缘膜 3310。

此外, 在栅极绝缘膜 3310 上形成有栅电极 3312。此外, 在第一电极 3304 上, 之间夹有绝缘膜 3311 地形成有与栅电极在相同层中且由相同材料构成的第二电极 3313。第一电极 3304 和第二电极 3313 之间夹有绝缘膜 3311 的部分是电容元件 3319。此外, 形成有层间绝缘膜 3314, 以覆盖像素电极 3303 的端部、驱动晶体管 3318 及电容元件 3319。

在层间绝缘膜 3314 上且在该层间绝缘膜 3314 的开口部分的像素电极 3303 上形成有包含有机化合物的层 3315 及相对电极 3316。像素电极 3303 和相对电极 3316 之间夹有包含有机化合物的层 3315 的区域是发光元件 3317。

此外, 也可以形成如图 33B 所示的第一电极 3320 而代替图 33A 所示的第一电极 3304。第一电极 3320 与布线 3305 及布线 3306 在相同的层中且由相同的材料形成。

此外, 图 34A 和 34B 示出了适用使用非晶硅作为半导体层的底部

栅极结构的晶体管的显示器件的面板的部分截面图。

在衬底 3401 上形成有基底膜 3402。进而，在基底膜 3402 上形成有栅电极 3403。此外，与栅电极 3403 在相同的层中且由相同的材料形成有第一电极 3404。可以使用添加有磷的多晶硅作为栅电极 3403 的材料。除了多晶硅以外，还可以使用金属和硅的化合物即硅合物。

此外，形成有栅极绝缘膜 3405，以覆盖栅电极 3403 及第一电极 3404。可以使用氧化硅膜和氮化硅膜等作为栅极绝缘膜 3405。

此外，在栅极绝缘膜 3405 上形成有半导体层 3406。此外，与半导体层 3406 在相同的层中且由相同的材料形成有半导体层 3407。

可以使用玻璃衬底、石英衬底、陶瓷衬底等作为衬底。此外，可以使用单层的氮化铝（AlN）、氧化硅（SiO₂）、氧氮化硅（SiO_xN_y）等或这些的叠层结构作为基底膜 3402。

在半导体层 3406 上形成有具有 N 型导电性的半导体层 3408、3409，并在半导体层 3407 上形成有 N 型半导体层 3410。

在 N 型半导体层 3408、3409 上分别形成有布线 3411、3412，并在 N 型半导体层 3410 上形成有与布线 3411、3412 在相同的层中且由相同的材料构成的导电层 3413。

第二电极由半导体层 3407、N 型半导体层 3410 及导电层 3413 构成。注意，该第二电极和第一电极 3404 之间夹有栅极绝缘膜 3405 的区域是电容元件 3420。

此外，布线 3411 的一个端部延长。在该延长的布线 3411 上接触地形成有像素电极 3414。

此外，形成有绝缘膜 3415，以覆盖像素电极 3414 的端部、驱动晶体管 3419 及电容元件 3420。

在像素电极 3414 及绝缘膜 3415 上形成有包含有机化合物的层 3416 及相对电极 3417。像素电极 3414 和相对电极 3417 之间夹有包含有机化合物的层 3416 的区域是发光元件 3418。

不一定需要提供充当电容元件的第二电极一部分的半导体层 3407 及 N 型半导体层 3410。就是说，可以仅仅利用导电层 3413 形成第二电极，因此电容元件可以具有如下结构：第一电极 3404 和导电层 3413 之间夹有栅极绝缘膜。

注意，在图 34A 中，通过在形成布线 3411 之前形成像素电极 3414，

可以形成如图 34B 所示的电容元件 3422, 该电容元件 3422 的结构如下: 由像素电极 3414 构成的第二电极 3421 和第一电极 3404 之间夹有栅极绝缘膜 3405。

注意, 在图 34A 和 34B 中, 表示反交错沟道蚀刻结构的晶体管, 当然可以使用沟道保护结构的晶体管。下面, 将参照图 35A 和 35B 描述采用沟道保护结构的晶体管的情况。

图 35A 所示的沟道保护结构的晶体管与图 34A 所示的沟道蚀刻结构的晶体管 3419 的不同之处在于, 在半导体层 3406 中的将形成沟道的区域上提供有充当蚀刻掩模的绝缘膜 3501。除此以外的共同部分用相同的附图标记来表示。

此外, 与此同样, 图 35B 所示的沟道保护结构的晶体管与图 34B 所示的沟道蚀刻结构的驱动晶体管 3419 的不同之处在于, 在半导体层 3406 中的将形成沟道的区域上提供有充当蚀刻掩模的绝缘膜 3501。除此以外的共同部分用相同的附图标记来表示。

通过使用非晶半导体膜作为构成本发明的像素的晶体管的半导体层(沟道形成区域、源极区域、漏极区域等), 可以降低制造成本。

注意, 可以适用本发明的像素结构的晶体管的结构和电容元件的结构不局限于上述结构, 可以使用各种各样的晶体管的结构和电容元件的结构。

注意, 在本实施方式所示的内容可以与实施方式 1 至实施方式 3 所示的内容自由地组合而实施。

实施方式 5

本实施方式将描述采用等离子体处理作为包括晶体管的半导体器件的制造方法。

图 36A 至 36C 示出了包括晶体管的半导体器件的结构例子。注意, 在图 36A 至 36C 中, 图 36B 相当于沿图 36A 中 a-b 的截面图, 而图 36C 相当于沿图 36A 中 c-d 的截面图。

图 36A 至 36C 所示的半导体器件包括: 通过绝缘膜 3602 设置在衬底 3601 上的半导体膜 3603a 和 3603b; 通过栅极绝缘膜 3604 设置在该半导体膜 3603a 和 3603b 上的栅电极 3605; 覆盖栅电极地设置的绝缘膜 3606 和 3607; 以及电连接到半导体膜 3603a 和 3603b 的源极区域或漏极区域且设置在绝缘膜 3607 上的导电膜 3608。注意, 图 36A 至 36C

示出了使用半导体膜 3603a 的一部分作为沟道区的 N 沟道型晶体管 3610a 和使用半导体膜 3603b 的一部分作为沟道区的 P 沟道型晶体管 3610b 的情况，然而本发明不局限于这种结构。例如，在图 36A 至 36C 中，虽然在 N 沟道型晶体管 3610a 中设置 LDD 区域，而在 P 沟道型晶体管 3610b 中不设置 LDD 区域，但是在双方晶体管中，既可设置 LDD 区域，又可可不设置 LDD 区域。

注意，在本实施方式中，通过采用等离子体处理对于上述衬底 3601、绝缘膜 3602、半导体膜 3603a 及 3603b、栅极绝缘膜 3604、绝缘膜 3606、或绝缘膜 3607 中的至少任何一个进行氧化或氮化以使半导体膜或绝缘膜氧化或氮化，制造图 36A 至 36C 所示的半导体器件。如上所述，因为通过采用等离子体处理对于半导体膜或绝缘膜进行氧化或氮化，改变该半导体膜或该绝缘膜的表面的性质，并且与由 CVD 法或溅射法形成的绝缘膜相比，可以形成进一步细致的绝缘膜，所以抑制针孔等的缺陷，以可以提高半导体器件的特性等。

注意，在本实施方式中，将参照附图描述半导体器件的制造方法，其中，通过对于上述图 36A 至 36C 中的半导体膜 3603a 及半导体膜 3603b、或栅极绝缘膜 3604 进行等离子体处理而将该半导体膜 3603a 及半导体膜 3603b、或栅极绝缘膜 3604 氧化或氮化，制造半导体器件。

最初，示出在设置在衬底上的岛状半导体膜中，与该衬底大致垂直地设置该岛状半导体膜的端部处的情况。

首先，在衬底 3601 上形成岛状半导体膜 3603a 和 3603b（图 37A-1、A-2）。形成岛状半导体膜 3603a 和 3603b 包括如下步骤：通过利用已知的方法（溅射法、LPCVD 法、等离子体 CVD 法等），并使用以硅（Si）作为主要成分的材料（例如 $\text{Si}_x\text{Ge}_{1-x}$ 等）等，在预先形成在衬底 3601 上了的绝缘膜 3602 上形成非晶半导体膜；使该非晶半导体膜晶化；并且对于半导体膜选择性地蚀刻。注意，利用已知的方法如激光晶化法、采用 RTA 或退火炉的热晶化法、使用促进晶化的金属元素的热晶化法、或组合这些方法的方法来可以使非晶半导体膜晶化。注意，在图 37A-1 至 37D-2 中，与衬底 3601 大致垂直（ $\theta=85$ 至 100° ）地设置岛状半导体膜 3603a 和 3603b 的端部处。

接着，通过进行等离子体处理，使半导体膜 3603a 和 3603b 氧化或氮化，在该半导体膜 3603a 和 3603b 的表面上分别形成绝缘膜 3621a

和 3621b (氧化膜或氮化膜) (图 37B-1、37B-2)。例如, 在使用 Si 作为半导体膜 3603a 和 3603b 的情况下, 作为绝缘膜 3621a 和 3621b, 氧化硅 (SiO_x) 或氮化硅 (SiN_x) 被形成。此外, 可以在采用等离子体处理以使半导体膜 3603a 和 3603b 氧化后, 再次进行等离子体处理以使该半导体膜氮化。在此情况下, 氧化硅 (SiO_x) 与半导体膜 3603a 和 3603b 接触地被形成, 而在该氧化硅的表面上氮氧化硅 (SiN_xO_y) ($x>y$) 被形成。注意, 在采用等离子体处理而使半导体膜氧化的情况下, 在氧气氛下 (例如在包含氧 (O_2) 和稀有气体 (含有至少 He、Ne、Ar、Kr、Xe 之一) 的气氛下、氧、氢 (H_2) 以及稀有气体的气氛下、或一氧化二氮和稀有气体的气氛下), 进行等离子体处理。另一方面, 在采用离子体处理而使半导体膜氮化的情况下, 在氮气氛下 (例如在氮 (N_2) 和稀有气体 (含有至少 He、Ne、Ar、Kr、Xe 之一) 的气氛下、氮、氢、以及稀有气体的气氛下、或 NH_3 和稀有气体的气氛下), 进行等离子体处理。作为稀有气体, 例如可以使用 Ar。此外, 也可以使用混合 Ar 和 Kr 的气体。因此, 绝缘膜 3621a 和 3621b 包含用于等离子体处理的稀有气体 (含有至少 He、Ne、Ar、Kr、Xe 之一), 即在使用 Ar 的情况下, 在绝缘膜 3621a 和 3621b 中包含有 Ar。

此外, 在上述气体的气氛下, 以等离子体的电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 或更高至 $1 \times 10^{13} \text{cm}^{-3}$ 或更低且其电子温度为 0.5eV 或更高至 1.5eV 或更低来进行等离子体处理。因为等离子体的电子密度高, 并且在衬底 3601 上形成了的被处理物 (在此为半导体膜 3603a 和 3603b) 附近的电子温度低的缘故, 所以可以防止被处理物由等离子体的损伤。此外, 由于等离子体的电子密度为高密度的 $1 \times 10^{11} \text{cm}^{-3}$ 或更高, 因此与使用 CVD 法、溅射法等来形成的膜相比, 通过使用等离子体处理, 使被处理物氧化或氮化而形成的氧化物或氮化膜具有优良的膜厚等均匀性, 并且可以形成细致的膜。此外, 由于等离子体的电子温度为低温度的 1eV 或更低, 因此与现有的等离子体处理和热氧化法相比, 可以在更低的温度下进行氧化处理或氮化处理。例如, 即使在比玻璃衬底的应变点温度低 100°C 或更高的温度下进行等离子体处理, 也可以充分地进行氧化处理或氮化处理。注意, 可以使用微波 (2.45GHz) 等的高频率作为用于形成等离子体的频率。注意, 以下当并没有特别的指定时, 就以上述条件进行等离子体处理。

接着,覆盖绝缘膜 3621a 和 3621b 地形成栅极绝缘膜 3604 (图 37C-1、37C-2)。栅绝缘膜 3604 可以利用已知的方法(溅射法、LPCVD 法、等离子体 CVD 法等),形成为具有氧化硅(SiO_x)、氮化硅(SiN_x)、氧氮化硅(SiO_xN_y) ($x>y$)、氮氧化硅(SiN_xO_y) ($x>y$) 等的包含氧或氮的绝缘膜的单层结构或这些绝缘膜的叠层结构。例如,当使用 Si 作为半导体膜 3603a 和 3603b,并且通过采用等离子体处理而使该 Si 氧化,在该半导体膜 3603a、3603b 表面上形成氧化硅作为绝缘膜 3621a、3621b 的情况下,在该绝缘膜 3621a 和 3621b 上形成氧化硅(SiO_x)作为栅极绝缘膜。此外,在上述图 37B-1、37B-2 中,在通过采用等离子体处理而使半导体膜 3603a 和 3603b 氧化或氮化形成了的绝缘膜 3621a 和 3621b 具有充分的膜厚度的情况下,可以使用该绝缘膜 3621a 和 3621b 作为栅极绝缘膜。

接着,通过在栅极绝缘膜 3604 上形成栅电极 3605 等,可以制造包括使用岛状半导体膜 3603a 和 3603b 作为沟道区的 N 沟道型晶体管 3610a 和 P 沟道型晶体管 3610b 的半导体器件(图 37D-1、37D-2)。

如上所述,在半导体膜 3603a 和 3603b 上设置栅极绝缘膜 3604 之前,采用等离子体处理而使半导体膜 3603a 和 3603b 表面氧化或氮化。从而可以防止沟道区的端部处 3651a 和 3651b 等中栅极绝缘膜 3604 的覆盖缺陷所造成的栅电极和半导体膜之间的短路等。换言之,在岛状半导体膜端部处大致为垂直($\theta=85$ 至 100°)的情况下,虽然当使用 CVD 法、溅射法等覆盖半导体膜地形成栅极绝缘膜时,在半导体膜端部处栅极绝缘膜的破裂等所造成的覆盖缺陷会发生,但是通过对于半导体膜的表面预先进行等离子体处理以使该表面氧化或氮化,可以防止在半导体膜端部处的栅极绝缘膜的覆盖缺陷等。

此外,在上述图 37A-1 至 37D-2 中,可以通过在形成栅极绝缘膜 3604 之后进行等离子体处理,使栅极绝缘膜 3604 氧化或氮化。在此情况下,通过对于覆盖半导体膜 3603a 和 3603b 地形成的栅极绝缘膜 3604 (图 38A-1、38A-2) 进行等离子体处理,以使栅极绝缘膜 3604 氧化或氮化,在栅极绝缘膜 3604 表面上形成绝缘膜 3623 (氧化膜或氮化膜) (图 38B-1、38B-2)。等离子体处理的条件可以为与上述相同的。此外,绝缘膜 3623 包含用于等离子体处理的稀有气体,例如在采用 Ar 的情况下,在绝缘膜 3623 中包含有 Ar。

此外,在图 38B-1 和 38B-2 中,在包含氧的气氛下进行等离子体处理以使栅极绝缘膜 3604 氧化之后,可以在包含氮的气氛下再次进行等离子体处理以使氧化栅极绝缘膜 3604 氮化。在此情况下,氧化硅(SiO_x)或氧氮化硅(SiO_xN_y)($x>y$)被形成在为半导体膜 3603a 和 3603b 的表面上,且氮氧化硅(SiN_xO_y)($x>y$)被形成为与栅电极 3605 相接触。然后,通过在绝缘膜 3623 上形成栅电极 3605 等,可以制造具有使用岛状半导体膜 3603a 和 3603b 作为沟道区的 N 沟道型晶体管 3610a 和 P 沟道型晶体管 3610b 的半导体器件(图 38C-1、38C-2)。如上所述,通过对于栅极绝缘膜进行等离子体处理,以使该栅极绝缘膜的表面氧化或氮化,可以改变该栅极绝缘膜的表面的性质并且得到细致的膜。与用 CVD 法或溅射法形成的绝缘膜相比,使用等离子体处理而得到的绝缘膜细致,且针孔等的缺陷少,以可以提高晶体管的特性。

注意,在图 38A-1 至 38C-2 中,示出了预先对于半导体膜 3603a 和 3603b 进行等离子体处理,以使该半导体膜 3603a 和 3603b 的表面氧化或氮化的情况。但是也可以在形成栅极绝缘膜 3604 之后进行等离子体处理,而对于半导体膜 3603a 和 3603b 不进行等离子体处理。如上所述,由于通过在形成栅电极之前进行等离子体处理,即使在半导体膜端部处出现栅极绝缘膜的破裂等造成的覆盖缺陷,可以使因覆盖缺陷而暴露的半导体膜氧化或氮化,因此可以防止半导体膜端部处的栅极绝缘膜的覆盖缺陷所引起的栅电极和半导体膜之间的短路等。

如上所述,即使当岛状半导体膜的端部处形成为大致垂直的情况下,也对于半导体膜或栅极绝缘膜进行等离子体处理以使该半导体膜或栅极绝缘膜氧化或氮化,从而可以防止半导体膜端部处的栅极绝缘膜的覆盖缺陷所引起的栅电极和半导体膜之间的短路等。

接着,示出设置在衬底上的岛状半导体膜中,该岛状半导体膜的端部处设置为具有锥度的形状($\theta=30$ 至 85°)的情况。

首先,在衬底 3601 上形成岛状半导体膜 3603a 和 3603b(图 39A-1、39A-2)。设置岛状半导体膜 3603a 和 3603b 的方法包括如下步骤:在预先形成在衬底 3601 上的绝缘膜 3602 上,利用已知的方法(溅射法、LPCVD 法、等离子体 CVD 法等),并且使用以硅(Si)为主要成分的材料(例如 $\text{Si}_x\text{Ge}_{1-x}$ 等)等而形成非晶半导体膜;通过利用已知

的晶化方法如激光晶化法、采用 RTA 或退火炉的热晶化法、使用促进晶化的金属元素的热晶化方法等，使所述非晶半导体膜晶化；以及对于半导体膜选择性地蚀刻而除去。注意，在图 39A-1 至 39D-2 中，岛状半导体膜的端部处可以设置为具有锥度的形状（ $\theta=30$ 至 85° ）。

接着，覆盖半导体膜 3603a 和 3603b 地形成栅极绝缘膜 3604（图 39B-1、39B-2）。栅极绝缘膜 3604 可以利用已知的方法（溅射法、LPCVD 法、等离子体 CVD 法等），形成为具有氧化硅（ SiO_x ）、氮化硅（ SiN_x ）、氧氮化硅（ SiO_xN_y ）（ $x>y$ ）、氮氧化硅（ SiN_xO_y ）（ $x>y$ ）等的包含氧或氮的绝缘膜的单层结构或这些绝缘膜的叠层结构。

接着，通过进行等离子体处理以使栅极绝缘膜 3604 氧化或氮化，在该栅极绝缘膜 3604 的表面上分别形成绝缘膜 3624（氧化膜或氮化膜）（图 39C-1、39C-2）。注意，等离子体处理的条件可以为与上述条件相同的。例如，当使用氧化硅（ SiO_x ）或氧氮化硅（ SiO_xN_y ）（ $x>y$ ）作为栅极绝缘膜 3604 时，通过在氧气氛下进行等离子体处理以使栅极绝缘膜 3604 氧化，可以在栅极绝缘膜表面上与使用 CVD 法、溅射法等形成的栅极绝缘膜相比，形成针孔等的缺陷少的细致的膜。另一方面，通过在氮气氛下进行等离子体处理以使栅极绝缘膜 3604 氮化，可以在栅极绝缘膜 3604 的表面上可以形成氮氧化硅（ SiN_xO_y ）（ $x>y$ ）作为绝缘膜 3624。此外，在包含氧的气氛下进行等离子体处理以使栅极绝缘膜 3604 氧化之后，可以在包含氮的气氛下再次进行等离子体处理以使栅极绝缘膜 3604 氮化。此外，绝缘膜 3624 包含用于等离子体处理的稀有气体，例如在使用 Ar 的情况下，在绝缘膜 3624 中包含有 Ar。

接着，通过在栅极绝缘膜 3604 上形成栅电极 3605 等，可以制造包括使用岛状半导体膜 3603a 和 3603b 作为沟道区的 N 沟道型晶体管 3610a 和 P 沟道型晶体管 3610b 的半导体器件（图 39D-1、39D-2）。

如上所述，通过对于栅极绝缘膜进行等离子体处理，在栅极绝缘膜的表面上形成由氧化膜或氮化膜构成的绝缘膜以可以改变栅极绝缘膜表面的性质。通过进行等离子体处理氧化或氮化了的绝缘膜，与使用 CVD 法或溅射法形成的栅极绝缘膜相比，细致且针孔等的缺陷也少，从而可以提高晶体管的特性。此外，通过将半导体膜的端部处形成为具有锥度的形状，可以抑制半导体膜的端部处的栅极绝缘膜的覆

盖缺陷所引起的栅电极和半导体膜之间的短路等。但是通过在形成栅极绝缘膜之后进行等离子体处理,可以进一步防止栅电极和半导体膜之间的短路等。

接着,将参照附图描述与图 39A-1 至 39D-2 不同的半导体器件的制造方法。具体地示出对于具有锥度的形状的半导体膜的端部处选择性地进行等离子体处理的情况。

首先,在衬底 3601 上形成岛状半导体膜 3603a 和 3603b (图 40A-1、40A-2)。设置岛状半导体膜 3603a 和 3603b 的方法包括如下步骤:在预先形成在衬底 3601 上的绝缘膜 3602 上,利用已知的方法(溅射法、LPCVD 法、等离子体 CVD 法等),并且使用以硅(Si)为主要成分的材料(例如 $\text{Si}_x\text{Ge}_{1-x}$ 等)等形成非晶半导体膜;使该非晶半导体膜晶化;以及以抗蚀剂 3625a 和 3625b 为掩模,选择性地蚀刻半导体膜。注意,可以利用已知的晶化方法如激光晶化法、采用 RTA 或退火炉的热晶化法、采用促进晶化的金属元素的热晶化法、或这些方法的组合等来使非晶半导体膜晶化。

接着,在除去用于蚀刻半导体膜的抗蚀剂 3625a 和 3625b 之前,通过进行等离子体处理以选择性地使岛状半导体膜 3603a 和 3603b 的端部处氧化或氮化,在该半导体膜 3603a 和 3603b 的端部处分别形成绝缘膜 3626 (氧化膜或氮化膜) (图 40B-1、40B-2)。在上述条件下进行等离子体处理。此外,绝缘膜 3626 包含有用于等离子体处理的稀有气体。

接着,覆盖半导体膜 3603a 和 3603b 地形成栅极绝缘膜 3604 (图 40C-1、40C-2)。栅极绝缘膜 3604 可以与上述相同的方式来形成。

接着,通过在栅极绝缘膜 3604 上形成栅电极 3605 等,可以制造包括分别使用岛状半导体膜 3603a 和 3603b 作为沟道区的 N 沟道型晶体管 3610a 和 P 沟道型晶体管 3610b 的半导体器件(图 40D-1、40D-2)。

当半导体膜 3603a 和 3603b 的端部处形成为具有锥度的形状的情况下,形成在半导体膜 3603a 和 3603b 中的一部分的沟道区的端部处 3652a 和 3652b 也成为具有锥度的形状并且半导体膜或栅极绝缘膜的膜厚度与中心部分相比就出现变化,从而晶体管的特性有可能受到其影响。因此,在此通过采用等离子体处理而使沟道区的端部处选择性地氧化或氮化以在要成为该沟道区的端部的半导体膜中形成绝缘膜,可

以减少沟道区的端部处造成的对于晶体管的影响。

注意,图 40A-1 至 40D-2 示出了仅仅对于半导体膜 3603a 和 3603b 的端部处进行等离子体处理以进行氧化或氮化的一个例子。然而,如图 39A-1 至 39D-2 所示那样,也当然可以对于栅极绝缘膜 3604 进行等离子体处理以氧化或氮化(图 42A-1 至 42A-2)。

接着,将参照附图描述与上述方法不同的半导体器件的制造方法。具体地示出对于具有锥度的形状的半导体膜进行等离子体处理的情况。

首先,与上述相同,在衬底 3601 上形成岛状半导体膜 3603a 和 3603b(图 41A-1、41A-2)。

接着,通过进行等离子体处理以使半导体膜 3603a 和 3603b 氧化或氮化,在该半导体膜 3603a 和 3603b 的表面上分别形成绝缘膜 3627a 和 3627b(氧化膜或氮化膜)(图 41B-1、41B-2)。在上述条件下可以同样地进行等离子体处理。例如,当使用 Si 作为半导体膜 3603a 和 3603b 时,作为绝缘膜 3627a 和 3627b,氧化硅(SiO_x)或氮化硅(SiN_x)被形成。此外,也可以在采用等离子体处理使半导体膜 3603a 和 3603b 氧化之后,再次进行等离子体处理以使半导体膜 3603a 和 3603b 氮化。在此情况下,氧化硅(SiO_x)或氧氮化硅(SiO_xN_y)($x>y$)被形成为与半导体膜 3603a 和 3603b 相接触,并且氮氧化硅(SiN_xO_y)($x>y$)被形成在该氧化硅的表面上。因此,绝缘膜 3627a 和 3627b 包含用于等离子体处理的稀有气体。注意,通过利用等离子体处理,半导体膜 3603a 和 3603b 的端部处被同时氧化或氮化。

接着,覆盖绝缘膜 3627a 和 3627b 地形成栅极绝缘膜 3604(图 41C-1、41C-2)。栅极绝缘膜 3604 可以利用已知的方法(溅射法、LPCVD 法、等离子体 CVD 法等),形成为具有氧化硅(SiO_x)、氮化硅(SiN_x)、氮氧化硅(SiO_xN_y)($x>y$)、氧氮化硅(SiN_xO_y)($x>y$)等的包含氧或氮的绝缘膜的单层结构或这些绝缘膜的叠层结构。例如,当通过使用 Si 作为半导体膜 3603a 和 3603b 并采用等离子体处理而氧化,在该半导体膜 3603a 和 3603b 的表面上形成氧化硅作为绝缘膜 3627a 和 3627b 的情况下,在该绝缘膜 3627a 和 3627b 上形成氧化硅(SiO_x)作为栅极绝缘膜。

接着,通过在栅极绝缘膜 3604 上形成栅电极 3605 等,可以制造具

有分别使用岛状半导体膜 3603a 和 3603b 作为沟道区的 N 沟道型晶体管 3610a 和 P 沟道型晶体管 3610b 的半导体器件 (图 41D-1、41D-2)。

因为当半导体膜端部处形成为具有锥度的形状时, 形成在半导体膜的一部分中的沟道区的端部 3653a 和 3653b 也成为具有锥度的形状, 所以半导体元件的特性有可能受到其影响。因此, 通过采用等离子体处理以使半导体膜氧化或氮化, 结果, 沟道区的端部处也被氧化或氮化。从而, 可以降低对于半导体元件的影响。

注意, 在图 41A-1 至 41D-2 中, 示出了仅仅对于半导体膜 3603a 和 3603b 进行等离子体处理以氧化或氮化的例子, 但是也当然可以如在图 39A-1 至 39D-2 中所示, 对于栅极绝缘膜 3604 进行等离子体处理以氧化或氮化 (图 42B-1、42B-2)。在此情况下, 在氧气氛下进行等离子体处理以氧化栅极绝缘膜 3604 之后, 可以在氮气氛中再次进行等离子体处理以使栅极绝缘膜 3604 氮化。在此情况下, 氧化硅 (SiO_x) 或氧氮化硅 (SiO_xN_y) ($x>y$) 被形成在半导体膜 3603a 和 3603b 的表面上, 且氧氮化硅 (SiN_xO_y) ($x>y$) 被形成为与栅电极 3605 相接触。

如上所述, 通过进行等离子体处理以使半导体膜或栅极绝缘膜氧化或氮化而改变其表面的性质, 可以形成细致并膜质优良的绝缘膜。结果, 即使当形成薄的绝缘膜的情况下, 也可以防止针孔等的缺陷, 以实现晶体管等的半导体元件的微细化和高性能化。

注意, 在本实施方式中, 对于在上述图 36A 至 36C 中的半导体膜 3603a 和 3603b 或栅极绝缘膜 3604 进行等离子体处理, 以使该半导体膜 3603a 和 3603b 或栅极绝缘膜 3604 氧化或氮化, 但是采用等离子体处理被氧化或氮化的层不局限于此。例如, 既可对于衬底 3601 或绝缘膜 3602 进行等离子体处理, 又可对于绝缘膜 3606 或 3607 进行等离子体处理。

注意, 在本实施方式中所述的内容可以与实施方式 1 至实施方式 4 所述的内容自由地组合而实施。

实施方式 6

在本实施方式中, 将描述用于控制本发明的显示器件的驱动硬件。

图 43 示出了其示意结构图。在衬底 4301 上配置有像素部分 4304。在很多情况下, 在衬底 4301 上还配置有信号线驱动电路 4306 和扫描

线驱动电路 4305。此外，有时配置有电源电路、预充电电路、定时产生电路等。此外，有时没有配置信号线驱动电路 4306 和扫描线驱动电路 4305。在此情况下，有很多情况没有配置在衬底 4301 上的单元形成在 IC 上。在很多情况下，该 IC 通过 COG（玻璃上芯片）配置在衬底 4301 上。或者，IC 有可能配置在用于连接外围电路衬底 4302 和衬底 4301 的连接衬底 4307 上。

信号 4303 被输入到外围电路衬底 4302。并且，信号由控制器 4308 控制而存储在存储器 4309、4310 等。当信号 4303 是模拟信号时，在很多情况下，在进行模拟/数字转换之后存储在存储器 4309、4310 等。然后，控制器 4308 使用存储在存储器 4309、4310 等的信号将信号输出到衬底 4301。

注意，在本实施方式所示的内容可以与实施方式 1 至实施方式 5 所示的内容自由地组合而实施。

实施方式 7

在本实施方式中，将描述使用本发明的显示器件的 EL 模块及 EL 电视接收图像机的结构示例。

图 44 示出了组合显示面板 4401 和电路衬底 4402 而成的 EL 模块。显示面板 4401 包括像素部分 4403、扫描线驱动电路 4404 及信号线驱动电路 4405。在电路衬底 4402 上，例如形成有控制电路 4406 和信号分割电路 4407 等。显示面板 4401 和电路衬底 4402 通过连接布线 4408 连接起来。可以使用 FPC 等作为连接布线。

控制电路 4406 相当于实施方式 6 中的控制器 4308 和存储器 4309、4310 等。

显示面板 4401 中，使用晶体管在衬底上形成像素部分和部分外围驱动电路（多个驱动电路中工作频率低的驱动电路）为一体，在 IC 芯片上形成部分外围驱动电路（多个驱动电路中工作频率高的驱动电路），通过 COG（玻璃上芯片）等将该 IC 芯片安装在显示面板 4401 上。或者，也可以通过 TAB（带式自动接合）或印刷衬底将该 IC 芯片安装在显示面板 4401 上。

此外，通过使用缓冲器对于设定于扫描线和信号线的信号进行阻抗变换，可以缩短每一行的像素的写入时间。因此，可以提供高清晰的显示器件。

此外, 为了进一步降低耗电量, 也可以使用晶体管在玻璃衬底上形成像素部分, 在 IC 芯片上形成所有的信号线驱动电路, 通过 COG (玻璃上芯片) 等将该 IC 芯片安装在显示面板上。

例如, 可以将显示面板的屏整体分割为几个区域, 在每个区域上配置形成有一部分或全部的外围驱动电路 (信号线驱动电路、扫描线驱动电路等) 的 IC 芯片, 然后将此通过 COG (玻璃上芯片) 等安装在显示面板上。图 45 示出了这种情况的显示面板的结构。

在图 45 中, 将屏整体分割为四个区域, 使用八个 IC 芯片驱动。显示面板包括衬底 4501、像素部分 4511、FPC4512a 至 4512h、IC 芯片 4513a 至 4513h。在八个 IC 芯片中, 在 4513a 至 4513d 上形成有信号线驱动电路, 在 4513e 至 4513h 上形成有扫描线驱动电路。并且, 通过驱动任意的 IC 芯片, 可以仅仅驱动在四个屏区域中的任意屏区域。例如, 当仅仅驱动 IC 芯片 4513a 和 4513e 时, 可以在四个屏区域中仅仅驱动左上的区域。像这样, 可以降低耗电量。

使用具备这样的面板结构的 EL 模块可以完成 EL 电视接收图像机。图 46 是表示 EL 电视接收图像机的主要结构的方框图。调谐器 4601 接收视频信号和音频信号。视频信号由如下电路处理: 视频信号放大电路 4602; 将该视频信号放大电路 4602 输出的信号转换为对应于红、绿、蓝的各个颜色的彩色信号的视频信号处理电路 4603; 以及将该视频信号转换为驱动电路的输入模式的控制电路 4406。控制电路 4406 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下, 可以采用如下结构: 在信号线一侧设置信号分割电路 4407, 将输入数字信号分割为 M 个而供给。

调谐器 4601 接收的信号中的音频信号被输出到音频信号放大电路 4604, 其输出通过音频信号处理电路 4605 被供给给扬声器 4606。控制电路 4607 从输入部分 4608 接收接收站 (接收频率) 和音量的控制信息, 然后将信号输出到调谐器 4601 和音频信号处理电路 4605。

可以通过将 EL 模块嵌入框体而完成电视接收图像机。由 EL 模块形成显示部分。此外, 适当地设置有扬声器和视频输入端子等。

不用说, 本发明可以适用于各种各样的用途, 例如个人计算机的监视器、大面积的显示介质如在电车的车站或机场等的信息显示板、以及在街上的广告显示板等而不局限于电视接收图像机。

像这样,通过使用本发明的显示器件及其驱动方法,可以看到清晰的图像。因此,可以清晰地显示灰度级纤细变化的图像例如人的皮肤。

注意,在本实施方式所示的内容可以与实施方式 1 至实施方式 6 所示的内容自由地组合而实施。

实施方式 8

作为使用本发明的显示器件的电子器具,可以举出影像拍摄装置如摄像机、数码相机等、护目镜式显示器(头戴式显示器)、导航系统、音频再现装置(例如,汽车音频装置、音频组件装置等等)、个人计算机、游戏机、便携式信息终端(例如,移动计算机、移动电话、便携式游戏机、电子图书等等)、拥有记录介质的图像再现装置(具体来说,可以再现诸如数字通用光盘(DVD)之类的记录介质并包括能够显示再现图像的显示器的装置)等等。图 47A 到 47H 表示了这样的电子器具的具体示例。

图 47A 是发光器件,其包括框体 4701、支架 4702、显示部分 4703、扬声器部分 4704、视频输入端子 4705 等。本发明可以用于构成了显示部分 4703 的显示器件。根据本发明,可以看到清晰的图像,并且降低了亮度的不均匀。由于发光器件是自发光类型,因此不需要背光,并可以获得比液晶显示器件薄的显示部分。注意,发光器件包括用于进行信息显示的所有显示器件,例如用于个人计算机、电视节目接收、广告显示等的显示器件。

图 47B 是数字静物照相机,其包括主体 4706、显示部分 4707、图像接收部分 4708、操作键 4709、外部连接端口 4710、快门 4711 等。本发明可以用于构成了显示部分 4707 的显示器件。根据本发明,可以看到清晰的图像,并且降低了亮度的不均匀。

图 47C 是笔记型个人计算机,其包括主体 4712、框体 4713、显示部分 4714、键盘 4715、外部连接端口 4716、指向鼠标 4717 等。本发明可以用于构成了显示部分 4714 的显示器件。根据本发明,可以看到清晰的图像,并且降低了亮度的不均匀。

图 47D 是移动计算机,其包括主体 4718、显示部分 4719、开关 4720、操作键 4721、红外端口 4722 等。本发明可以用于构成了显示部分 4719 的显示器件。根据本发明,可以看到清晰的图像,并且降

低了亮度的不均匀。

图 47E 是拥有记录介质装置的便携式图像再现装置（具体来说是 DVD 再现装置），其包括主体 4723、框体 4724、显示部分 A4725、显示部分 B4726、记录介质（DVD 等）读取部分 4727、操作键 4728、扬声器部分 4729 等。显示部分 A4725 主要显示图像信息，而显示部分 B4726 主要显示文本信息。本发明可以用于构成了显示部分 A4725 和显示部分 B4726 的显示器件。根据本发明，可以看到清晰的图像，并且降低了亮度的不均匀。注意，拥有记录介质的图像再现装置还包括家用游戏机等。

图 47F 是护目镜式显示器（头戴式显示器），其包括主体 4730、显示部分 4731、臂部分 4732 等。本发明可以用于构成了显示部分 4731 的显示器件。根据本发明，可以看到清晰的图像，并且降低了亮度的不均匀。

图 47G 是一种摄像机，其包括主体 4733、显示部分 4734、框体 4735、外部连接端口 4736、遥控接收部分 4737、图像接收部分 4738、电池 4739、音频输入部分 4740、操作键 4741 等。本发明可以用于构成了显示部分 4734 的显示器件。根据本发明，可以看到清晰的图像，并且降低了亮度的不均匀。

图 47H 是一种移动电话，其包括主体 4742、框体 4743、显示部分 4744、音频输入部分 4745、音频输出部分 4746、操作键 4747、外部连接端口 4748、天线 4749 等。本发明可以用于构成了显示部分 4744 的显示器件。注意，如果在显示部分 4744 以黑色背景显示白色文字，则可以降低移动电话的电流消耗。此外，根据本发明，可以看到清晰的图像，并且降低了亮度的不均匀。

注意，如果使用具有高发光亮度的发光材料，则本发明可以应用于正面或后面投影仪，该投影仪通过利用透镜等放大包含输出的图像信息的光来投射图像。

此外，如上所述的电子器具常常用于显示通过诸如因特网或 CATV（有线电视）之类的电子通信线路分发的数据，尤其是用于显示活动图像信息的机会越来越多。由于发光材料具有相当高的响应速度，因此发光装置适合于显示活动图像。

此外，由于发光装置在其发光部分消耗电力，因此应该通过利用

尽可能小的发光部分来显示信息。因此，在使用发光装置作为主要显示文本信息的便携式信息终端如移动电话或音频再现装置的显示部分的情况下，优选以如下方式驱动发光装置，即，利用发光部分显示文本信息而使用非发光部分作为背景。

如上所述，本发明的适用范围非常宽，并且可以应用于各种领域的电子器具。此外，本实施方式的电子器具可以使用实施方式 1 至 7 所描述的任何一种结构的显示器件。

实施方式 9

在本实施方式中，将描述在本发明的显示器件中的像素的配置方法。例如，图 86 示出了图 1 所示的像素电路的配置图。注意，在图 86 中使用的附图标记与图 1 中使用的附图标记相同。此外，配置图不局限于图 86。

图 1 所示的像素电路包括第一至第五晶体管 101 至 105、第一及第二存储电容器 106 及 107、信号线 108、第一至第四扫描线 109 至 112、第一及第二电源线 113 及 114、电容线 115、以及发光元件 116。

第一至第四扫描线 109 至 112 由第一布线形成，而信号线 108、第一及第二电源线 113 及 114、以及电容线 115 由第二布线形成。

此外，例如图 87 示出了图 17 所示的像素电路的配置图。注意，在图 87 中使用的附图标记与图 17 中使用的附图标记相同。此外，配置图不局限于图 87。

图 17 所示的像素电路包括第一至第五晶体管 1701 至 1705、第一及第二存储电容器 1706 及 1707、信号线 1708、第一至第四扫描线 1709 至 1712、第一及第二电源线 1713 及 1714、电容线 1715、以及发光元件 1716。

第一至第四扫描线 1709 至 1712 由第一布线形成，而信号线 1708、第一及第二电源线 1713 及 1714、以及电容线 1715 由第二布线形成。

在顶部栅极结构中，顺序形成有衬底、半导体层、栅极绝缘膜、第一布线、层间绝缘膜、以及第二布线。而在底部栅极结构中，顺序形成有衬底、第一布线、栅极绝缘膜、半导体层、层间绝缘膜、以及第二布线。

注意，在本实施方式的像素结构中，当第一至第五晶体管各个具有的栅极长 L 和沟道宽 W 的比率 W/L 的值中，使第一晶体管具有的

W/L 的值为最大时,可以使流入第一晶体管的漏极/源极之间的电流为更大。由此,当在期间 T2 中获得基于视频信号电压 V_{data} 及第一晶体管的阈值电压 $|V_{th}|$ 的电压时,可以用更大的电流而工作,因此可以进一步迅速地工作。此外,在期间 T3 中,可以使流入发光元件的电流 I_{OLED} 为更大,以可以进一步提高亮度。因此,为了使第一晶体管具有的 W/L 的值为最大,在图 86 中,在第一至第五晶体管中的第一晶体管 101 具有的沟道宽 W 为最大。此外,在图 87 中,在第一至第五晶体管中的第一晶体管 1701 具有的沟道宽 W 为最大。

注意,在本实施方式中,虽然使用单栅极结构而表示第一至第五晶体管,但是不局限于此,可以采用各种结构而制作第一至第五晶体管。例如,可以采用具有两个或更多栅电极的多栅极结构。在多栅极结构中,沟道区串联连接,因此多个晶体管串联连接。通过采用多栅极结构,可以减少截止电流,提高晶体管的耐压而改善可靠性,并且当晶体管在饱和区工作时,即使漏极/源极之间的电压变化,漏极/源极之间的电流也几乎不产生变化,以获得均匀特性。此外,也可以采用在沟道的上下设置有栅电极的结构。通过采用在沟道的上下设置有栅电极的结构,沟道区增加,因此既可提高电流值,又可容易产生耗尽层使得 S 值改善。当在沟道的上下设置栅电极时,多个晶体管并联连接。此外,也可以采用如下结构:在沟道上设置有栅电极的结构;在沟道下设置有栅电极的结构;正交错结构;反交错结构;沟道区被分为多个区域的结构;沟道区并联连接的结构;以及沟道区串联连接的结构。此外,也可以沟道(或其一部分)与源极和漏极互相重叠。通过采用沟道(或其一部分)与源极和漏极互相重叠的结构,可以防止电荷积聚在沟道的一部分,导致晶体管的工作不稳定。此外,也可以具有 LDD 区域。通过设置 LDD 区域,可以减少截止电流,提高晶体管的耐压而改善可靠性,并且当晶体管在饱和区工作时,即使漏极/源极之间的电压变化,漏极/源极之间的电流也几乎不产生变化,以获得均匀特性。

注意,布线和电极由如下材料形成:选自铝(Al)、钽(Ta)、钛(Ti)、钼(Mo)、钨(W)、钕(Nd)、铬(Cr)、镍(Ni)、铂(Pt)、金(Au)、银(Ag)、铜(Cu)、镁(Mg)、钪(Sc)、钴(Co)、锌(Zn)、铌(Nb)、硅(Si)、磷(P)、硼(B)、砷

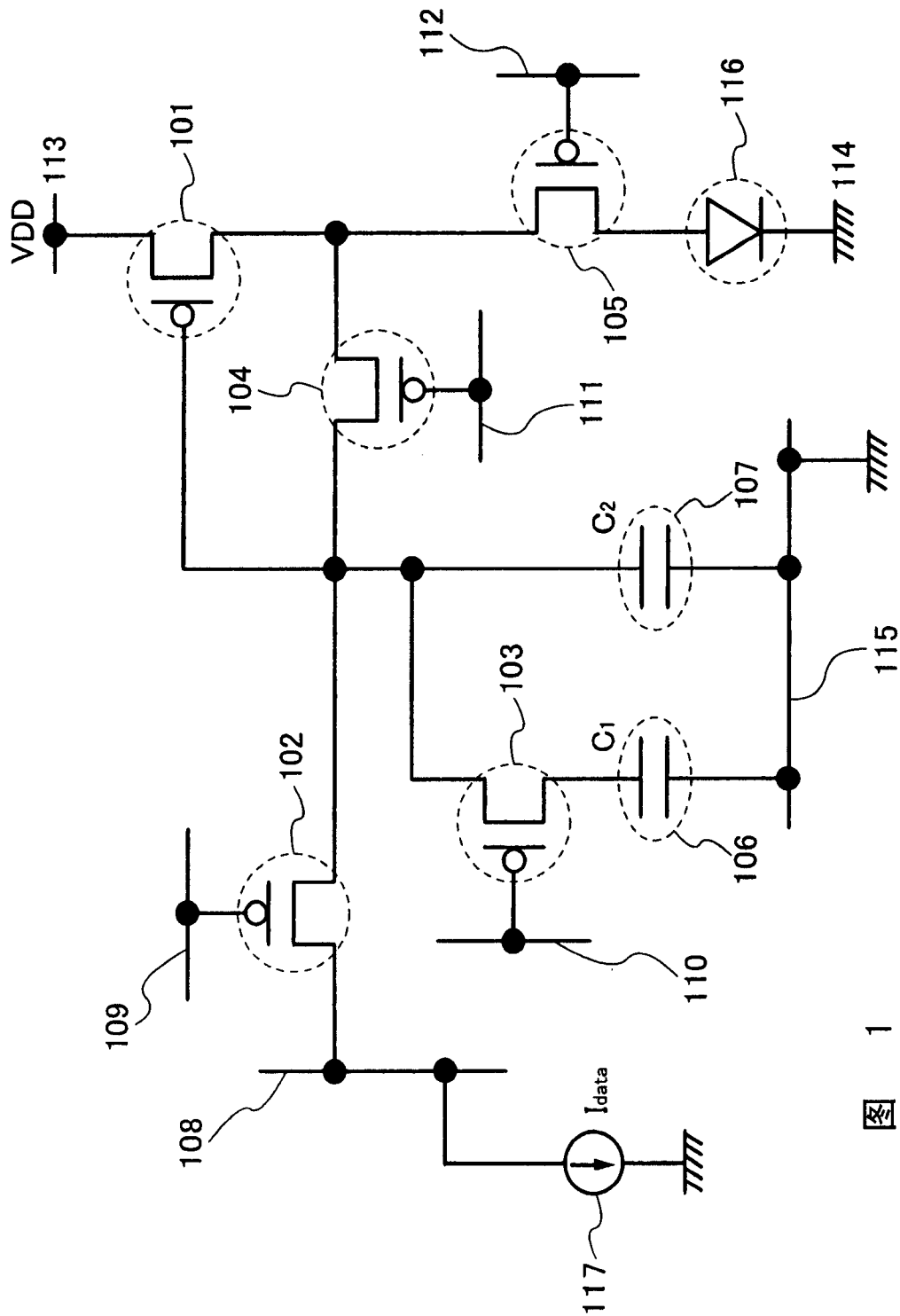
(As)、镓(Ga)、铟(In)、锡(Sn)、氧(O)构成的组中的一个或多个元素；以选自上述组的一个或多个元素为主要成分的化合物或合金材料(例如，氧化铟锡(ITO)、氧化铟锌(IZO)、添加有氧化硅的氧化铟锡(ITSO)、氧化锌(ZnO)、铝钽(Al-Nd)、镁银(Mg-Ag)等)；或者组合上述化合物而成的物质等。或者，布线和电极具有如下化合物而形成：上述材料和硅的化合物(硅化物)(例如，铝硅、钼硅、镍硅化物等)、或者上述材料和氮的化合物(例如，氮化钛、氮化钽、氮化钼等)。注意，硅(Si)可以包含有多量的N型杂质(磷等)或P型杂质(硼等)。硅(Si)包含有这些杂质使得其导电率提高，该硅(Si)具有与通常导体相同的功能，因此容易使用该硅(Si)作为布线或电极。注意，硅可以为单晶、多晶、或非晶。通过使用单晶硅或多晶硅，可以降低电阻。通过使用非晶硅，可以使制造步骤简单化。注意，铝和银由于具有高导电率，因此可以减少信号的延迟，并且由于容易蚀刻，因此容易图案化以可以进行微细加工。注意，铜由于具有高导电率，因此可以减少信号的延迟。注意，钼由于即使与氧化物半导体如ITO和IZO等或硅接触，也可以制造而不产生在其材料中发生不良等问题，并且容易进行图案化和蚀刻，耐热性高，因此是优选的。注意，钛由于即使与氧化物半导体如ITO和IZO等或硅接触，也可以制造而不产生在其材料中发生不良等问题，并且耐热性高，因此是优选的。注意，钨由于耐热性高，因此是优选的。注意，钽由于耐热性高，因此是优选的。特别是，当采用钽和铝的合金时，耐热性升高，使得铝不容易产生小丘，因此是优选的。注意，硅由于可以与晶体管所有的半导体层同时形成，并且耐热性高，因此是优选的。注意，氧化铟锡(ITO)、氧化铟锌(IZO)、添加有氧化硅的氧化铟锡(ITSO)、氧化锌(ZnO)、硅(Si)由于具有透光性且可以用于使光透过的部分，因此是优选的。例如可以使用这些材料作为像素电极和共同电极。

注意，可以采用这些材料的单层或叠层结构形成布线和电极。通过采用单层结构，可以使制造步骤简单化，降低步骤日数，并减少成本。此外，通过采用叠层结构，可以有效地使用每个材料的优点且降低其缺点，以可以形成具有优良性能的布线和电极。例如，通过将电阻低的材料(铝等)包含于叠层结构中，可以实现布线的低电阻化。

此外，通过将耐热性高的材料包含于叠层结构中，例如通过采用如下叠层结构，即用耐热性高的材料夹耐热性低而具有其他优点的材料，可以提高布线和电极整体的耐热性。例如，优选采用如下叠层结构：用含有钼或钛的层夹含有铝的层。此外，在存在有与其他材料的布线和电极等直接接触的部分的情况下，有可能互相受到负面影响。例如举出如下情况：一方的材料侵入到另一方的材料中并改变其性质，以不能起到最初的目的；以及当制造显示器件时产生问题，以不能正常地制造显示器件。在这种情况下，通过将某个层夹在其他的层中，或用其他的层覆盖一个层，可以解决问题。例如，在要想使氧化铟锡（ITO）和铝接触的情况下，优选其中夹钛或钼。此外，在要想使硅和铝电接触的情况下，优选其中夹钛或钼。

注意，在本实施方式中所述的内容可以与实施方式1至实施方式8所述的内容自由地组合而实施。

本说明书根据2005年9月16日在日本专利局受理的日本专利申请编号2005-269654而制作，所述申请内容包括在本说明书中。



一
四

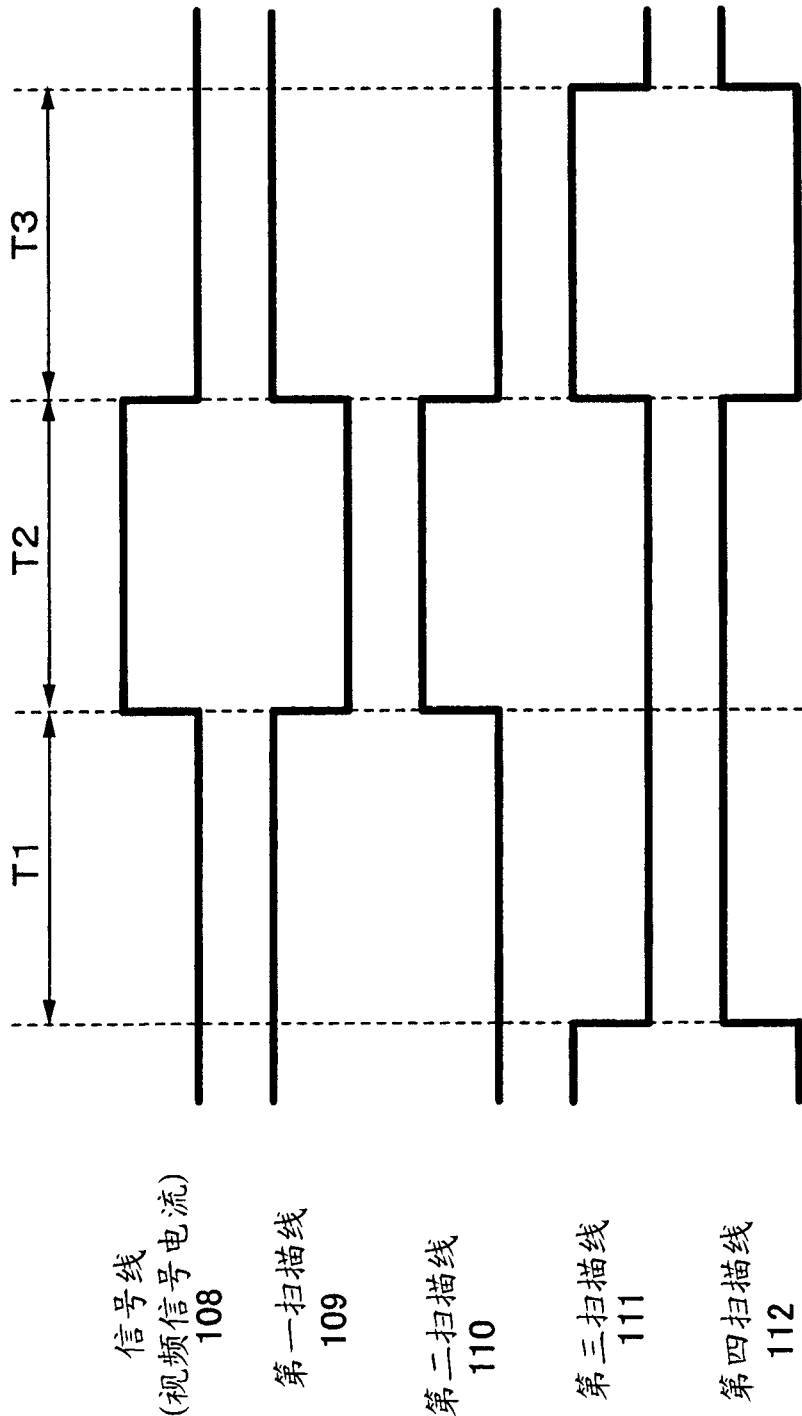


图 2

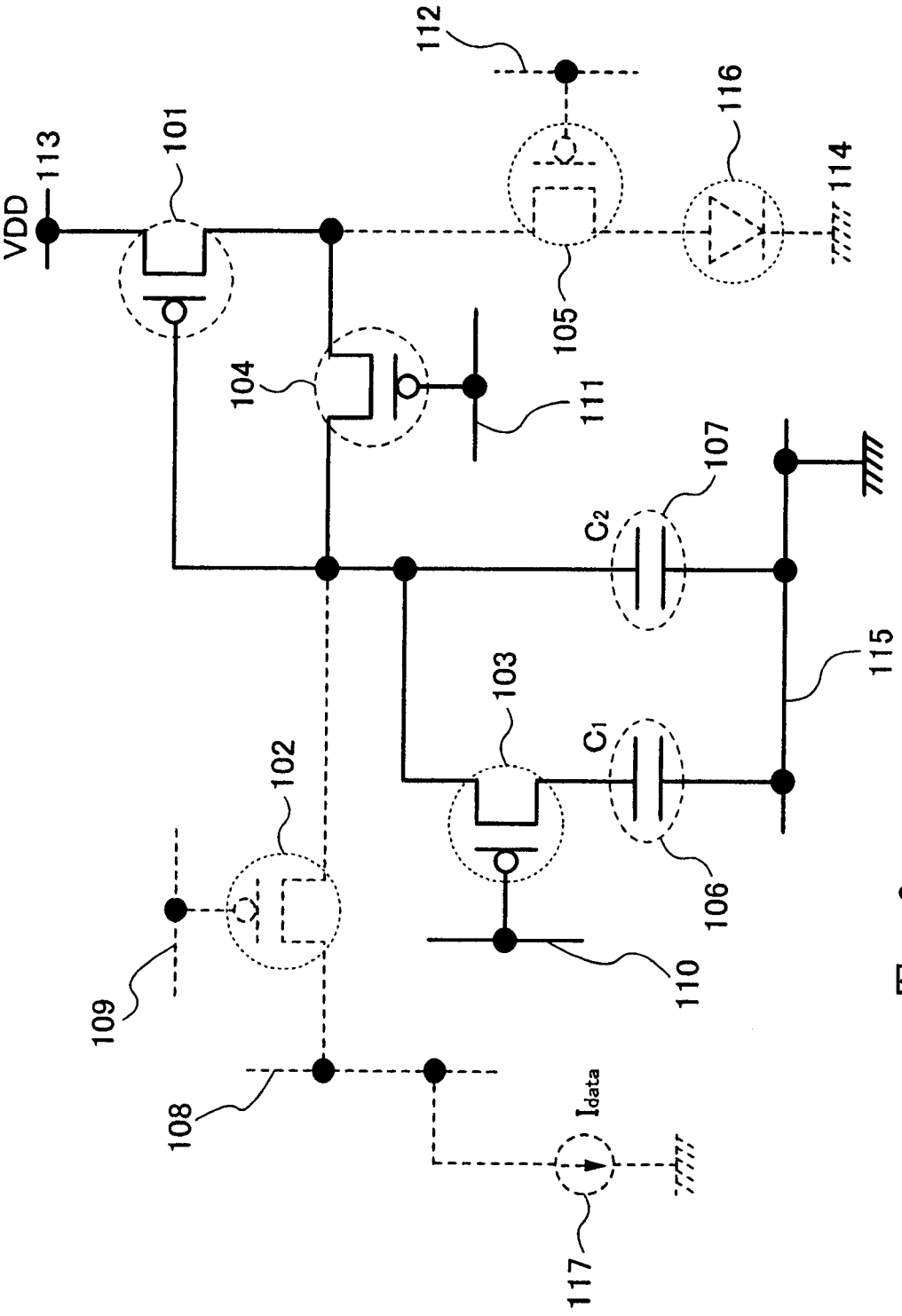
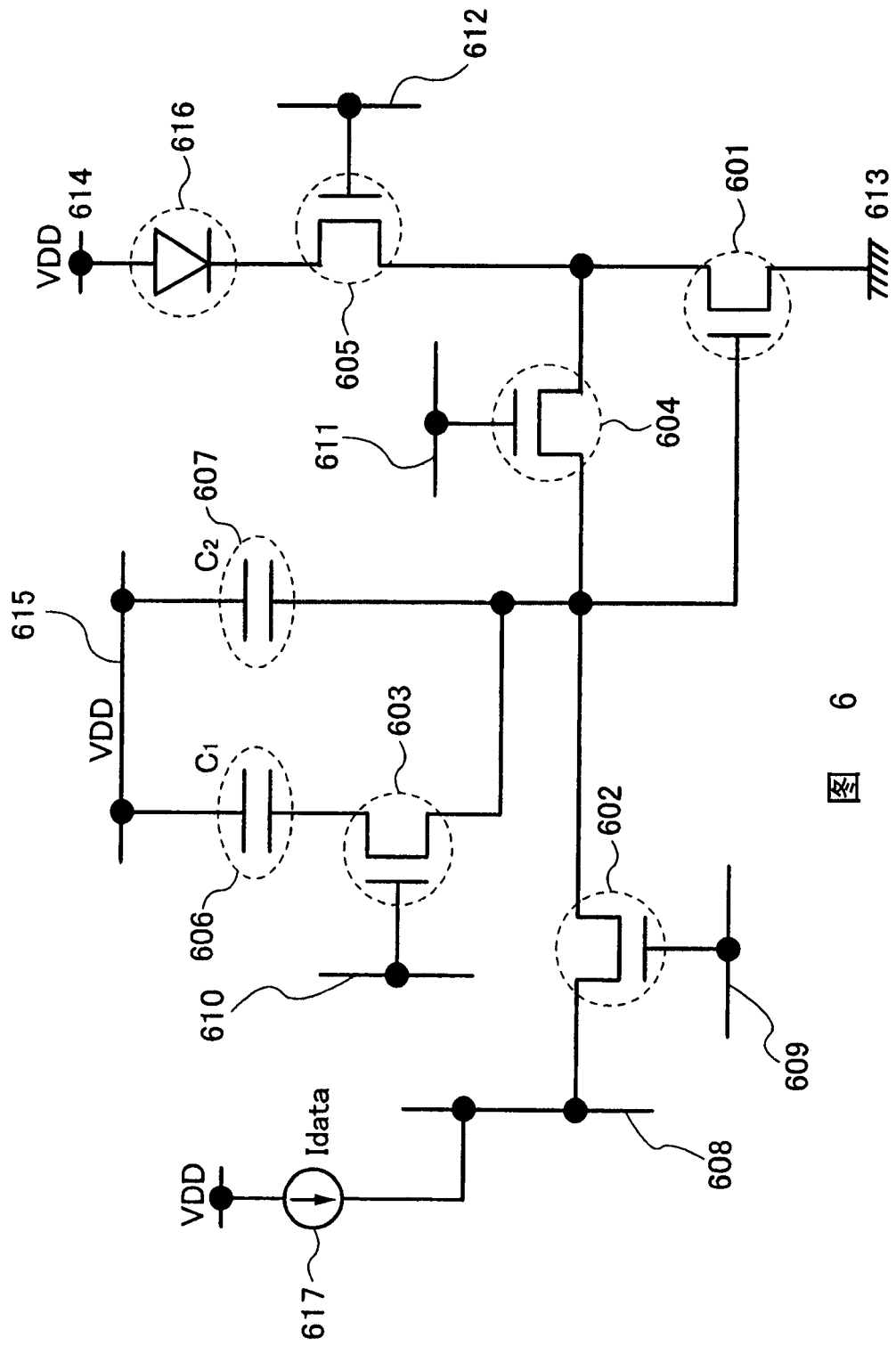


图 3



6

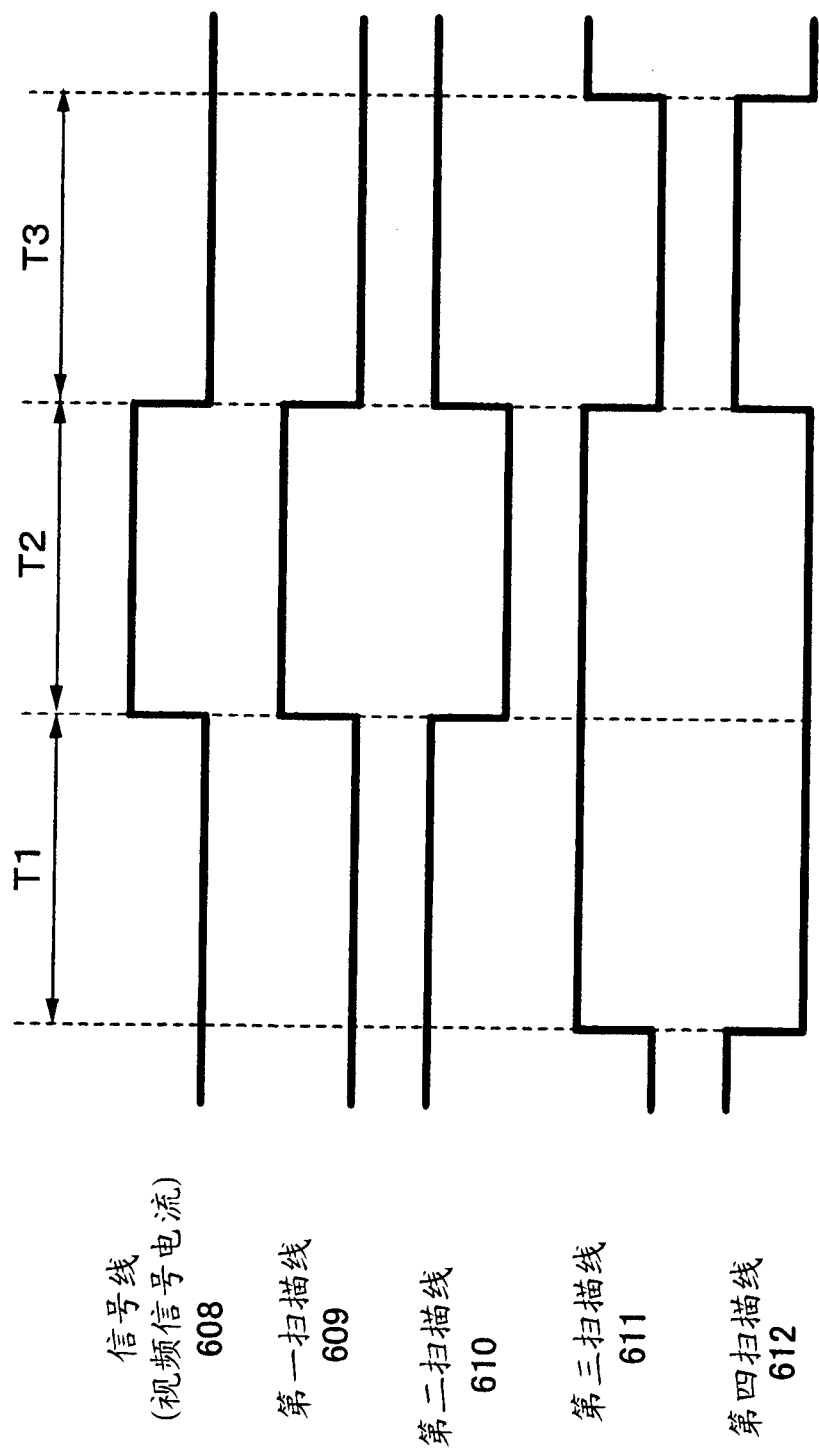


图 7

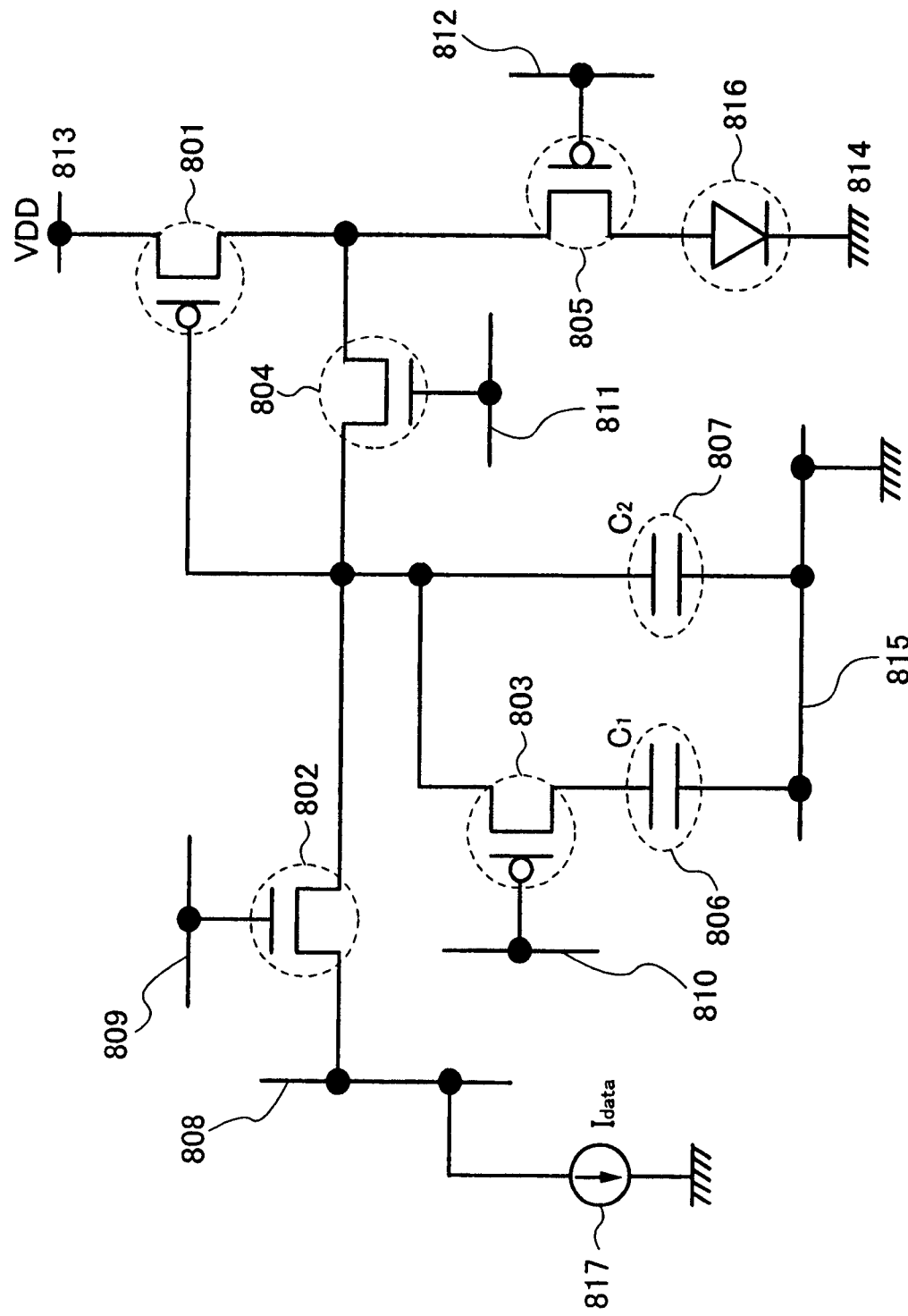


图 8

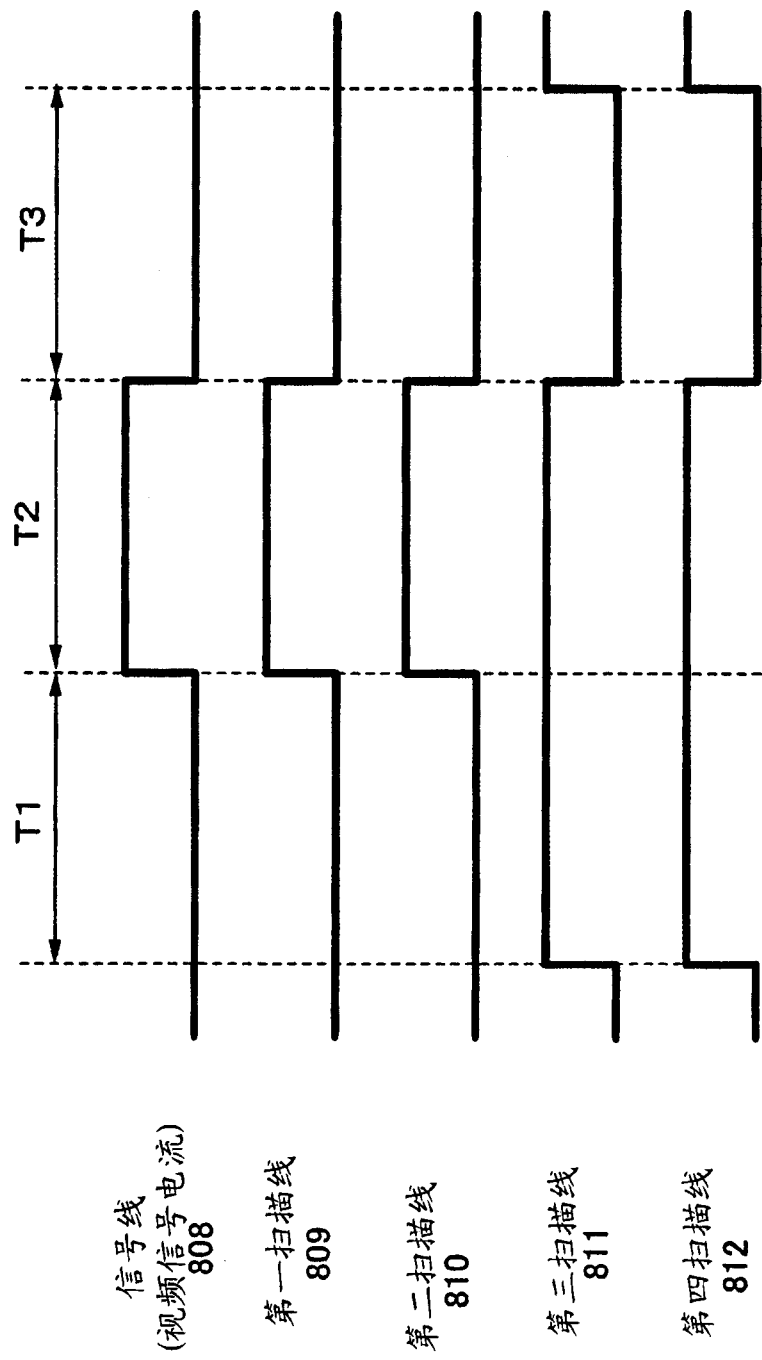
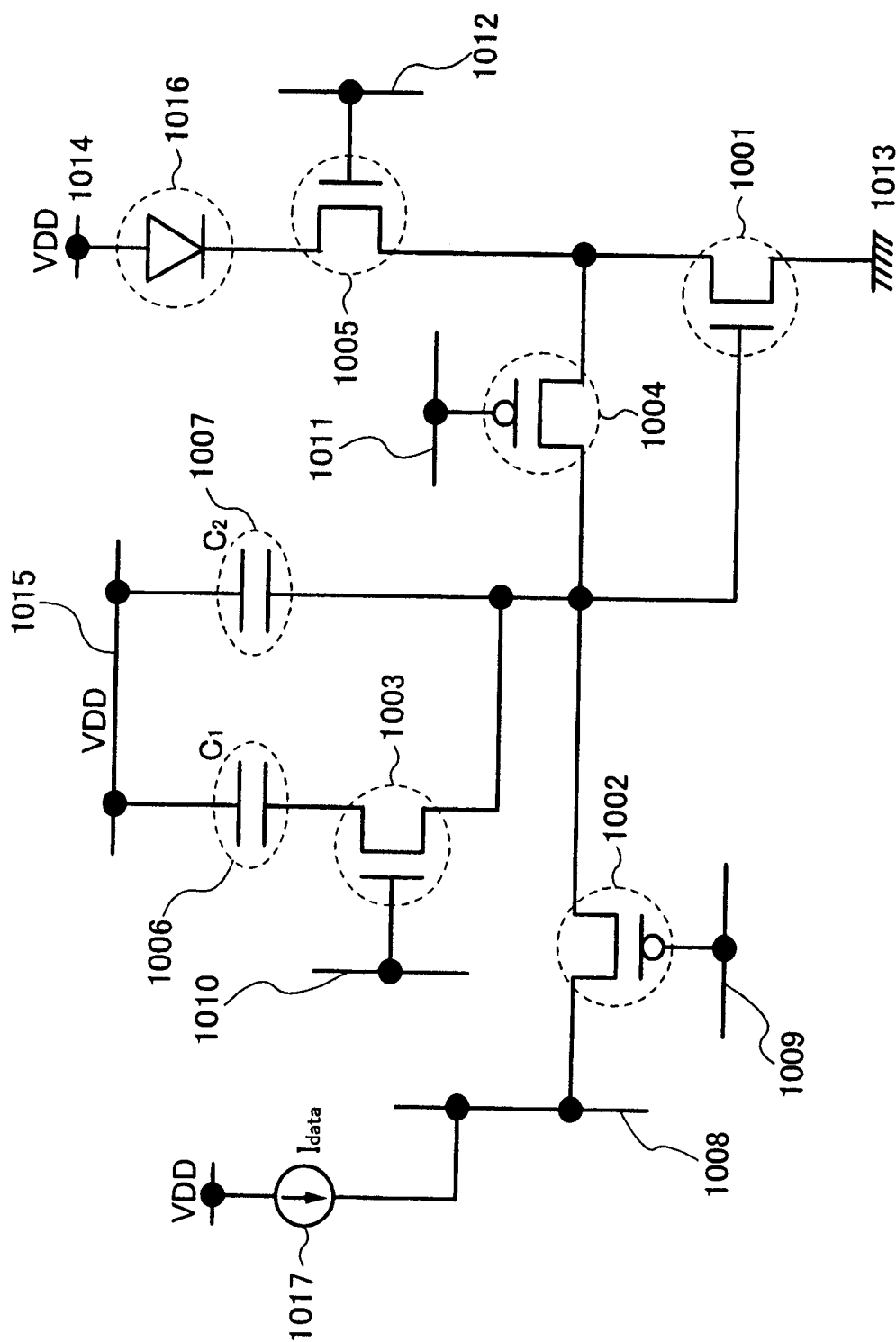


图 9



10 圖

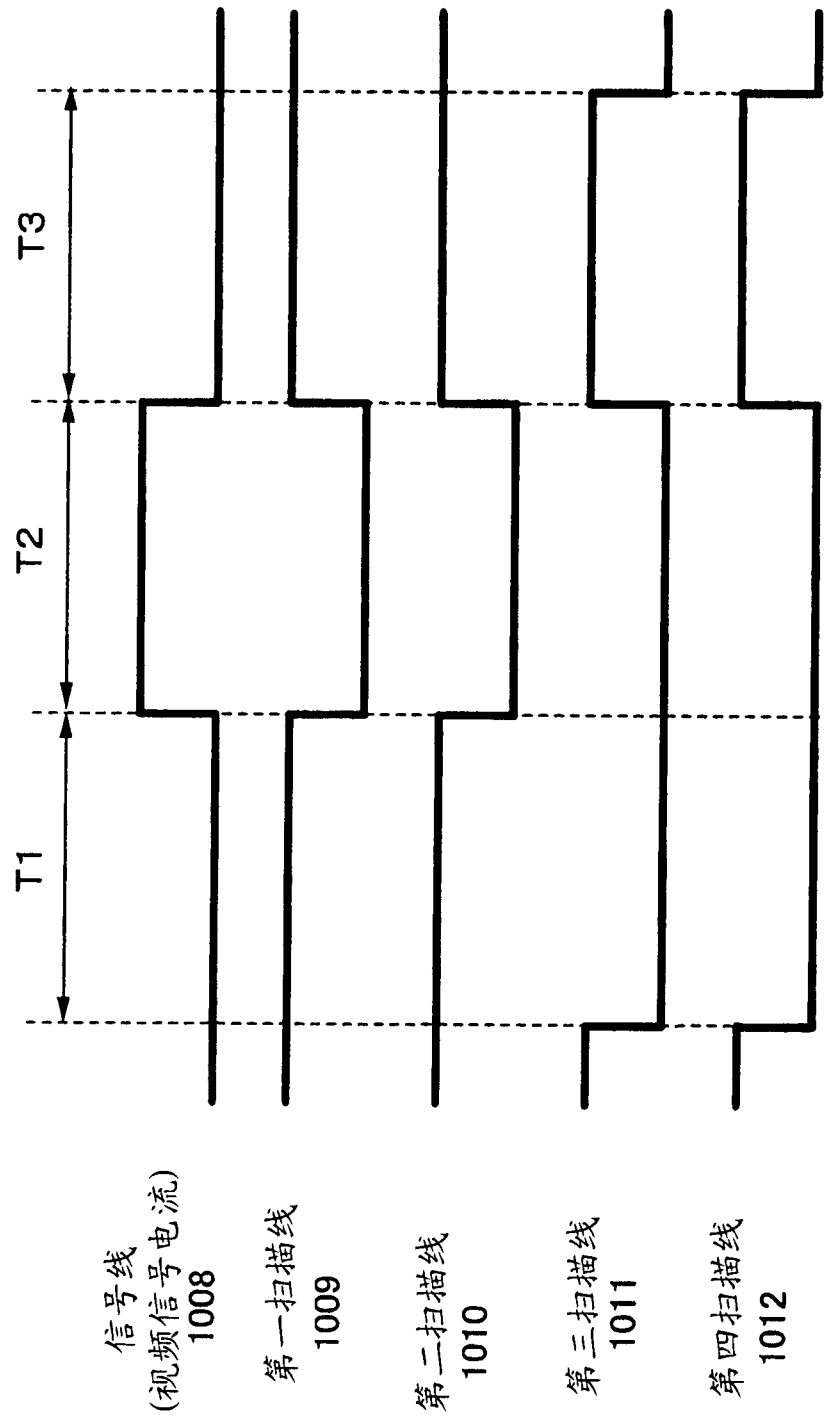


图 11

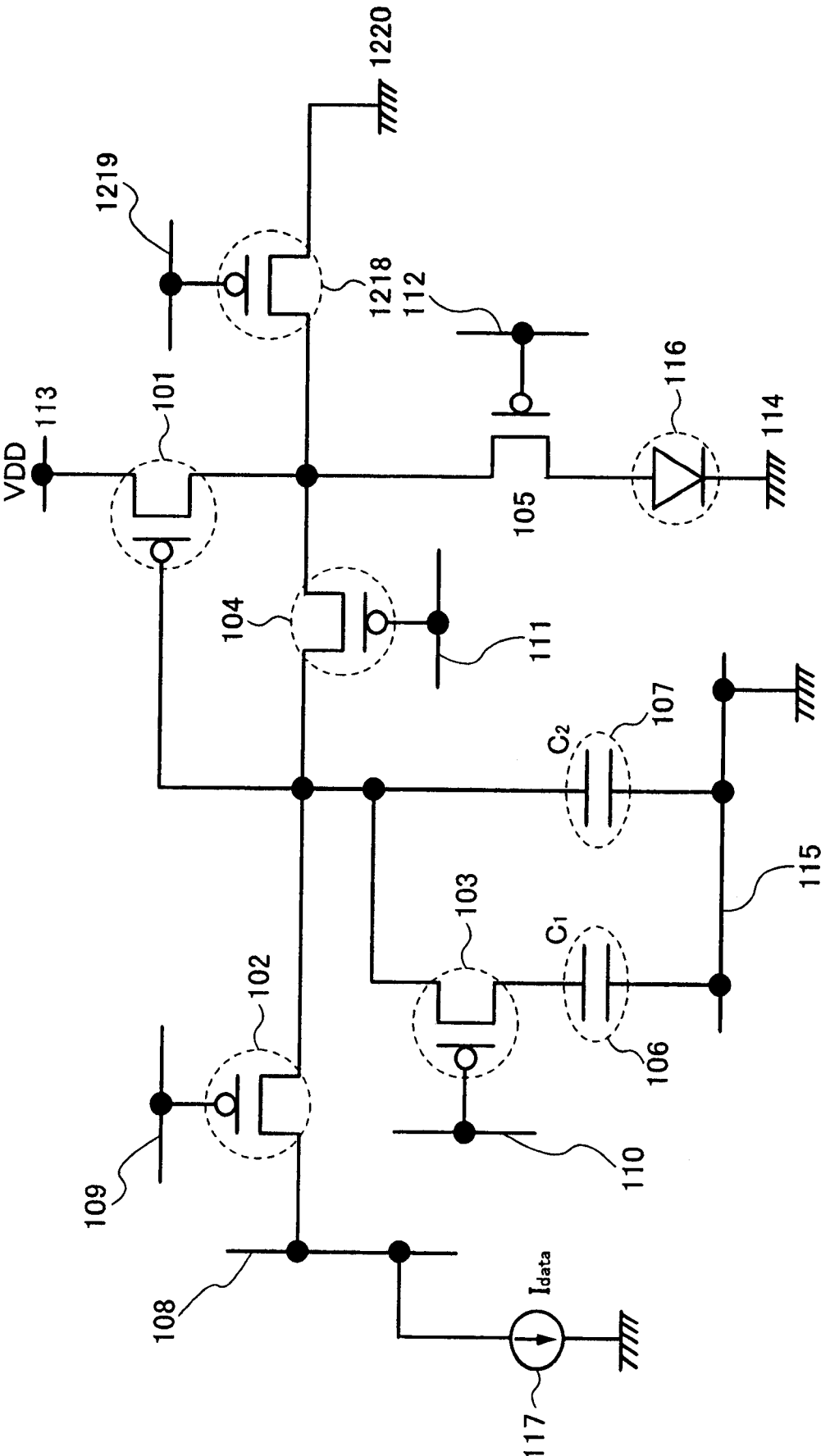


图 12

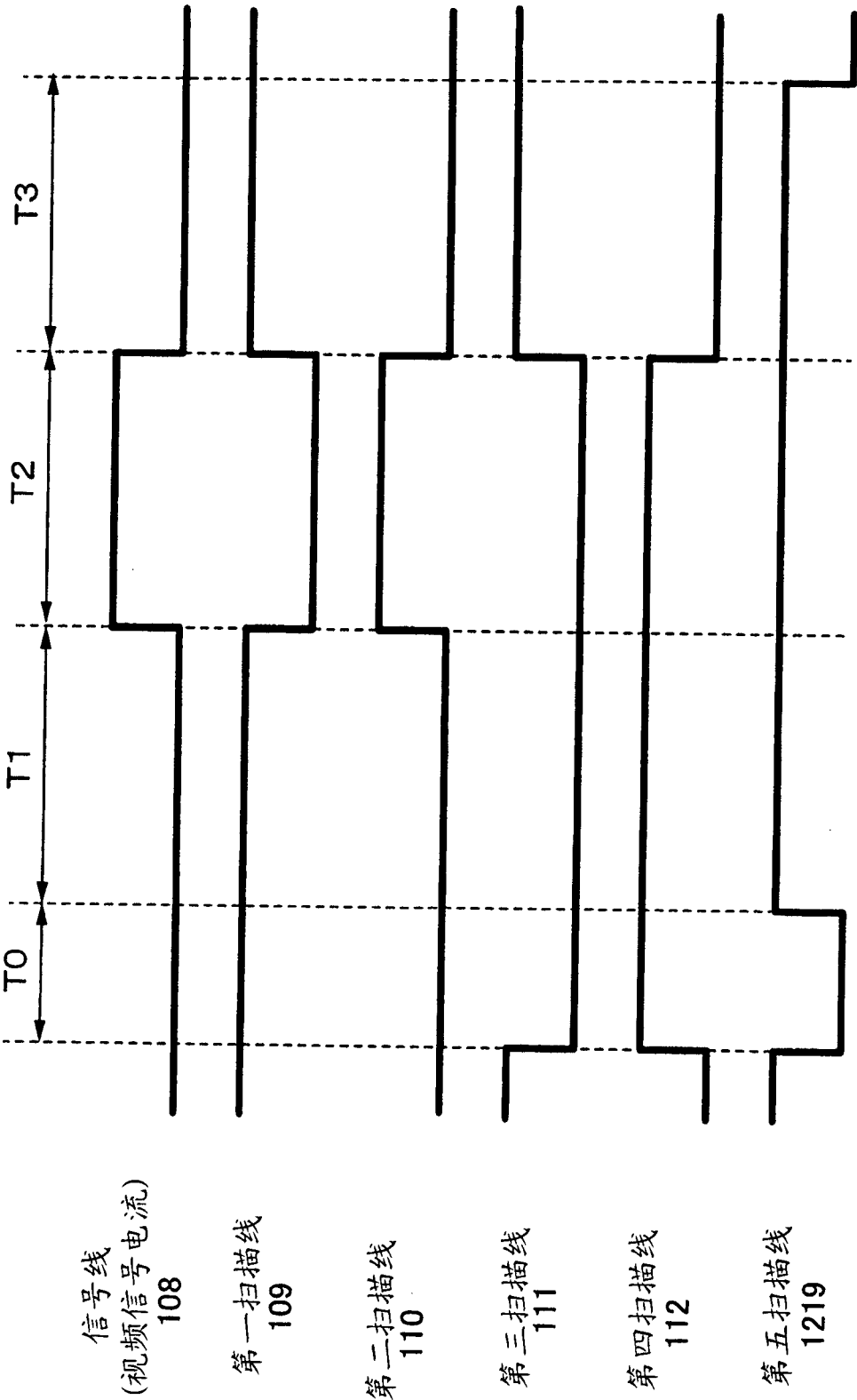
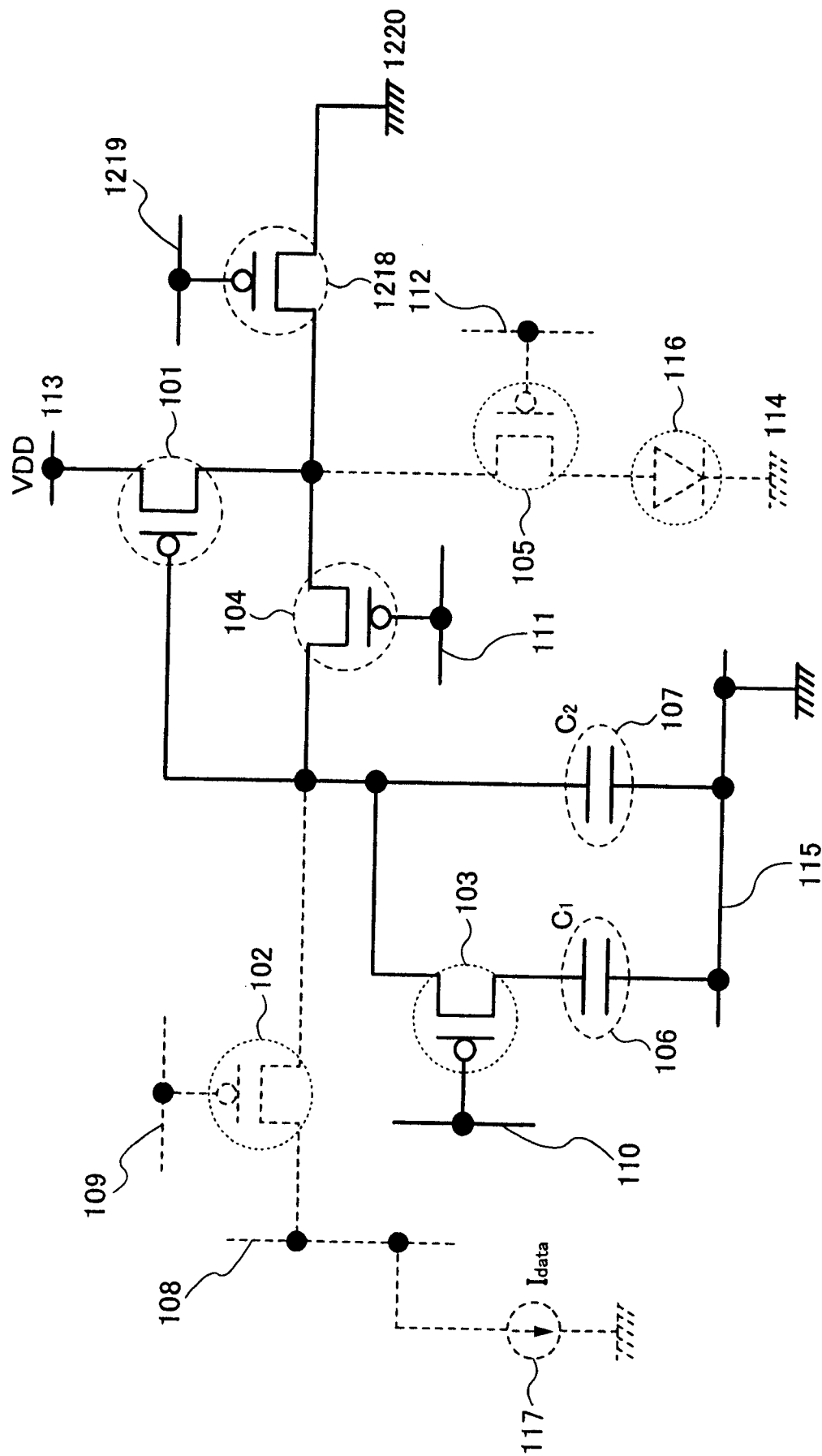
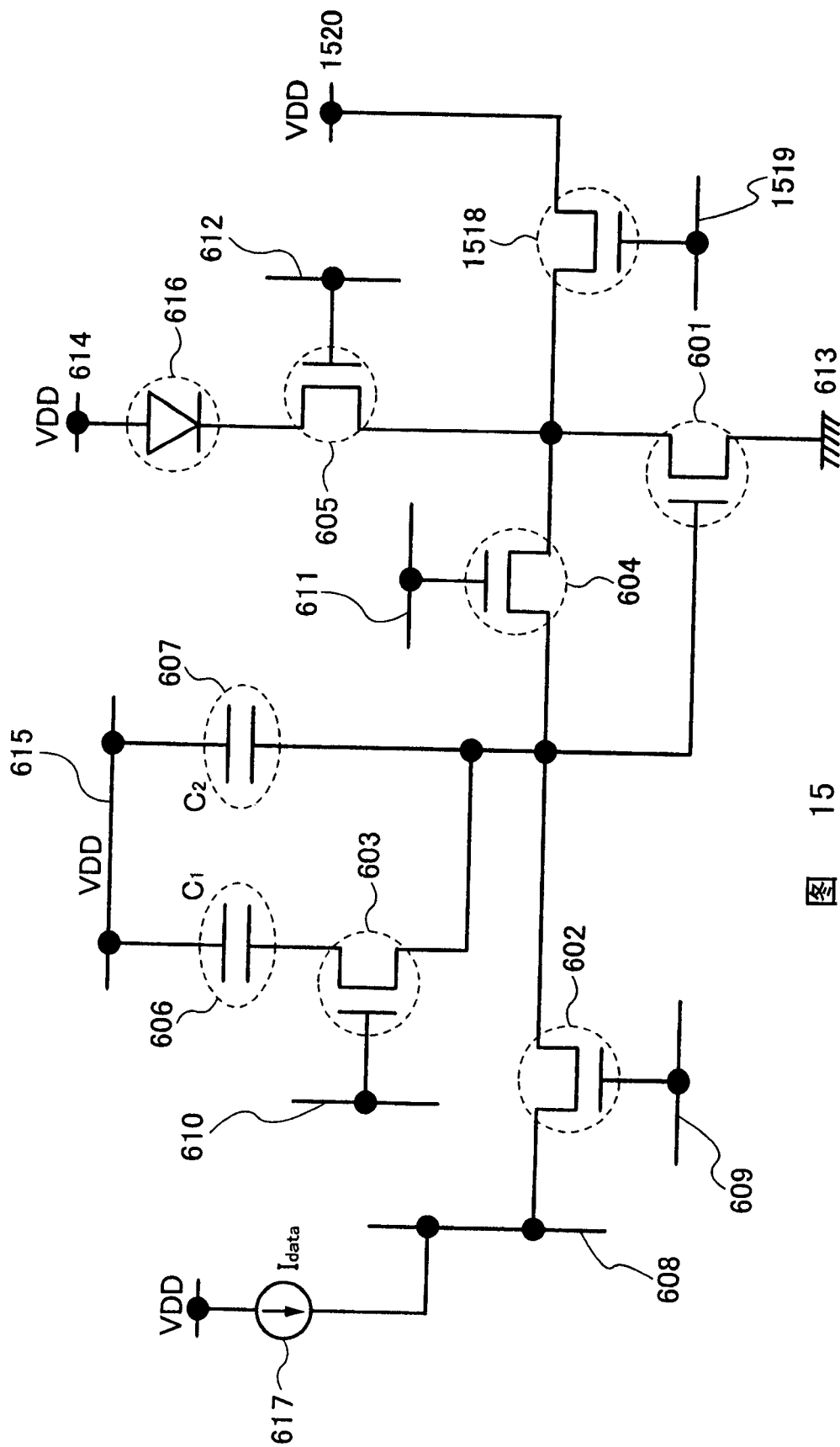


图 13



14
圖



15

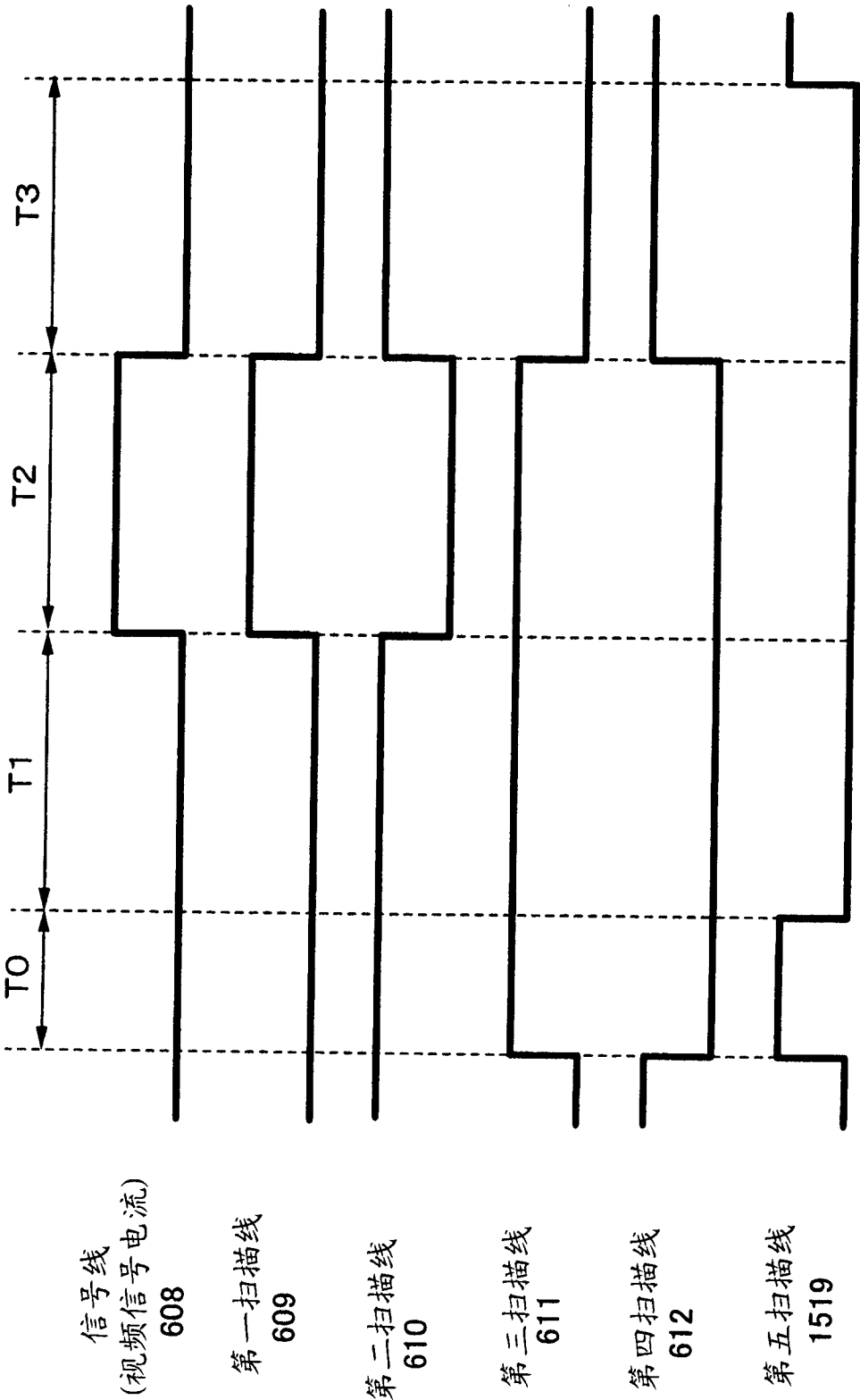


图 16

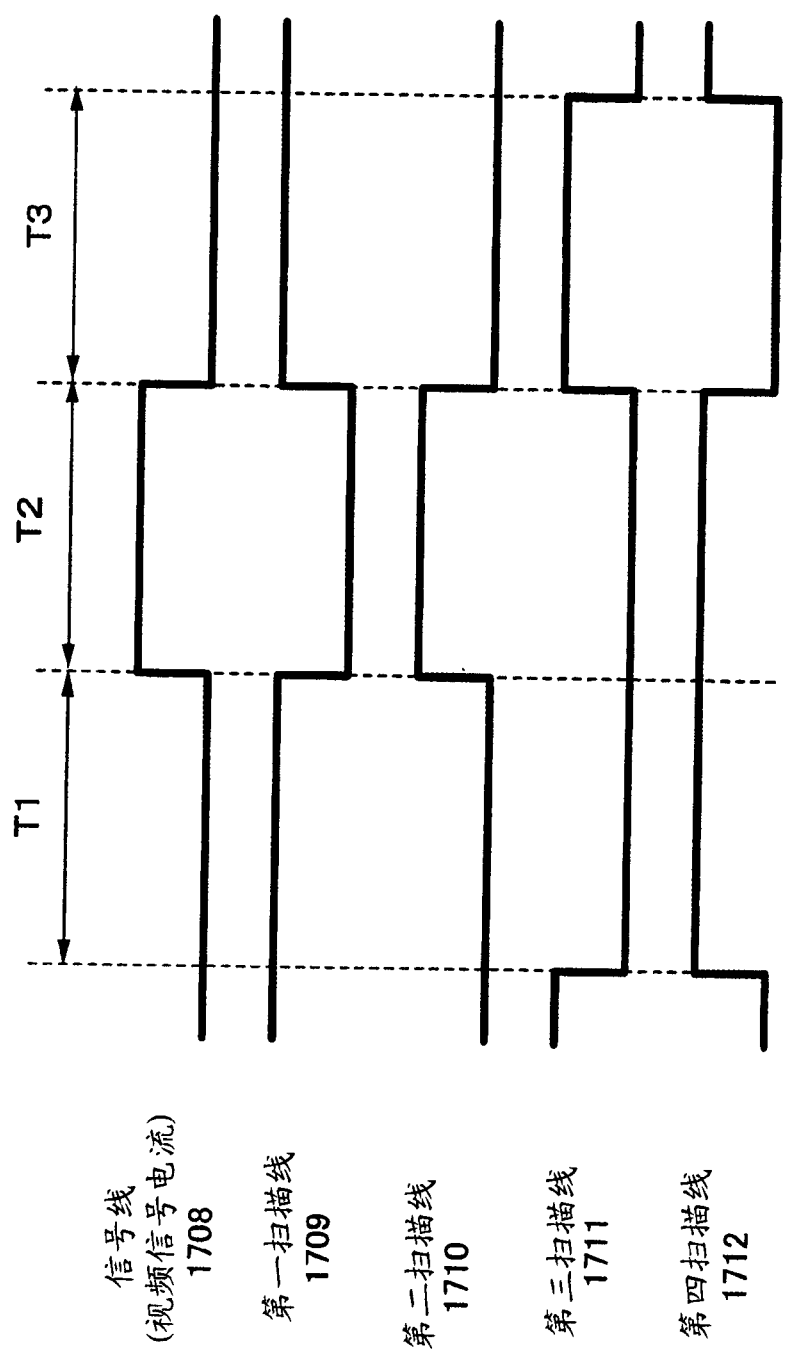


图 18

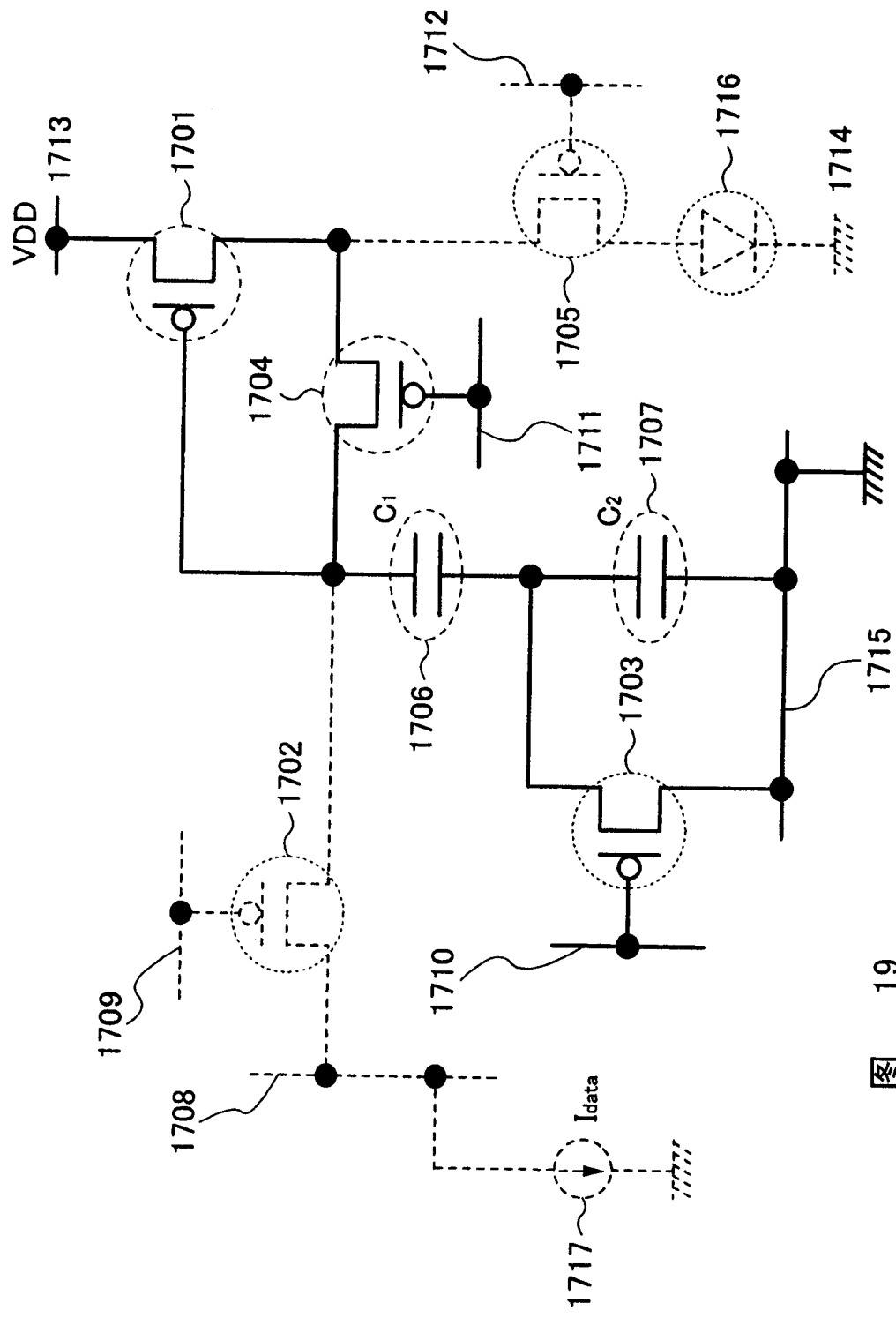


图 19

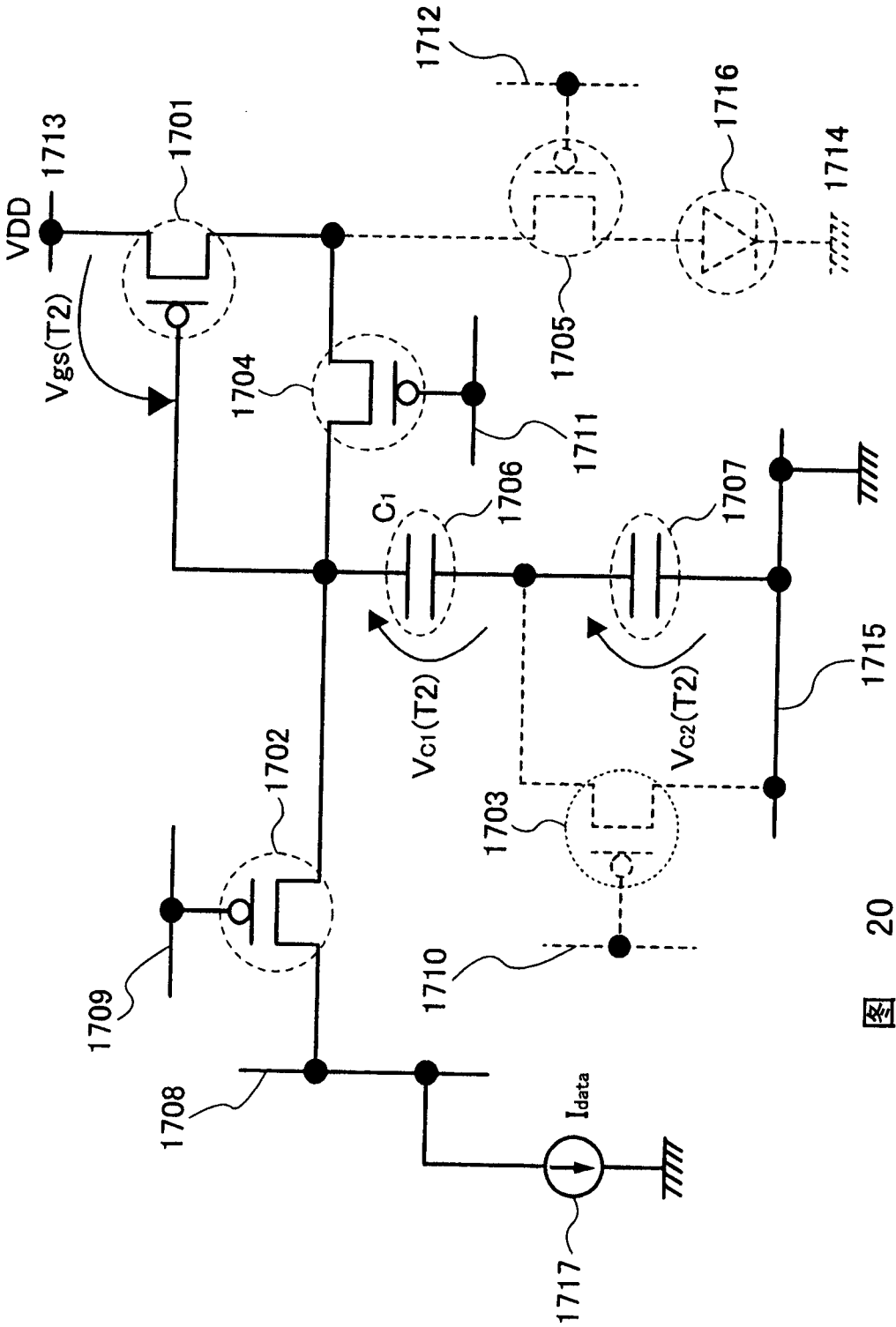


图 20

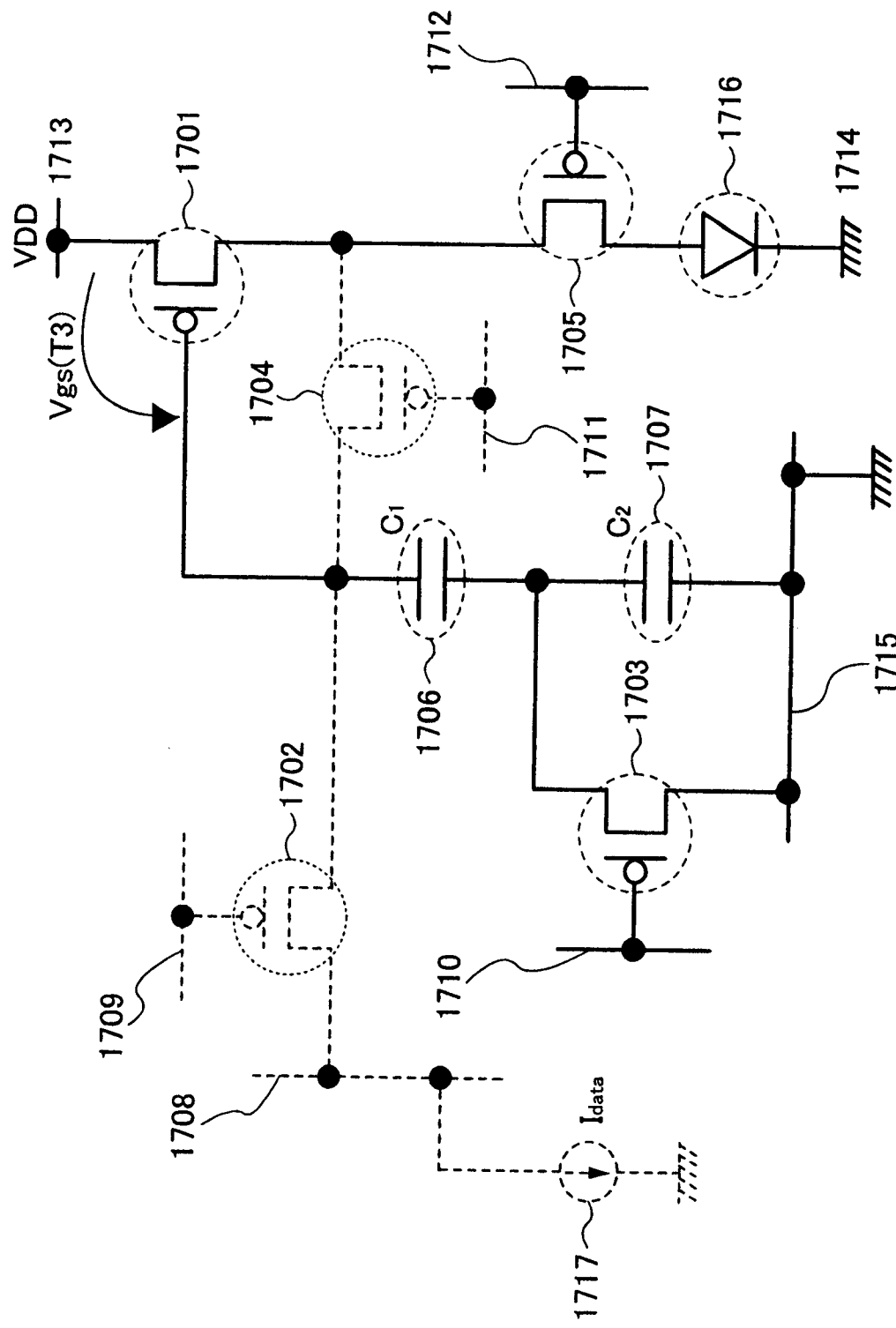
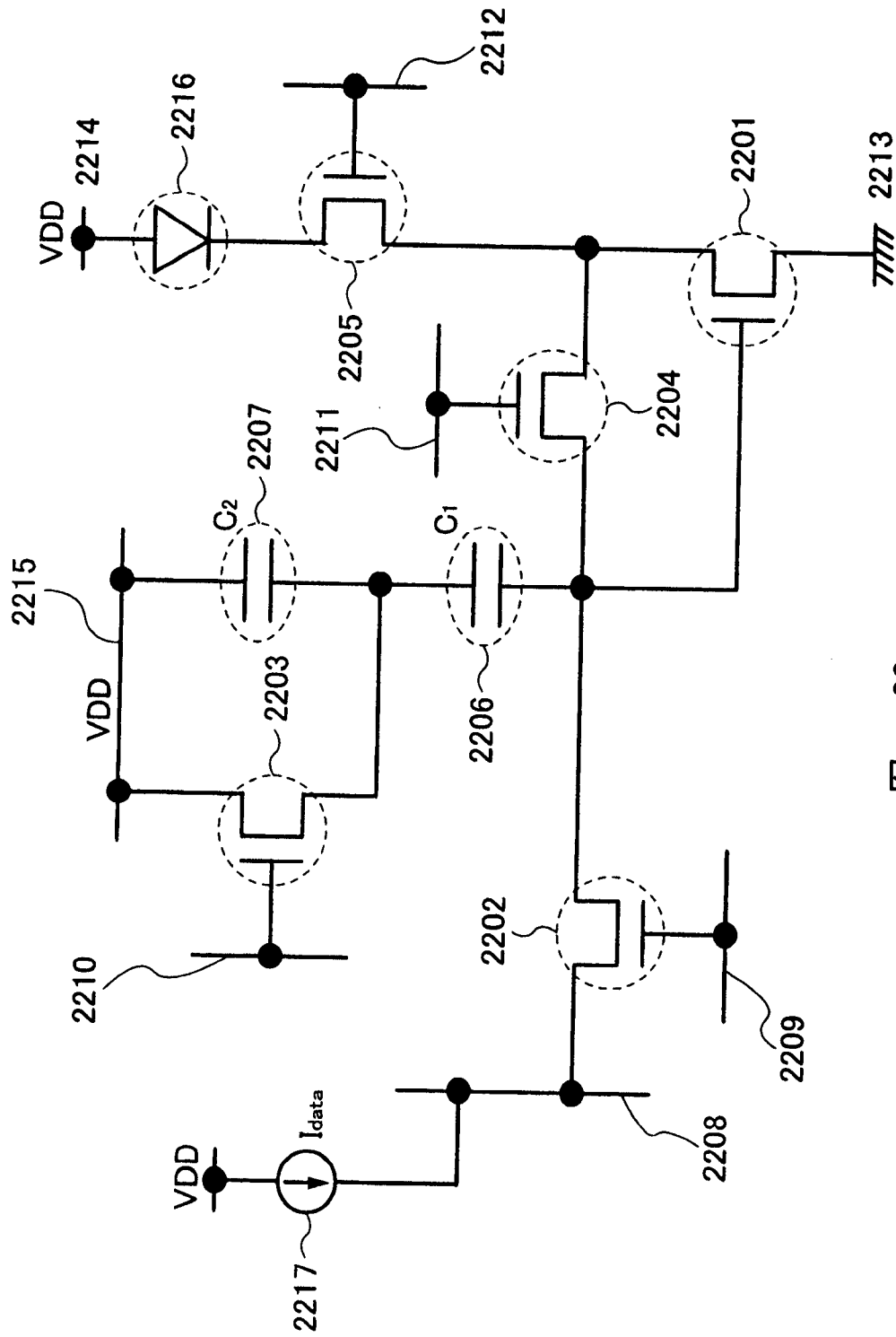


图 21

22 

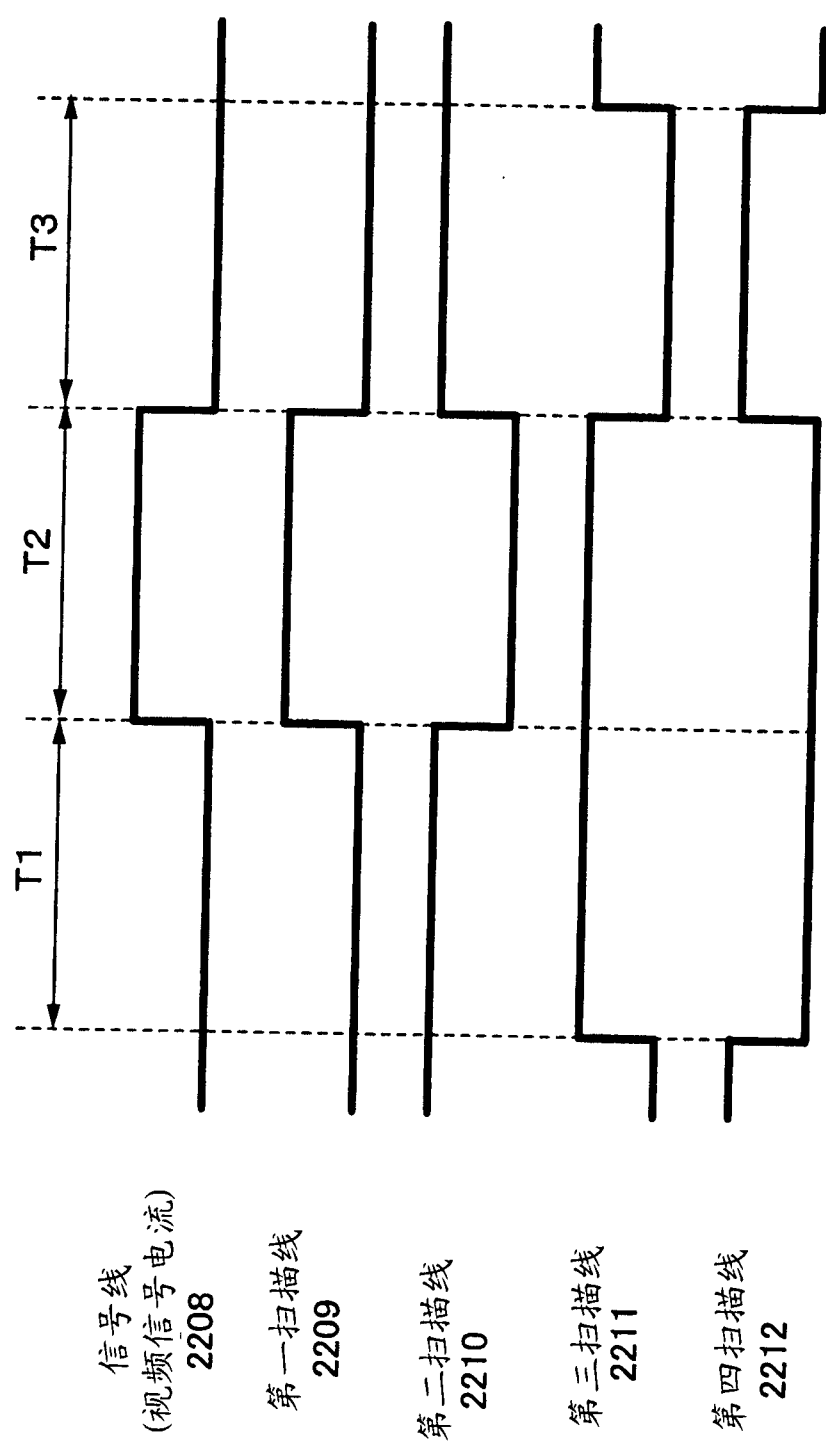
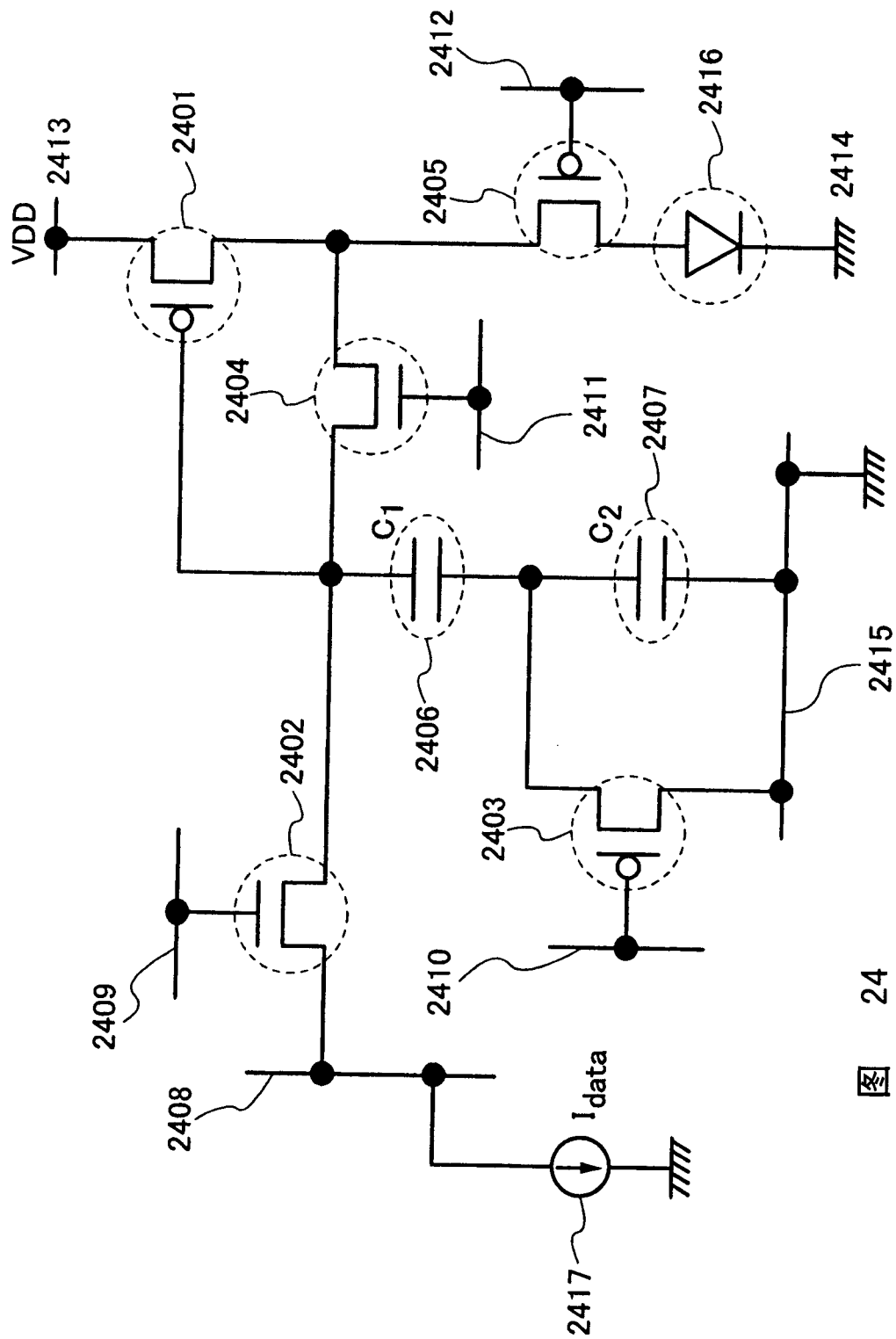


图 23



24

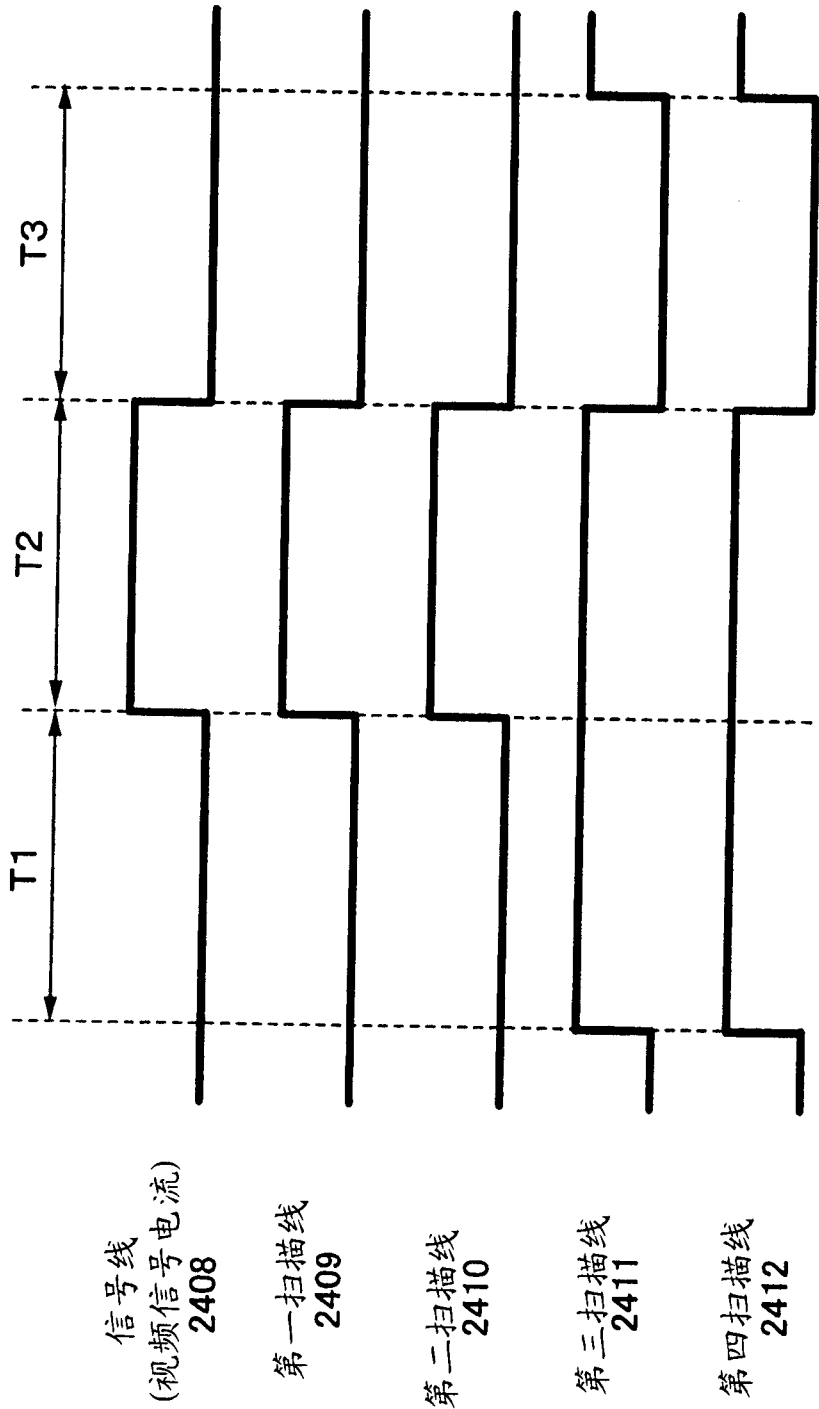


图 25

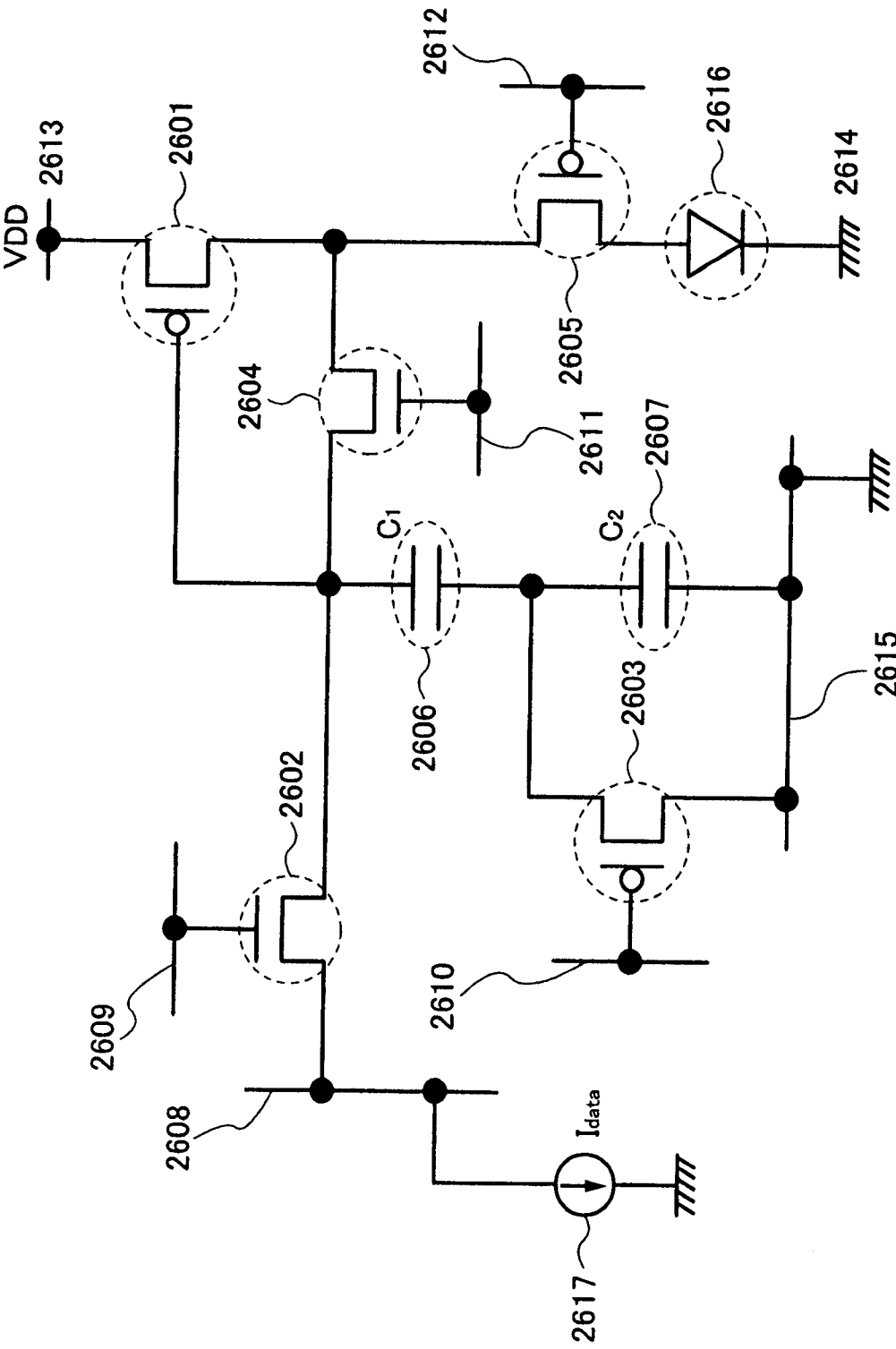


图 26

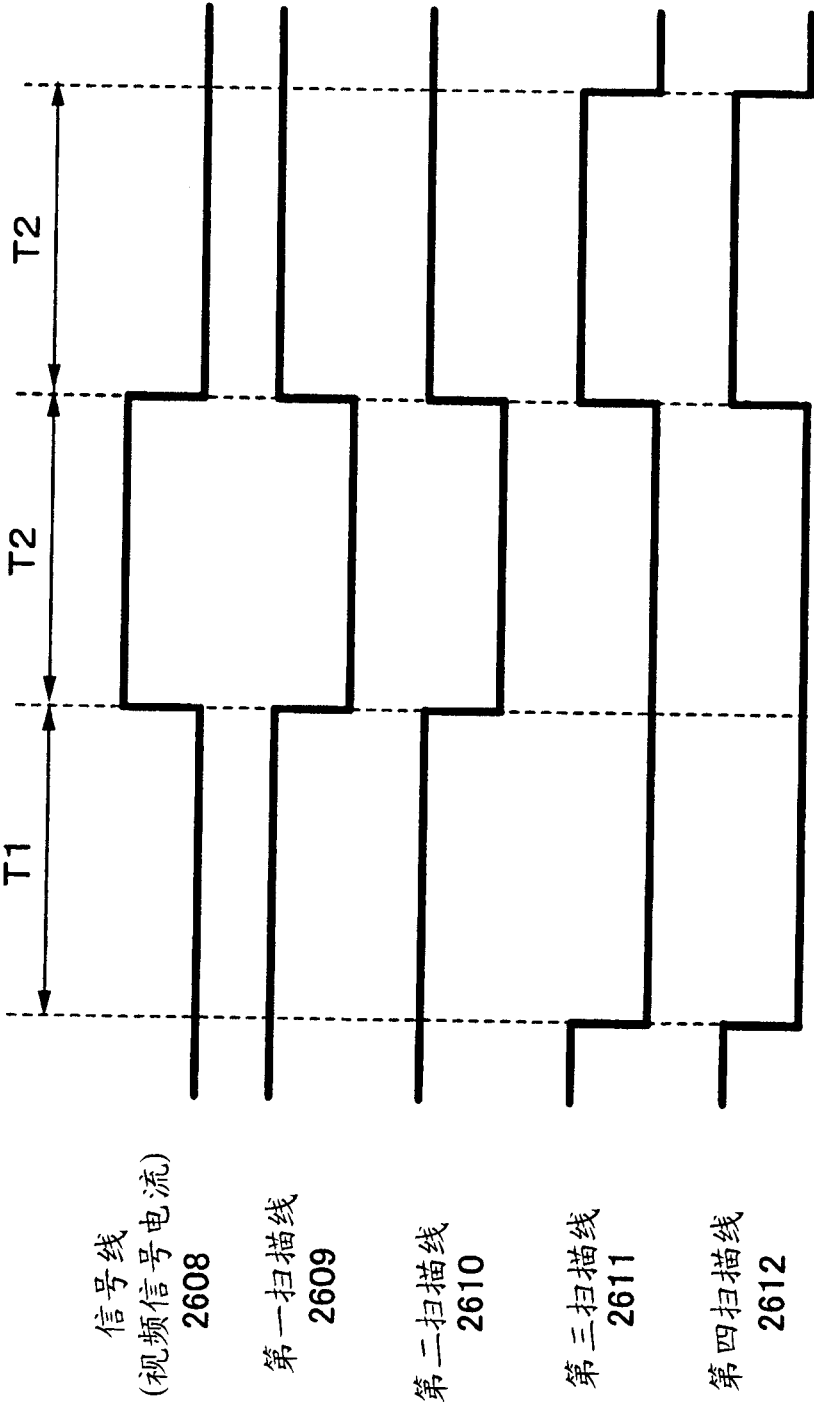
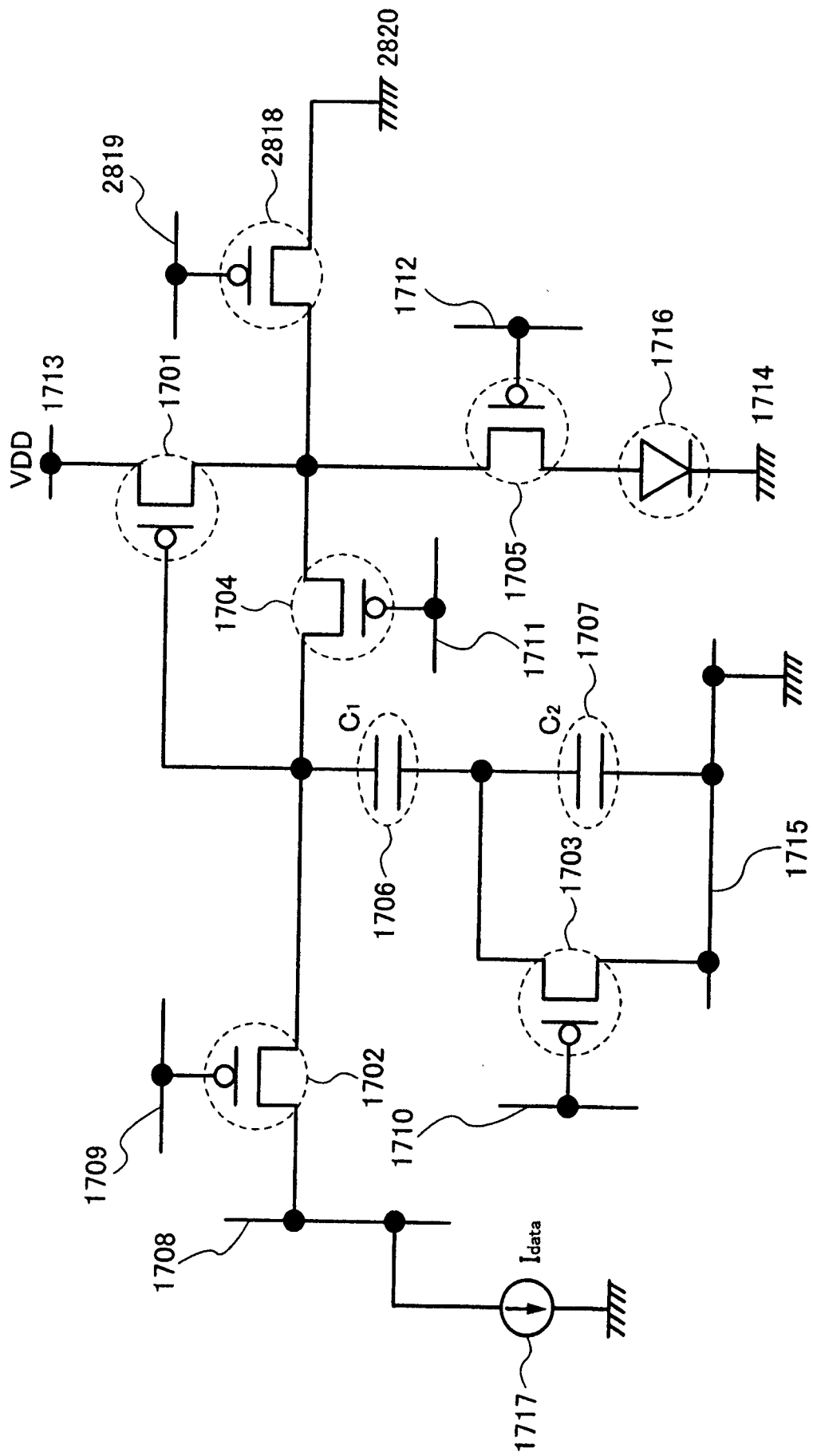


图 27



28

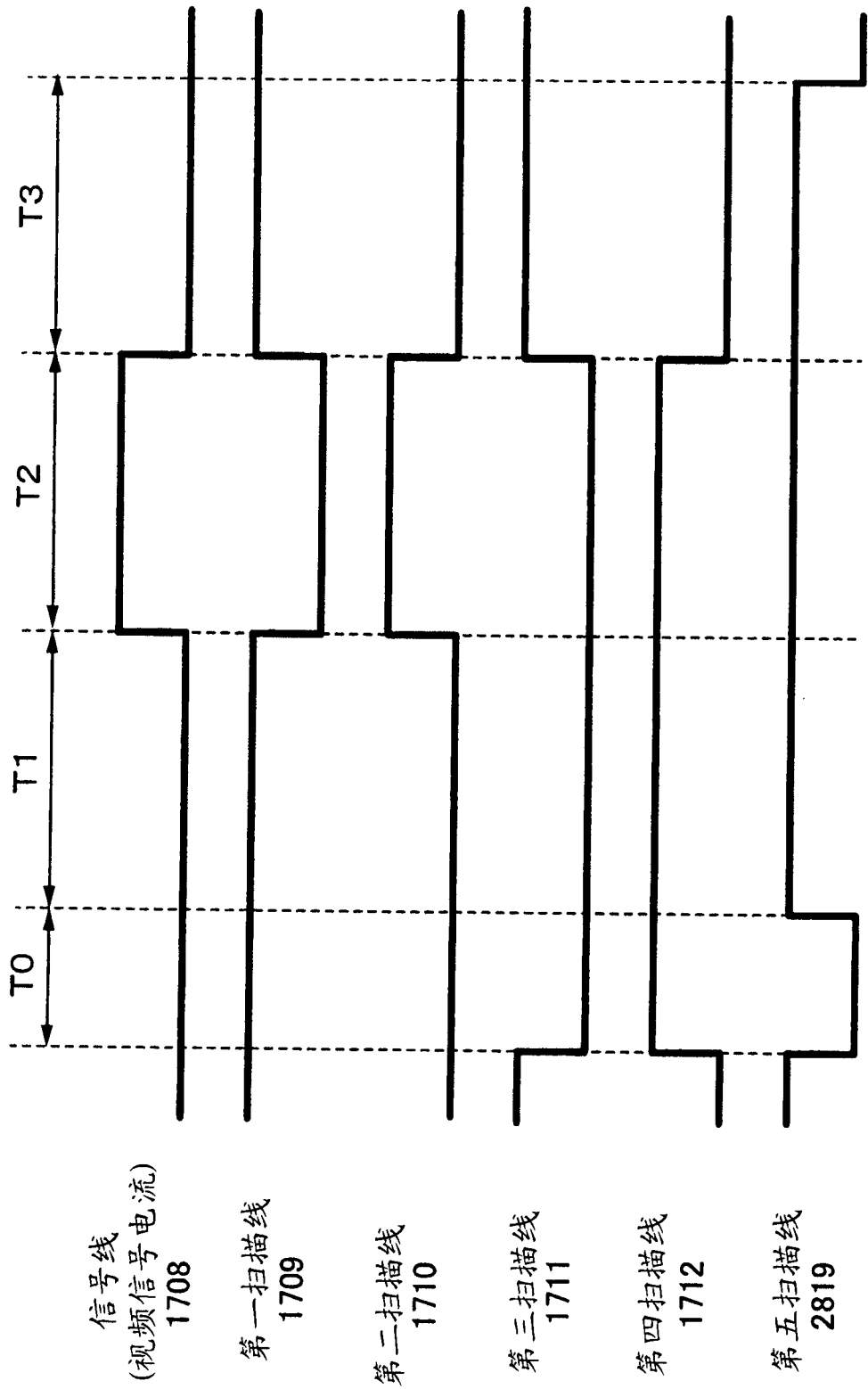


图 29

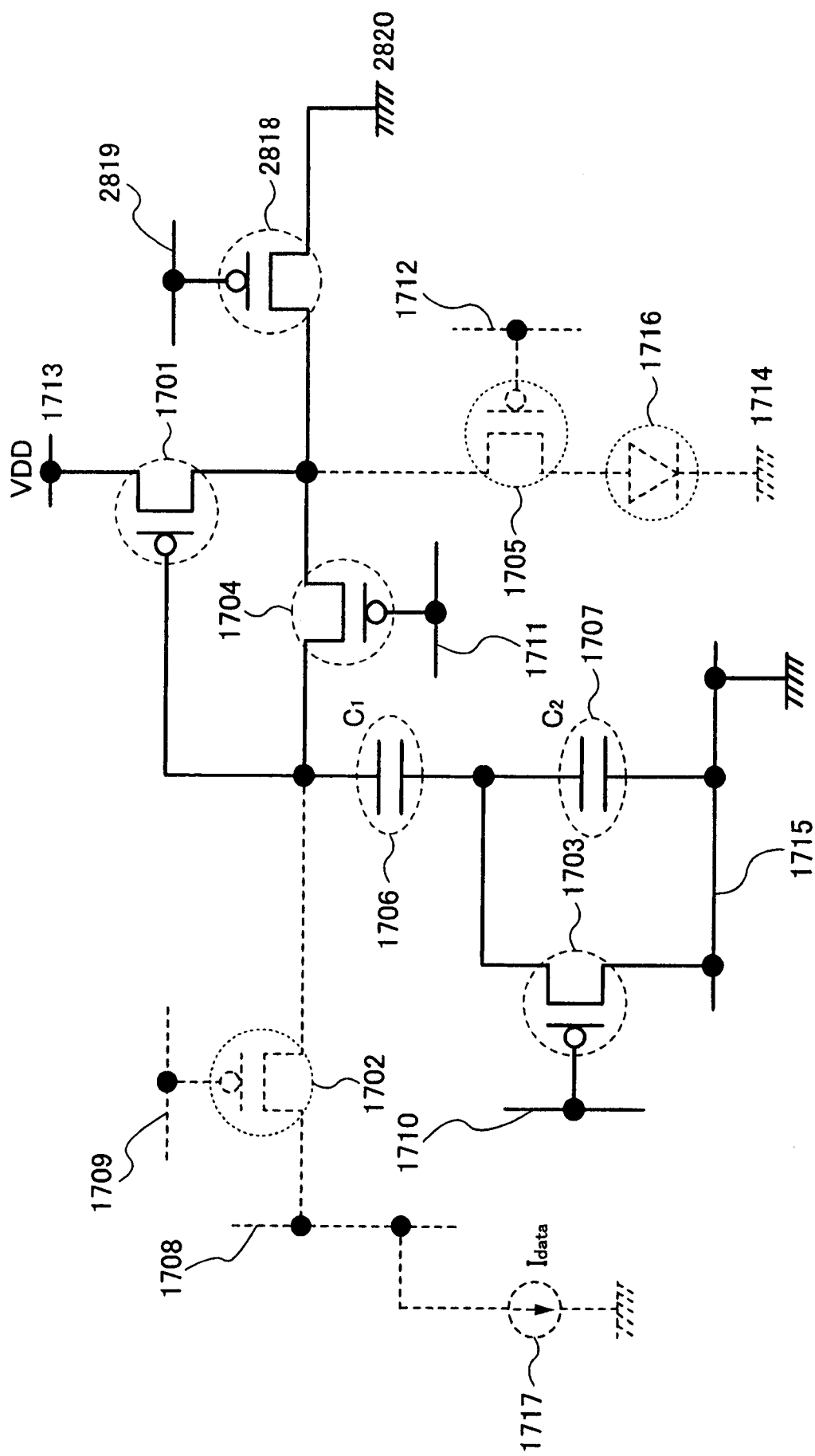
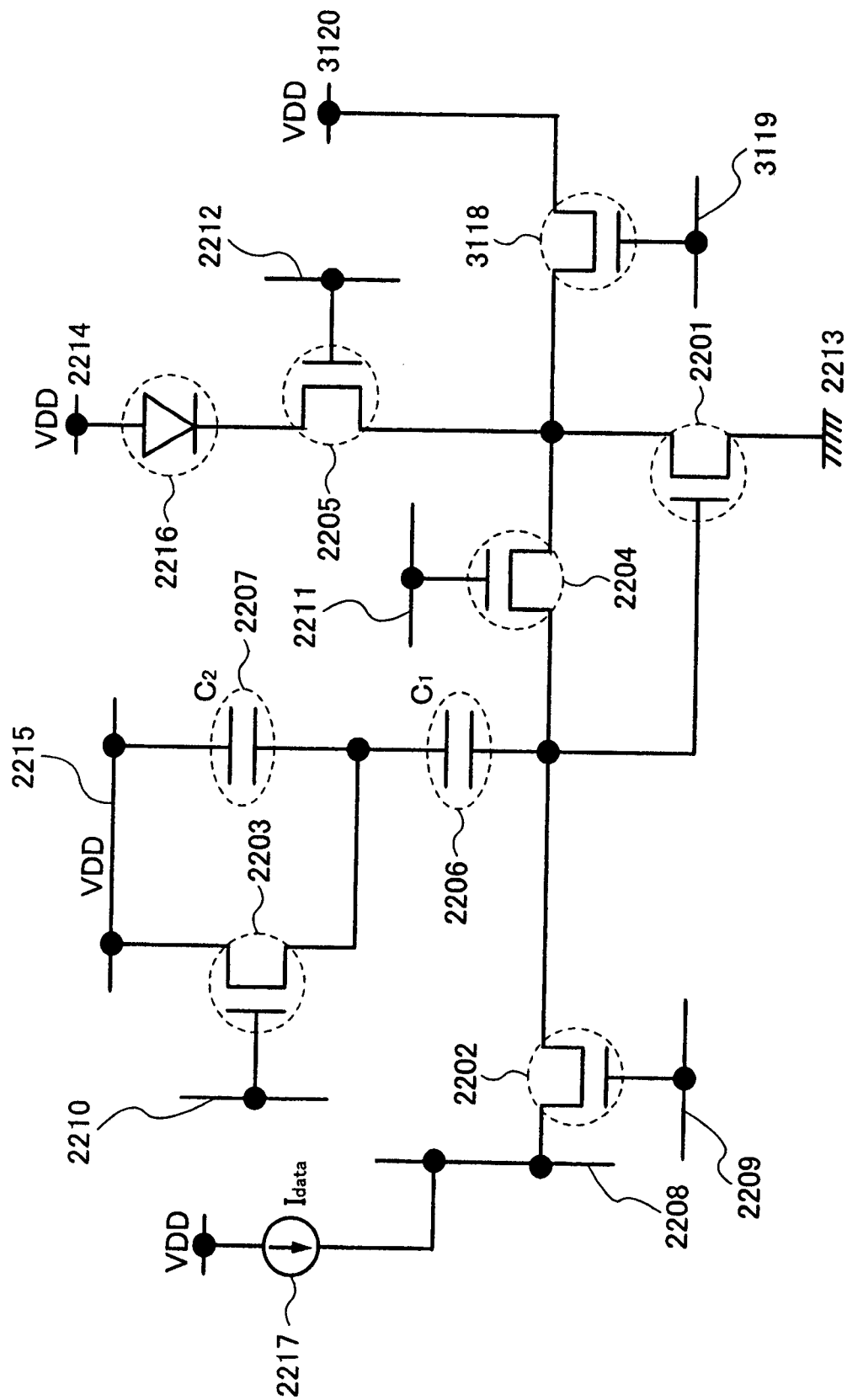


图 30



31 圖

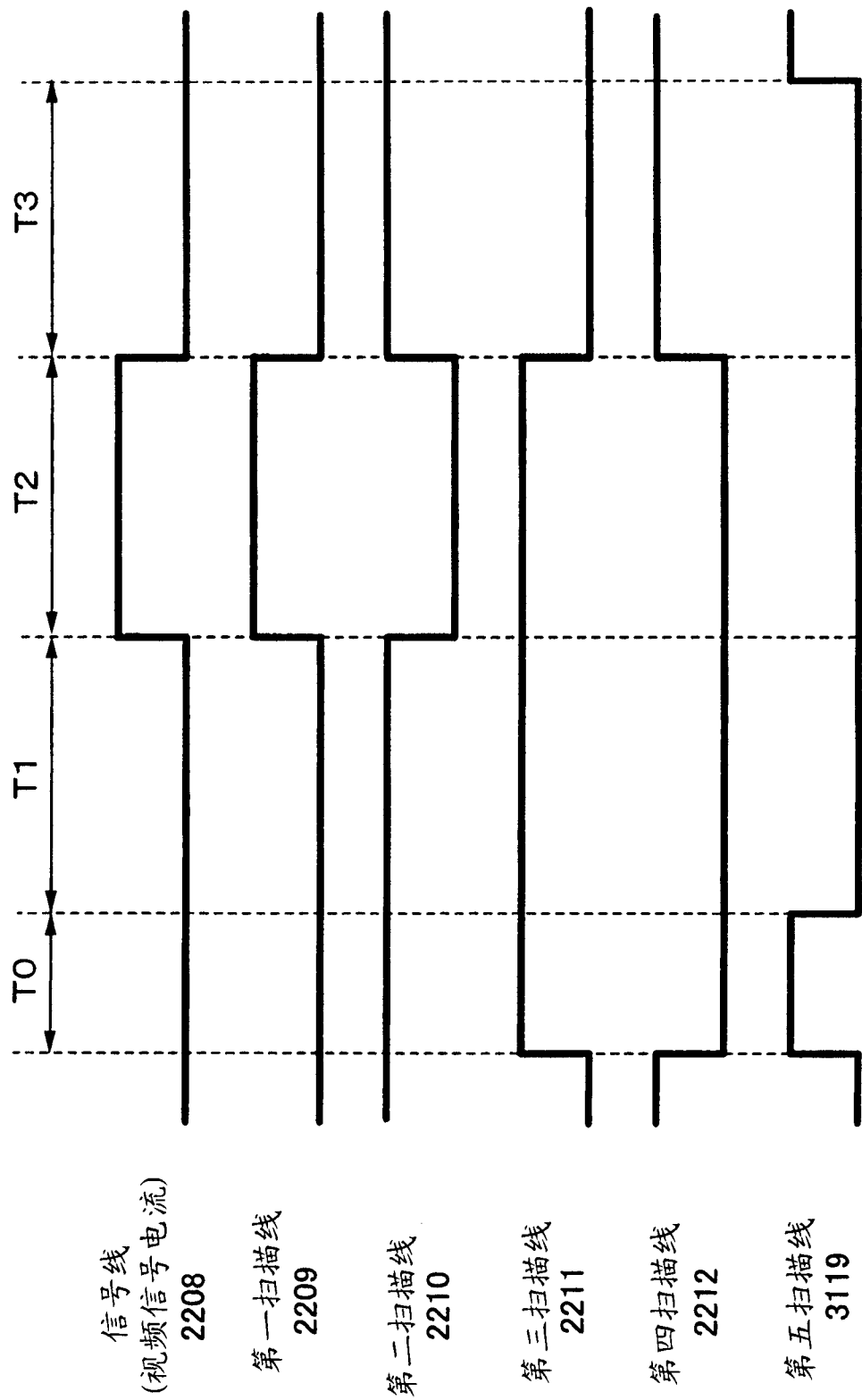


图 32

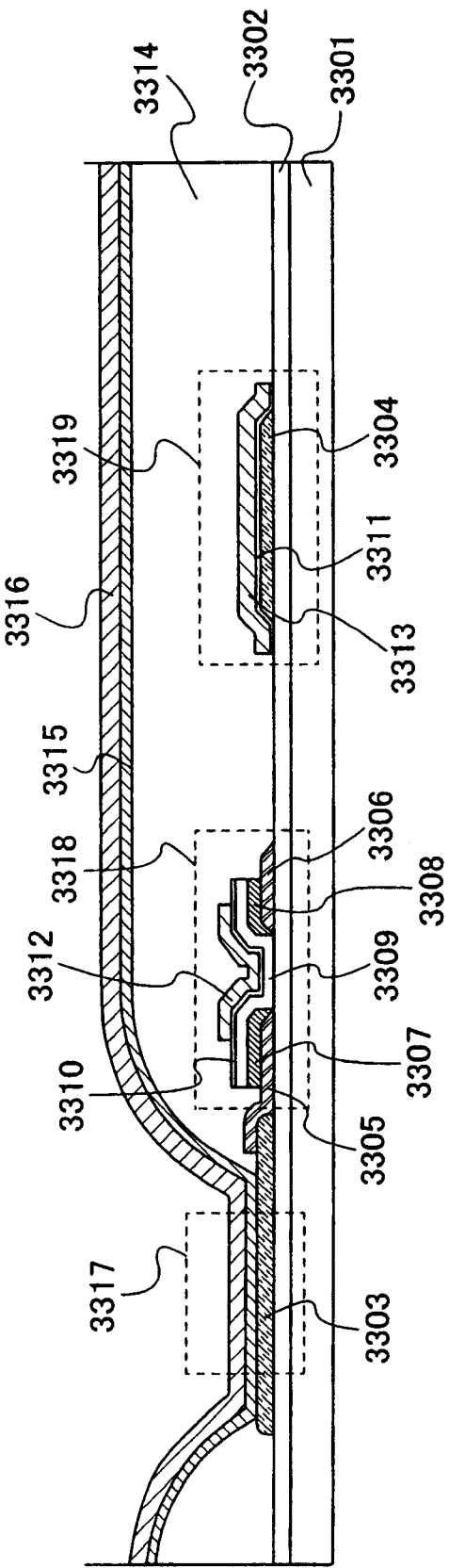


图 33A

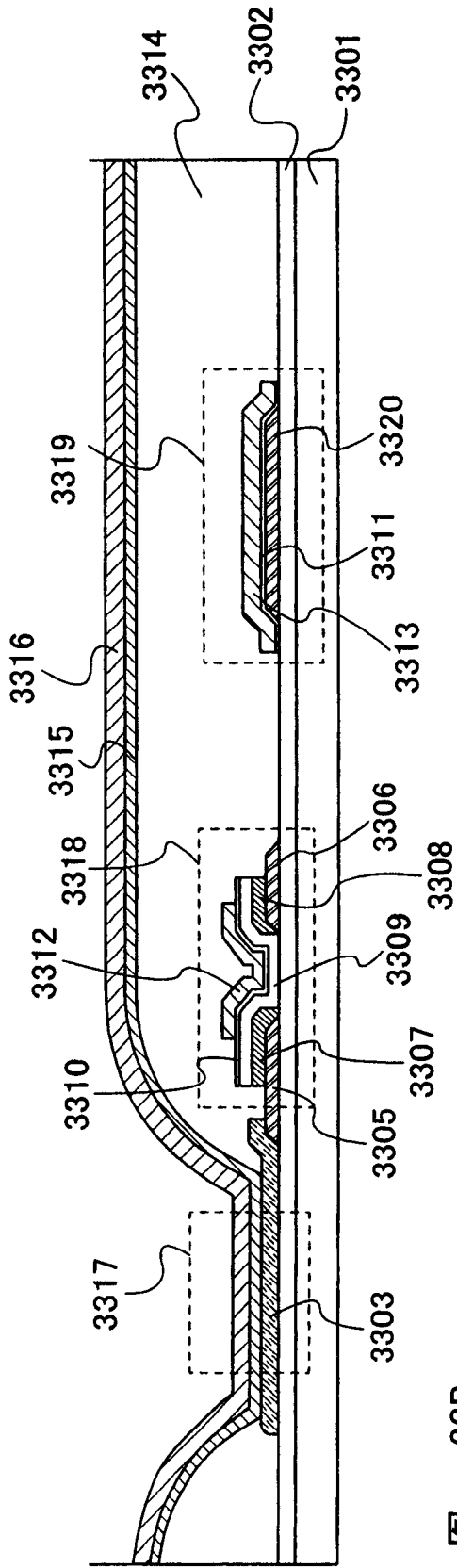


图 33B

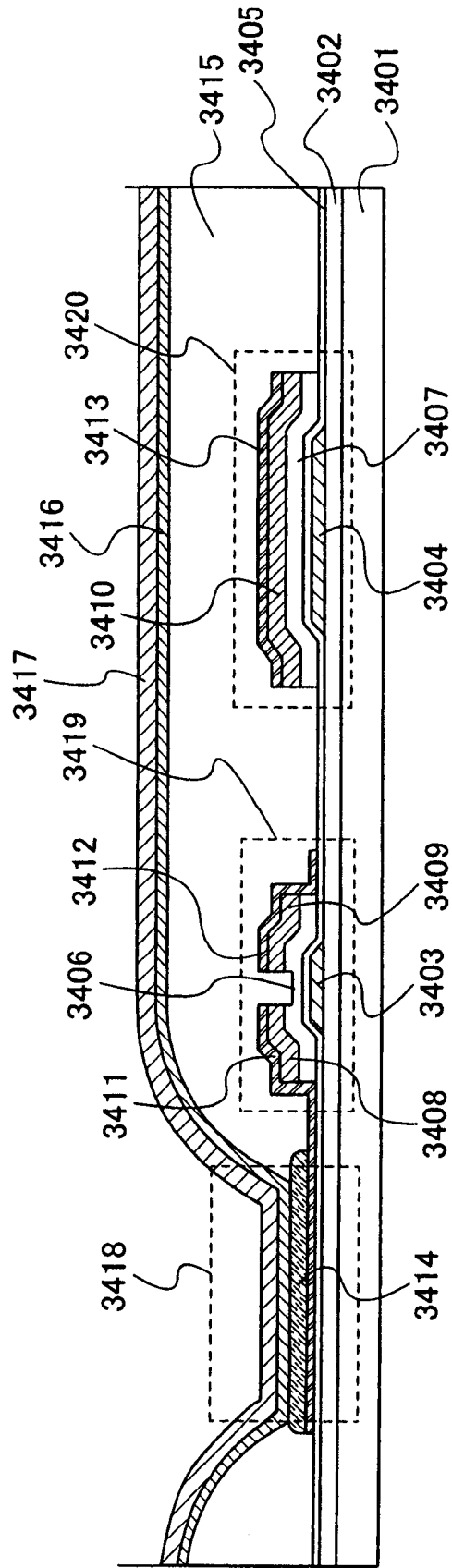


图 34A

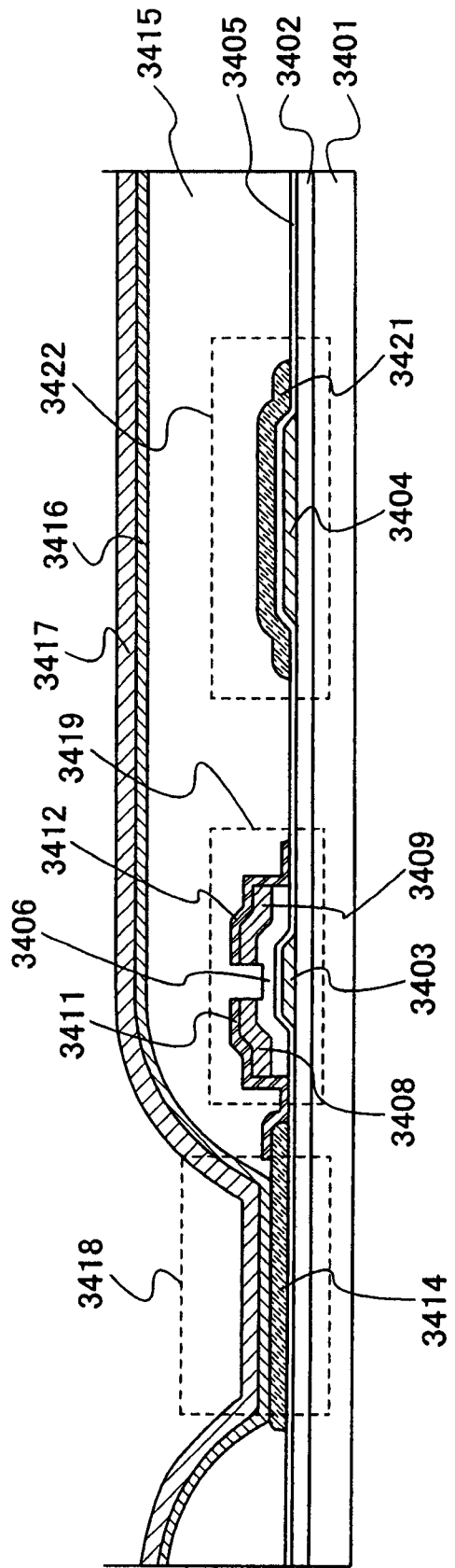


图 34B

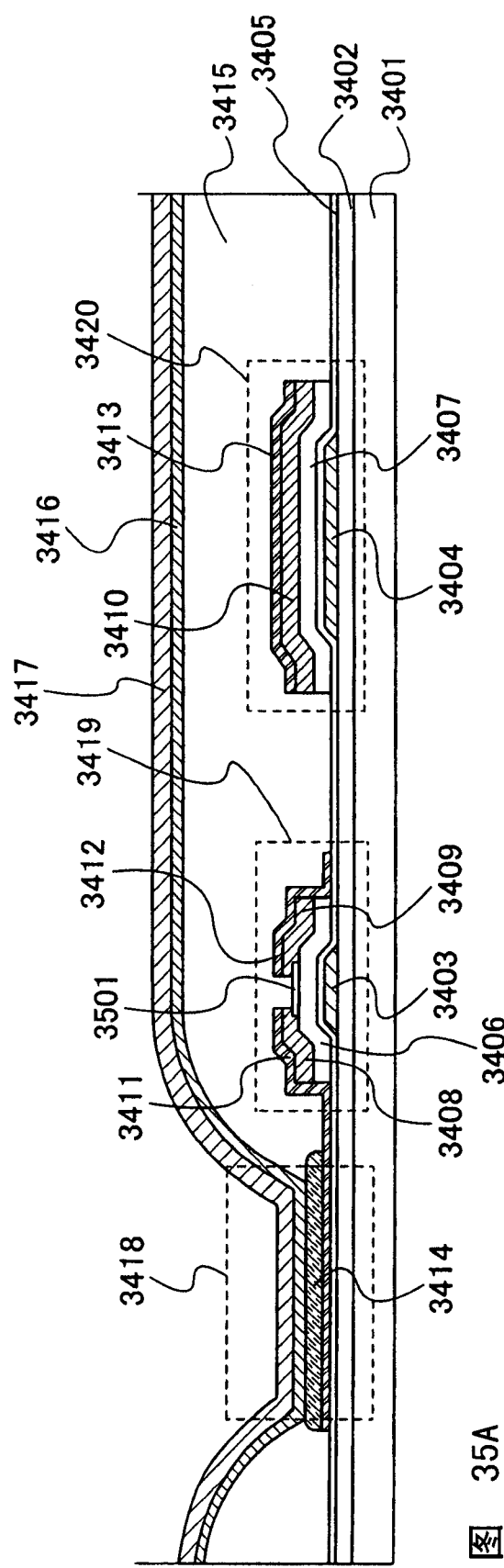


图 35A

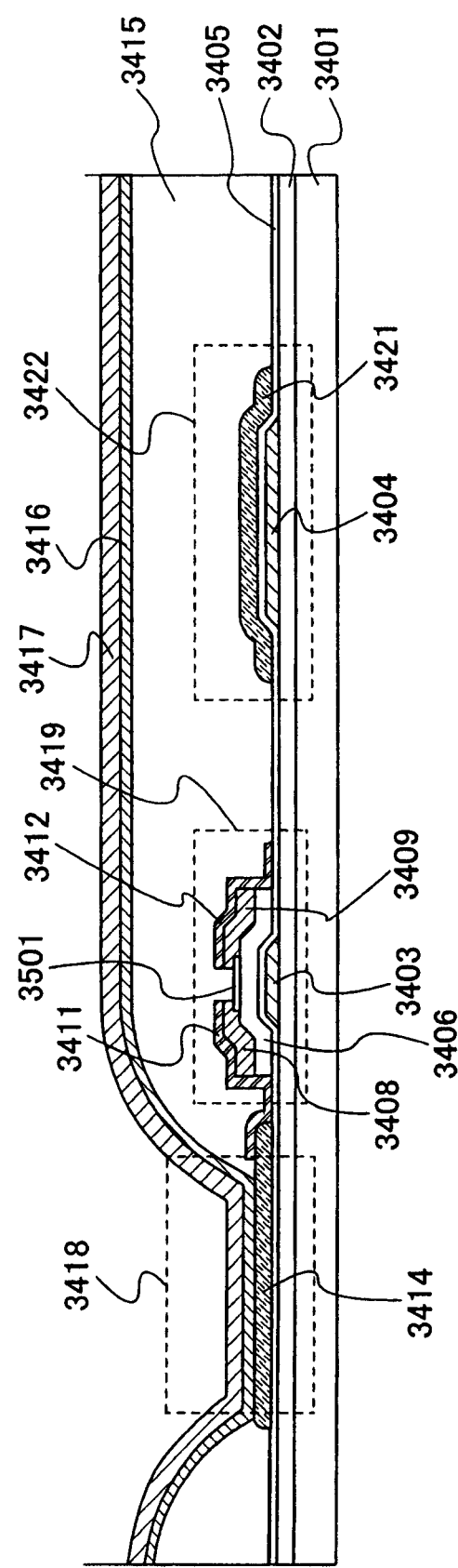


图 35B

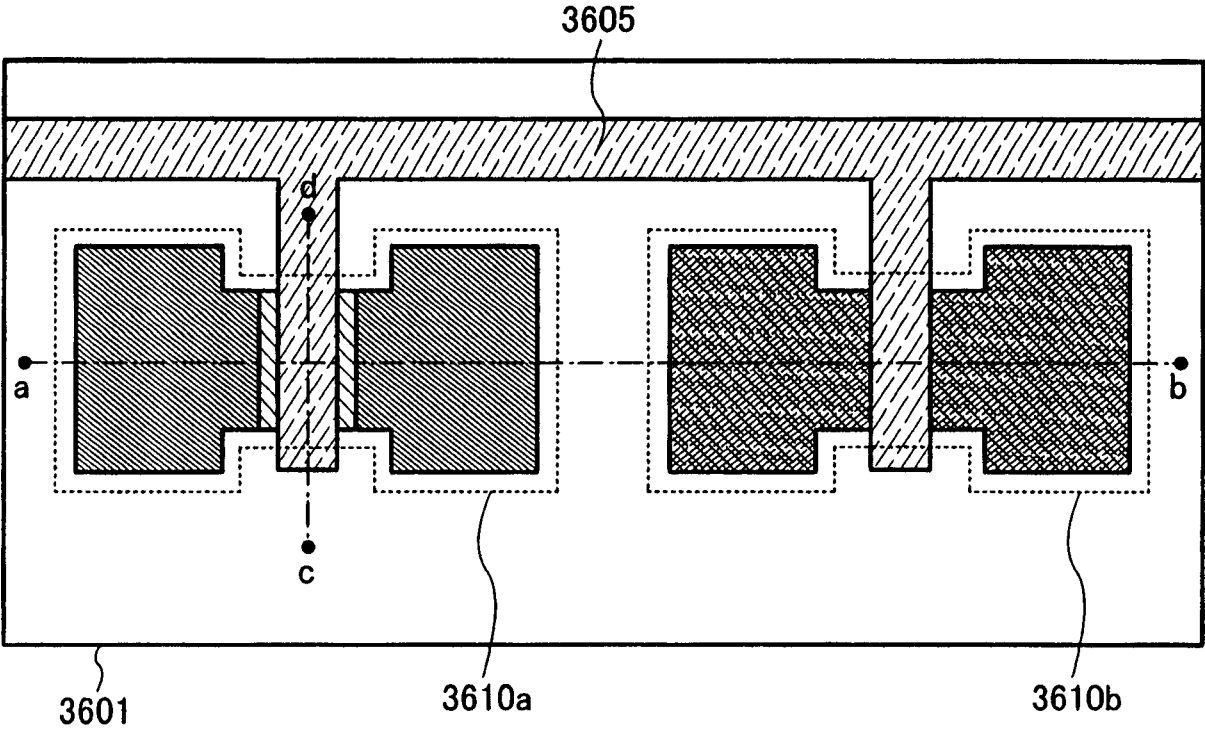


图 36A

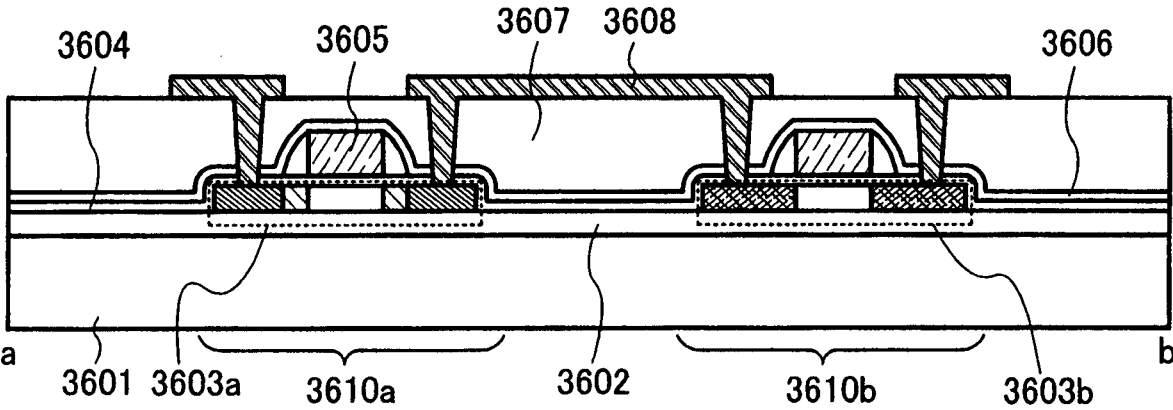


图 36B

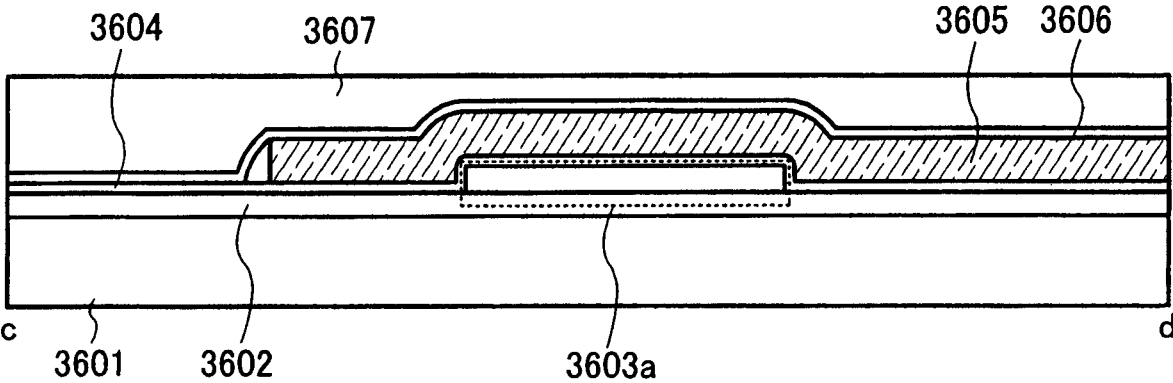


图 36C

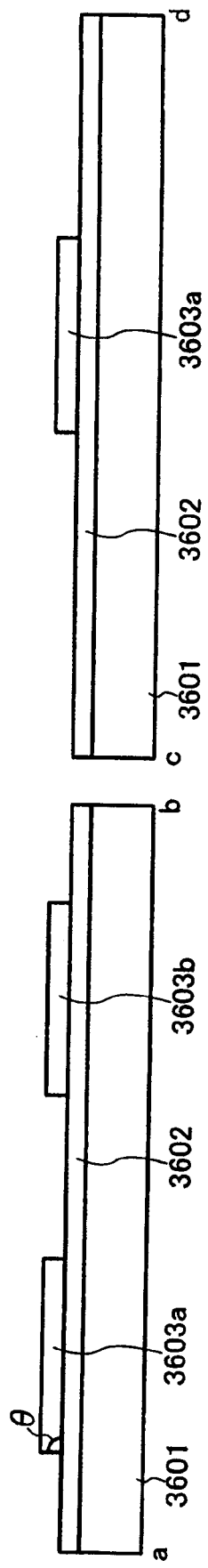


图 37A-1

图 37A-2

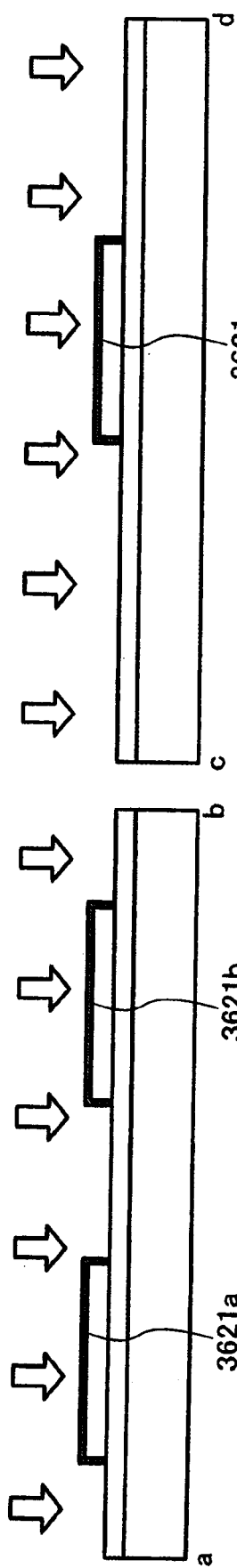


图 37B-1

图 37B-2

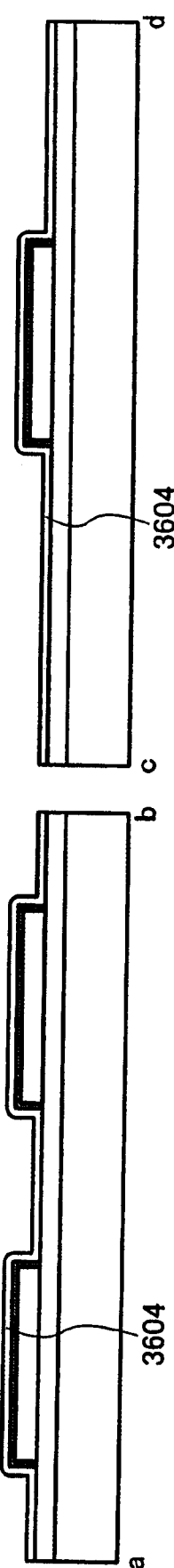


图 37C-1

图 37C-2

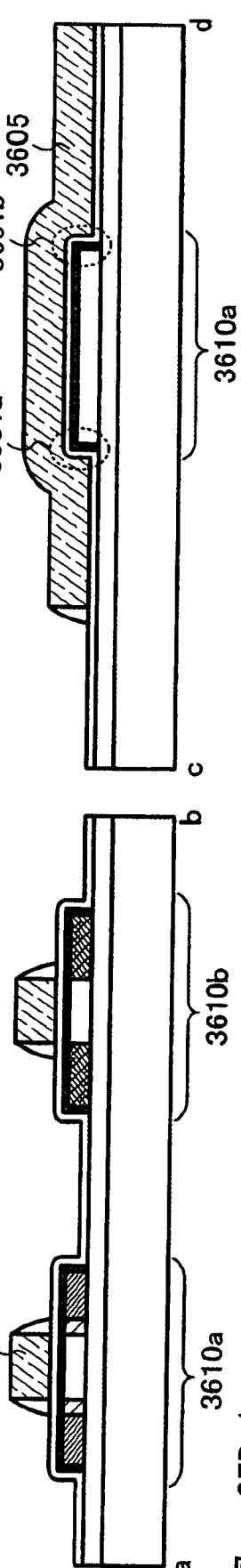


图 37D-1

图 37D-2

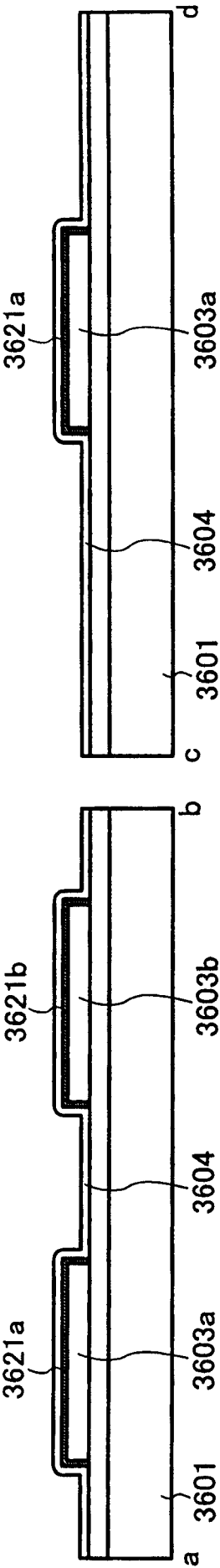


图 38A-1

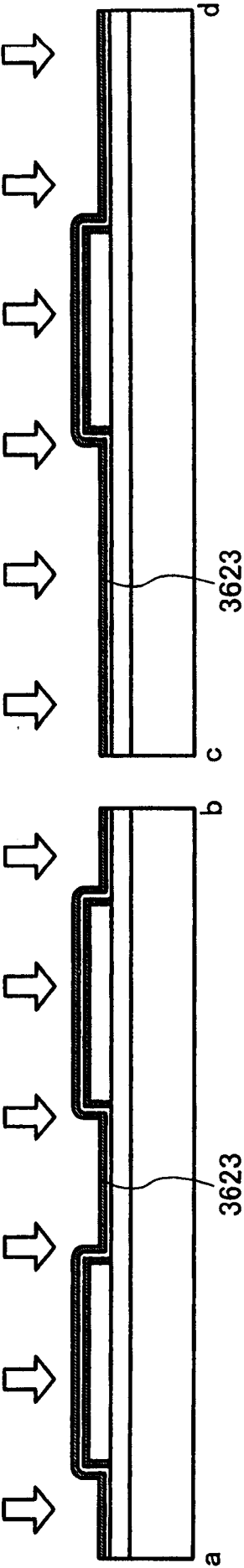


图 38B-1

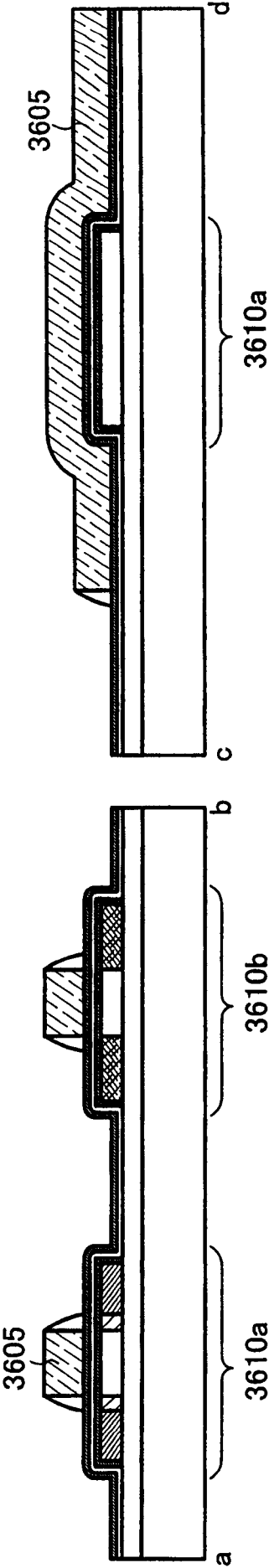


图 38C-1

图 38A-2

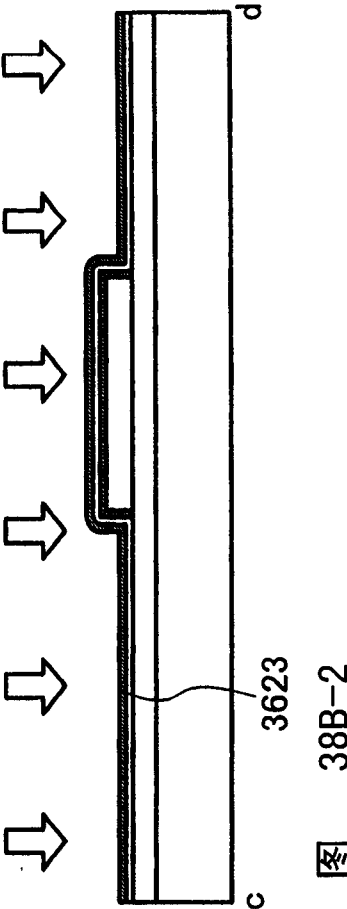


图 38B-2

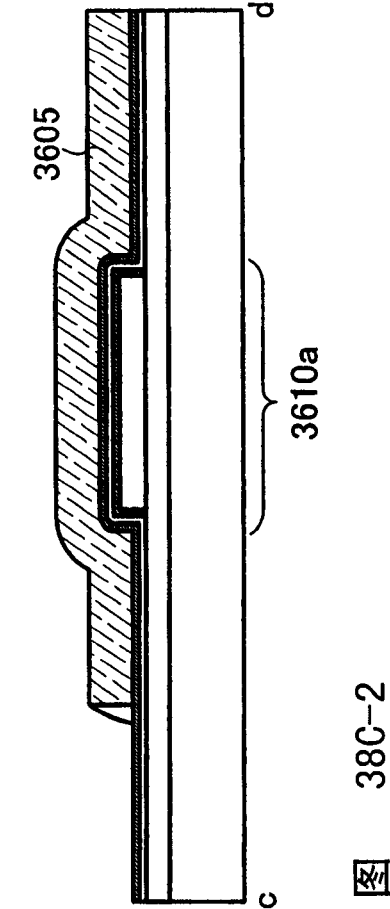


图 38C-2

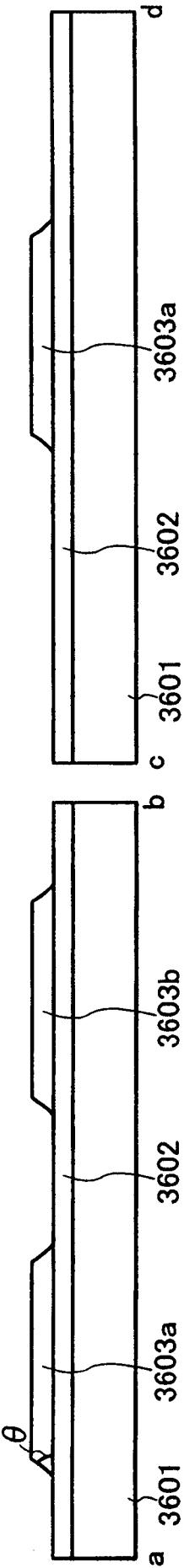


图 39A-1

图 39A-2

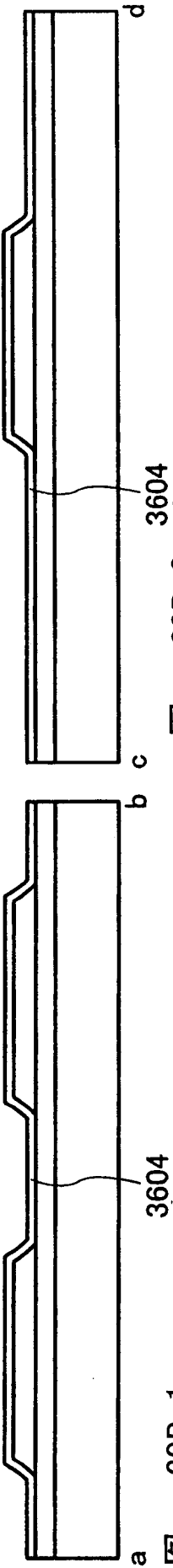


图 39B-1

图 39B-2

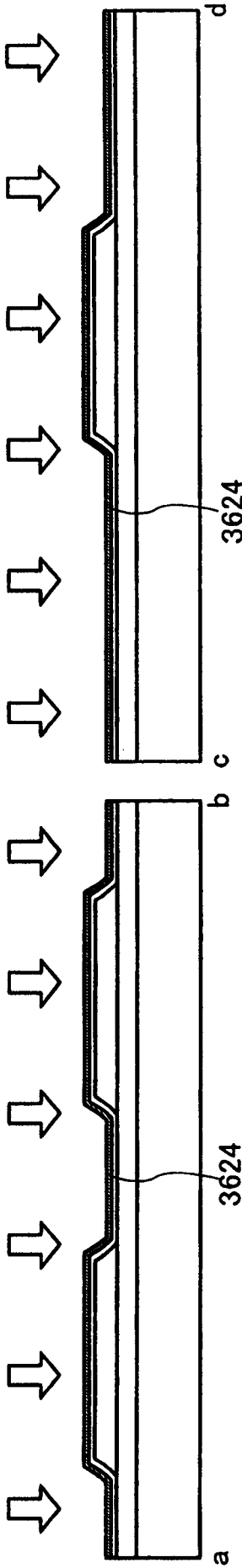


图 39C-1

图 39C-2

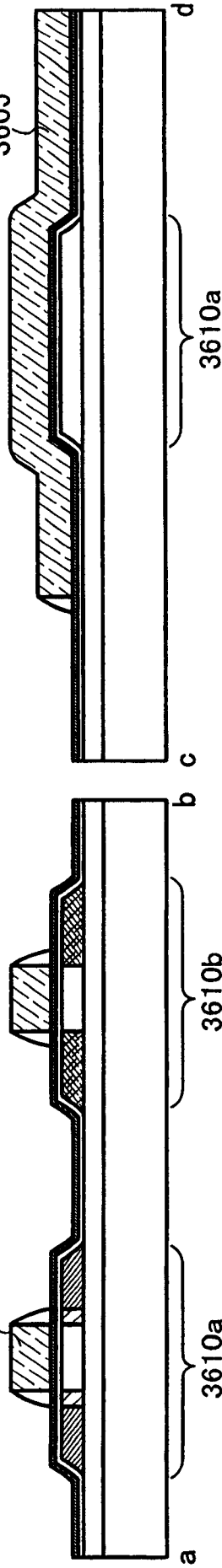
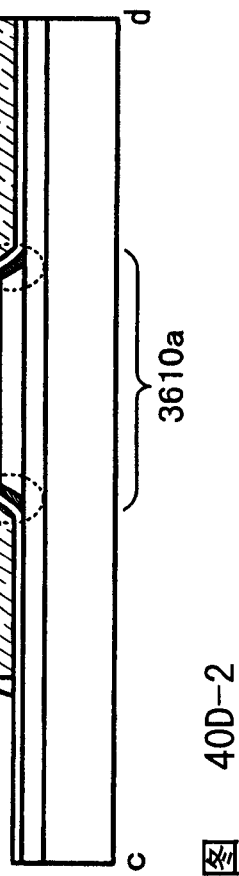
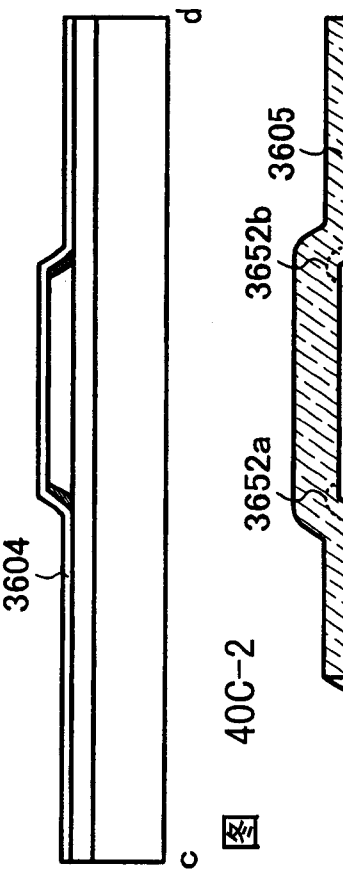
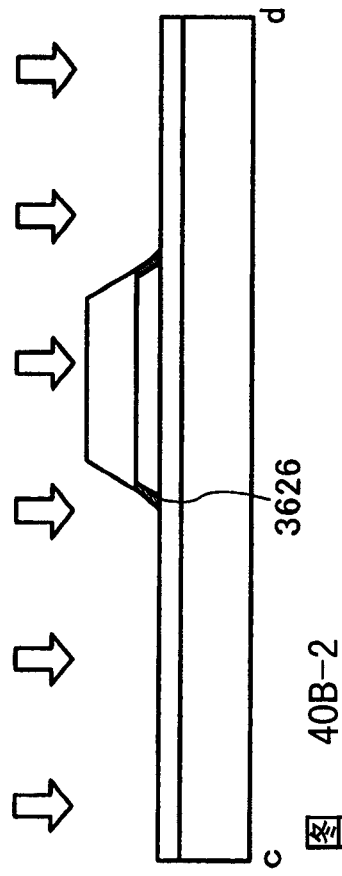
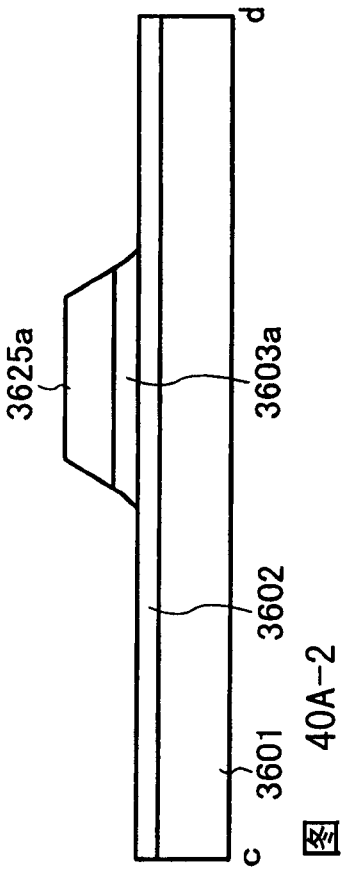
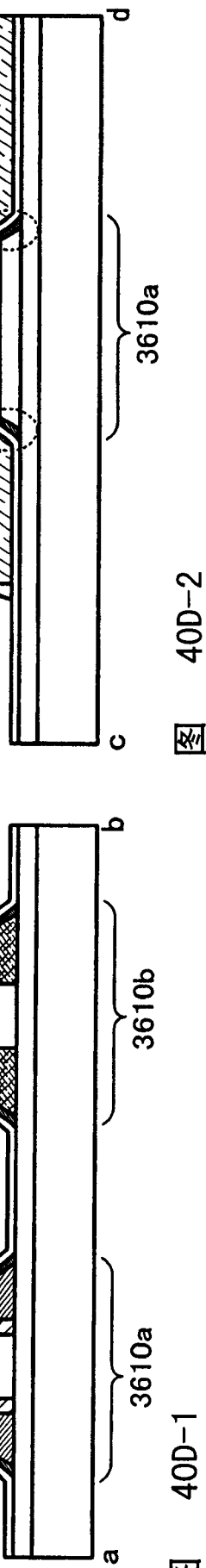
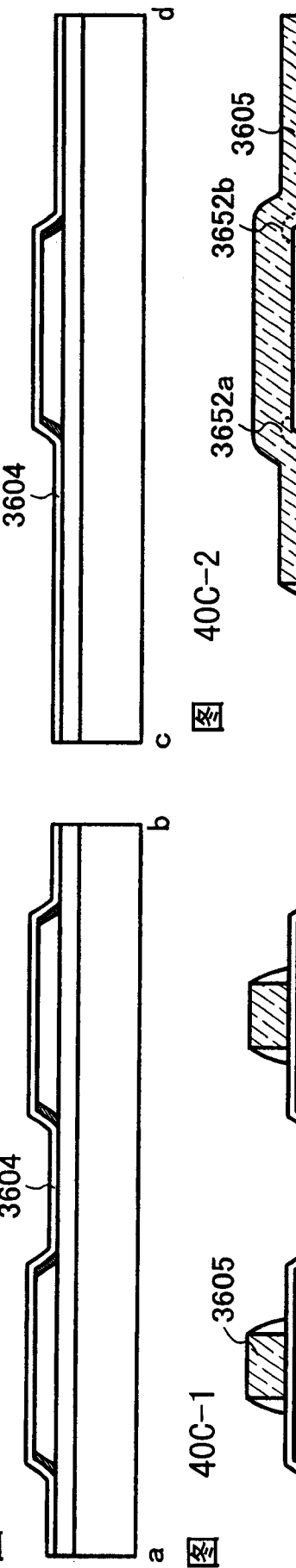
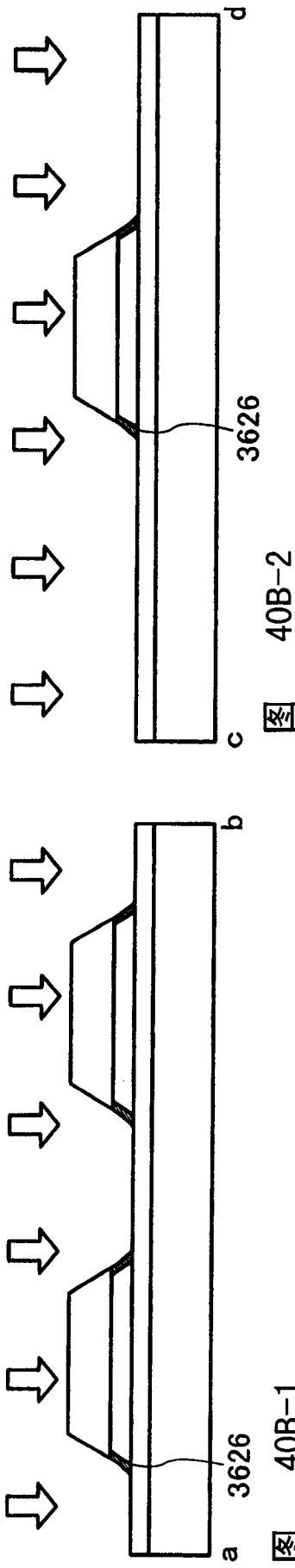
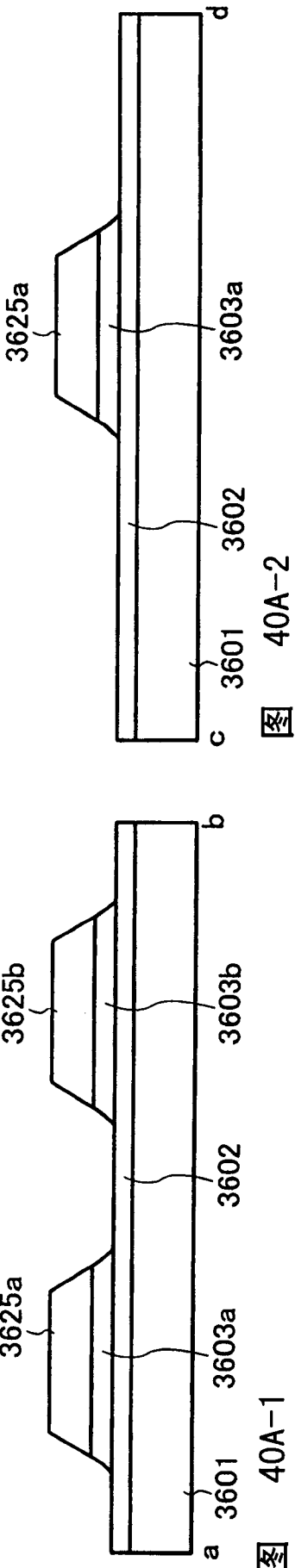
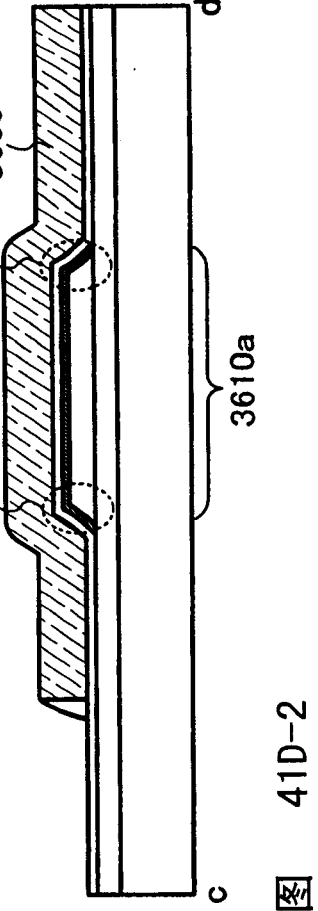
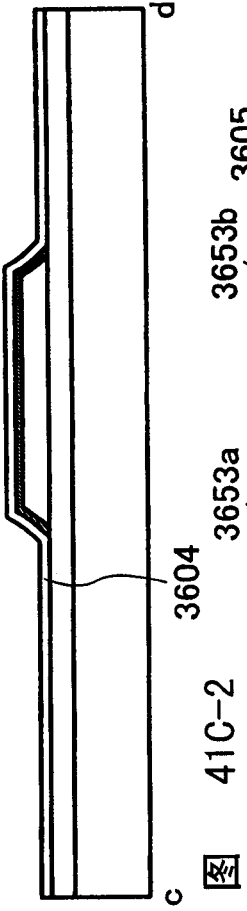
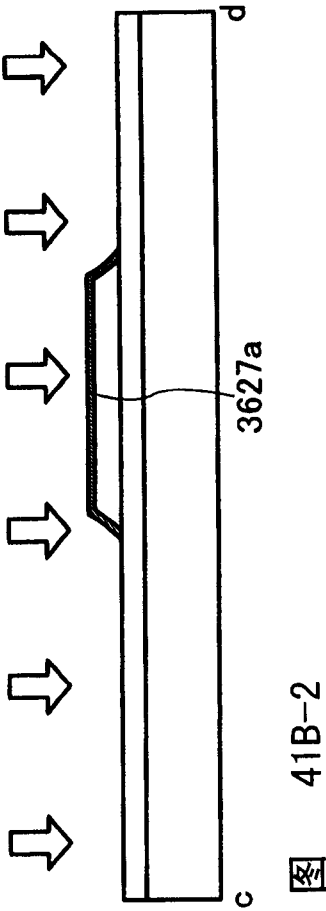
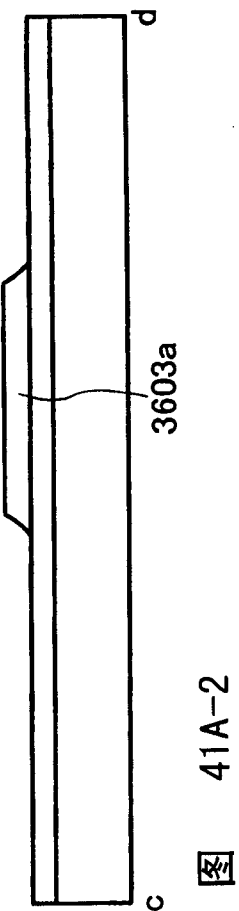
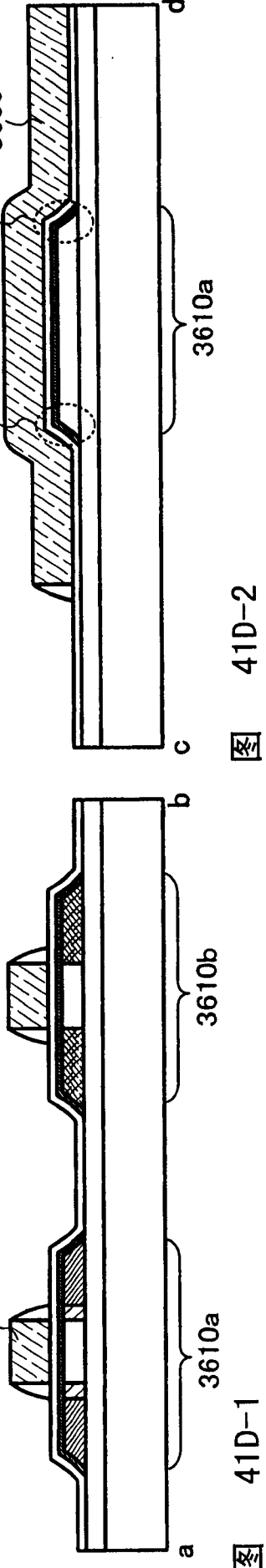
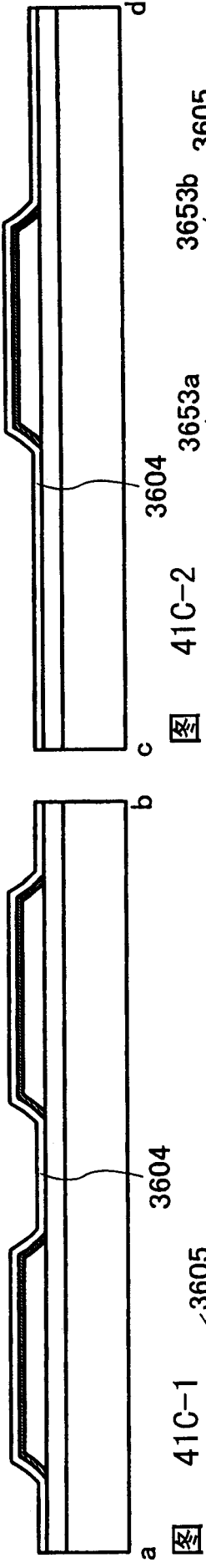
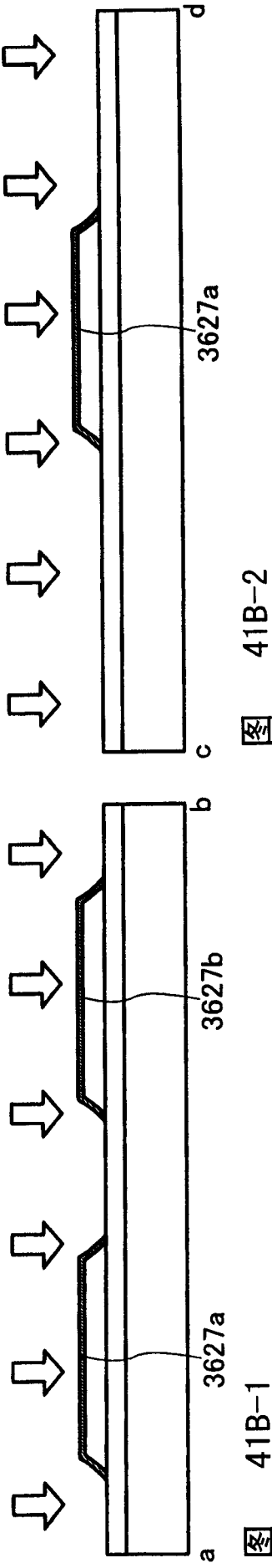
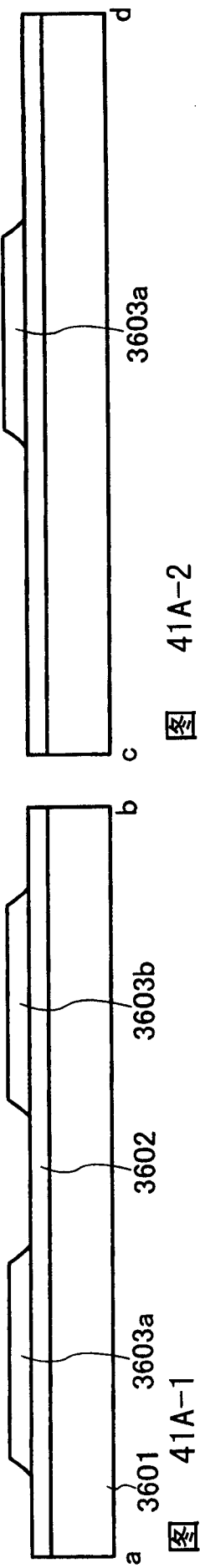


图 39D-1

图 39D-2





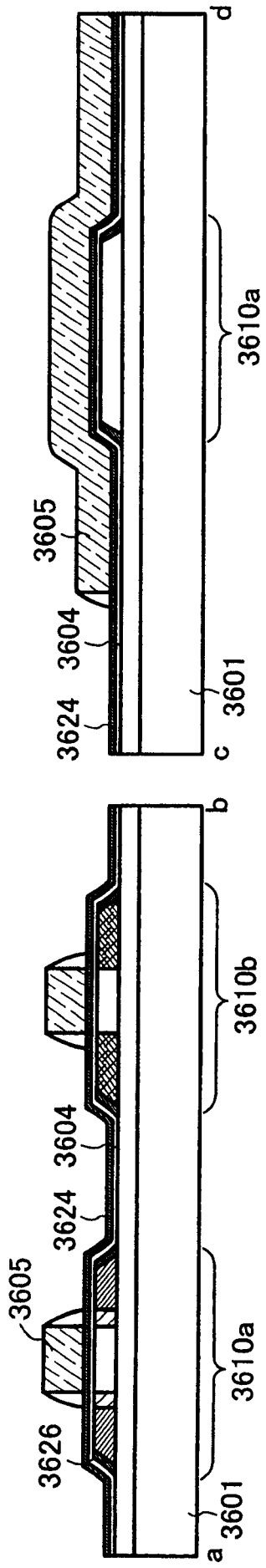


图 42A-1

图 42A-2

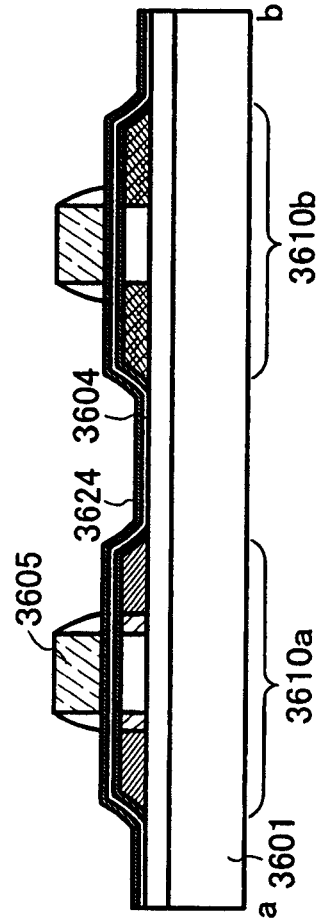


图 42B-1

图 42B-2

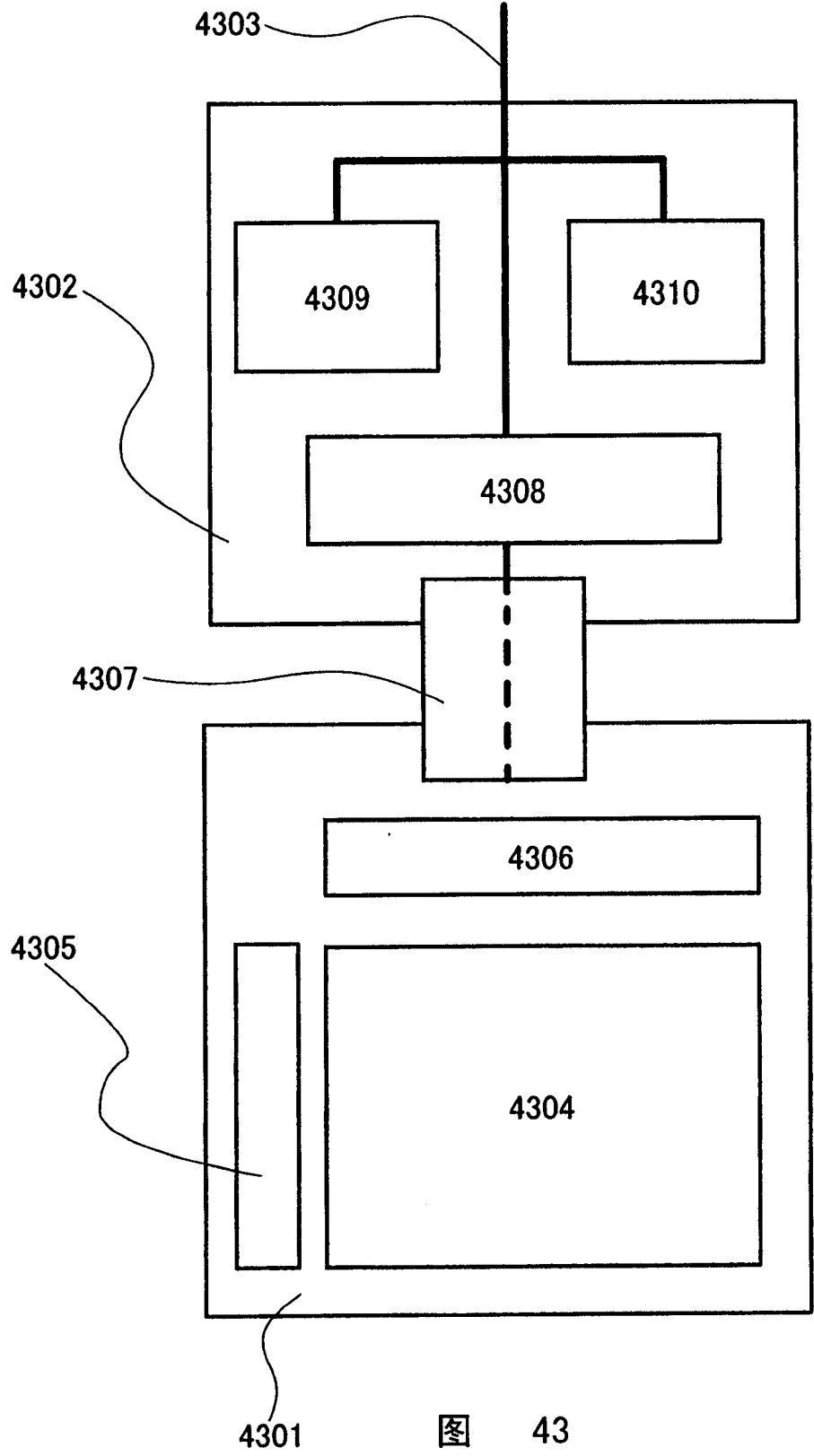
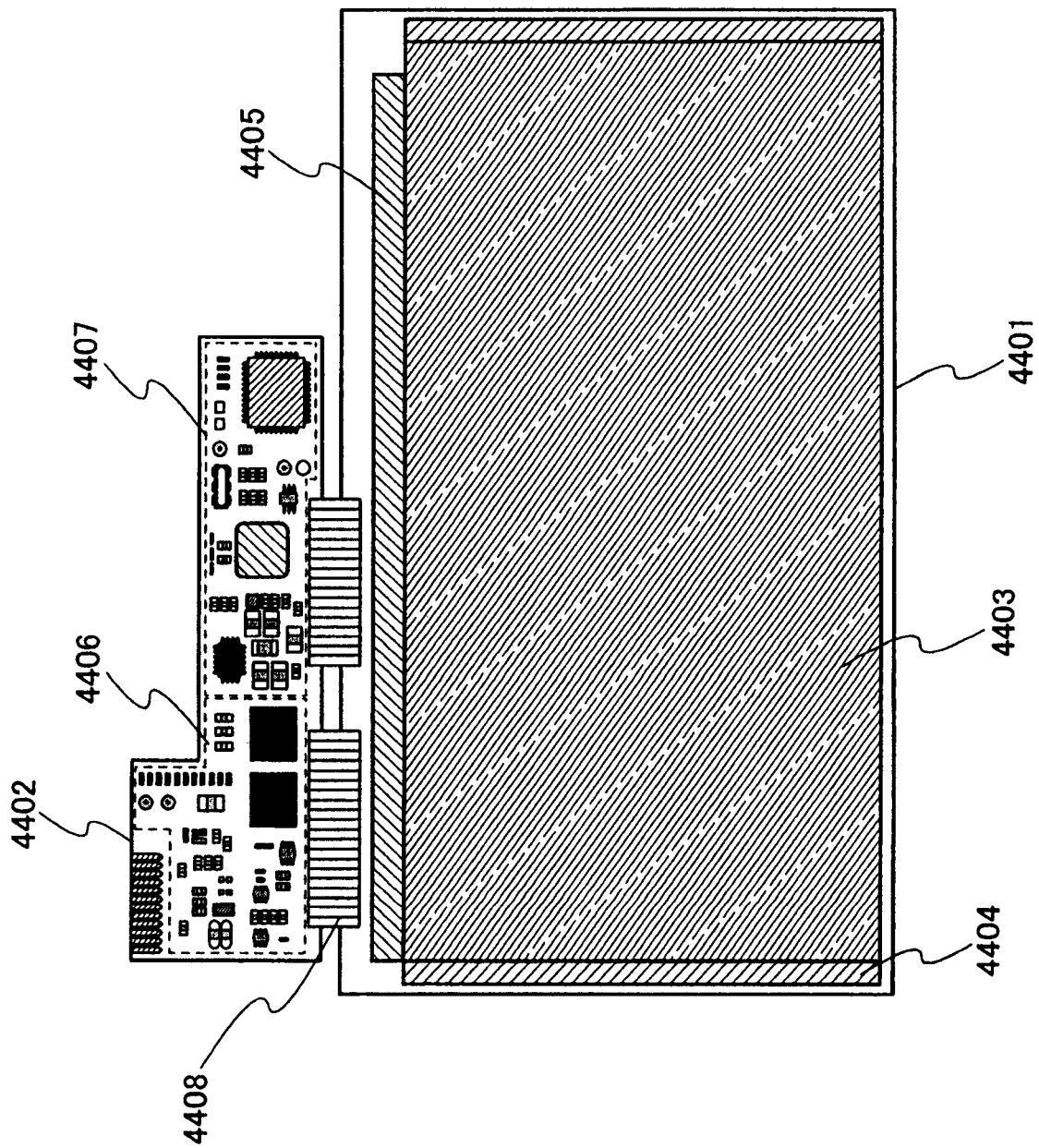


图 43

44
圖

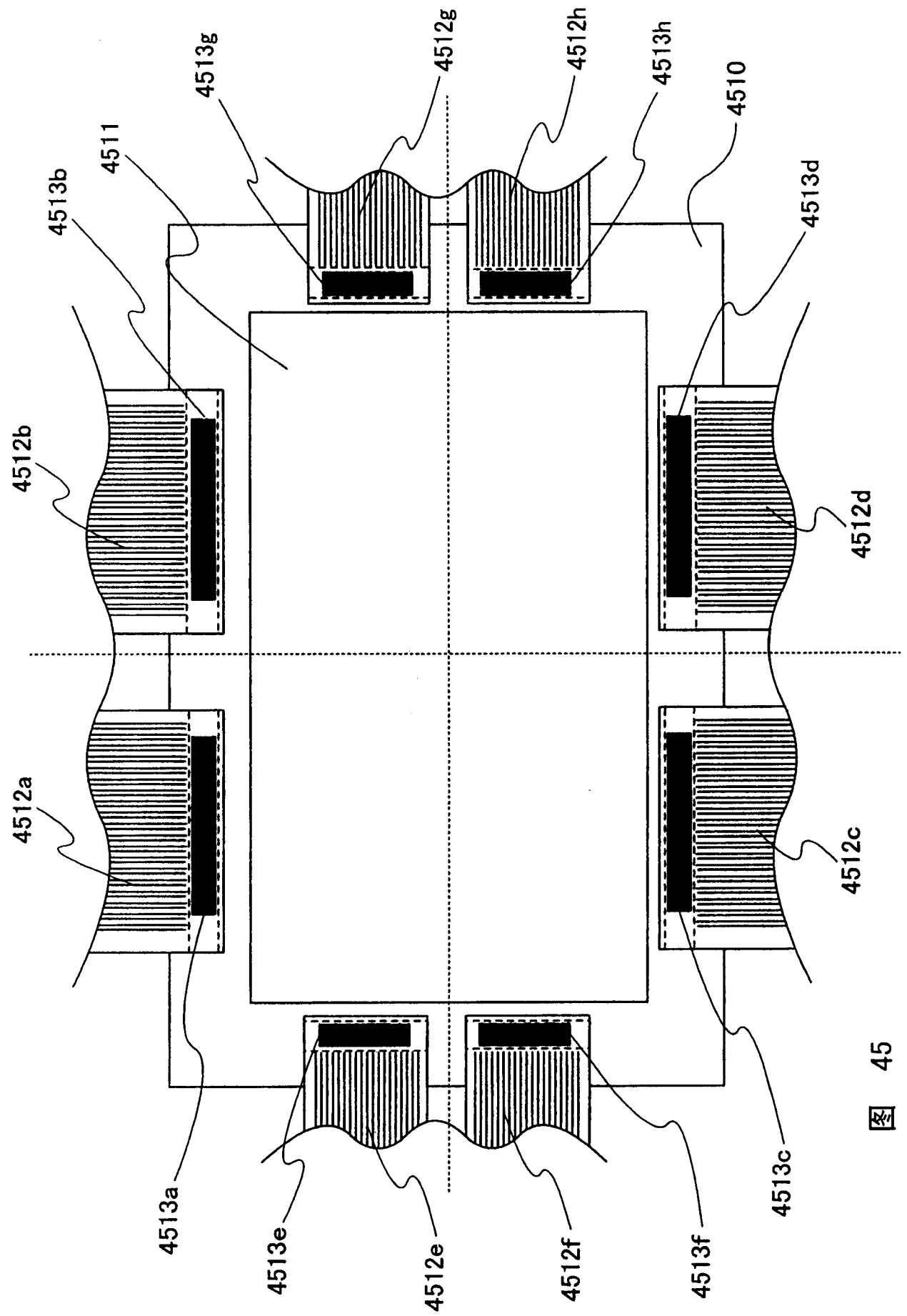


图 45

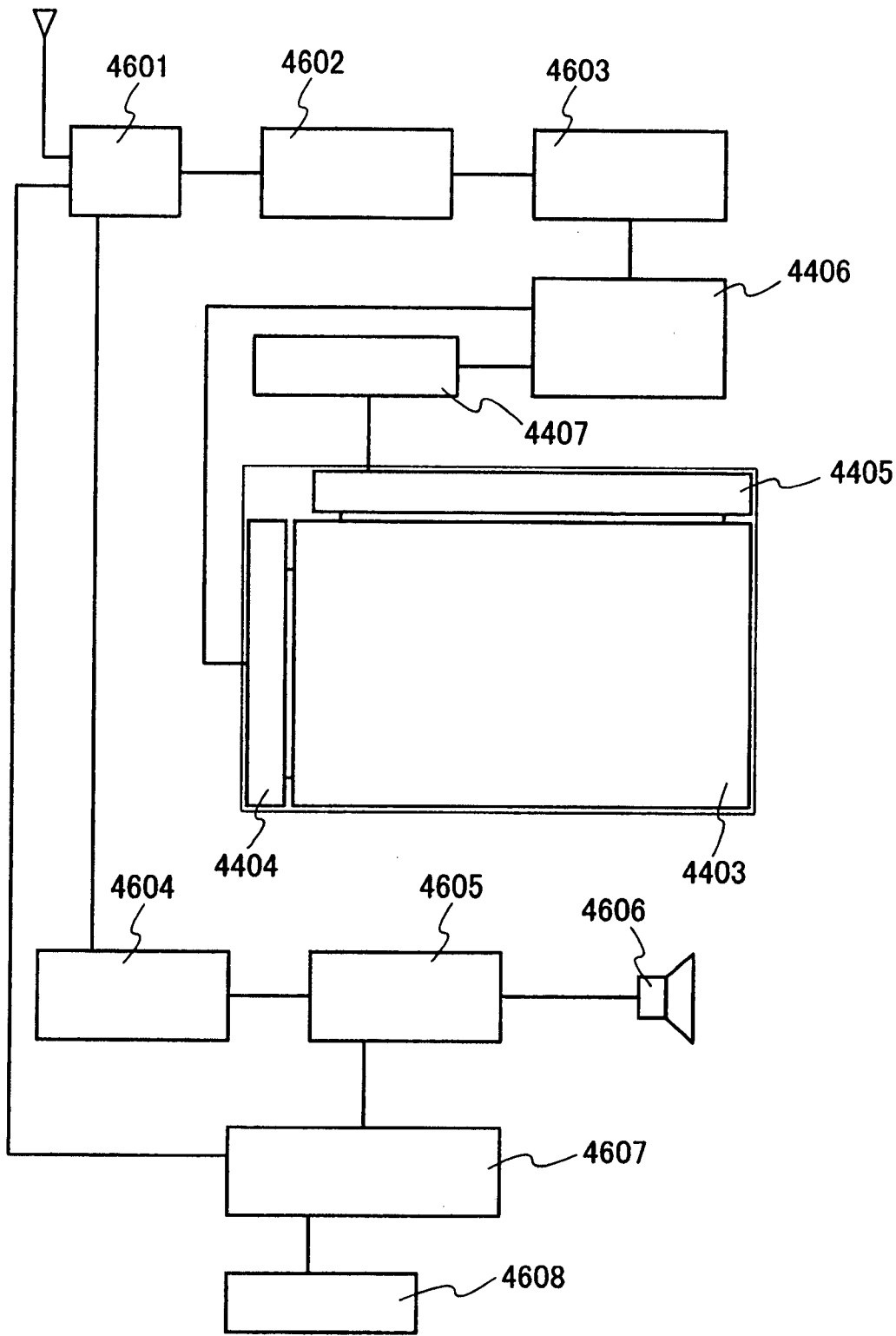


图 46

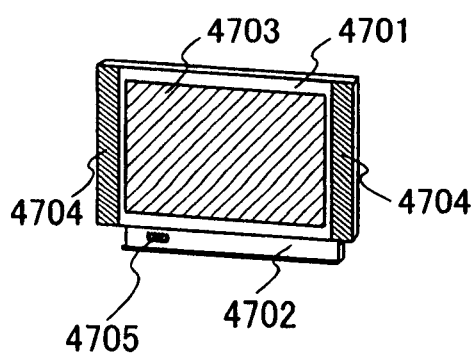


图 47A

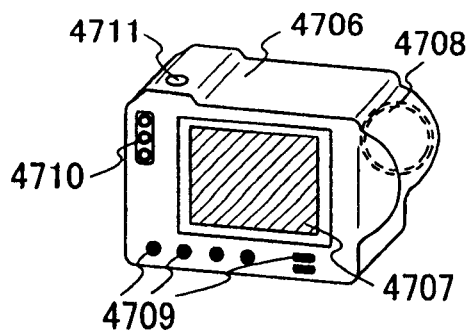


图 47B

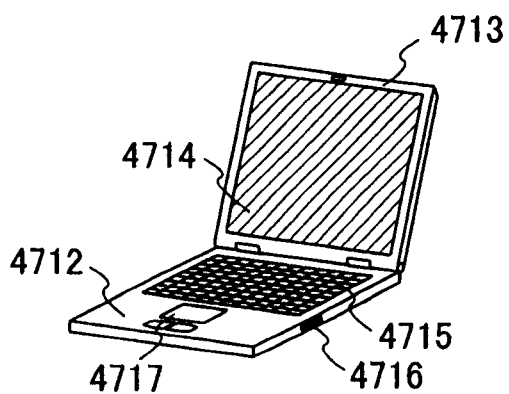


图 47C

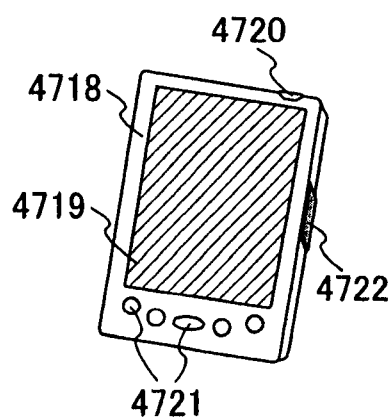


图 47D

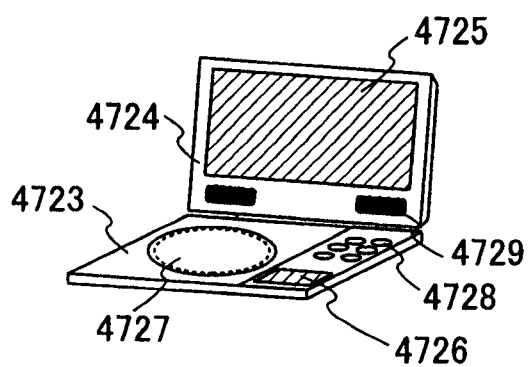


图 47E

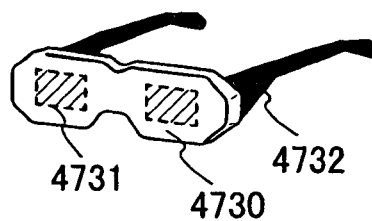


图 47F

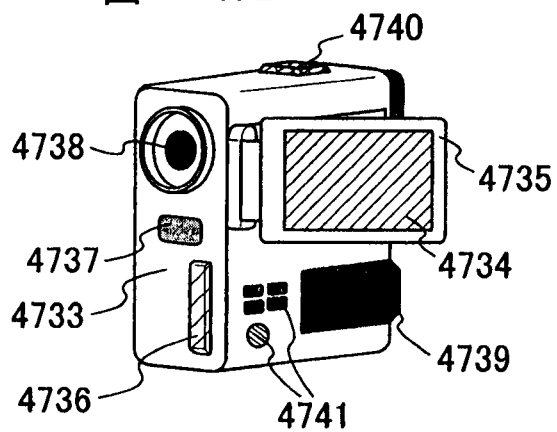


图 47G

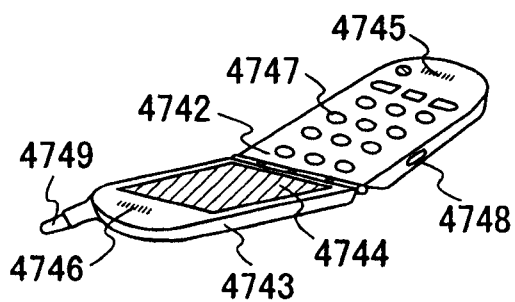


图 47H

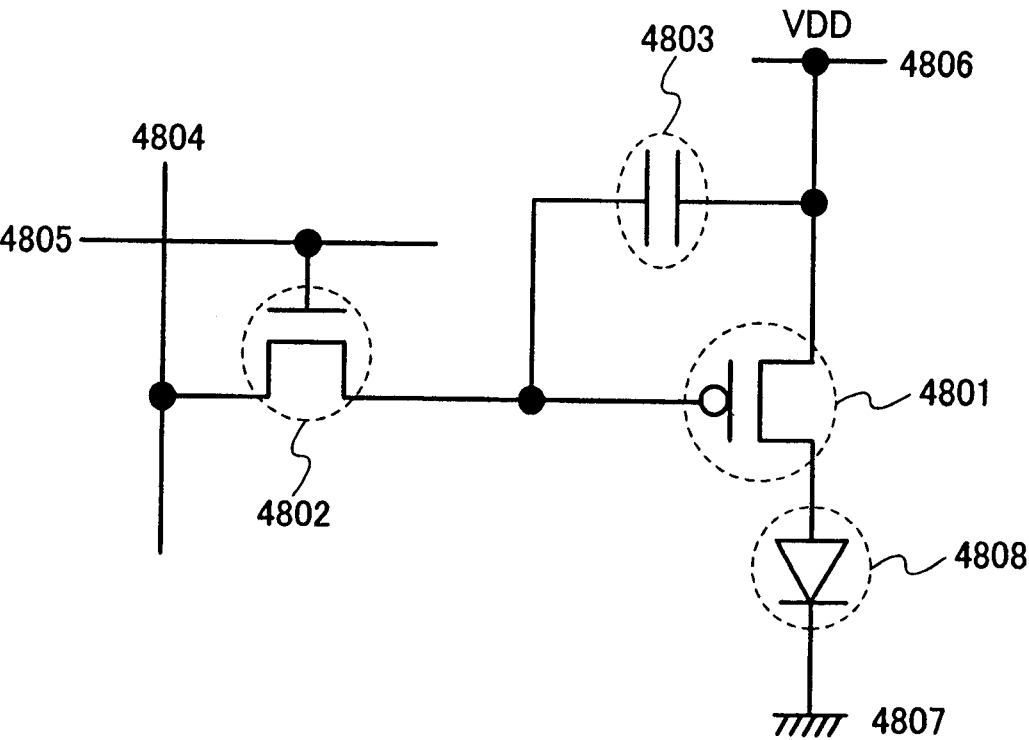
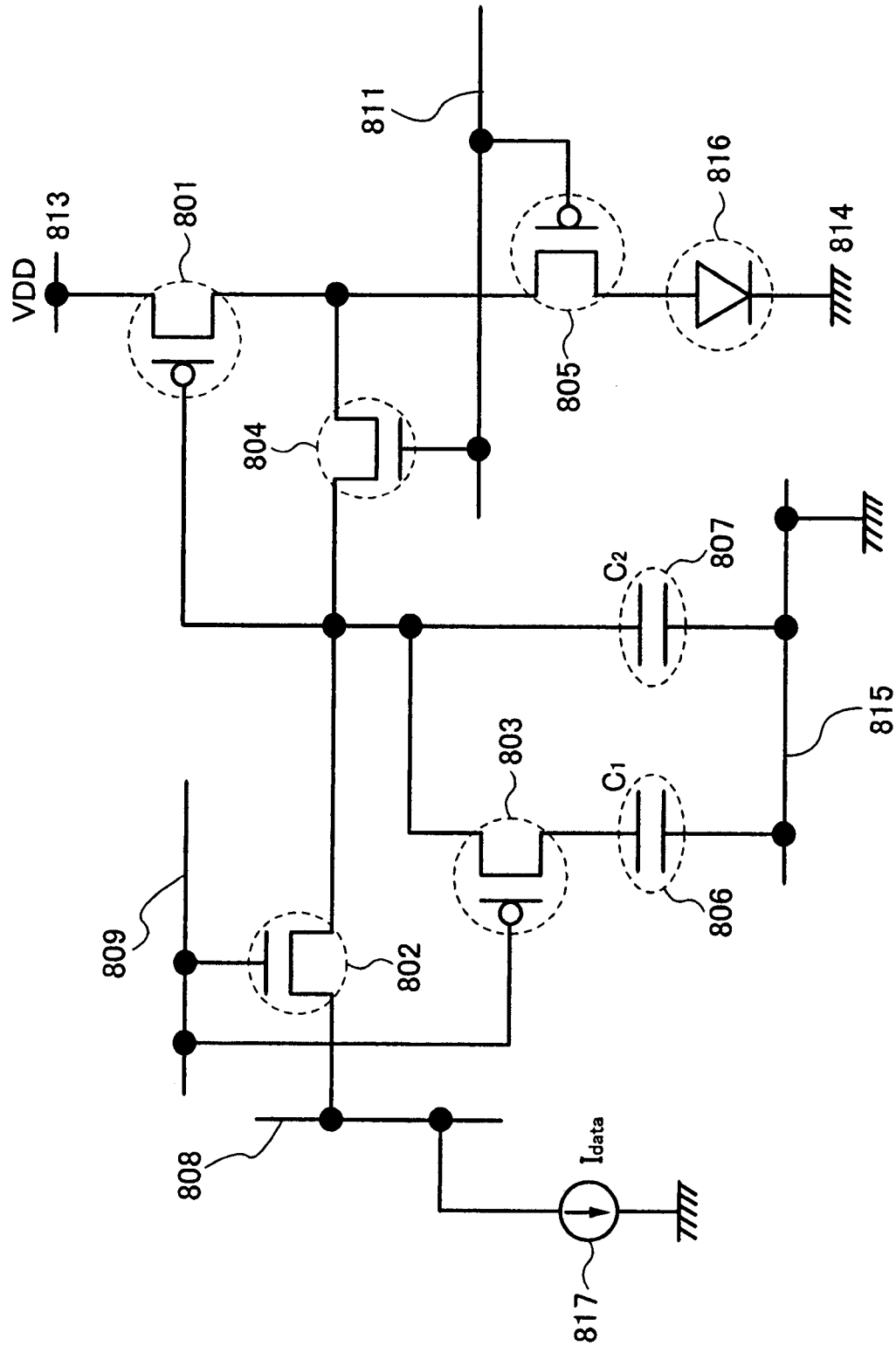
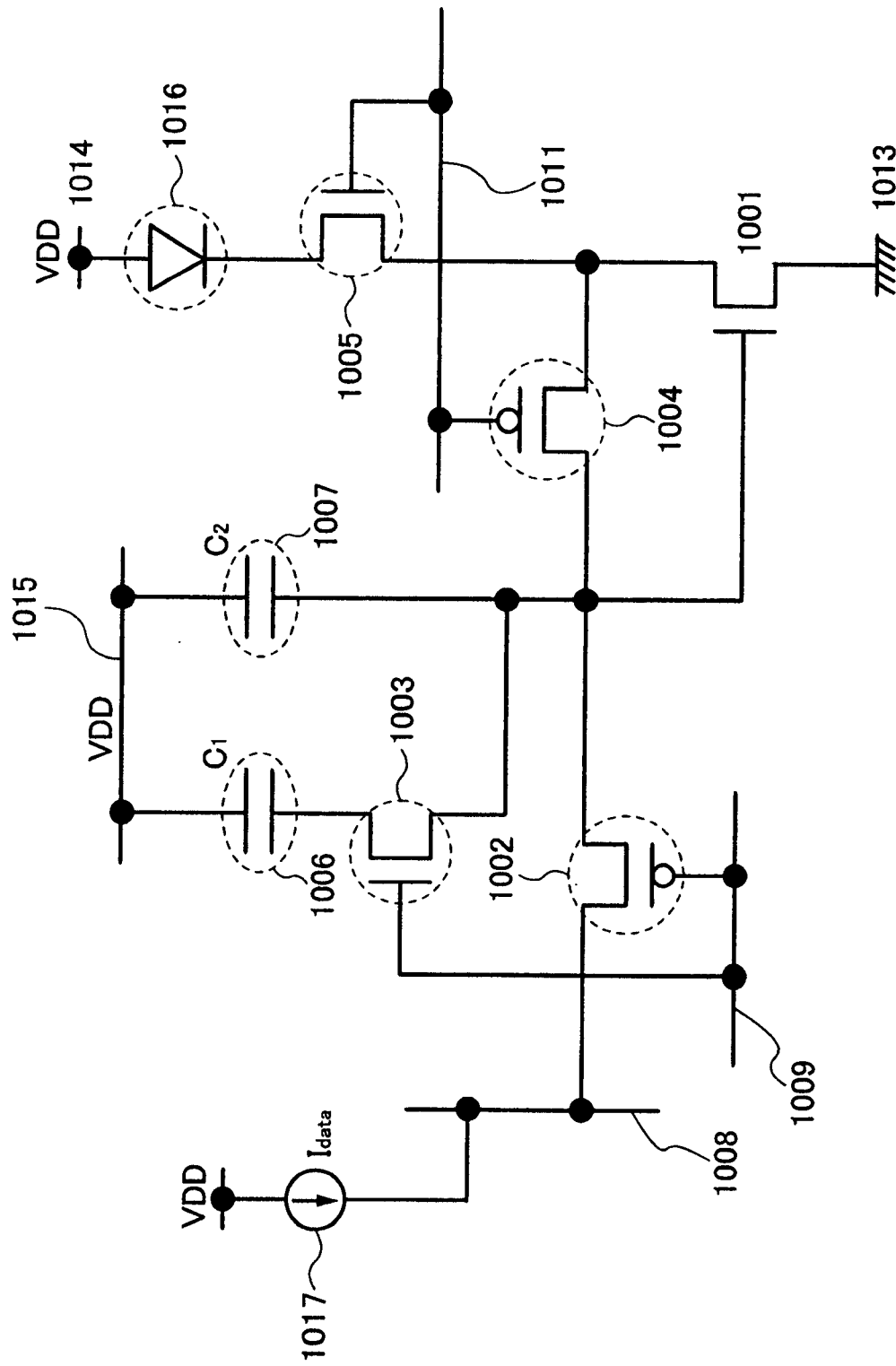


图 48



50 圖

51
圖

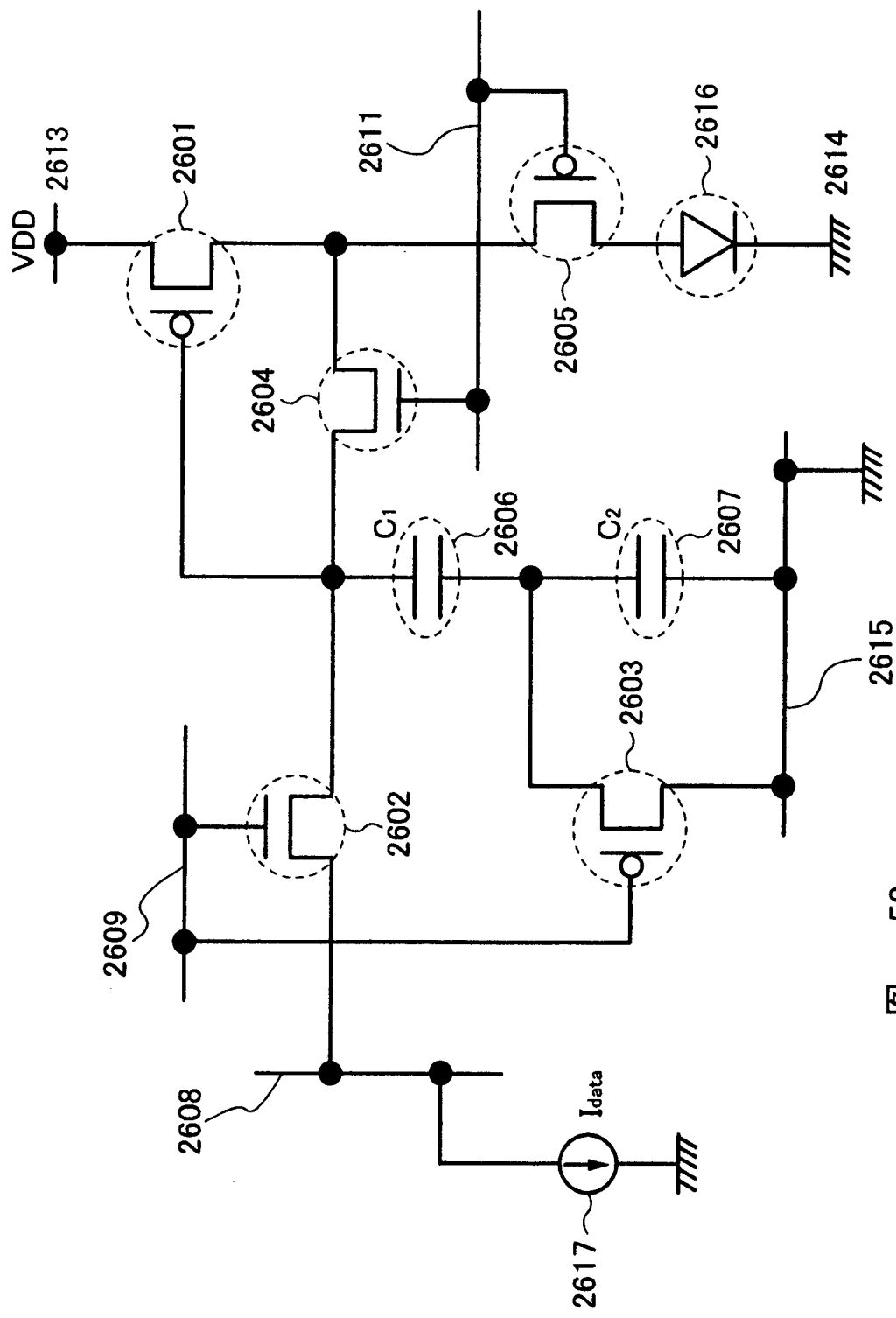


图 52

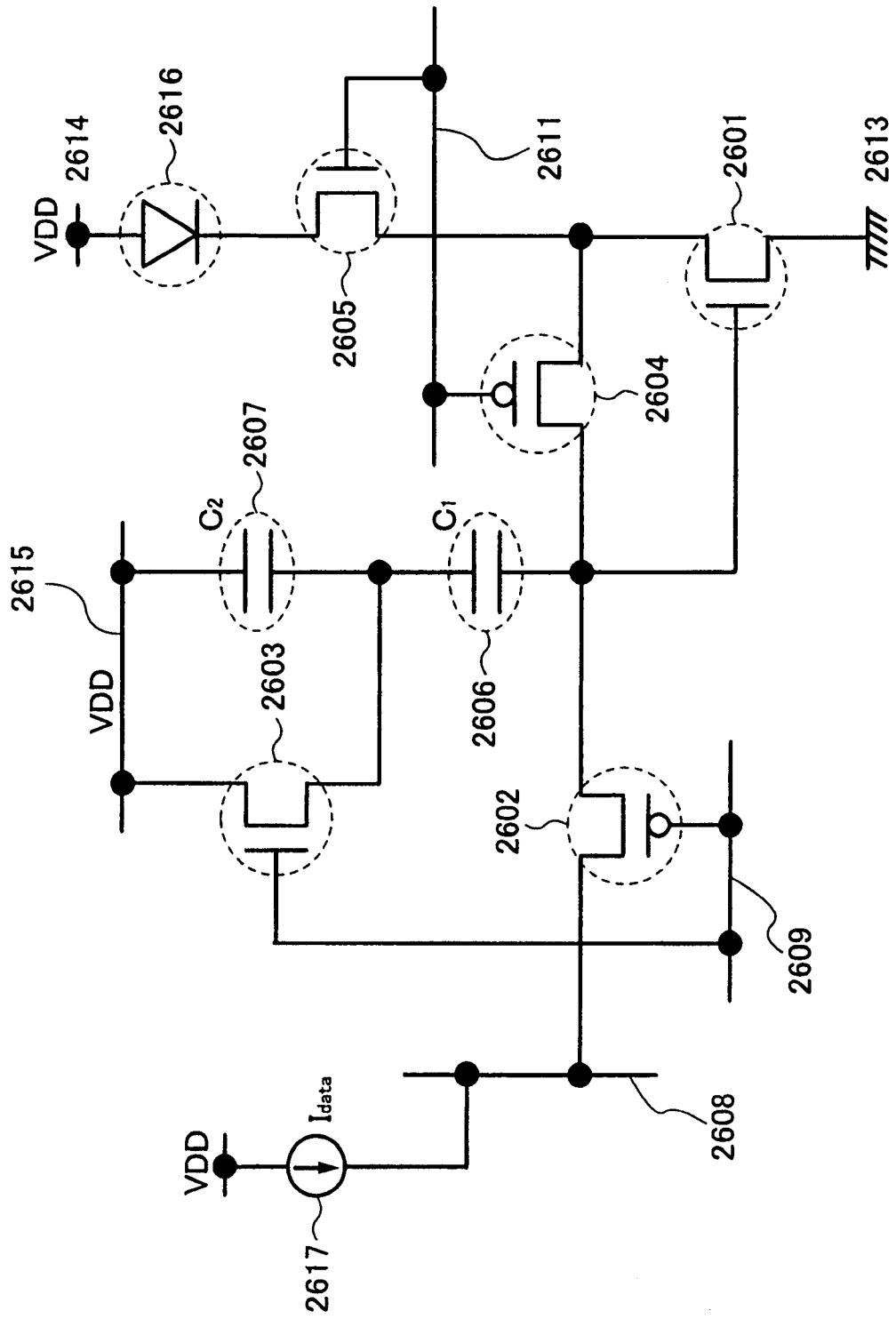
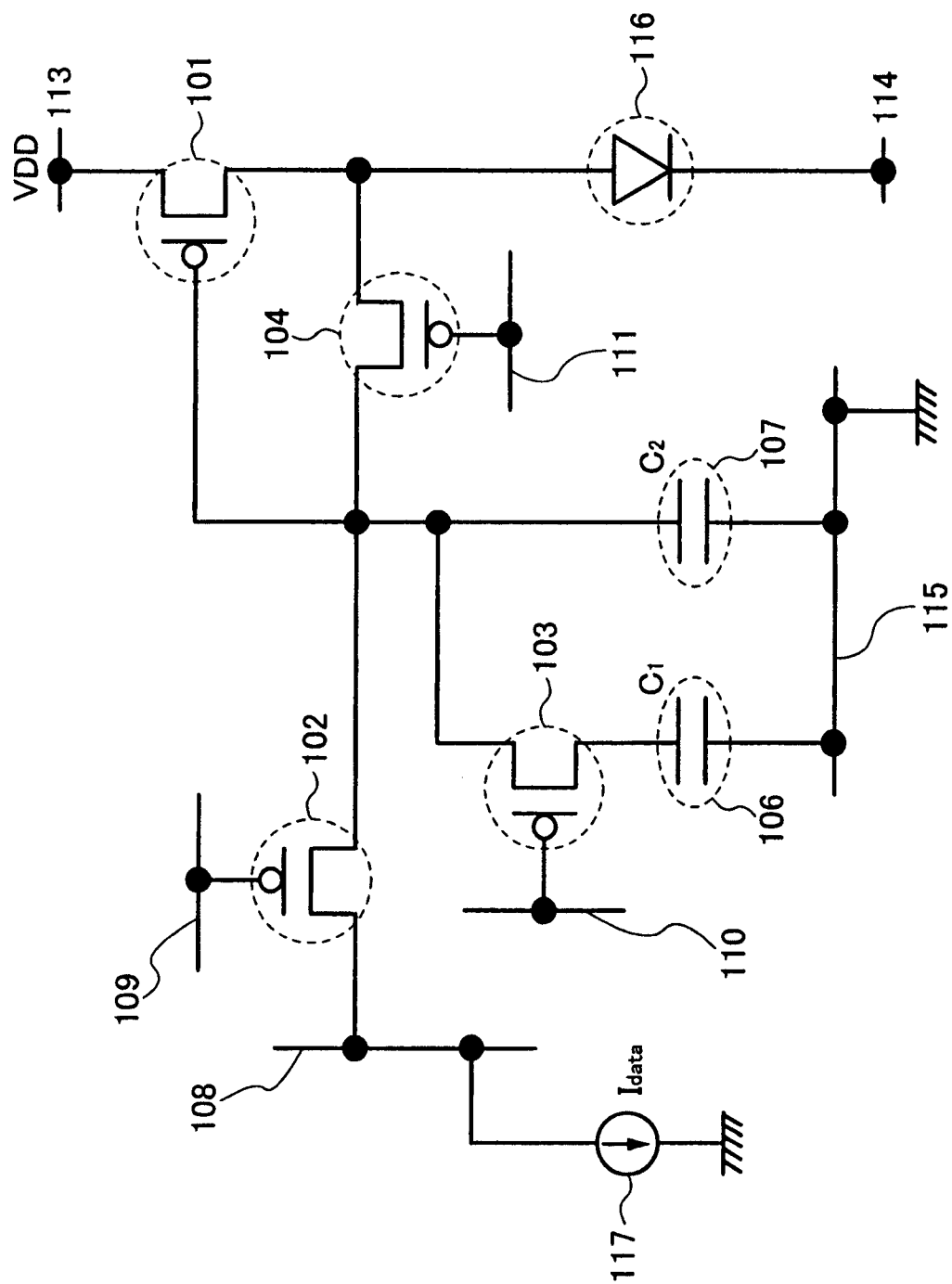


图 53



54 圖

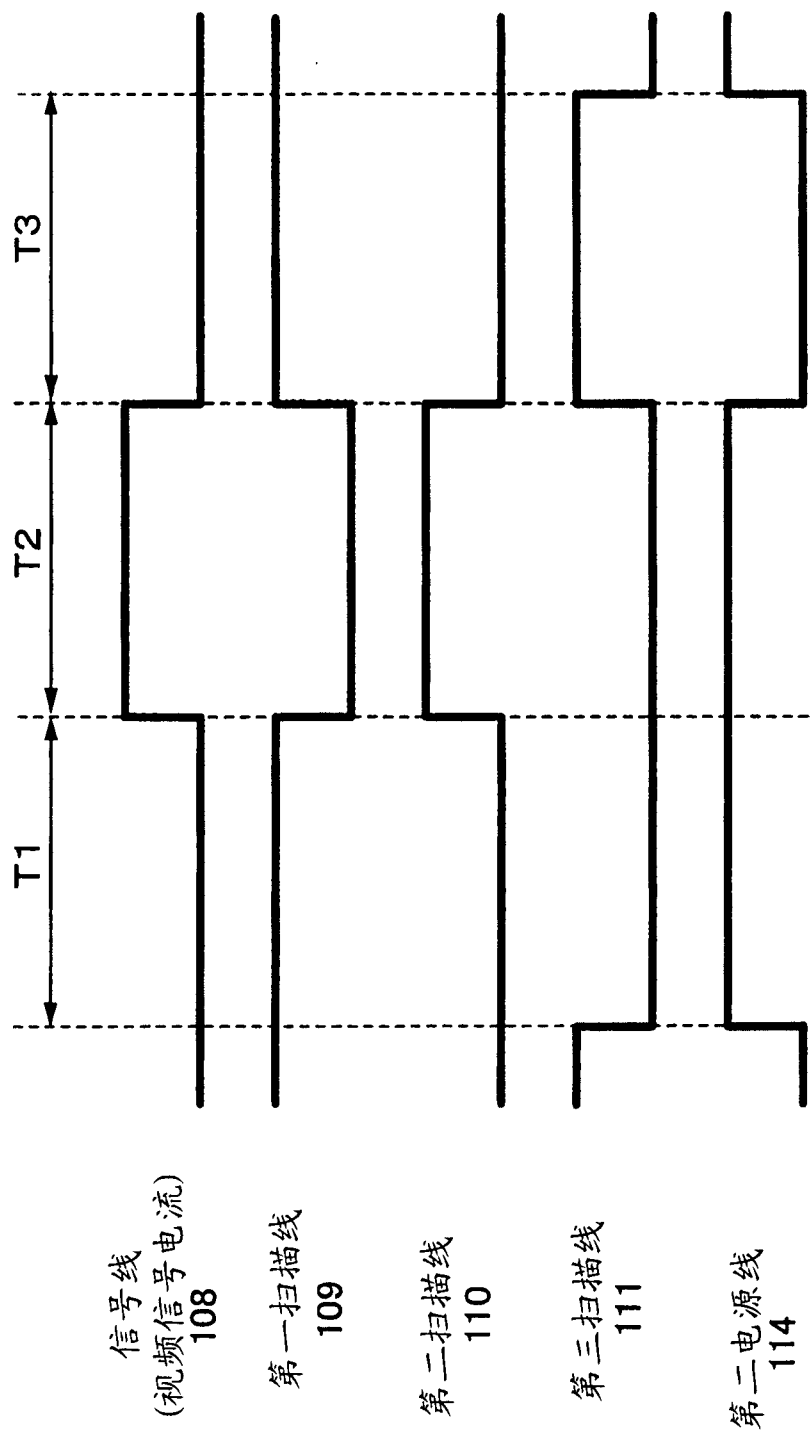
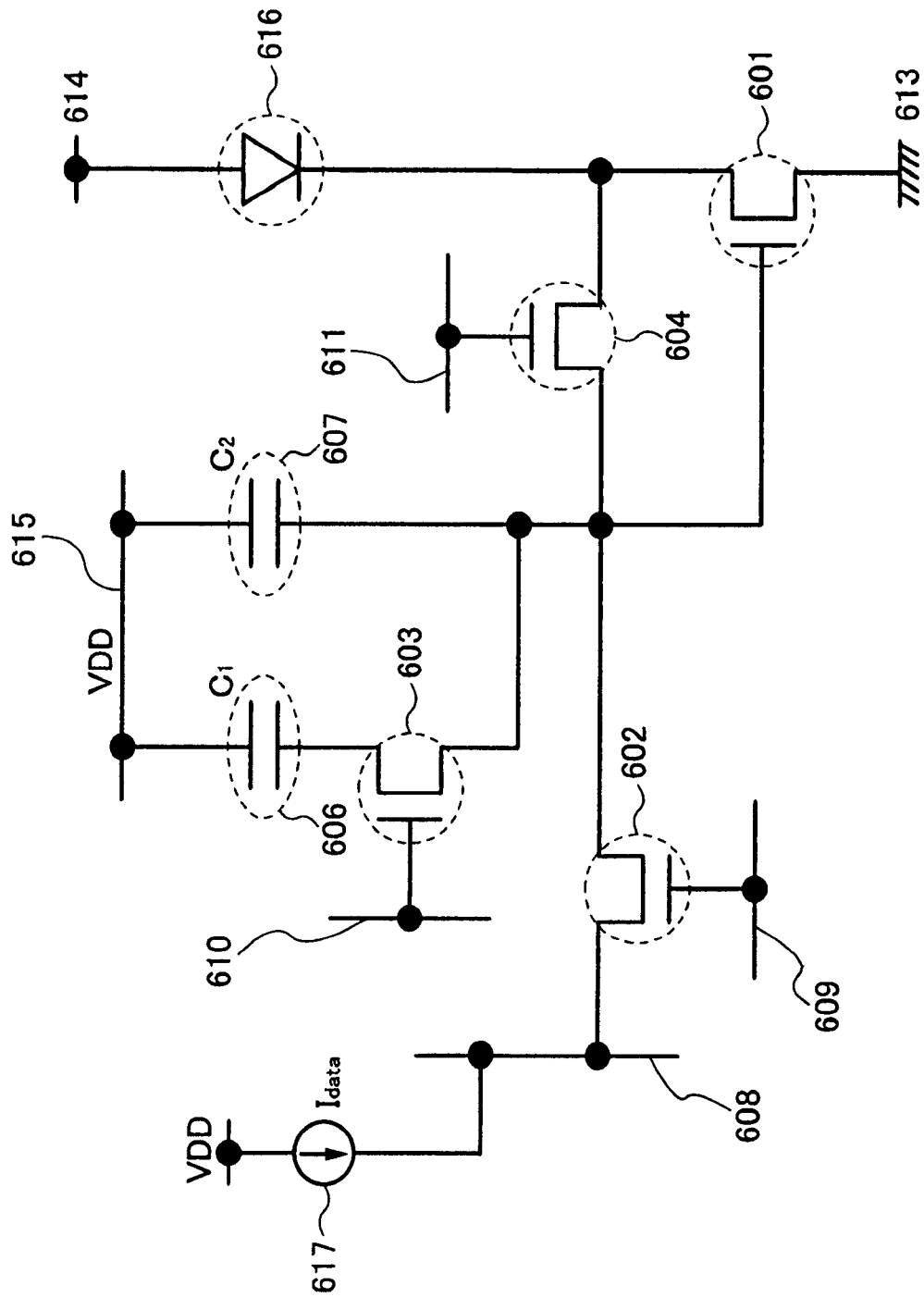


图 55



56 圖

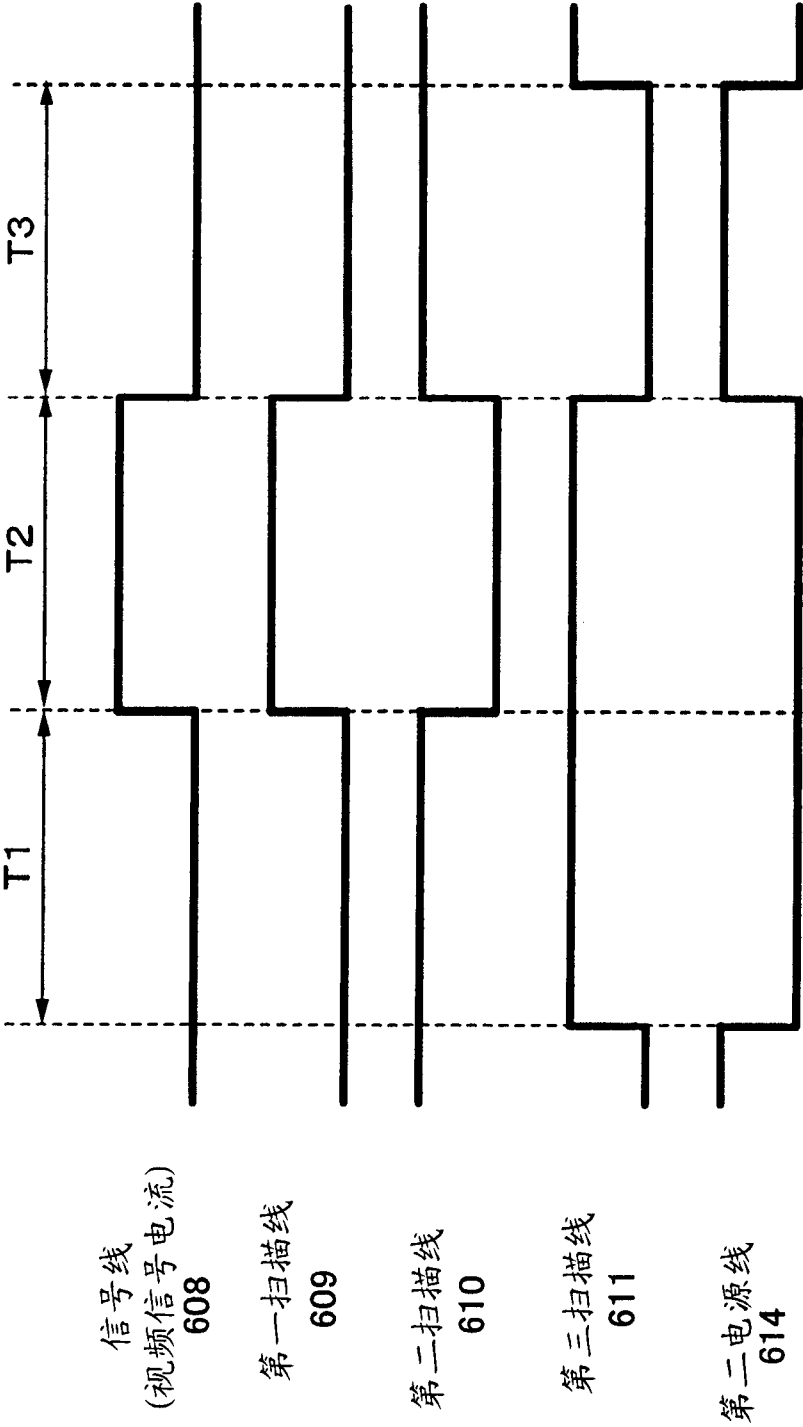
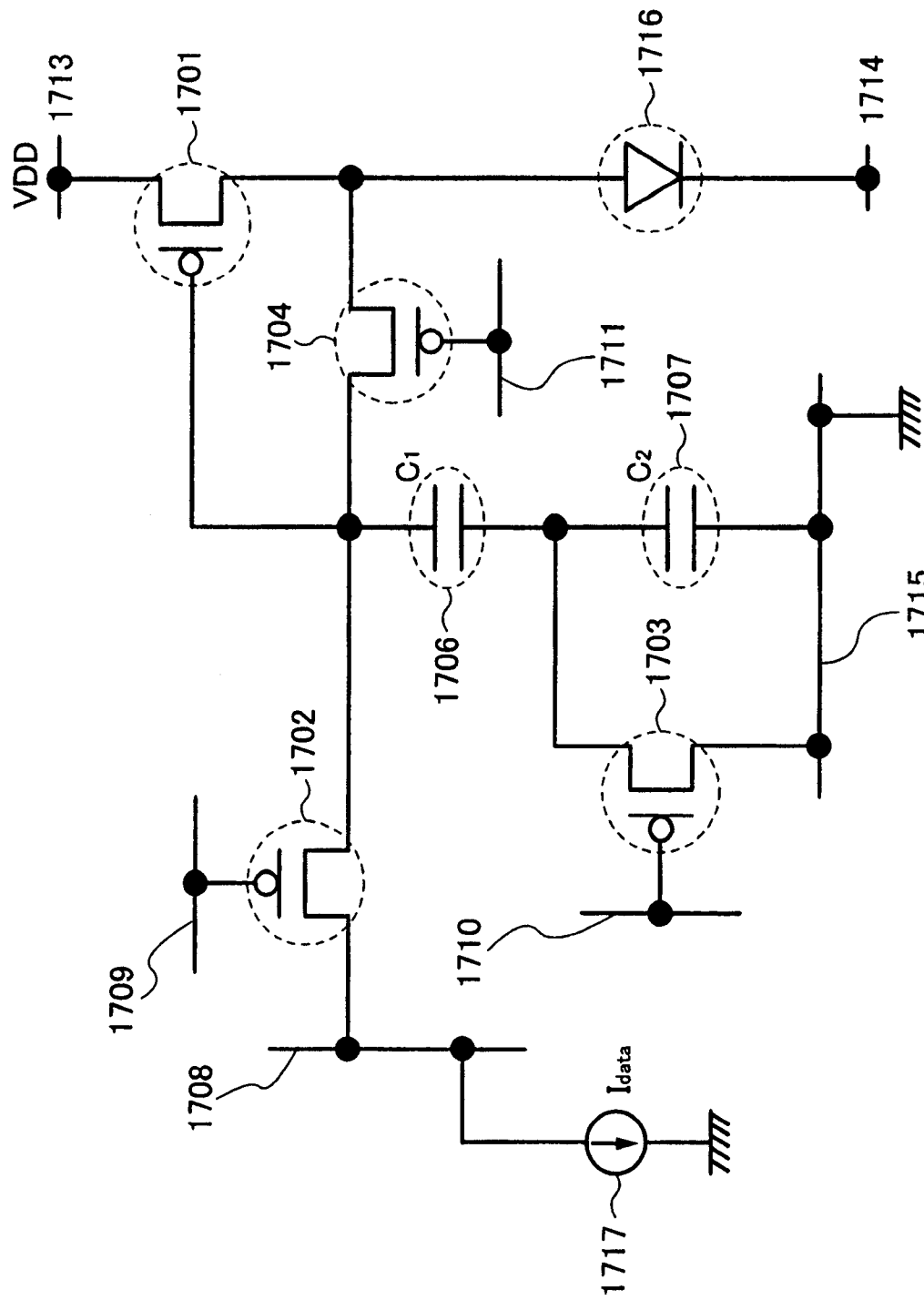


图 57



58

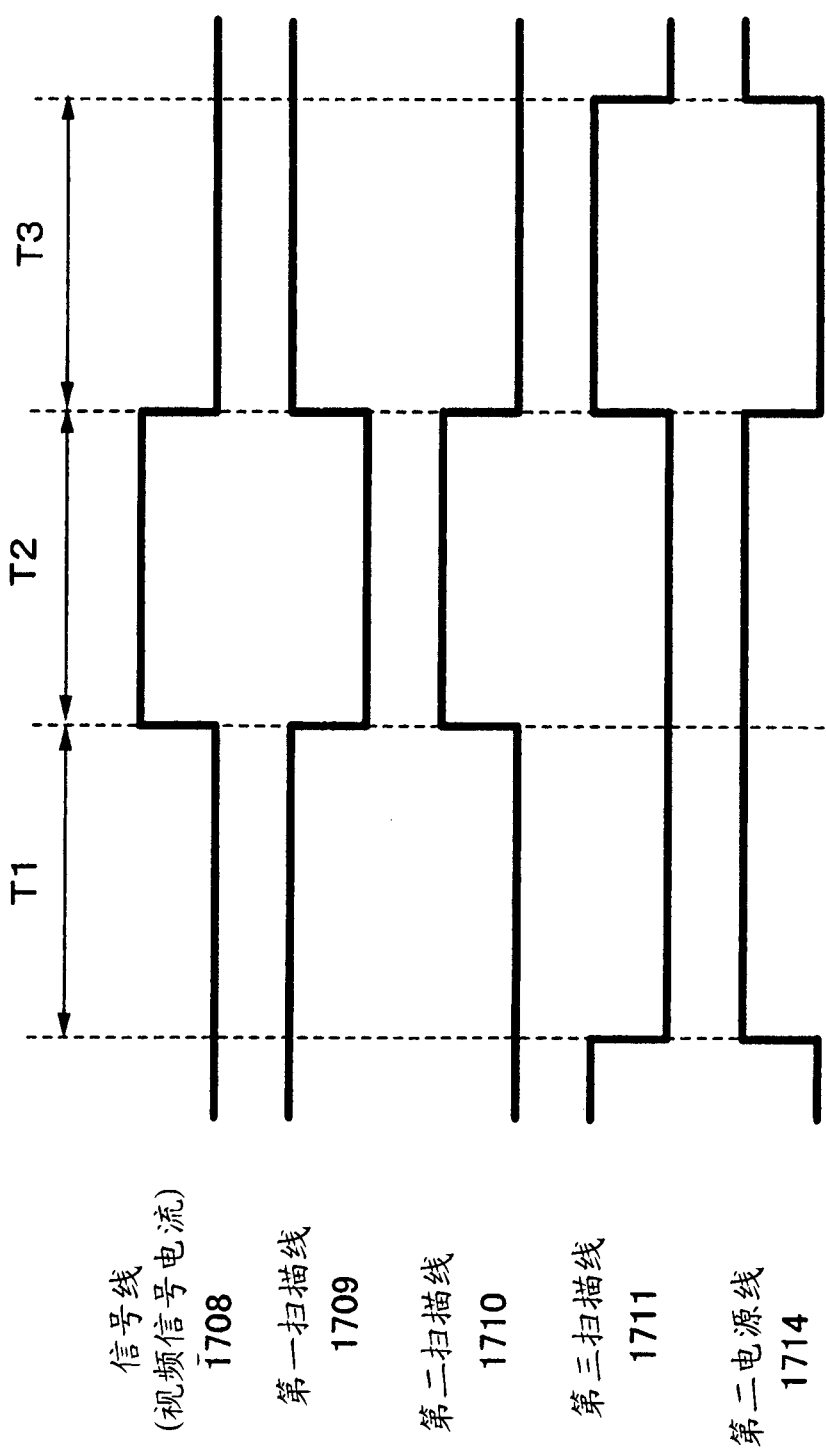
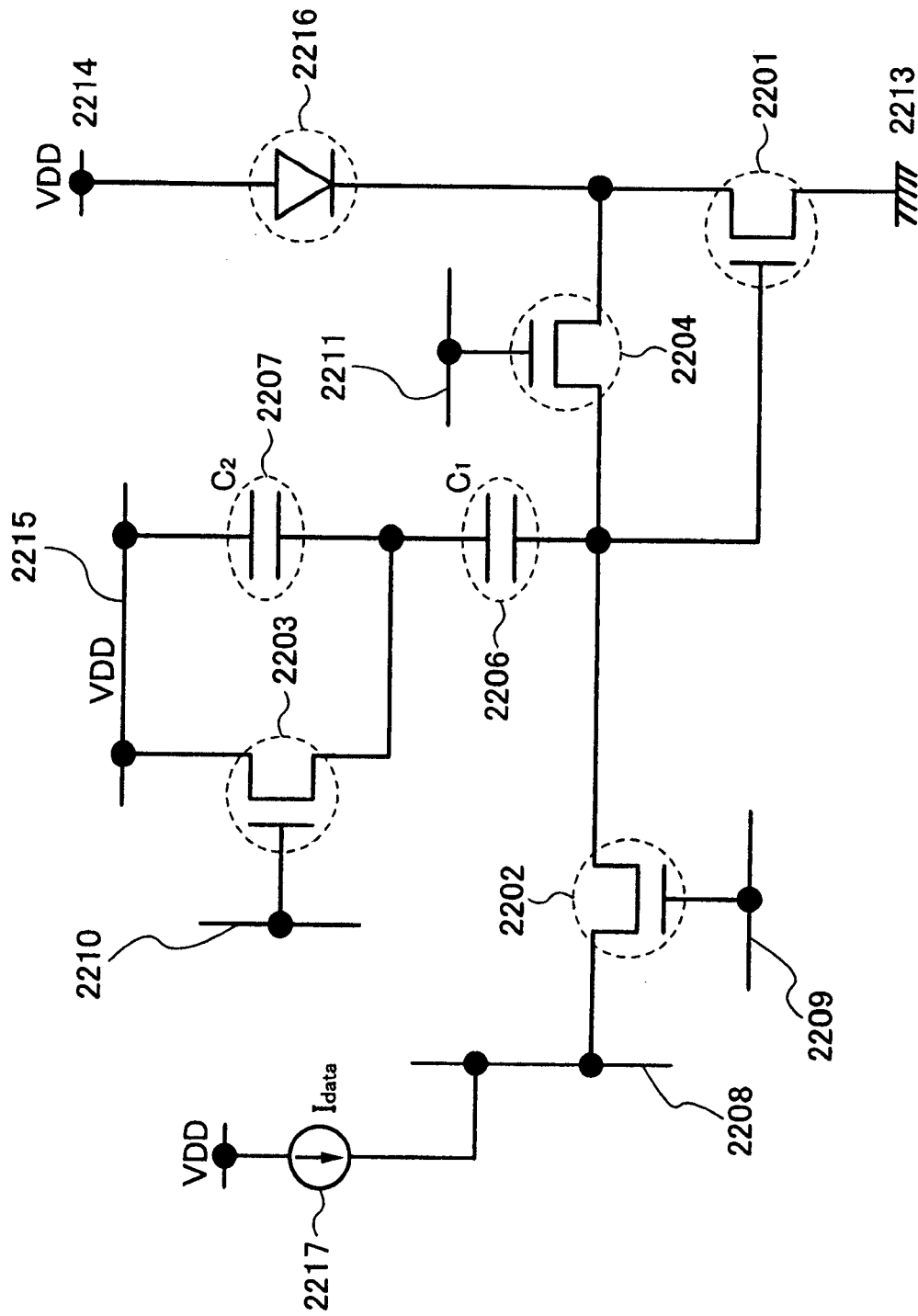


图 59



60 圖

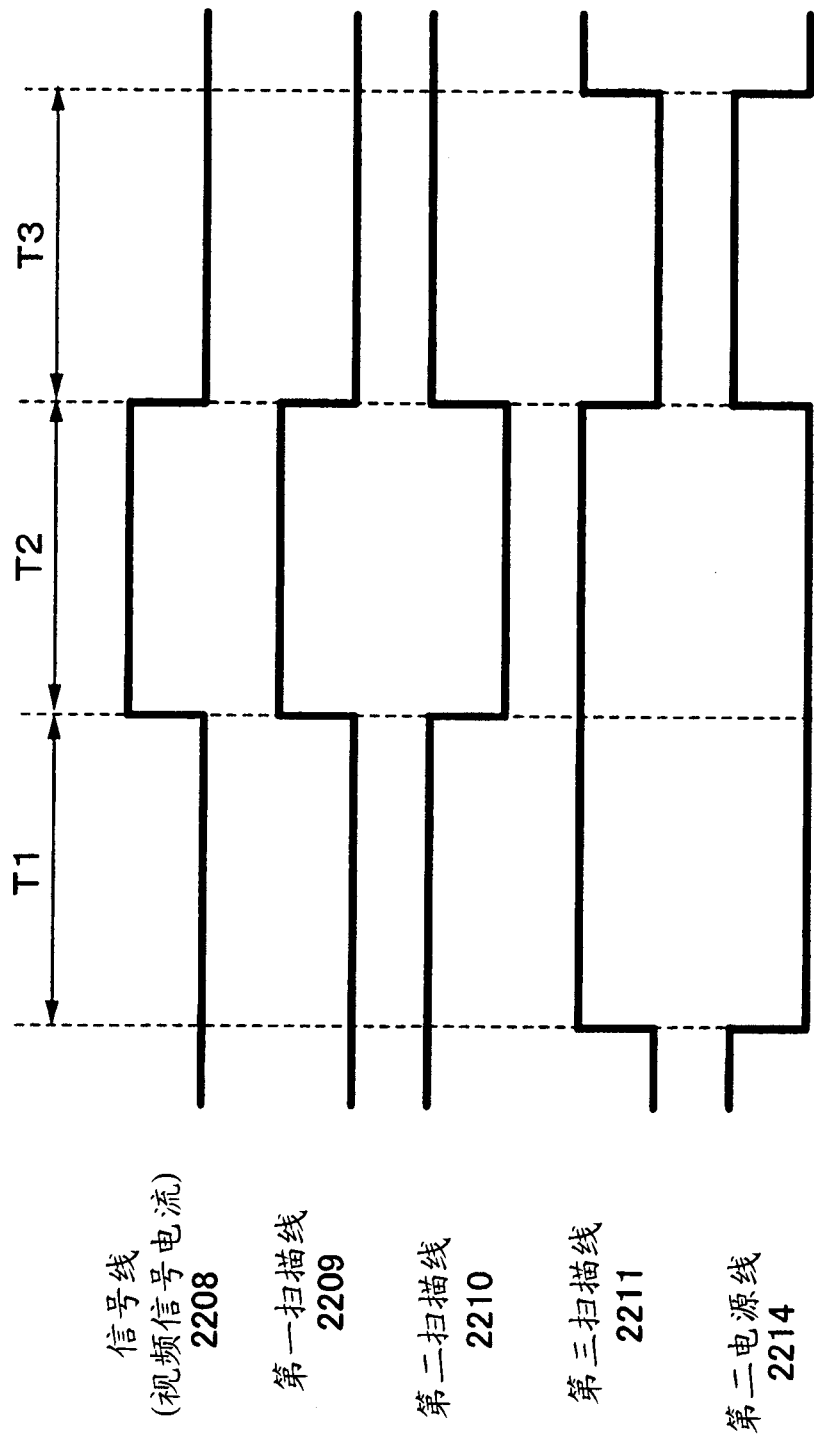


图 61

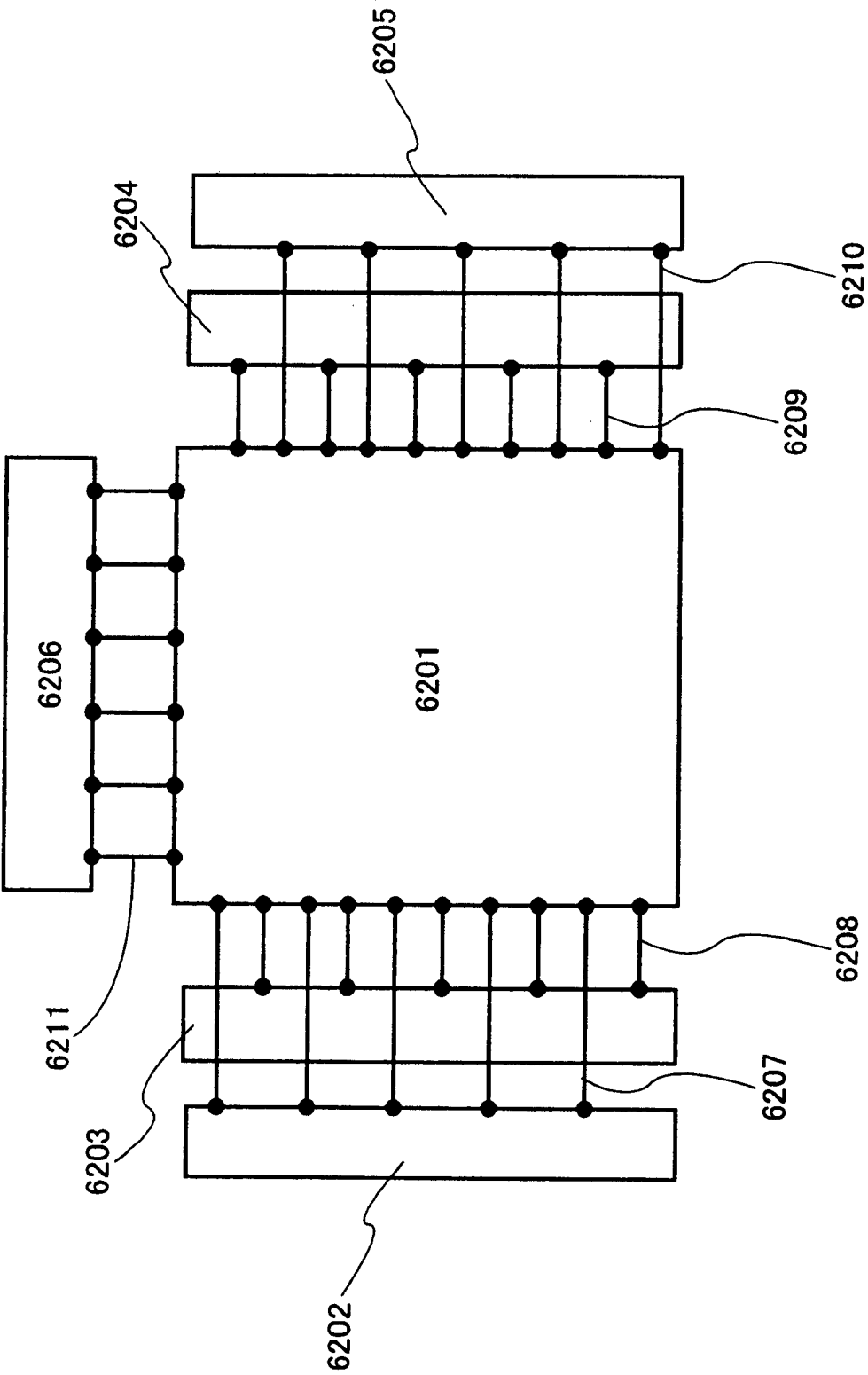
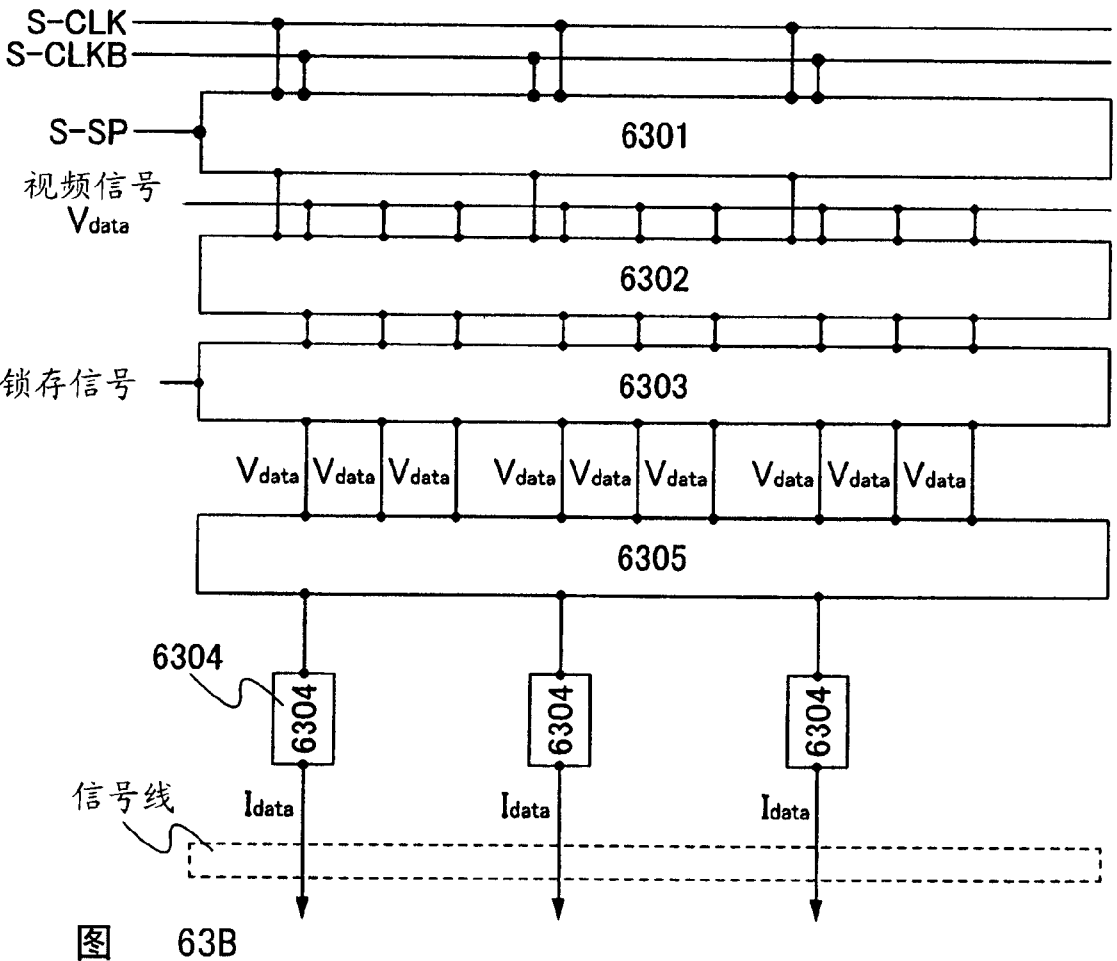
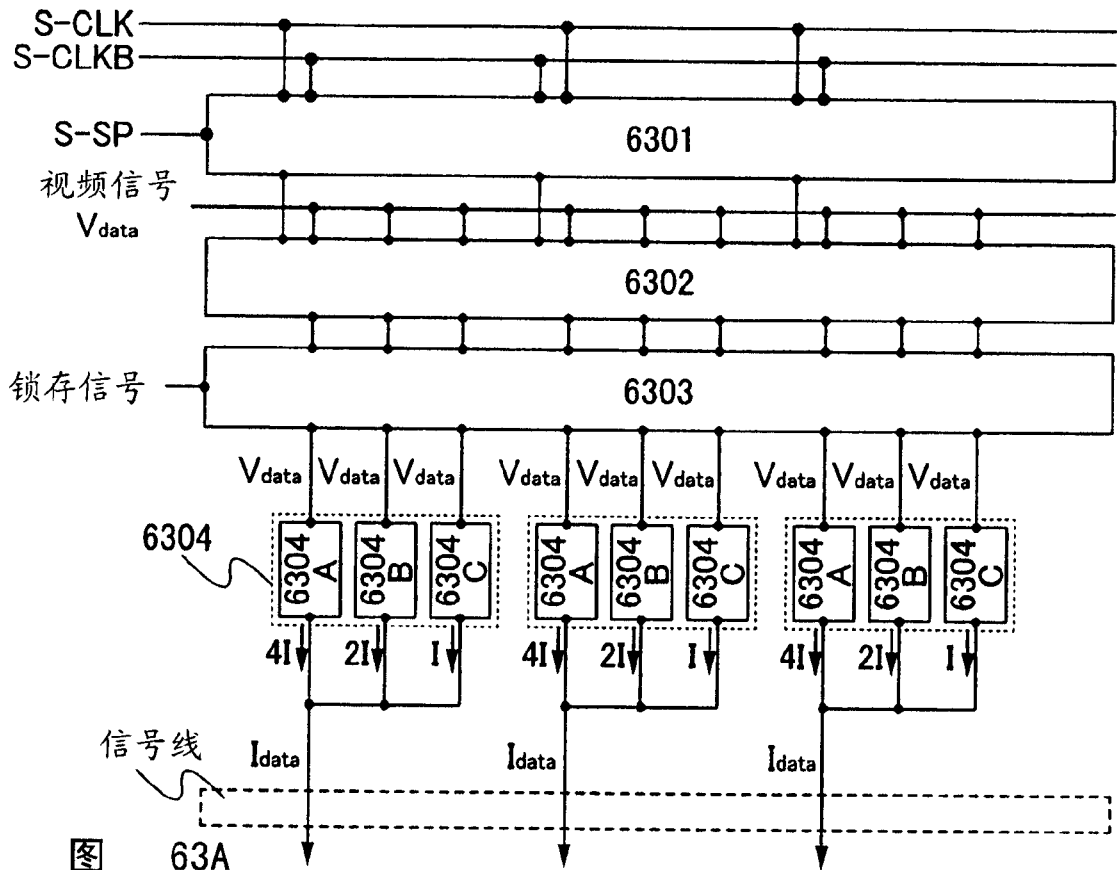


图 62



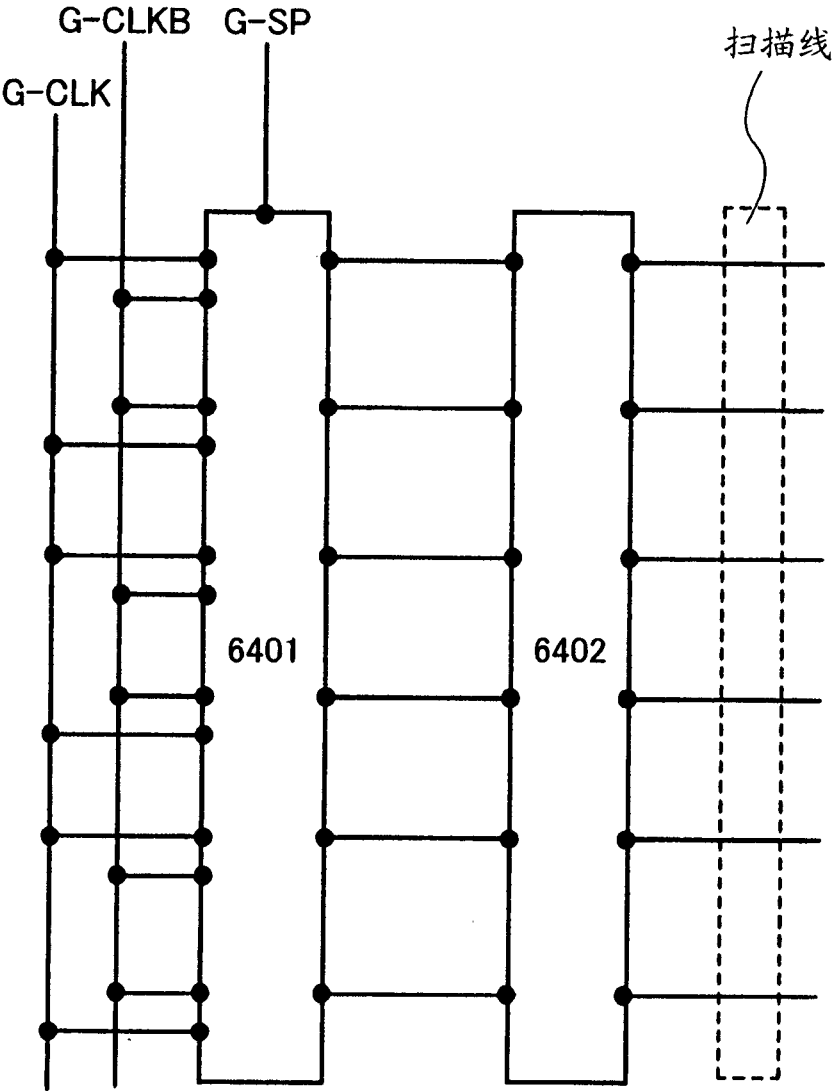


图 64

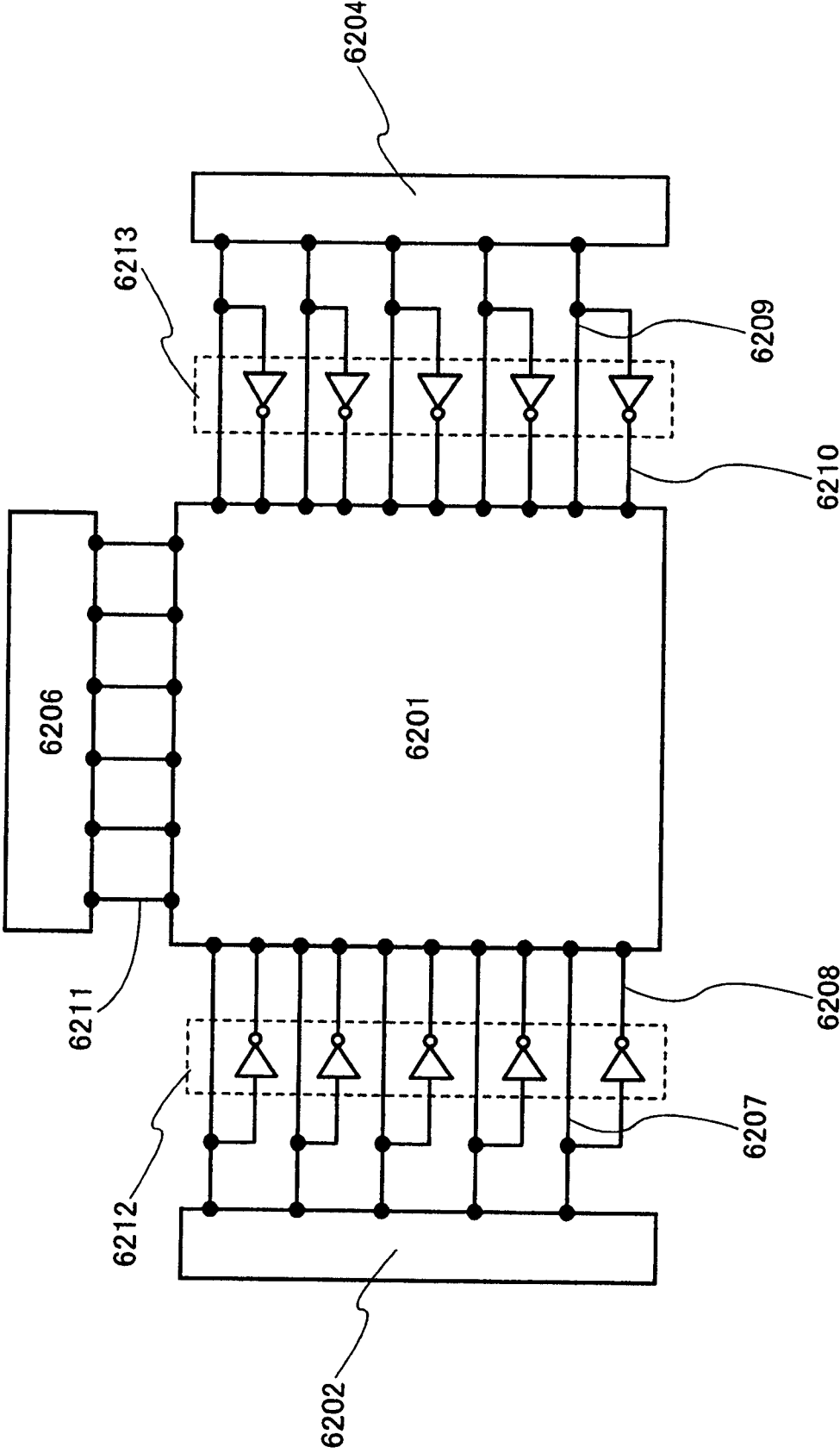


图 65

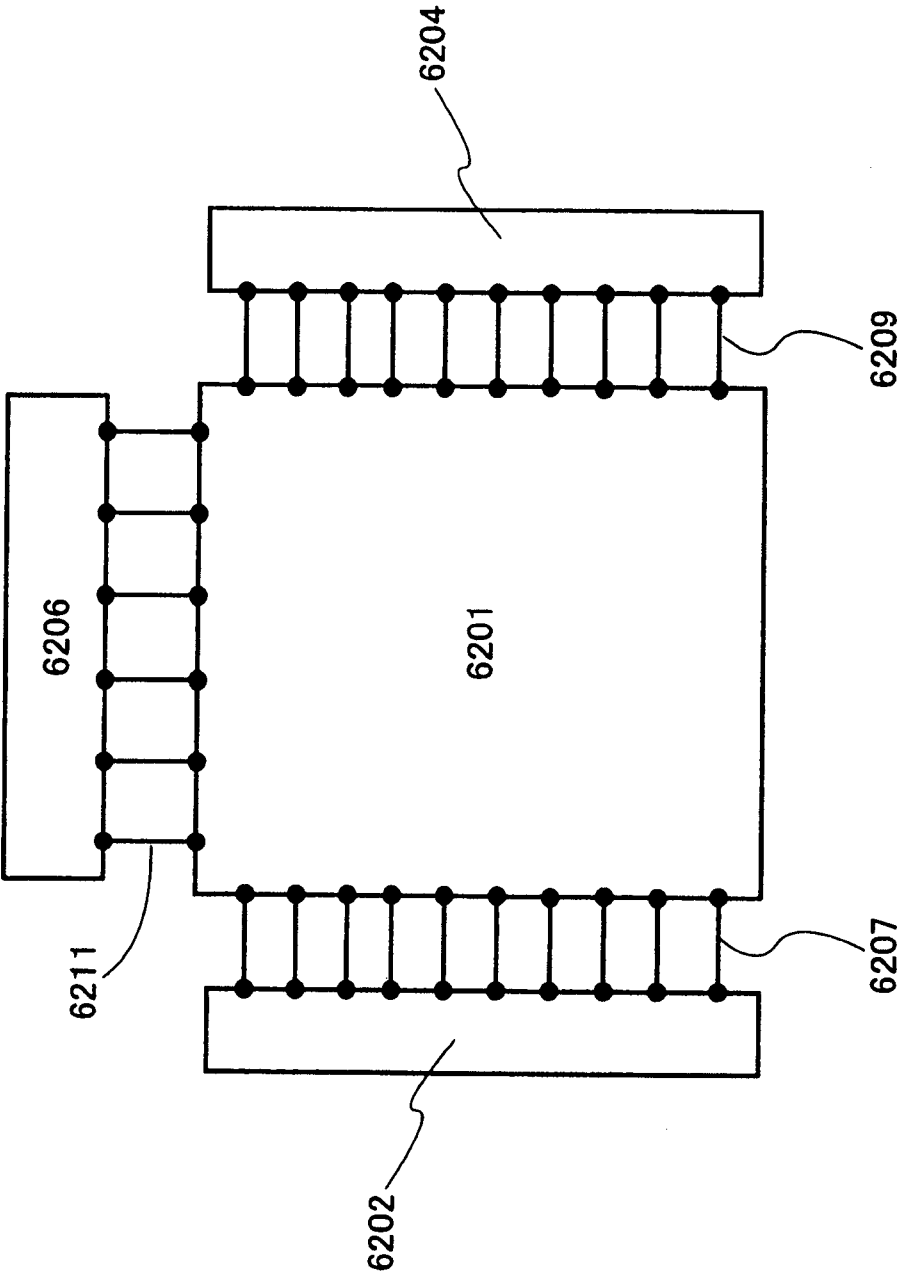
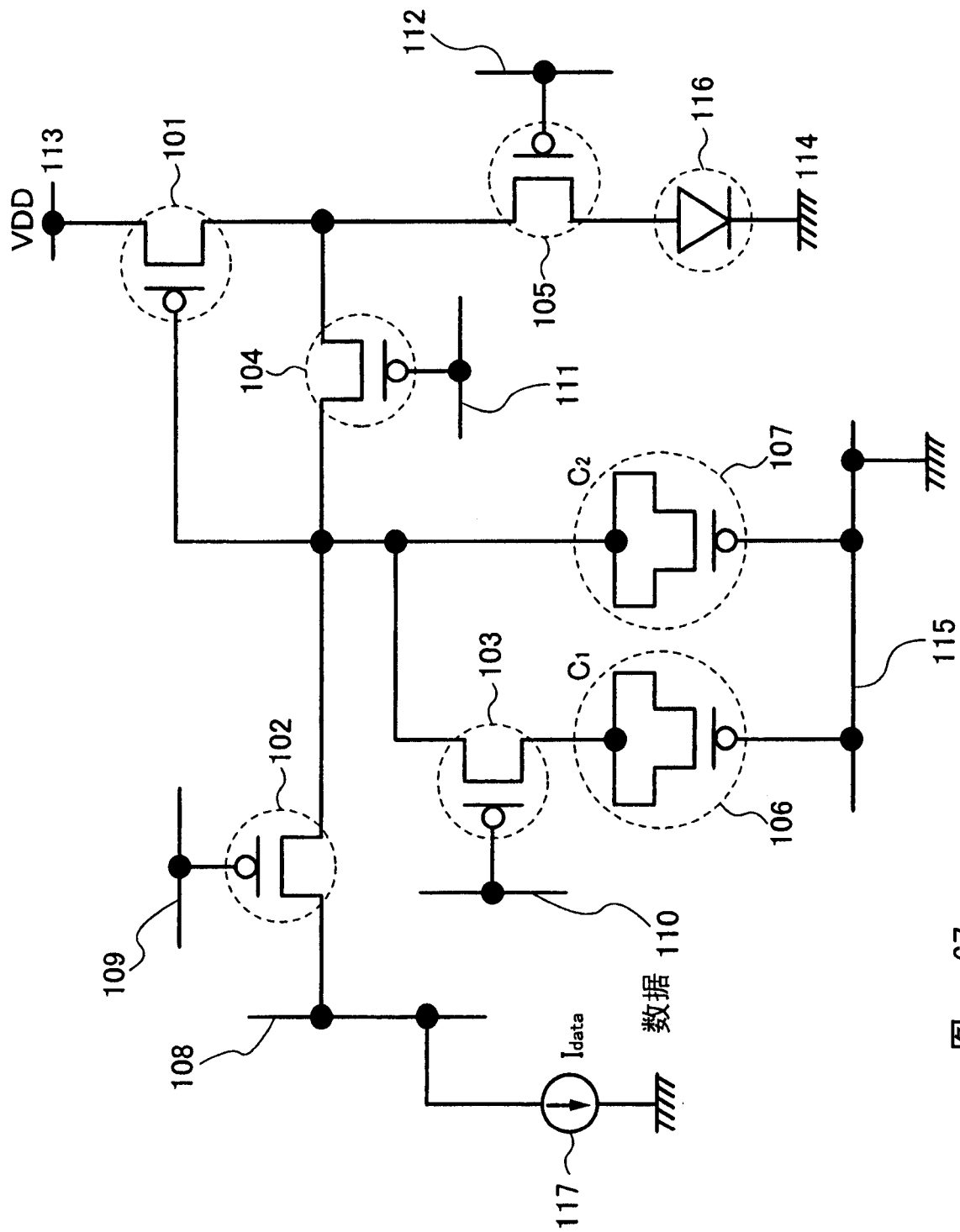


图 66



67

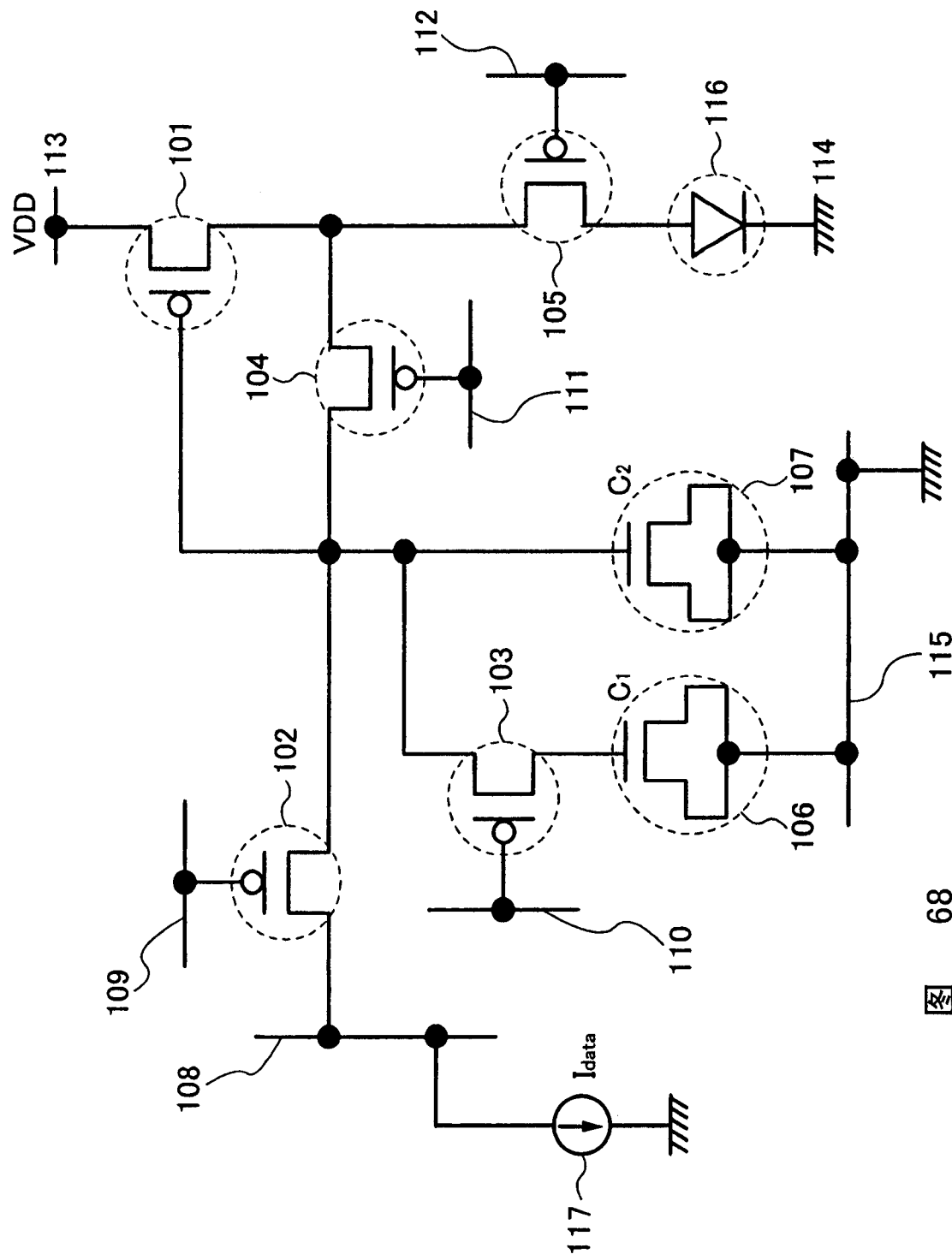
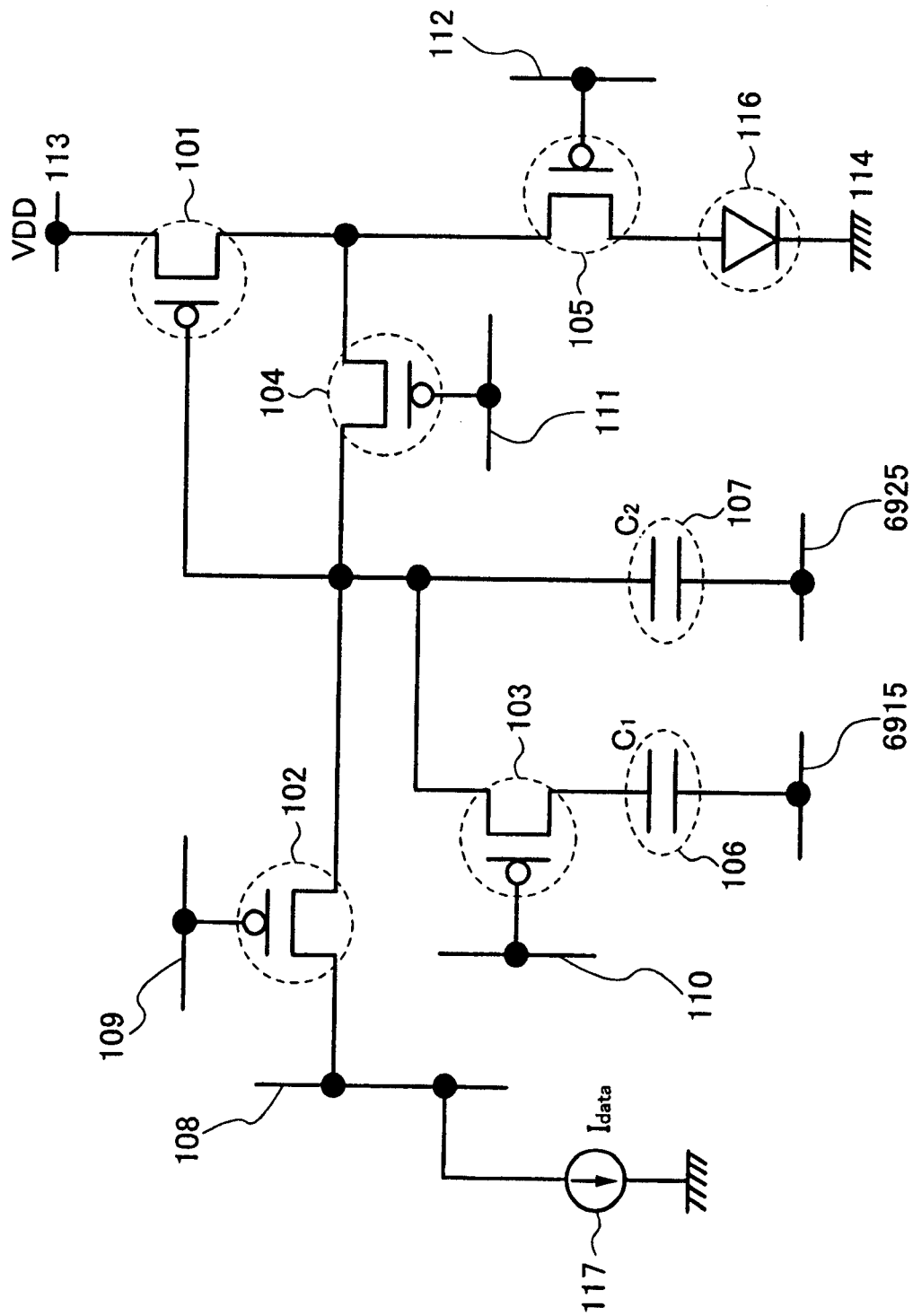


图 68



69 圖

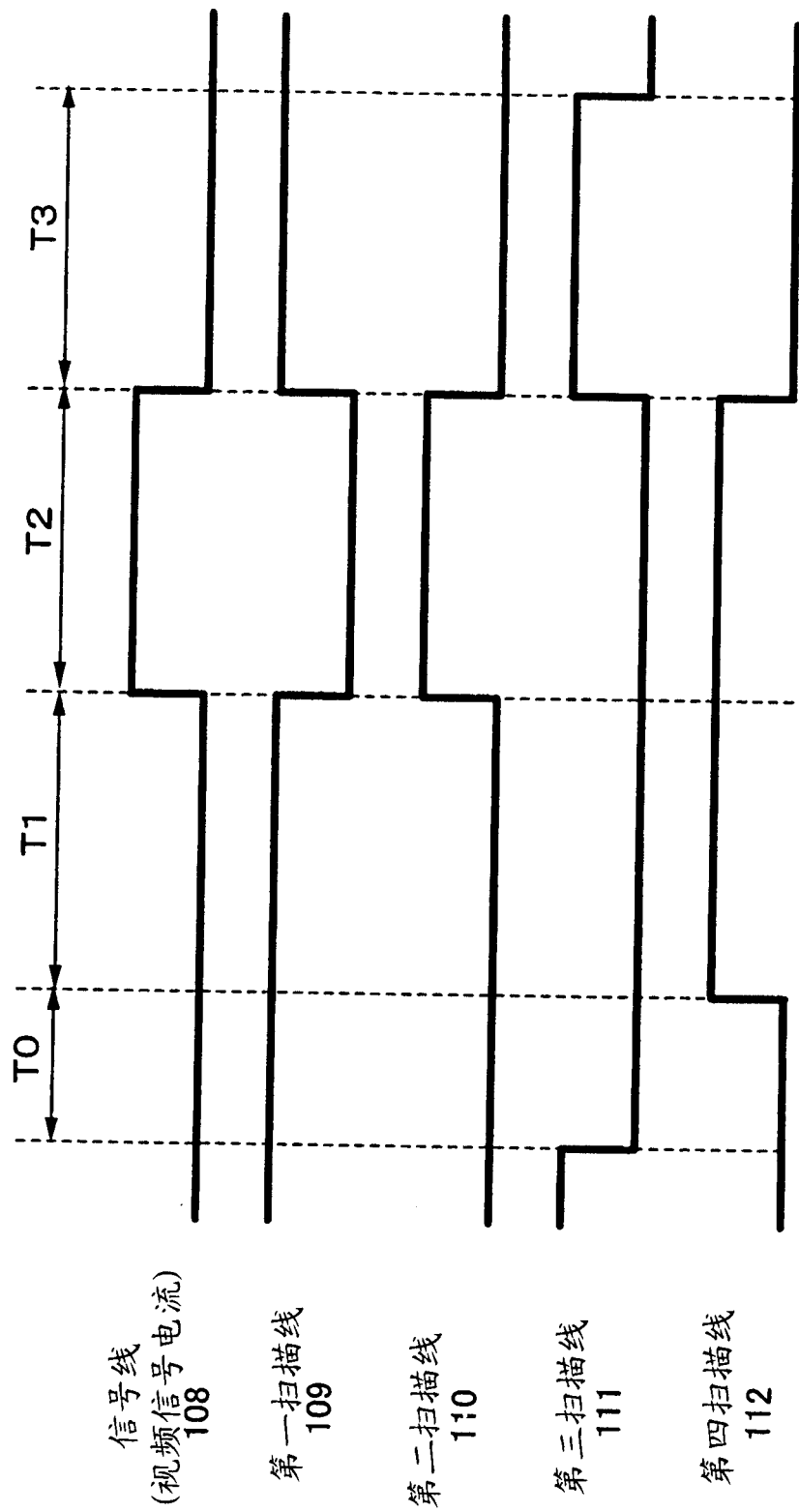


图 70

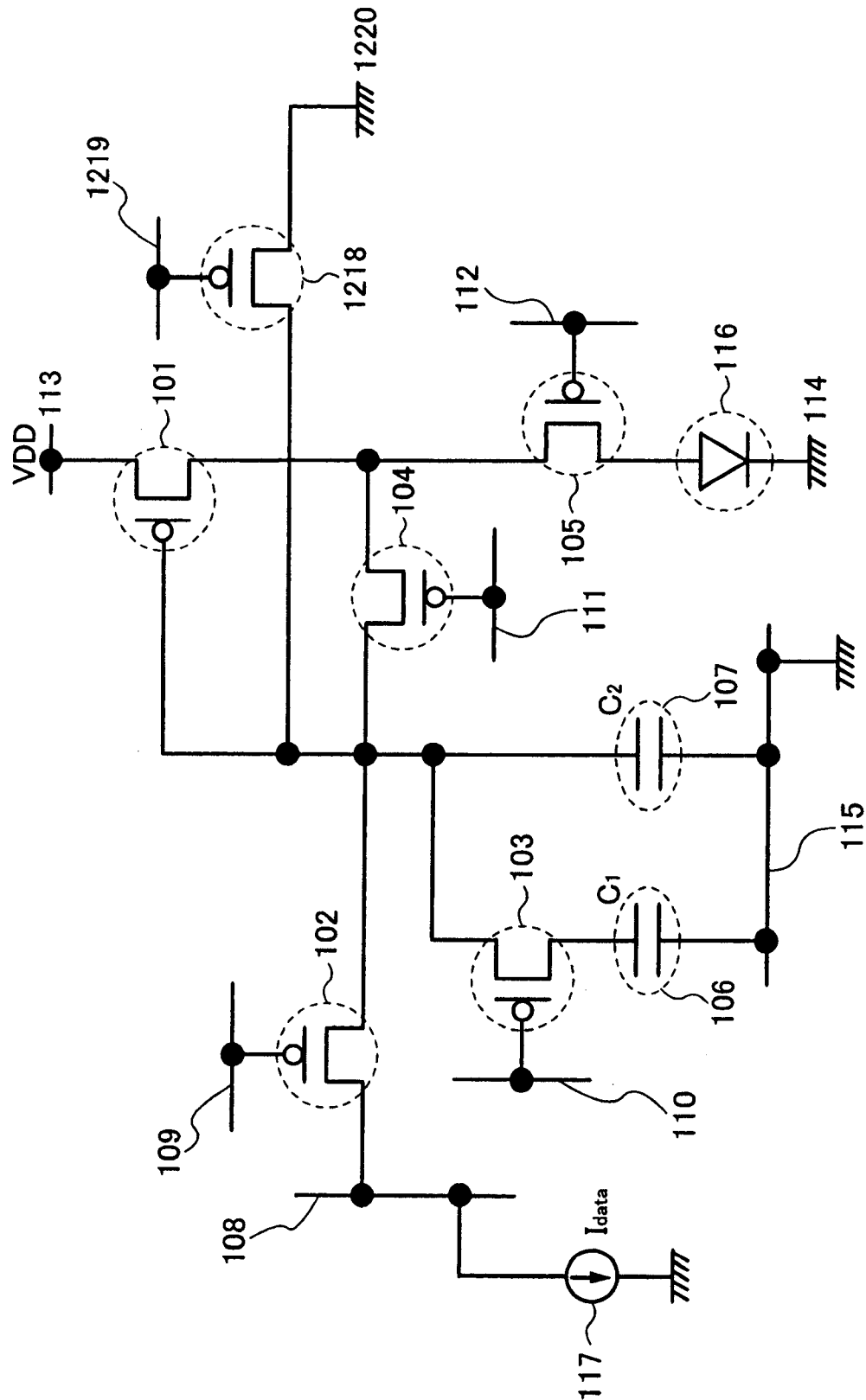
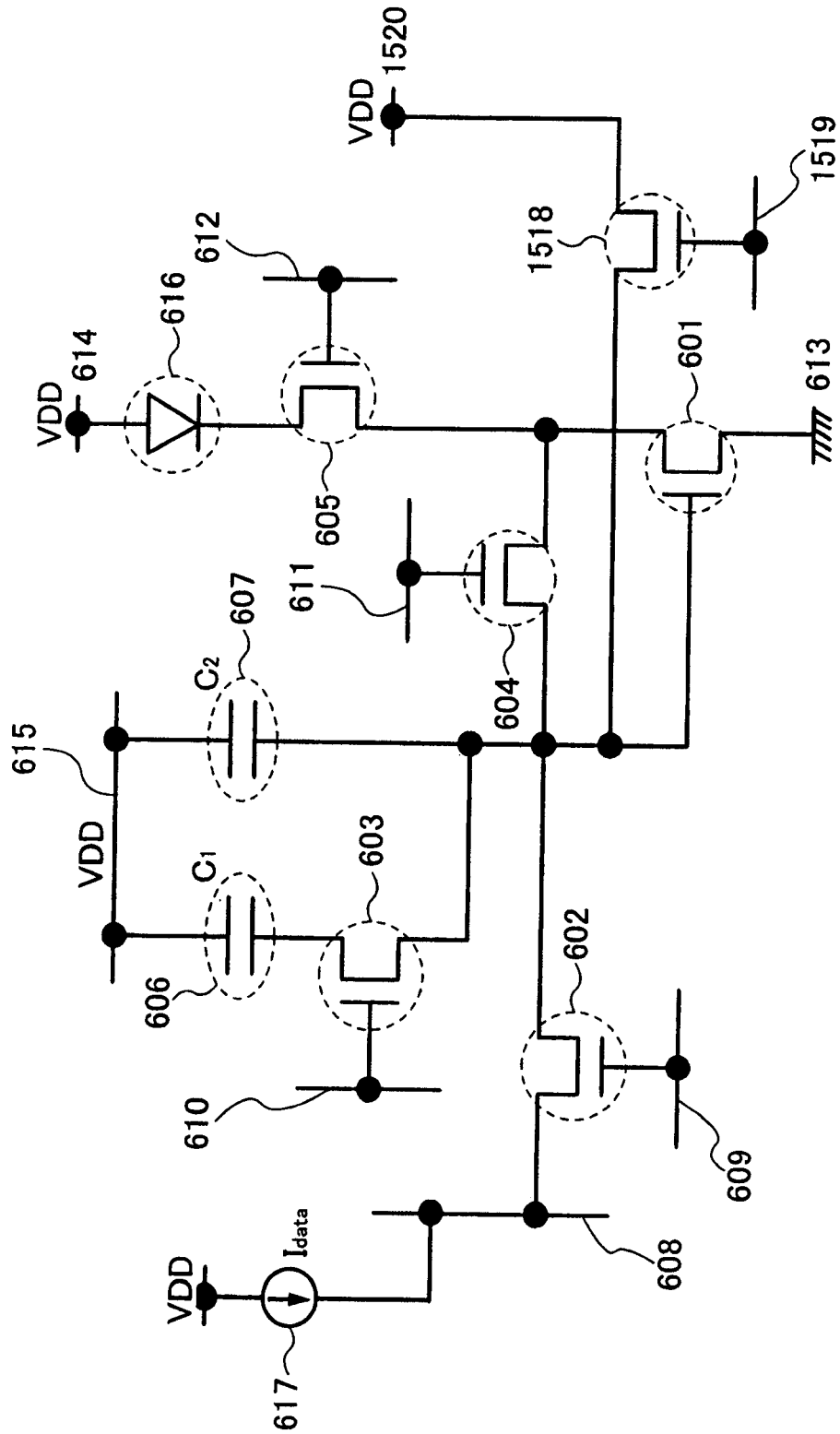
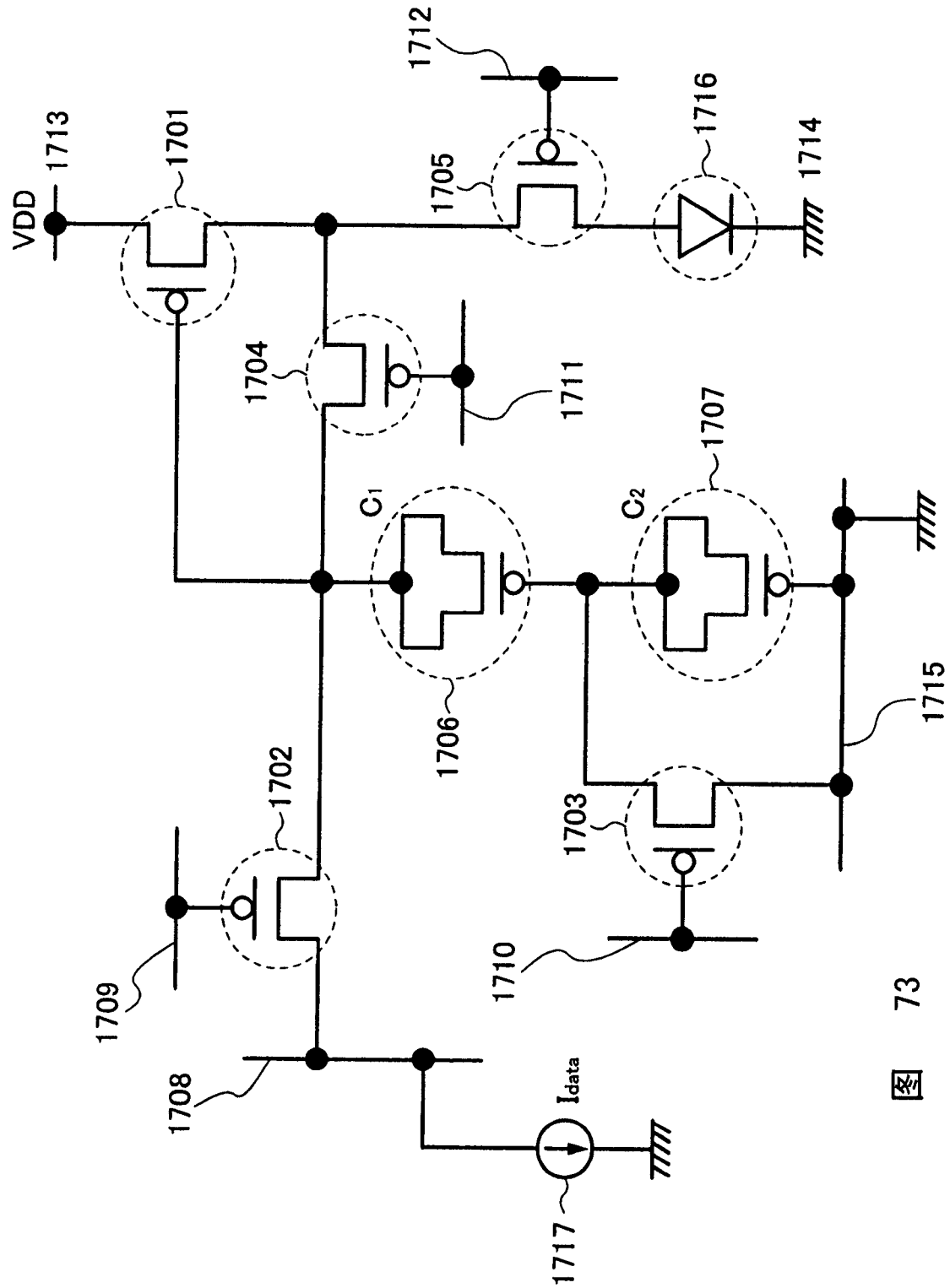


图 71



72



73 圖

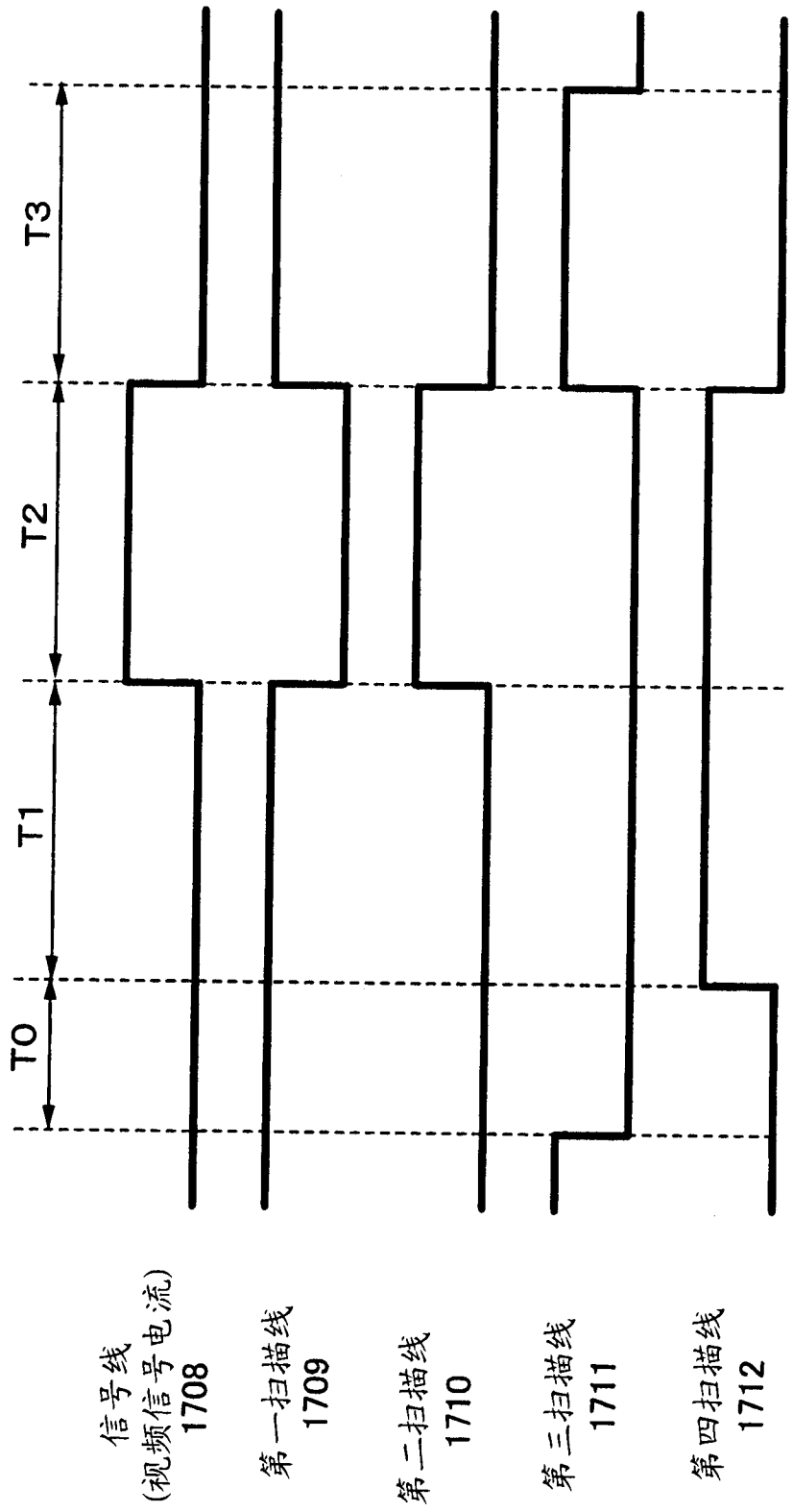
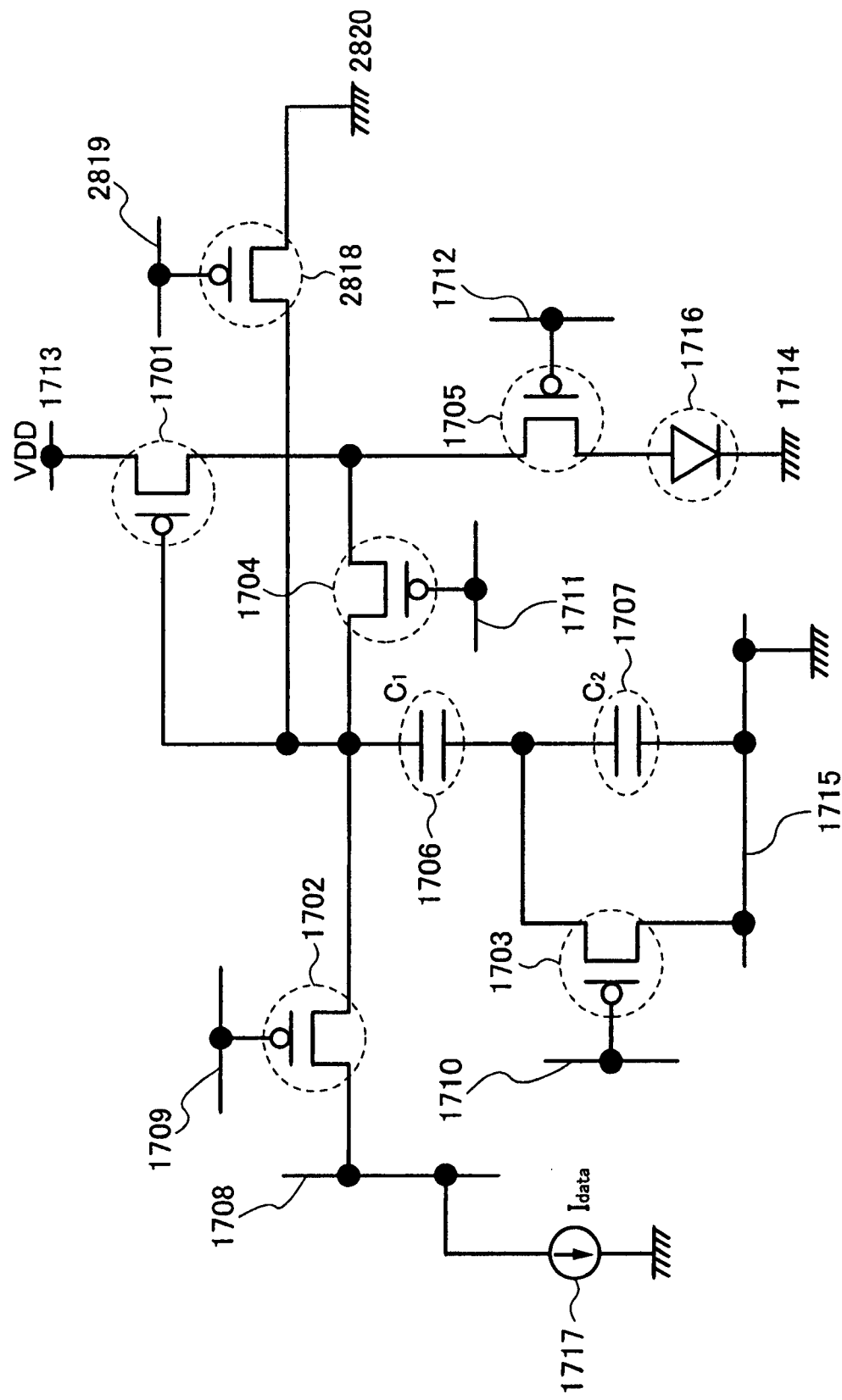
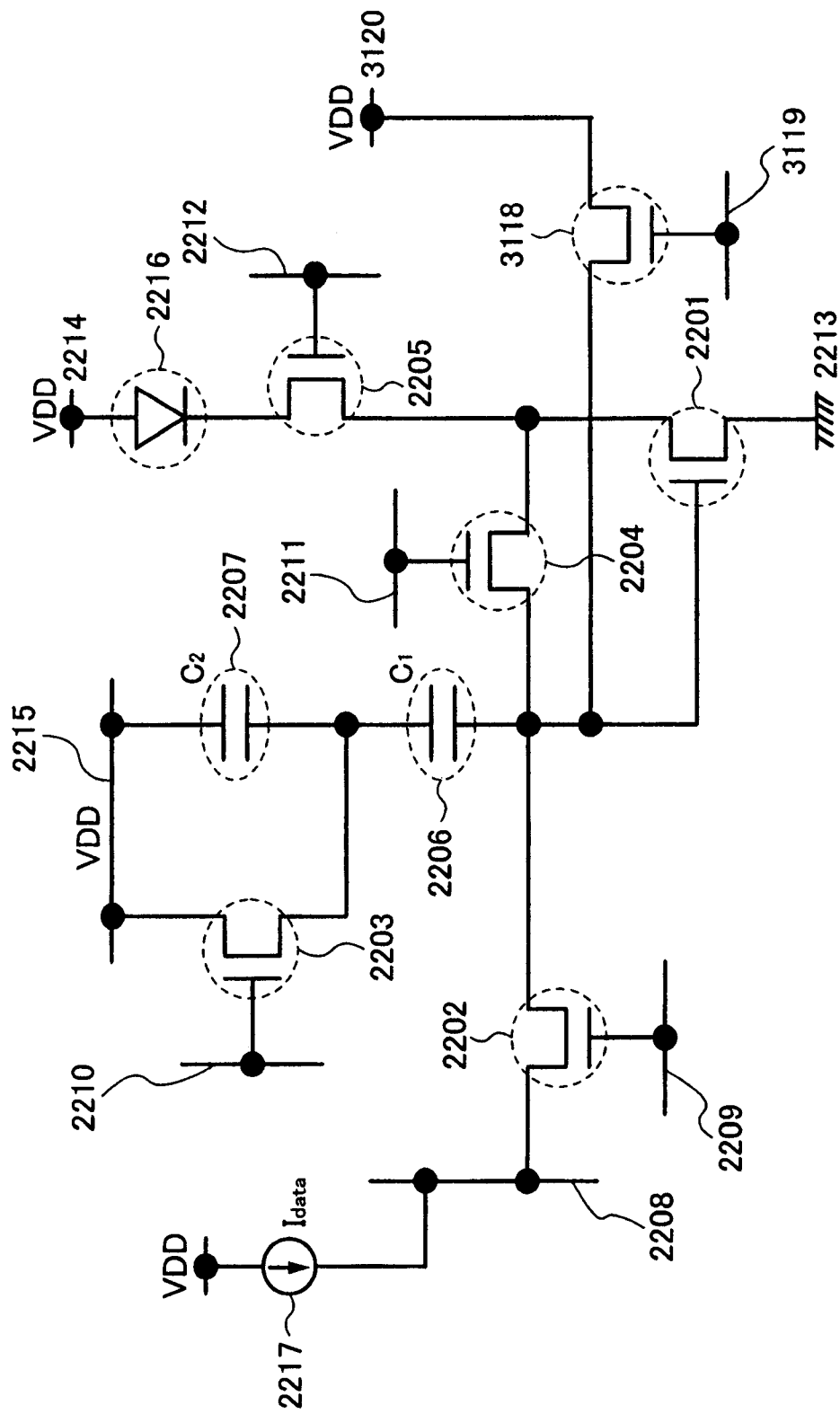


图 76





78

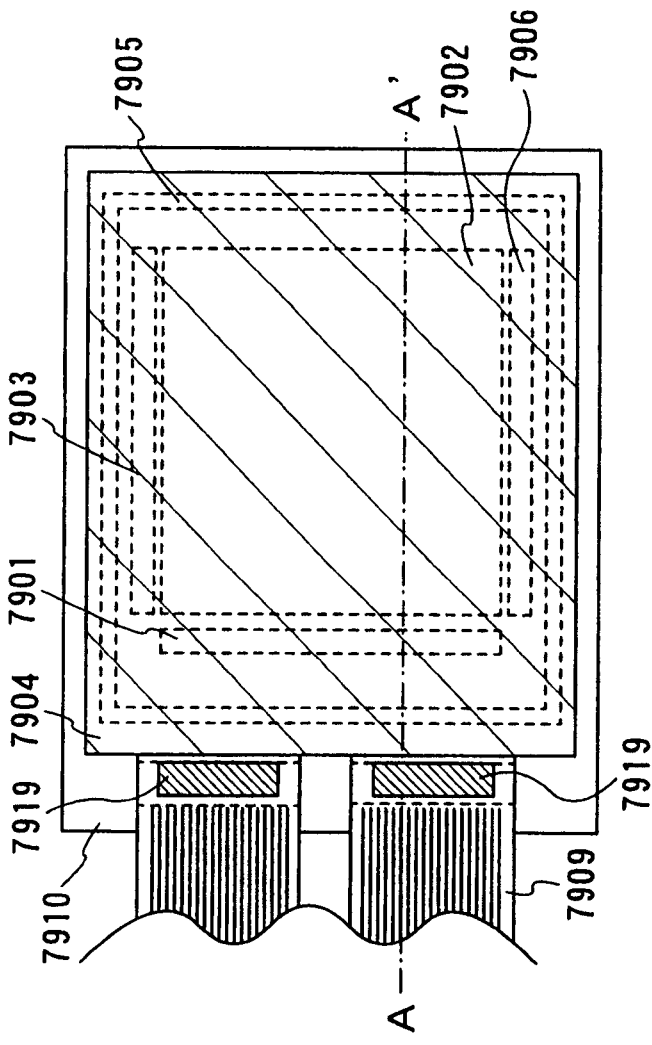


图 79A

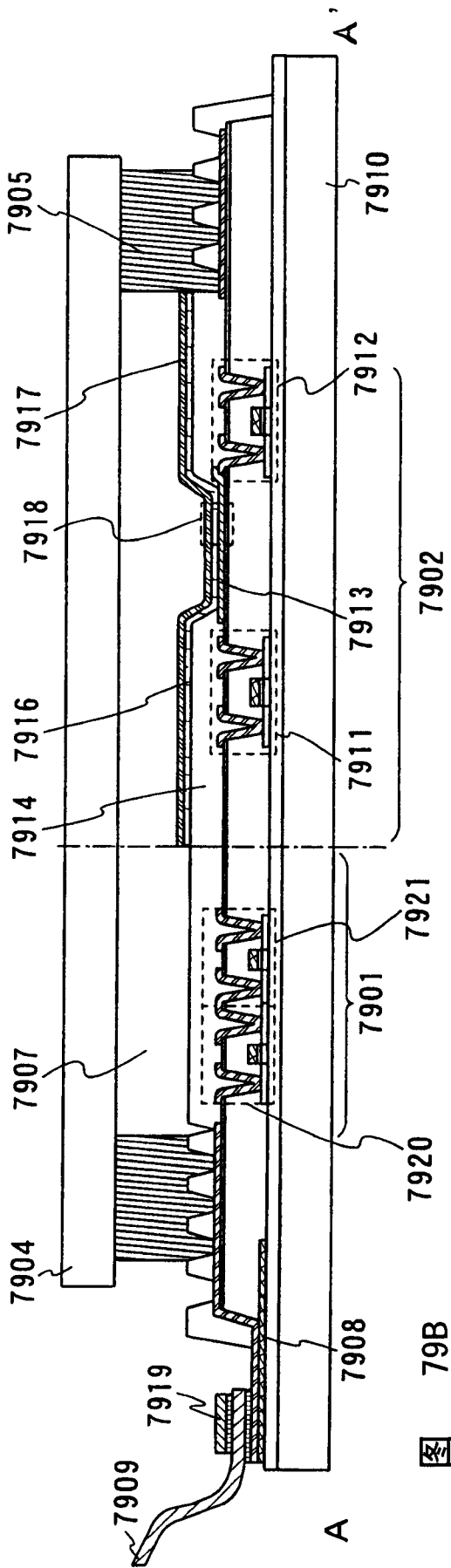


图 79B

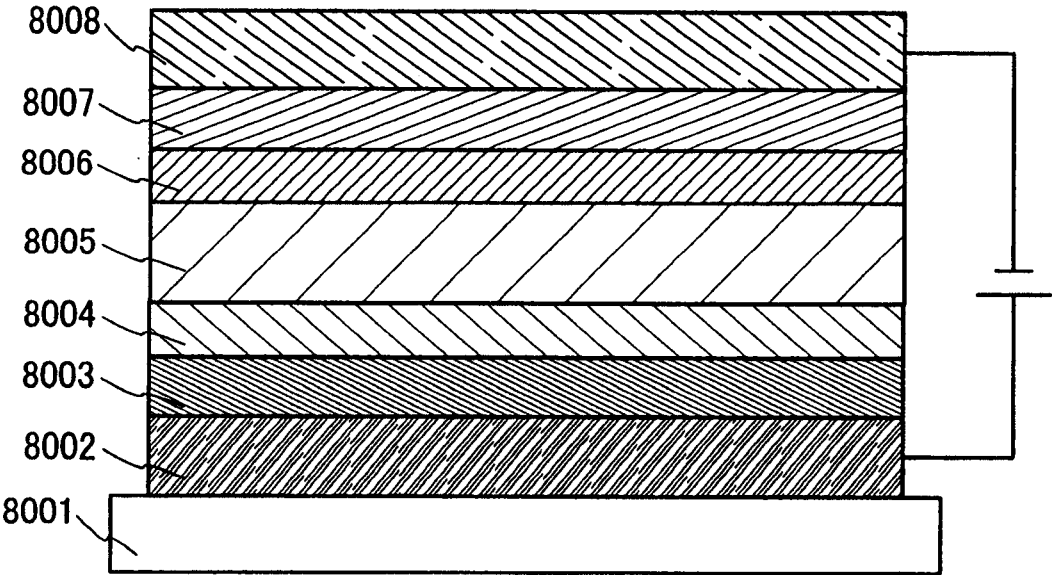


图 80

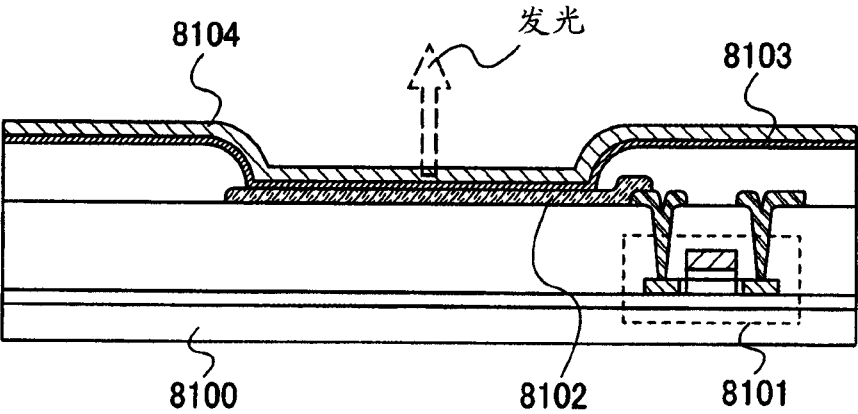


图 81A

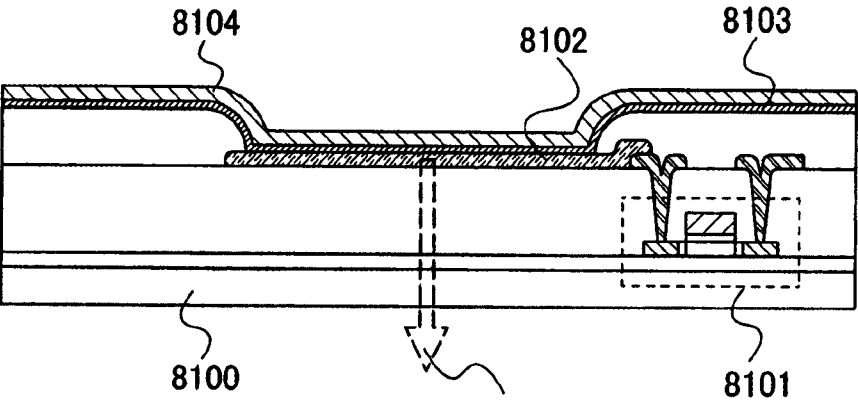


图 81B

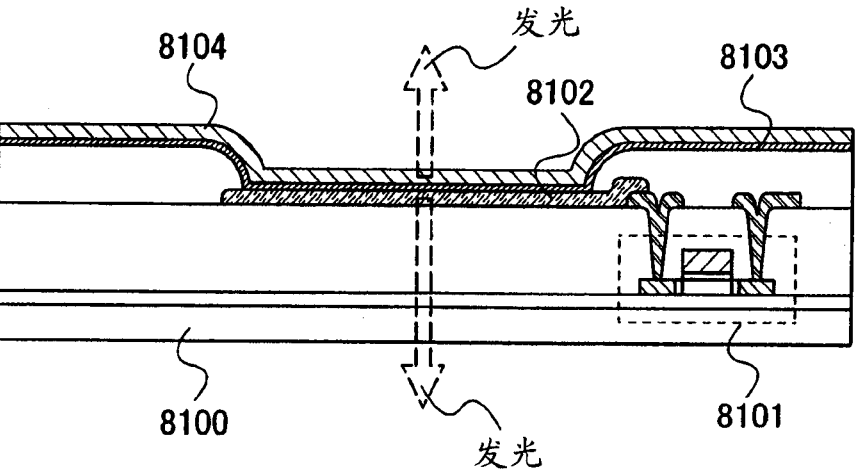


图 81C

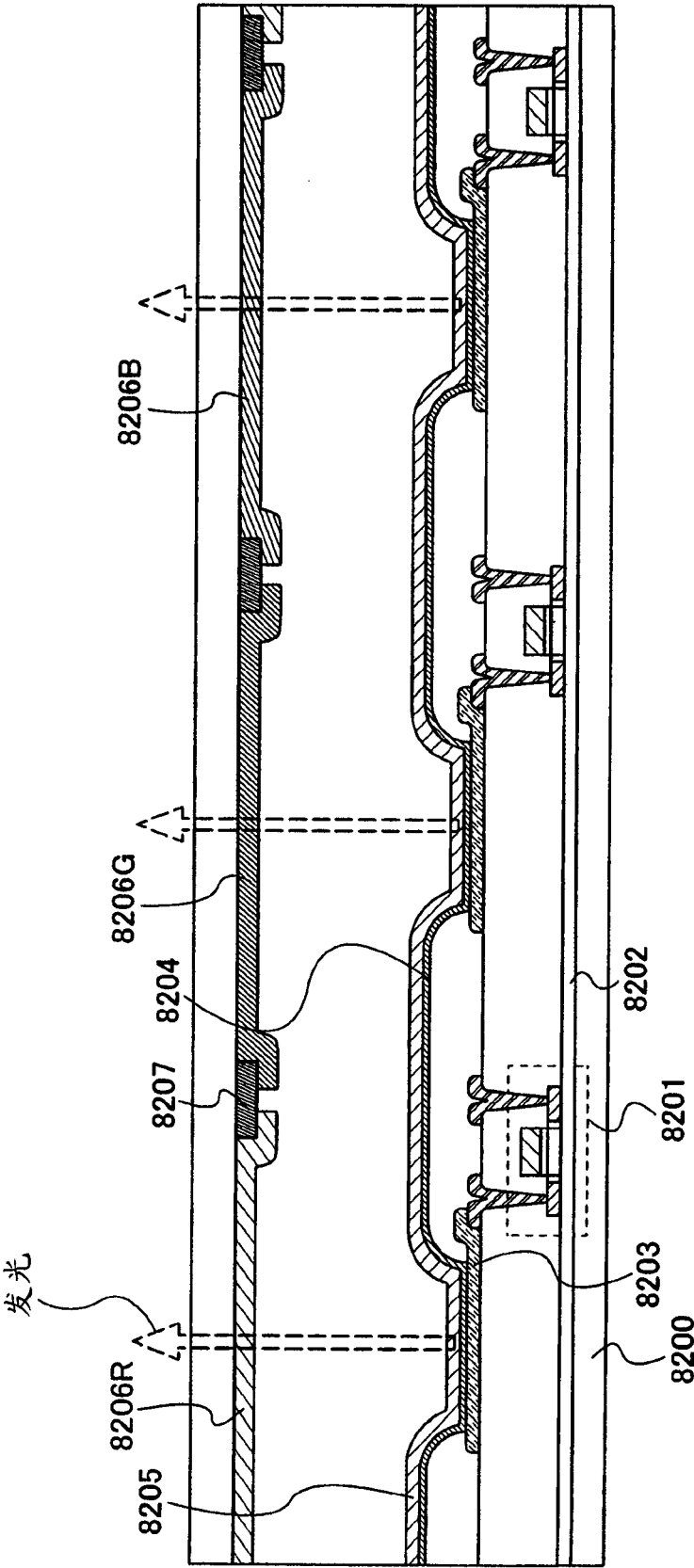


图 82

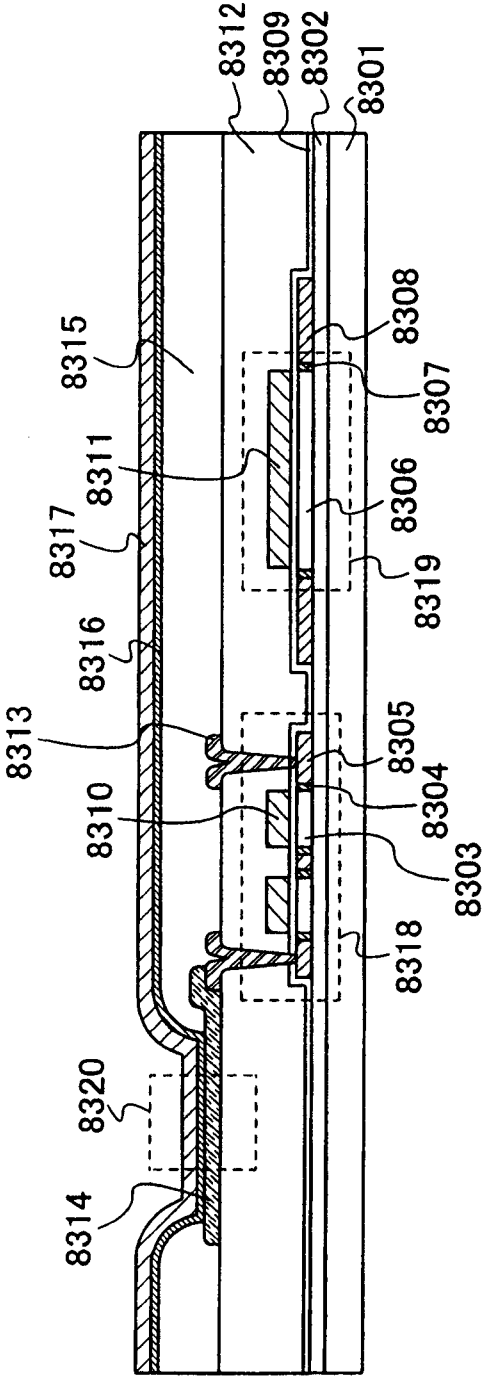


图 83A

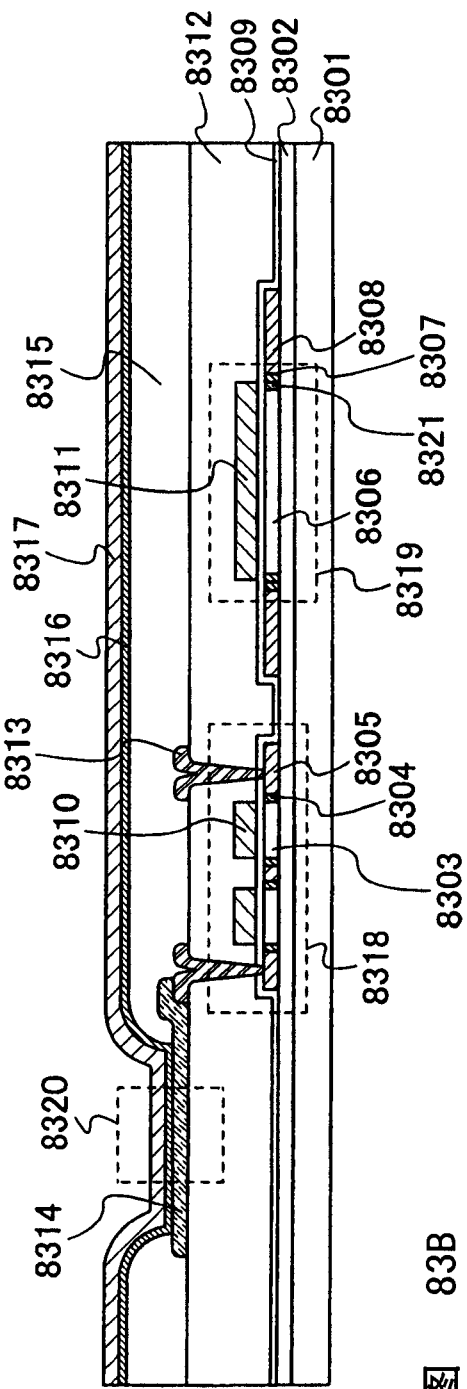
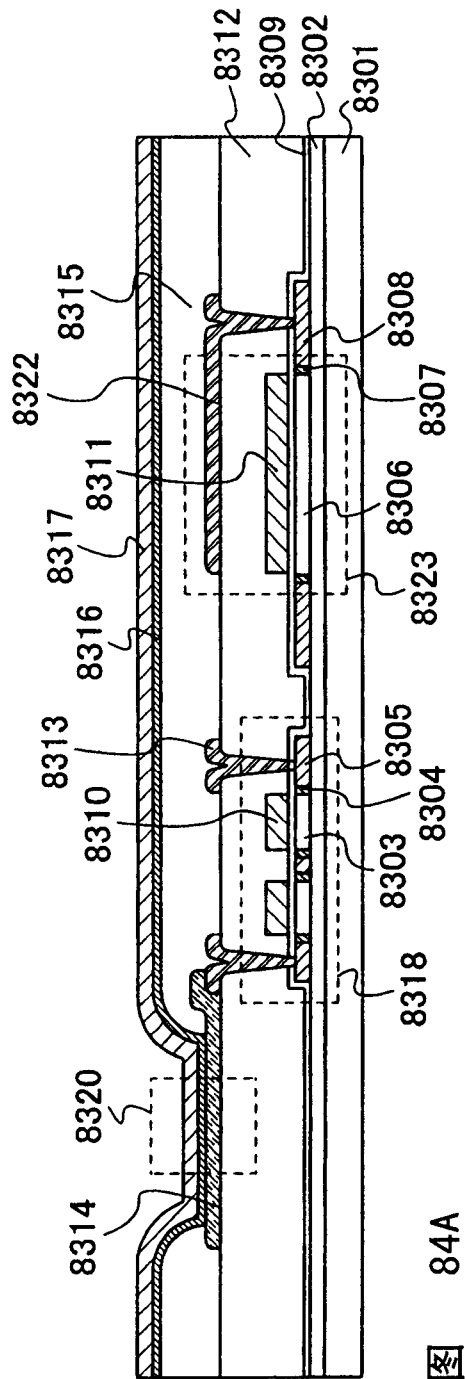
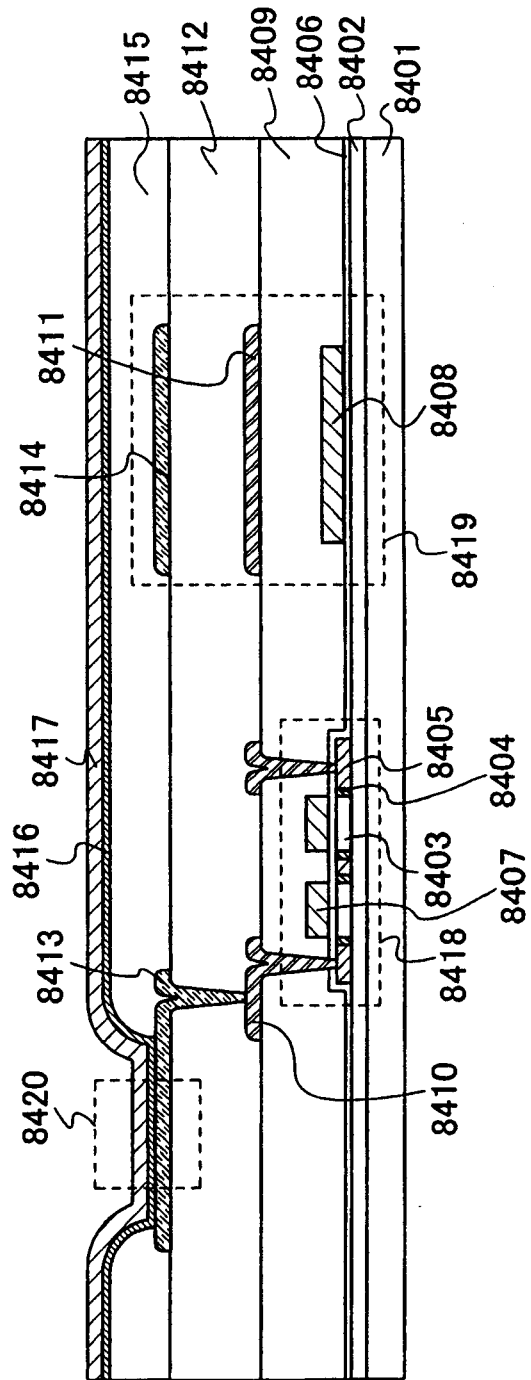


图 83B



84A

 84B

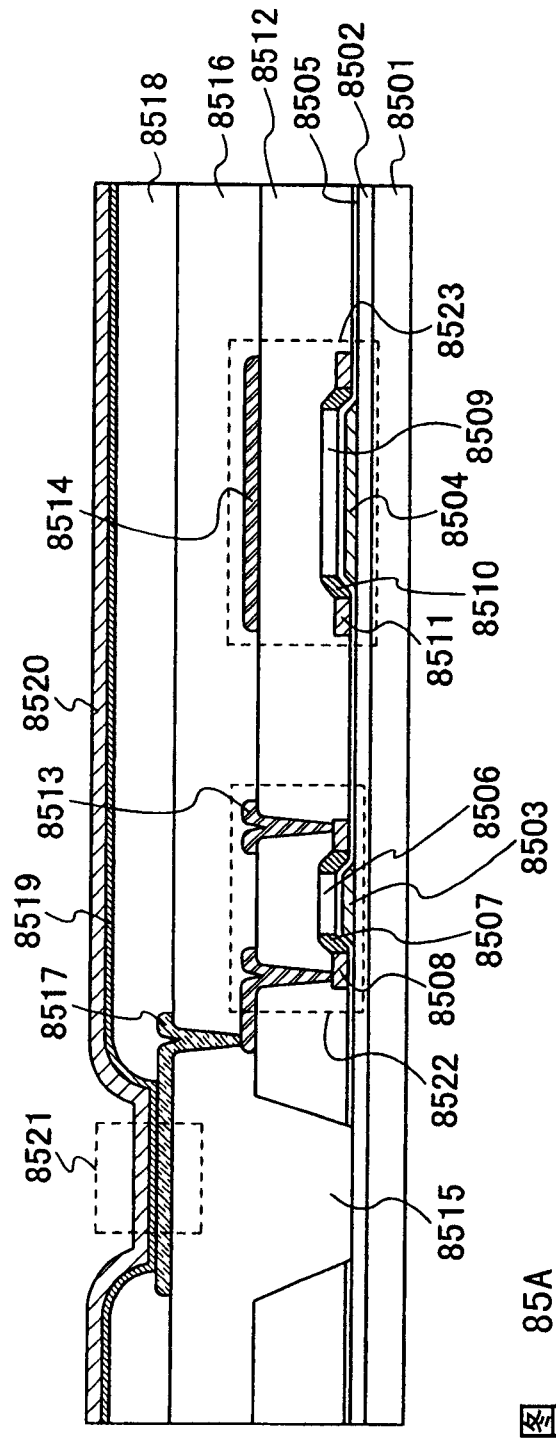


图 85A

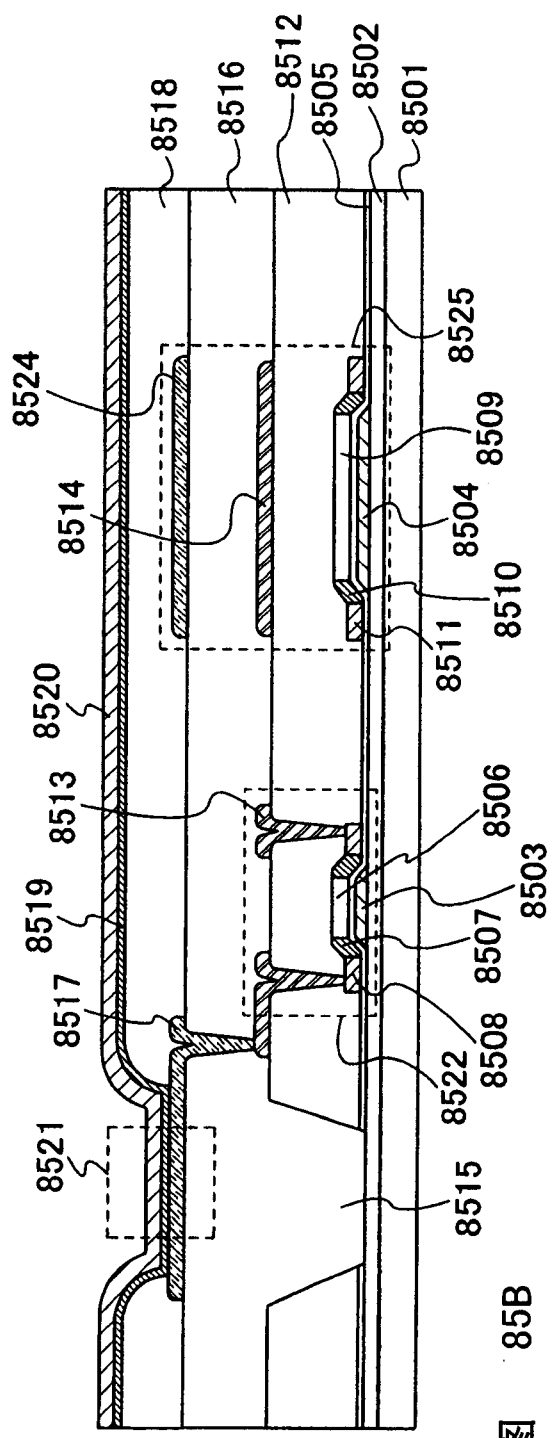


图 85B

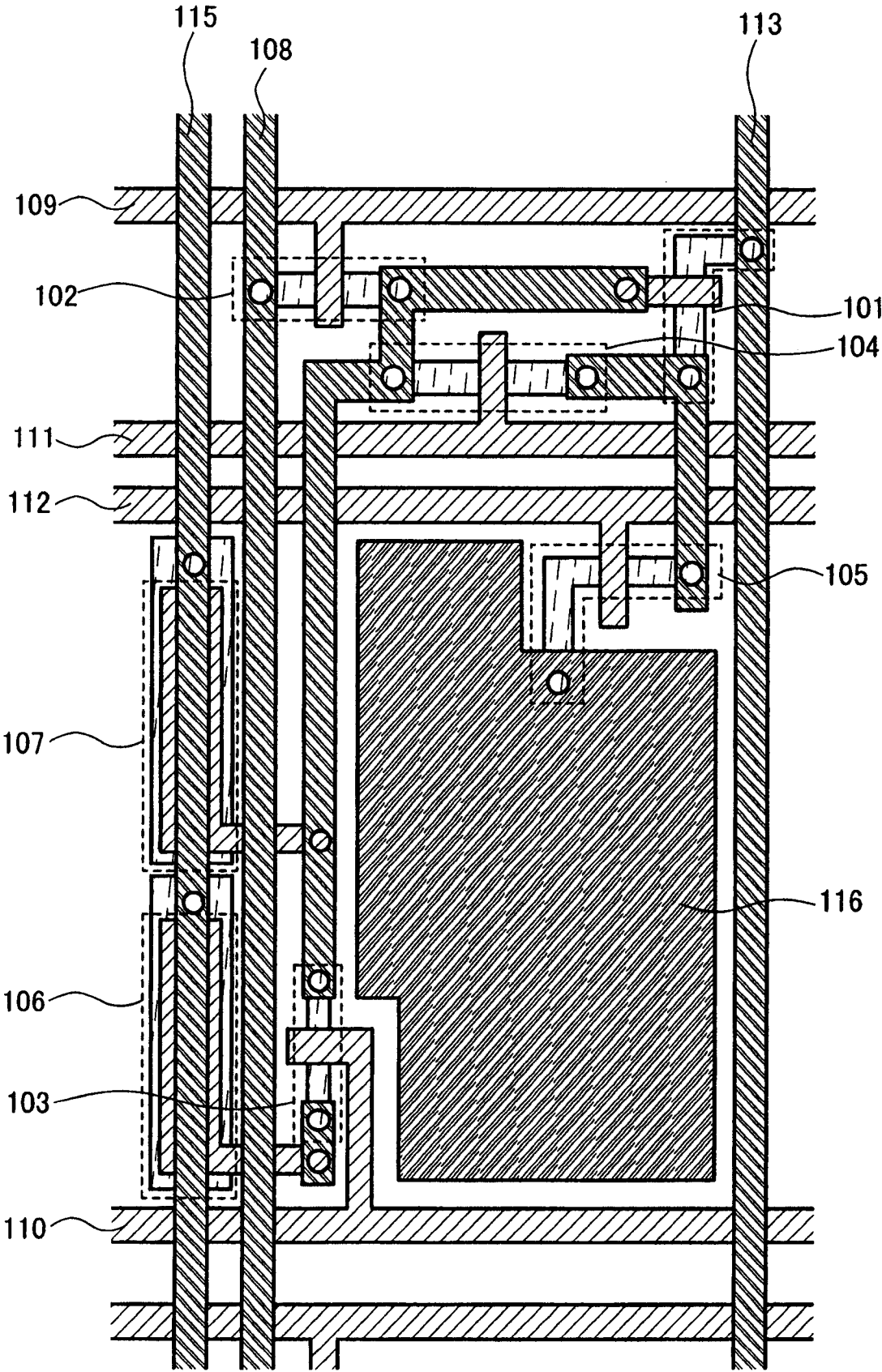


图 86

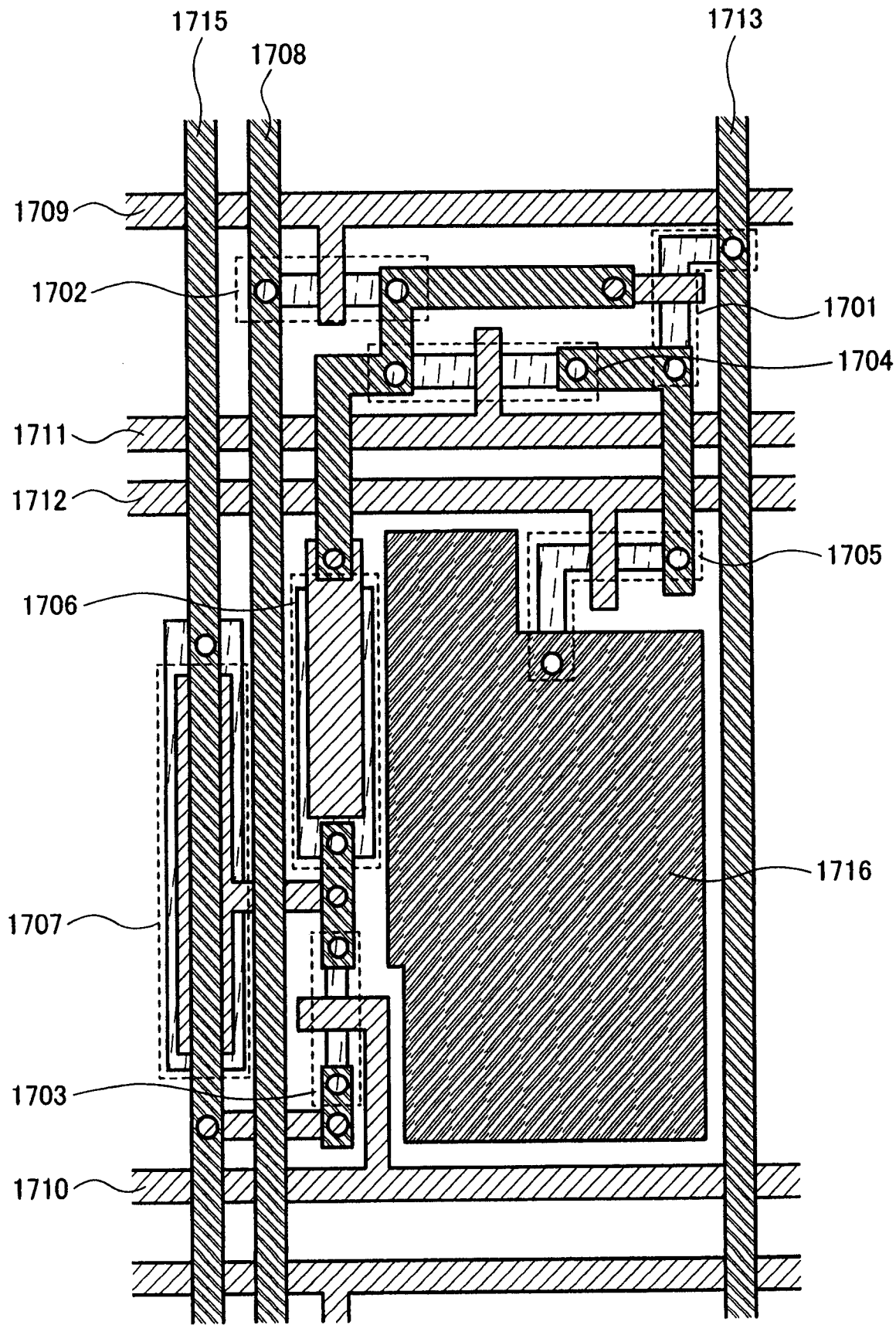


图 87