



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

255293

(11)

(B1)

(51) Int. Cl.⁴

G 11 C 29/00

(22) Přihlášeno 03 06 86

(21) PV 4060-86.0

(40) Zveřejněno 12 03 87

(45) Vydáno 15 03 89

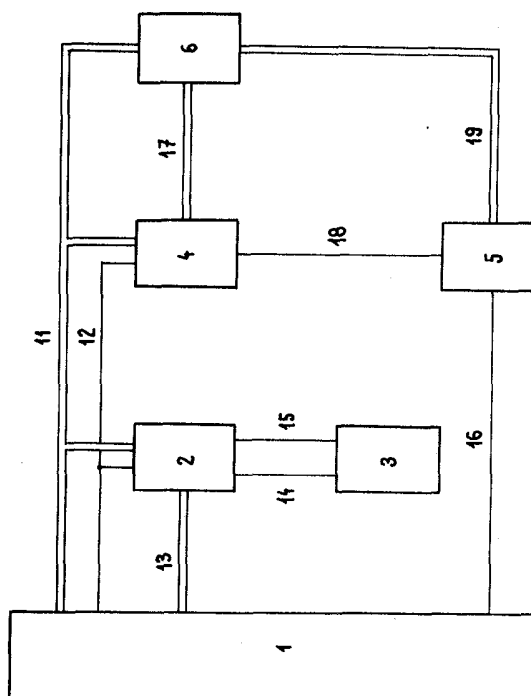
(75)

Autor vynálezu

KUPKA Jiří ing., SÝKORA VLADISLAV ing., PRAHA

(54) Zapojení dynamické paměti s periodickým testováním

Zapojení se týká oboru číslicové techniky a řeší problém občerstvování obsahu paměti současně s prováděním rychlé periodické diagnostiky. Zapojení umožňuje zvýšit spolehlivost paměti a včasnou detekci chyb usnadňuje provedení akcí potřebných pro zotavení po chybě. Řešení může být použito v dynamických pamětech číslicových systémů ve výpočetní, kancelářské a řídicí technice.



Vynález se týká zapojení dynamické paměti s periodickým testováním zabezpečené paritou, u které se řeší občerstvování uložené informace současně s prováděním periodické diagnostiky.

Dosud známá zapojení dynamických pamětí, používajících pro zabezpečení informace paritu, umožňovala periodické testování stavu paměti pouze programovými prostředky procesoru, který měl k této paměti přístup. Test paměti o běžně používaných kapacitách byl proto velmi náročný na čas procesoru. Často byl prováděn jen při inicializaci paměti, což snižovalo účinek testování.

Výše uvedené nedostatky odstraňuje zapojení podle vynálezu, jehož podstata spočívá v tom, že procesor je připojen k vedení adres, k němuž je připojen řadič přímého přístupu do paměti, generátor čtecích cyklů a dynamická paměť, k níž je připojeno vedení zpracovávaných dat, k němuž je připojen hlídač parity, k němuž je připojen vodič hlášení chyby, k němuž je připojen procesor, k němuž je připojen vodič povelu čtení, k němuž je připojen řadič přímého přístupu do paměti a generátor čtecích cyklů, k němuž je připojen vodič platnosti čtených dat, k němuž je připojen hlídač parity, přičemž procesor je připojen k obslužnému vedení, k němuž je připojen řadič přímého přístupu do paměti, k němuž je připojen vodič žádosti, k němuž je připojen časovač občerstvení, k němuž je připojen vodič potvrzení, k němuž je připojen řadič přímého přístupu do paměti, přičemž generátor čtecích cyklů je připojen k vedení řadicích signálů, k němuž je připojena dynamická paměť, přičemž hlídač parity je připojen k vodiči platnosti čtených dat, k němuž je připojen generátor čtecích cyklů.

Vynález přináší tu výhodu, že při cyklech občerstvení probíhá testování obsahu paměti. Tímto způsobem lze detekovat jednoduché chyby do určené doby po jejich vzniku a včasnou reakcí na ně omezit vznik vícenásobných chyb, případně situací. V oblasti mikropočítačů lze zapojení mnohdy jednoduše realizovat použitím integrovaného řadiče přímého přístupu do paměti.

Na připojeném výkresu je znázorněn konkrétní příklad propojení jednotlivých bloků paměti s periodickým testováním podle vynálezu a jejich připojení k procesoru.

Zapojení dynamické paměti s periodickým testováním podle vynálezu je provedeno tak, že se skládá alespoň z řadiče 2 přímého přístupu do paměti, časovače 3 občerstvení, generátoru 4 čtecích cyklů, hlídače 5 parity a dynamické paměti 6. Tyto bloky jsou propojeny alespoň tak, že vedení 11 adres spojuje procesor 1, řadič 2 přímého přístupu do paměti, dynamickou paměť 6 a generátor 4 čtecích cyklů. Obslužné vedení 13 spojuje procesor 1 a řadič 2 přímého přístupu do paměti. Vedení 17 řdicích signálů spojuje dynamickou paměť 6 a generátor 4 čtecích cyklů. Vedení 19 zpracovávaných dat spojuje dynamickou paměť 6 a hlídač 5 parity. Vodič 12 povelu čtení spojuje procesor 1, řadič 2 přímého přístupu do paměti a generátor 4 čtecích cyklů. Vodič 14 žádosti spojuje řadič 2 přímého přístupu do paměti a časovač 3 občerstvení. Vodič 15 potvrzení spojuje řadič 2 přímého přístupu do paměti a časovač 3 občerstvení. Vodič 18 platnosti čtených dat spojuje hlídač 5 parity a generátor 4 čtecích cyklů a vodič 16 hlášení chyby spojuje hlídač 5 parity a procesor 1.

Funkce zapojení podle vynálezu je následující:

Občerstvení dynamické paměti 6 je pravidelně určováno časovačem 3 občerstvení, který po vodiči 14 žádosti žádá přímé čtení z dynamické paměti 6. Řadič 2 přímého přístupu do paměti určí vhodný okamžik přenosu na základě výměny signálů po obslužném vedení 13, vyšle adresu čtené buňky dynamické paměti 6 a řdicí signál po vodiči 12 povelu čtení. Zároveň po vodiči 15 potvrzení nuluje požadavek o občerstvení, přicházející po vodiči 14 žádosti z časovače 3 občerstvení. Generátor 4 čtecích cyklů rozpozná adresu dynamické paměti 6 a po příjmu řdicího signálu po vodiči 12 povelu čtení vytvoří cyklus signálů na vedení 17 řdicích signálů a vodiči 18 platnosti čtených dat. Je-li ve čtených datech na vedení 19 zpracovávaných dat zjištěna hlídačem 5 parity v době, kdy jsou data platná, chyba parity, je ohlášena po vodiči 16 hlášení chyby procesoru 1. Při čtení dat procesorem 1 pracuje

zapojení obdobně s tím, že adresa čtené buňky dynamické paměti 6 a řídicí signál po vodiči 12 povelu čtení jsou vytvářeny procesorem 1. Po ukončení občerstvení čtením pomocí řadiče 2 přímého přístupu do paměti je v řadiči 2 přímého přístupu do paměti zvýšena adresa čtením o zvolenou konstantu, která je nejčastěji +1 nebo -1. Je-li zvolený rozsah čtených adres vyčerpán, je adresa čtení nastavena na počáteční hodnotu.

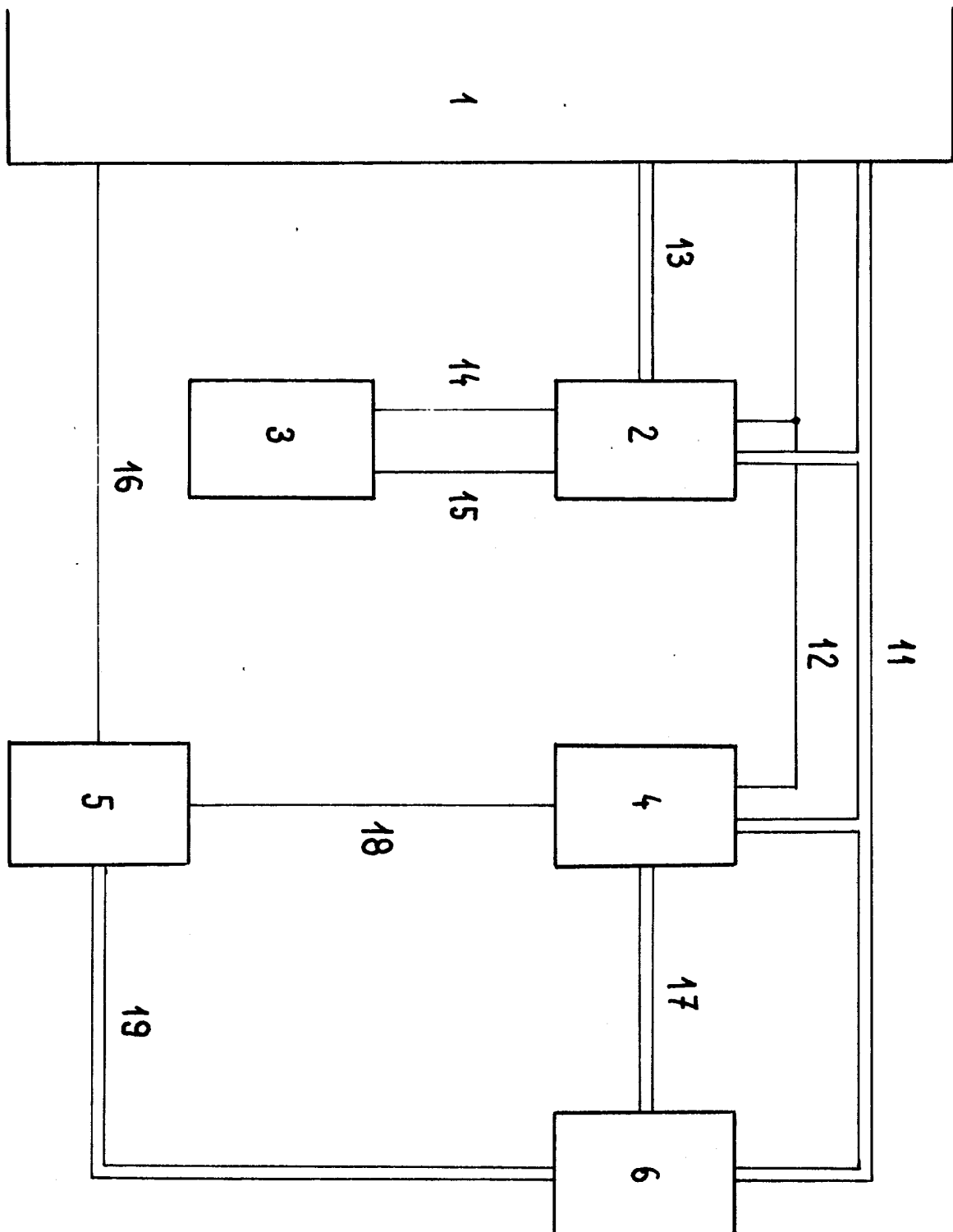
Zapojení podle vynálezu lze využít zejména ve výpočetní technice, kancelářských strojích a řídicích systémech, kde jsou používány dynamické paměti.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení dynamické paměti s periodickým testováním vyznačující se tím, že procesor (1) je připojen k vedení (11) adres, k němuž je připojen řadič (2) přímého přístupu do paměti, generátor (4) čtecích cyklů a dynamická paměť (6), k níž je připojeno vedení (19) zpracovávaných dat, k němuž je připojen hlídač (5) parity, k němuž je připojen vodič (16) hlášení chyby, k němuž je připojen procesor (1), k němuž je připojen vodič (12) povelu čtení, k němuž je připojen řadič (2) přímého přístupu do paměti a generátor (4) čtecích cyklů, k němuž je připojen vodič (18) platnosti čtených dat, k němuž je připojen hlídač (5) parity, přičemž procesor (1) je připojen k obslužnému vedení (13), k němuž je připojen vodič (14) žádosti, k němuž je připojen časovač (3) občerstvení, k němuž je připojen vodič (15) potvrzení, k němuž je připojen řadič (2) přímého přístupu do paměti, přičemž generátor (4) čtecích cyklů je připojen k vedení (17) řídicích signálů, k němuž je připojena dynamická paměť (6), přičemž hlídač (5) parity je připojen k vodiči (18) platnosti čtených dat, k němuž je připojen generátor (4) čtecích cyklů.

1 výkres

255293



Severografia, n. p., MOST

Cena 2,40 Kčs