(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102024412 B
(45)授权公告日 2015.07.22

(21)申请号 201010288990.5
(22)申请日 2010.09.10
(30)优先权数据
2009-209099 2009.09.10 JP
(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市
(72)发明人 木村肇 梅崎敦司
(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 朱海煜 徐予红
(51)Int.Cl.
G09G 3/20(2006.01)
(56)对比文件
CN 101083139 A,2007.12.05, 说明书第5页第4段,说明书第6页第1段,说明书第20页第7段-第24页第1段,第75页第2段-第5段,说明书附图第5-7页附图5-7,第75页附图75.
CN 101083139 A,2007.12.05, 说明书第5页第4段,说明书第6页第1段,说明书第20页第7段-第24页第1段,第75页第2段-第5段,说明书附图第5-7页附图5-7,第75页附图75.
CN 1725287 A,2006.01.25, 说明书附图第8-11页,附图8-11幅.
CN 1369871 A,2002.09.18, 全文.
JP 2003273228 A,2003.09.26, 全文.
审查员 刘多多

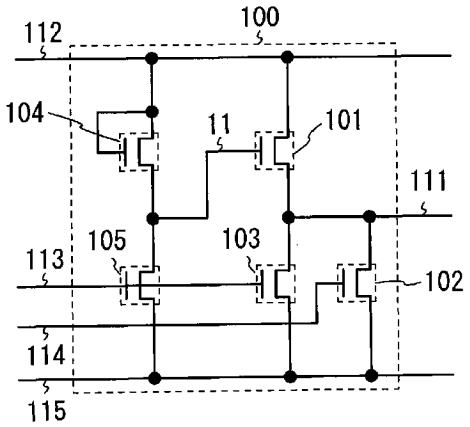
权利要求书8页 说明书47页 附图54页

(54)发明名称

半导体装置和显示装置

(57)摘要

本发明名称为半导体装置和显示装置。本发明的目的就是提供一种具有不容易退化的电路的半导体装置。本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;第一开关;第二开关;以及第三开关,其中所述第一晶体管的第一端子连接于第一布线,其第二端子连接于第二布线,所述第二晶体管的栅极及第一端子连接于所述第一布线,其第二端子连接于所述第一晶体管的栅极,所述第一开关连接于所述第二布线和第三布线之间,所述第二开关连接于所述第二布线和所述第三布线之间,并且所述第三开关连接于第一晶体管的栅极和所述第三布线之间。



CN 102024412 B

1. 一种半导体装置，包括：

第一布线；

第二布线；

第三布线；

第四布线；

第五布线；

第一晶体管；

第二晶体管；

第三晶体管；

第四晶体管；

第五晶体管；

第六晶体管；

第七晶体管；

第八晶体管；

第九晶体管；

第十晶体管；

第十一晶体管；以及

第十二晶体管，

其中，所述第一晶体管的第一端子、所述第九晶体管的第一端子、所述第十晶体管的第一端子以及所述第十晶体管的栅极电连接于所述第一布线，

其中，所述第一晶体管的第二端子、所述第四晶体管的第一端子以及所述第五晶体管的第一端子电连接于所述第二布线，

其中，所述第四晶体管的第二端子、所述第五晶体管的第二端子、所述第六晶体管的第一端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第十一晶体管的第一端子以及所述第十二晶体管的第一端子电连接于所述第三布线，

其中，所述第四晶体管的栅极、所述第八晶体管的栅极、所述第十一晶体管的栅极以及所述第三晶体管的栅极电连接于所述第四布线，

其中，所述第一晶体管的栅极、所述第六晶体管的第二端子、所述第七晶体管的栅极、所述第二晶体管的第一端子、所述第三晶体管的第一端子与所述第十二晶体管的第二端子互相电连接，

其中，所述第五晶体管的栅极、所述第六晶体管的栅极、所述第七晶体管的第二端子、所述第八晶体管的第二端子与所述第九晶体管的第二端子互相电连接，

其中，所述第九晶体管的栅极、所述第十晶体管的第二端子与所述第十一晶体管的第二端子互相电连接，

其中，所述第二晶体管的栅极、所述第二晶体管的第二端子与所述第三晶体管的第二端子互相电连接，并且

其中所述第十二晶体管的栅极电连接于第五布线。

2. 一种半导体装置，包括：

第一布线；

第二布线；

第三布线；

第四布线；

第五布线；

第一晶体管；

第二晶体管；

第三晶体管；

第四晶体管；

第五晶体管；

第六晶体管；

第七晶体管；

第八晶体管；

第九晶体管；

第十晶体管；

第十一晶体管；以及

第十二晶体管，

其中，所述第一晶体管的第一端子、所述第九晶体管的第一端子、所述第十晶体管的第一端子以及所述第十晶体管的栅极电连接于所述第一布线，

其中，所述第一晶体管的第二端子、所述第四晶体管的第一端子、所述第五晶体管的第一端子以及所述第七晶体管的栅极电连接于所述第二布线，

其中，所述第四晶体管的第二端子、所述第五晶体管的第二端子、所述第六晶体管的第一端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第十一晶体管的第一端子以及所述第十二晶体管的第一端子电连接于所述第三布线，

其中，所述第四晶体管的栅极、所述第八晶体管的栅极、所述第十一晶体管的栅极以及所述第三晶体管的栅极电连接于所述第四布线，

其中，所述第一晶体管的栅极、所述第六晶体管的第二端子、所述第二晶体管的第一端子、所述第三晶体管的第一端子与所述第十二晶体管的第二端子互相电连接，

其中，所述第五晶体管的栅极、所述第六晶体管的栅极、所述第七晶体管的第二端子、所述第八晶体管的第二端子与所述第九晶体管的第二端子互相电连接，

其中，所述第九晶体管的栅极、所述第十晶体管的第二端子与所述第十一晶体管的第二端子互相电连接，

其中，所述第二晶体管的栅极、所述第二晶体管的第二端子与所述第三晶体管的第二端子互相电连接，并且

其中所述第十二晶体管的栅极电连接于第五布线。

3. 一种半导体装置，包括：

第一布线；

第二布线；

第三布线；

第四布线；

第五布线；

第一晶体管；

第二晶体管；

第三晶体管；

第四晶体管；

第五晶体管；

第六晶体管；

第七晶体管；

第八晶体管；

第九晶体管；

第十晶体管；

第十一晶体管；以及

第十二晶体管，

其中，所述第一晶体管的第一端子、所述第六晶体管的栅极、所述第九晶体管的第一端子、所述第十晶体管的第一端子以及所述第十晶体管的栅极电连接于所述第一布线，

其中，所述第一晶体管的第二端子、所述第四晶体管的第一端子、所述第五晶体管的第一端子以及所述第六晶体管的第一端子电连接于所述第二布线，

其中，所述第四晶体管的第二端子、所述第五晶体管的第二端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第十一晶体管的第一端子以及所述第十二晶体管的第一端子电连接于所述第三布线，

其中，所述第四晶体管的栅极、所述第八晶体管的栅极、所述第十一晶体管的栅极以及所述第三晶体管的栅极电连接于所述第四布线，

其中，所述第一晶体管的栅极、所述第六晶体管的第二端子、所述第二晶体管的第一端子、所述第三晶体管的第一端子、所述第七晶体管的栅极与所述第十二晶体管的第二端子互相电连接，

其中，所述第五晶体管的栅极、所述第七晶体管的第二端子、所述第八晶体管的第二端子与所述第九晶体管的第二端子互相电连接，

其中，所述第九晶体管的栅极、所述第十晶体管的第二端子与所述第十一晶体管的第二端子互相电连接，

其中，所述第二晶体管的栅极、所述第二晶体管的第二端子与所述第三晶体管的第二端子互相电连接，并且

其中所述第十二晶体管的栅极电连接于第五布线。

4. 根据权利要求 1 至 3 中任一项所述的半导体装置，其中将时钟信号输入到所述第一布线。

5. 根据权利要求 1 至 3 中任一项所述的半导体装置，其中所述第十晶体管的沟道宽度大于所述第九晶体管的沟道宽度。

6. 根据权利要求 2 或 3 所述的半导体装置，其中所述第十一晶体管的沟道宽度大于所述第十晶体管的沟道宽度。

7. 根据权利要求 1 所述的半导体装置，其中所述第九晶体管和所述第十晶体管分别包

含氧化物半导体。

8. 根据权利要求 1 所述的半导体装置，其中所述第九晶体管和所述第十晶体管分别包含非晶半导体。

9. 根据权利要求 1 所述的半导体装置，其中所述第九晶体管和所述第十晶体管分别包含非晶硅半导体。

10. 根据权利要求 2 所述的半导体装置，其中所述第七晶体管和所述第八晶体管以及所述第十晶体管和所述第十一晶体管分别包含氧化物半导体。

11. 根据权利要求 2 所述的半导体装置，其中所述第七晶体管至所述第十一晶体管分别包含非晶半导体。

12. 根据权利要求 2 所述的半导体装置，其中所述第七晶体管至所述第十一晶体管分别包含非晶硅半导体。

13. 根据权利要求 3 所述的半导体装置，其中所述第六晶体管至所述第十一晶体管分别包含氧化物半导体。

14. 根据权利要求 3 所述的半导体装置，其中所述第六晶体管至所述第十一晶体管分别包含非晶半导体。

15. 根据权利要求 3 所述的半导体装置，其中所述第六晶体管至所述第十一晶体管分别包含非晶硅半导体。

16. 一种显示装置，包括 ：

像素部，所述像素部包括包含显示元件的像素 ；

驱动电路，包括 ：

第一布线 ；

第二布线 ；

第三布线 ；

第四布线 ；

第五布线 ；

第一晶体管 ；

第二晶体管 ；

第三晶体管 ；

第四晶体管 ；

第五晶体管 ；

第六晶体管 ；

第七晶体管 ；

第八晶体管 ；

第九晶体管 ；

第十晶体管 ；

第十一晶体管 ；以及

第十二晶体管，

其中，所述第一晶体管的第一端子、所述第九晶体管的第一端子、所述第十晶体管的第一端子以及所述第十晶体管的栅极电连接于所述第一布线，

其中，所述第一晶体管的第二端子、所述第四晶体管的第一端子以及所述第五晶体管的第一端子电连接于所述第二布线，

其中，所述第四晶体管的第二端子、所述第五晶体管的第二端子、所述第六晶体管的第一端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第十一晶体管的第一端子以及所述第十二晶体管的第一端子电连接于所述第三布线，

其中，所述第四晶体管的栅极、所述第八晶体管的栅极、所述第十一晶体管的栅极以及所述第三晶体管的栅极电连接于所述第四布线，

其中，所述第一晶体管的栅极、所述第六晶体管的第二端子、所述第七晶体管的栅极、所述第二晶体管的第一端子、所述第三晶体管的第一端子与所述第十二晶体管的第二端子互相电连接，

其中，所述第五晶体管的栅极、所述第六晶体管的栅极、所述第七晶体管的第二端子、所述第八晶体管的第二端子与所述第九晶体管的第二端子互相电连接，

其中，所述第九晶体管的栅极、所述第十晶体管的第二端子与所述第十一晶体管的第二端子互相电连接，

其中，所述第二晶体管的栅极、所述第二晶体管的第二端子与所述第三晶体管的第二端子互相电连接，并且

其中所述第十二晶体管的栅极电连接于第五布线。

17. 一种显示装置，包括：

像素部，所述像素部包括包含显示元件的像素；

驱动电路，包括：

第一布线；

第二布线；

第三布线；

第四布线；

第五布线；

第一晶体管；

第二晶体管；

第三晶体管；

第四晶体管；

第五晶体管；

第六晶体管；

第七晶体管；

第八晶体管；

第九晶体管；

第十晶体管；

第十一晶体管；以及

第十二晶体管，

其中，所述第一晶体管的第一端子、所述第九晶体管的第一端子、所述第十晶体管的第一端子以及所述第十晶体管的栅极电连接于所述第一布线，

其中，所述第一晶体管的第二端子、所述第四晶体管的第一端子、所述第五晶体管的第一端子以及所述第七晶体管的栅极电连接于所述第二布线，

其中，所述第四晶体管的第二端子、所述第五晶体管的第二端子、所述第六晶体管的第一端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第十一晶体管的第一端子以及所述第十二晶体管的第一端子电连接于所述第三布线，

其中，所述第四晶体管的栅极、所述第八晶体管的栅极、所述第十一晶体管的栅极以及所述第三晶体管的栅极电连接于所述第四布线，

其中，所述第一晶体管的栅极、所述第六晶体管的第二端子、所述第二晶体管的第一端子、所述第三晶体管的第一端子与所述第十二晶体管的第二端子互相电连接，

其中，所述第五晶体管的栅极、所述第六晶体管的栅极、所述第七晶体管的第二端子、所述第八晶体管的第二端子与所述第九晶体管的第二端子互相电连接，

其中，所述第九晶体管的栅极、所述第十晶体管的第二端子与所述第十一晶体管的第二端子互相电连接，

其中，所述第二晶体管的栅极、所述第二晶体管的第二端子与所述第三晶体管的第二端子互相电连接，并且

其中所述第十二晶体管的栅极电连接于第五布线。

18. 一种显示装置，包括：

像素部，所述像素部包括包含显示元件的像素；

驱动电路，包括：

第一布线；

第二布线；

第三布线；

第四布线；

第五布线；

第一晶体管；

第二晶体管；

第三晶体管；

第四晶体管；

第五晶体管；

第六晶体管；

第七晶体管；

第八晶体管；

第九晶体管；

第十晶体管；

第十一晶体管；以及

第十二晶体管，

其中，所述第一晶体管的第一端子、所述第六晶体管的栅极、所述第九晶体管的第一端子、所述第十晶体管的第一端子以及所述第十晶体管的栅极电连接于所述第一布线，

其中，所述第一晶体管的第二端子、所述第四晶体管的第一端子、所述第五晶体管的第

一端子以及所述第六晶体管的第一端子电连接于所述第二布线，

其中，所述第四晶体管的第二端子、所述第五晶体管的第二端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第十一晶体管的第一端子以及所述第十二晶体管的第一端子电连接于所述第三布线，

其中，所述第四晶体管的栅极、所述第八晶体管的栅极、所述第十一晶体管的栅极以及所述第三晶体管的栅极电连接于所述第四布线，

其中，所述第一晶体管的栅极、所述第六晶体管的第二端子、所述第二晶体管的第一端子、所述第三晶体管的第一端子、所述第七晶体管的栅极与所述第十二晶体管的第二端子互相电连接，

其中，所述第五晶体管的栅极、所述第七晶体管的第二端子、所述第八晶体管的第二端子与所述第九晶体管的第二端子互相电连接，

其中，所述第九晶体管的栅极、所述第十晶体管的第二端子与所述第十一晶体管的第二端子互相电连接，

其中，所述第二晶体管的栅极、所述第二晶体管的第二端子与所述第三晶体管的第二端子互相电连接，并且

其中所述第十二晶体管的栅极电连接于第五布线。

19. 根据权利要求 16 至 18 中任一项所述的显示装置，其中将时钟信号输入到所述第一布线。

20. 根据权利要求 16 至 18 中任一项所述的显示装置，其中所述第十晶体管的沟道宽度大于所述第九晶体管的沟道宽度。

21. 根据权利要求 16 至 18 中任一项所述的显示装置，其中所述显示元件是液晶元件。

22. 根据权利要求 16 至 18 中任一项所述的显示装置，其中所述显示元件是 EL 元件。

23. 根据权利要求 16 至 18 中任一项所述的显示装置，其中所述显示元件是电泳元件。

24. 根据权利要求 17 或 18 所述的显示装置，其中所述第十一晶体管的沟道宽度大于所述第十晶体管的沟道宽度。

25. 根据权利要求 16 所述的显示装置，其中所述第九晶体管和所述第十晶体管分别包含氧化物半导体。

26. 根据权利要求 16 所述的显示装置，其中所述第九晶体管和所述第十晶体管分别包含非晶半导体。

27. 根据权利要求 16 所述的显示装置，其中所述第九晶体管和所述第十晶体管分别包含非晶硅半导体。

28. 根据权利要求 17 所述的显示装置，其中所述第七晶体管和所述第八晶体管以及所述第十晶体管和所述第十一晶体管分别包含氧化物半导体。

29. 根据权利要求 17 所述的显示装置，其中所述第七晶体管至所述第十一晶体管分别包含非晶半导体。

30. 根据权利要求 17 所述的显示装置，其中所述第七晶体管至所述第十一晶体管分别包含非晶硅半导体。

31. 根据权利要求 18 所述的显示装置，其中所述第六晶体管至所述第十一晶体管分别包含氧化物半导体。

32. 根据权利要求 18 所述的显示装置，其中所述第六晶体管至所述第十一晶体管分别包含非晶半导体。

33. 根据权利要求 18 所述的显示装置，其中所述第六晶体管至所述第十一晶体管分别包含非晶硅半导体。

半导体装置和显示装置

技术领域

[0001] 本发明涉及半导体装置及其驱动方法。

背景技术

[0002] 近年来，随着例如液晶电视等的大显示装置的增加，对显示装置的研究开发日益火热。特别是，由于使用由非单晶半导体构成的晶体管在与像素部相同的衬底上构成栅极驱动器等的驱动电路的技术极有利于制造成本的减少或可靠性的提高，因此对其的研究开发日益火热。

[0003] 但是，使用非单晶半导体的晶体管退化。结果，发生迁移率的降低或阈值电压的上升（减小）等。尤其是在栅极驱动器中，具有将负电压（也称为 L 电平的电位）供给给栅极信号线的功能的晶体管（也称为下拉晶体管）显著呈现上述退化。这是因为在未选择栅极信号线时下拉晶体管导通而将负电压供给给栅极信号线的缘故。就是说，这是因为如下缘故：由于未选择栅极信号线，所以在一帧期间下拉晶体管大多导通。

[0004] 在专利文献 1 中已公开能够抑制下拉晶体管的退化的栅极驱动器，以解决上述问题。在专利文献 1 中，在栅极驱动器的各级中设置有能够输出脉冲的电路（例如，专利文献 1 的图 7 所示的保持控制部 350），以抑制下拉晶体管的退化。另外，使用该电路的输出信号控制下拉晶体管的导通状态。该电路与时钟信号等同步地输出脉冲。因此，因为可以使下拉晶体管导通的时间缩短，所以可以抑制下拉晶体管的退化。但是，上述能够输出脉冲的电路包括在一帧期间大多导通的晶体管 Q32。由此，晶体管 Q32 退化。

[0005] 专利文献 1 日本专利申请公开第 2005-50502 号公报

发明内容

[0006] 作为本发明的一个方式，在具有第一及第二晶体管、第一至第三开关的半导体装置中，抑制第一及第二晶体管、第一至第三开关的退化。或者，在具有第一至第五晶体管的半导体装置中，抑制第一至第五晶体管的退化。或者，半导体装置除了上述以外还具有第六晶体管，而抑制第一至第六晶体管的退化。或者，半导体装置除了上述以外还具有第七晶体管，而抑制第一至第七晶体管的退化。

[0007] 本发明的一个方式是一种半导体装置，包括：第一晶体管；第二晶体管；第一开关；第二开关；以及第三开关，其中第一晶体管的第一端子连接于第一布线，其第二端子连接于第二布线，第二晶体管的栅极及第一端子连接于第一布线，其第二端子连接于第一晶体管的栅极，第一开关连接于第二布线和第三布线之间，第二开关连接于第二布线和第三布线之间，并且第三开关连接于第一晶体管的栅极和第三布线之间。

[0008] 在上述方式中，也可以具有第一期间和第二期间，在第一期间，第一开关、第二开关和第三开关截止，并且第一布线的电位成为 H 电平，而在第二期间，第一开关截止，第二开关和第三开关导通，并且第一布线的电位成为 L 电平。

[0009] 本发明的一个方式是一种半导体装置，包括：第一晶体管；第二晶体管；第三晶体

管；第四晶体管；以及第五晶体管，其中第一晶体管的第一端子连接于第一布线，其第二端子连接于第二布线，第二晶体管的栅极及第一端子连接于第一布线，其第二端子连接于第一晶体管的栅极，第三晶体管的栅极连接于第四布线，其第一端子连接于第三布线，其第二端子连接于第二布线，第四晶体管的栅极连接于第五布线，其第一端子连接于第三布线，其第二端子连接于第二布线，并且第五晶体管的栅极连接于第五布线，其第一端子连接于第三布线，其第二端子连接于第一晶体管的栅极。

[0010] 在上述方式中，也可以采用如下结构：第五晶体管的沟道宽度大于第二晶体管的沟道宽度，并且第二晶体管的沟道宽度大于第一晶体管的沟道宽度。

[0011] 在上述方式中，也可以具有第六晶体管，该第六晶体管的栅极连接于第二布线，其第一端子连接于第三布线，其第二端子连接于第六布线。

[0012] 在上述方式中，也可以具有期间 A 和期间 B；在期间 A，第一布线的电位成为 H 电平，第五布线的电位和第四布线的电位成为 L 电平，第一晶体管、第二晶体管和第六晶体管导通，第三晶体管、第四晶体管和第五晶体管截止，并且第六布线的电位成为 L 电平；在期间 B，第一布线的电位成为 L 电平，第五布线的电位成为 H 电平，第四布线的电位成为 L 电平，第一晶体管、第二晶体管、第三晶体管和第六晶体管截止，第四晶体管和第五晶体管导通，并且第六布线的电位成为 L 电平。

[0013] 在上述方式中，也可以具有第七晶体管，该第七晶体管的栅极连接于第四布线，其第一端子连接于第一布线，其第二端子连接于第六布线。

[0014] 在上述方式中，也可以具有期间 A、期间 B、期间 C、期间 D 和期间 E；在期间 A，第一布线的电位成为 H 电平，第五布线的电位和第四布线的电位成为 L 电平，第一晶体管、第二晶体管和第六晶体管导通，第三晶体管、第四晶体管、第五晶体管和第七晶体管截止，并且第六布线的电位成为 L 电平；在期间 B，第一布线的电位成为 L 电平，第五布线的电位成为 H 电平，第四布线的电位成为 L 电平，第一晶体管、第二晶体管、第三晶体管和第六晶体管截止，第四晶体管和第五晶体管导通，并且第六布线的电位成为 L 电平；在期间 C，第一布线的电位成为 L 电平，第五布线的电位和第四布线的电位成为 H 电平，第一晶体管、第二晶体管和第六晶体管截止，第三晶体管、第四晶体管、第五晶体管和第七晶体管导通，并且第六布线的电位成为 L 电平；在期间 D，第一布线的电位成为 H 电平，第五布线的电位成为 L 电平，第四布线的电位成为 H 电平，第一晶体管、第二晶体管、第三晶体管和第七晶体管导通，第四晶体管、第五晶体管和第六晶体管截止，并且第六布线的电位成为 L 电平；在期间 E，第一布线的电位成为 L 电平，第五布线的电位成为 H 电平，第四布线的电位成为 L 电平，第一晶体管、第二晶体管、第三晶体管、第六晶体管和第七晶体管截止，第四晶体管和第五晶体管导通，并且第六布线的电位成为 L 电平。

[0015] 在上述本发明的各方式中，作为开关，可以使用各种方式。作为开关，可以使用电开关或机械开关等。换言之，开关只要可以控制电流就不局限于特定的开关。作为电开关，有晶体管（例如，双极晶体管或 MOS 晶体管等）、二极管（例如，PN 二极管、PIN 二极管、肖特基二极管、MIM(Metal Insulator Metal：金属－绝缘体－金属）二极管、MIS(Metal Insulator Semiconductor：金属－绝缘体－半导体）二极管、被进行了二极管连接的晶体管等）或组合它们的逻辑电路等。作为机械开关，有像数字微镜装置 (DMD) 那样的利用 MEMS（微电子机械系统）技术的开关。该开关具有以机械方式可动的电极，并且通过使该电

极活动来控制导通和非导通而进行工作。

[0016] 另外，在将晶体管用作开关的情况下，由于该晶体管仅作为开关工作，因此对晶体管的极性（导电型）没有特别限制。然而，在想要抑制截止电流时，优选使用具有更小截止电流的极性的晶体管。作为截止电流较小的晶体管，有具有 LDD 区的晶体管或具有多栅极结构的晶体管等。

[0017] 另外，在上述本发明的各方式中，当用作开关的晶体管的源极的电位以与低电位侧电源（Vss、GND、0V 等）的电位接近的值工作时，优选采用 N 沟道晶体管，相反，当该晶体管的源极的电位以与高电位侧电源（Vdd 等）的电位接近的值工作时，优选采用 P 沟道晶体管作为开关。这是因为如下缘故：若是 N 沟道晶体管，则当源极以与低电位侧电源的电位接近的值工作时可以增大栅极－源极间电压的绝对值，并且若是 P 沟道晶体管，则当源极以与高电位侧电源的电位接近的值工作时可以增大栅极－源极间电压的绝对值，因此使其作为开关更精确地工作。或者，这是因为晶体管进行源极跟随工作的情况较少，所以导致输出电压变小的情况较少。

[0018] 另外，在上述本发明的各方式中，也可以使用 N 沟道晶体管和 P 沟道晶体管双方的 CMOS 型开关作为开关。当采用 CMOS 型开关时，因为若 P 沟道晶体管和 N 沟道晶体管中的一方的晶体管导通则电流流动，因此作为开关更容易起作用。因此，即使输向开关的输入信号的电压高或者低，也可以适当地输出电压。或者，由于可以减少用来使开关导通或截止的信号的电压振幅值，所以可以减少耗电量。

[0019] 另外，在将晶体管用作开关的情况下，开关有时具有输入端子（源极和漏极中的一方）、输出端子（源极和漏极中的另一方）以及控制导通的端子（栅极）。另一方面，当使用二极管作为开关时，该开关在某些情况下并没有用于控制导通的端子。因此，当使用二极管作为开关时，相比于使用晶体管作为开关的情况而言，可以减少用于控制端子的布线的数目。

[0020] 在本说明书所公开的发明中，作为晶体管，可以使用各种结构的晶体管。就是说，对晶体管的结构并没有限制。

[0021] 在本说明书中，半导体装置是指具有包括半导体元件（晶体管、二极管、晶闸管等）的电路的装置。但是，也可以将通过利用半导体特性来能够发挥其功能的所有装置或具有半导体材料的装置称为半导体装置。在本说明书中，显示装置是指具有显示元件的装置。

[0022] 在本说明书中，驱动装置指的是具有半导体元件、电路、电子电路的装置。例如，控制将信号从源极信号线输入到像素内的晶体管（有时称为选择用晶体管、开关用晶体管等）、将电压或电流提供到像素电极的晶体管、将电压或电流提供到发光元件的晶体管等是驱动装置的一个例子。再者，将信号提供到栅极信号线的电路（有时称为栅极驱动器、栅极线驱动电路等）、将信号提供到源极信号线的电路（有时称为源极驱动器、源极线驱动电路等）等是驱动装置的一个例子。

[0023] 另外，显示装置、半导体装置、照明装置、冷却装置、发光装置、反射装置以及驱动装置等可以互相组合。本发明的方式也包括上述装置在内。例如，显示装置在某些情况下包括半导体装置和发光装置。或者，半导体装置在某些情况下包括显示装置和驱动装置。

[0024] 另外，在本发明的各方式中，可以将为实现预定的功能而需要的所有电路形成在

同一衬底（例如，玻璃衬底、塑料衬底、单晶衬底或 SOI 衬底等）上。像这样，可以减少部件个数来降低成本或减少与电路部件之间的连接个数来提高可靠性。

[0025] 另外，也可以不将为实现预定的功能而需要的所有电路形成在同一衬底上。也就是说，可以将为实现预定的功能而需要的电路的一部分形成在某个衬底上，而将为实现预定的功能而需要的电路的另一部分形成在其他衬底上。例如，可以将为实现预定的功能而需要的电路的一部分形成在玻璃衬底上，而将为实现预定的功能而需要的电路的另一部分形成在单晶衬底（或 SOI 衬底）上。然后，可以将形成有为实现预定的功能而需要的电路的另一部分的单晶衬底（也称为 IC 芯片）通过 COG(Chip On Glass：玻璃覆晶封装）连接到玻璃衬底，而将该 IC 芯片配置在玻璃衬底上。或者，可以使用 TAB(TapeAutomated Bongding：带式自动接合）、COF(Chip On Film：薄膜上芯片安装）、SMT(Surface Mount Technology：表面组装技术）或印刷线路板等将 IC 芯片连接到玻璃衬底。

[0026] 在本说明书中，当明确地描述 X 和 Y 连接时，包括 X 和 Y 电连接的情况、X 和 Y 在功能上连接的情况以及 X 和 Y 直接连接的情况。这里，X 和 Y 为对象（例如，装置、元件、电路、布线、电极、端子、导电膜或层等）。因此，还包括附图或文章所示的连接关系以外的连接关系，而不局限于规定的连接关系例如附图或文章所示的连接关系。

[0027] 作为 X 和 Y 电连接的情况的一个例子，可以在 X 和 Y 之间连接一个以上的能够电连接 X 和 Y 的元件（例如开关、晶体管、电容元件、电感器、电阻元件、二极管等）。

[0028] 作为 X 和 Y 在功能上连接的情况的一个例子，可以在 X 和 Y 之间连接一个以上的能够在功能上连接 X 和 Y 的电路（例如，逻辑电路（反相器、NAND 电路、NOR 电路等）、信号转换电路 (DA 转换电路、AD 转换电路、γ（伽马）校正电路等）、电位电平转换电路（电源电路（升压电路、降压电路等）、改变信号的电位电平的电平转移器电路等）、电压源、电流源、切换电路、放大电路（能够增大信号振幅或电流量等的电路、运算放大器、差动放大电路、源极跟随电路、缓冲器电路等）、信号产生电路、存储电路、控制电路等）。另外，例如，即使在 X 和 Y 之间夹有其他电路，在从 X 输出的信号传送到 Y 的情况下也可以说 X 和 Y 在功能上连接。

[0029] 在本说明书中，明确地记载为单数的优选为单数。但是，即使在此情况下，也可以是复数。与此同样，明确地记载为复数的优选为复数。但是，即使在此情况下，也可以是单数。

[0030] 在本申请的附图中，有时为了容易理解而夸大尺寸、层的厚度或区域。因此，不一定限定于其尺度。再者，附图是以示意的方式示出了理想的例子，而不局限于附图所示的形状或数值等。例如，可以包括制造技术所引起的形状不均匀、误差所引起的形状不均匀、杂波所引起的信号、电压或电流的不均匀或定时偏差所引起的信号、电压或电流的不均匀等。

[0031] 此外，专业名词在很多情况下被用来描述特定的实施方式或者实施例等。但是，本发明的一个方式不应该被解释为受到专业名词的限定的方式。

[0032] 另外，没有定义的词语（包括专业名词或学术名词等科技名词）可以表示与所属技术领域的技术人员所理解的一般意思相同的意思。由词典等定义的词语优选解释为不与有关技术的背景产生矛盾的意思。

[0033] 另外，第一、第二、第三等这些词用来有区别地描述各种因素、构件、区域、层、领域等。因此，第一、第二、第三等这些词不限定因素、构件、区域、层、领域等顺序及个数。再者，

例如，可以使用“第二”或“第三”等代替“第一”。

[0034] 另外，“上”、“上方”、“下”、“下方”、“横”、“右”、“左”、“斜”、“里边”、“前边”、“内”、“外”或“中”等表示空间配置的词语多用于根据附图简单地示出一个因素或特征与另一因素或特征的关系的情况。但是，不局限于上述用法，这些表示空间配置的词语有时除了附图所描述的方向以外还可以包括其他方向。例如，明确地记载“在 X 之上有 Y”的情况不局限于 Y 存在于 X 之上的情况。附图中的结构可以反转或者转动 180°，所以还可以包括 Y 存在于 X 之下的情况。如此，“上”这词语除了“上”这方向以外还可以包括“下”这方向。但是，不局限于此，附图中的器件转动为各种方向，所以“上”这词语除了“上”及“下”这些方向以外还可以包括“横”、“右”、“左”、“斜”、“里边”、“前边”、“内”、“外”或“中”等其他方向。就是说，可以根据状况而适当地进行解释。

[0035] 另外，明显地描述“Y 形成在 X 之上”或“Y 形成在 X 上”的情况不局限于 Y 直接接触地形成在 X 之上的情况。还包括不直接接触的情况，即，在 X 和 Y 之间夹有其他对象物的情况。这里，X 和 Y 是对象物（例如装置、元件、电路、布线、电极、端子、导电膜、层等）。

[0036] 因此，例如，在明确地记载“层 Y 形成在层 X 的上面（或层 X 上）”的情况包括如下两种情况：层 Y 直接接触地形成在层 X 上面的情况；以及在层 X 的上面直接接触地形成其他层（例如层 Z 等），层 Y 直接接触地形成在所述其他层上的情况。注意，其他层（例如层 Z 等）可以是单层或多个层。

[0037] 再者，当明确地描述 Y 形成在 X 之上时，它并不必须表示 X 与 Y 直接接触地形成，而包括在 X 和 Y 之间夹有另一对象的情况。因此，例如，“层 Y 形成在层 X 的上方”包括如下两种情况：层 Y 直接接触地形成在层 X 之上；以及其他层（例如层 Z 等）直接接触地形成在层 X 之上，并在其上直接接触地形成层 Y。注意，其他层（例如层 Z 等）可以是单层或多个层。

[0038] 另外，明确地记载“在 X 的上面形成 Y”、“在 X 上形成 Y”、或“在 X 的上方形成 Y”的情况还包括在 X 的斜上面形成 Y 的情况。

[0039] Y 形成在 X 之下、或者 Y 形成在 X 之下方的描述也是同样的。

[0040] 本发明的一个方式是一种半导体装置，包括：第一晶体管；第二晶体管；第一开关；第二开关；以及第三开关，其中第一晶体管的第一端子连接于第一布线，其第二端子连接于第二布线，第二晶体管的栅极及第一端子连接于第一布线，其第二端子连接于第一晶体管的栅极，第一开关连接于第二布线和第三布线之间，第二开关连接于第二布线和第三布线之间，并且第三开关连接于第一晶体管的栅极和第三布线之间。

[0041] 在本发明的一个方式中，也可以具有第一期间和第二期间；在第一期间，第一开关、第二开关和第三开关截止，并且第一布线的电位成为 H 电平；在第二期间，第一开关截止，第二开关和第三开关导通，并且第一布线的电位成为 L 电平。

[0042] 在本发明的一个方式中，因为在包括第一及第二晶体管和第一至第三开关的半导体装置中可以使第一及第二晶体管和第一至第三开关导通的时间缩短或者可以减少导通的次数，所以可以抑制退化。或者，因为在包括第一至第五晶体管的半导体装置中可以使第一至第五晶体管导通的时间缩短或者可以减少导通的次数，所以可以抑制退化。或者，因为在除了第一至第五晶体管以外还具有第六晶体管的半导体装置中可以使第一至第六晶体管导通的时间缩短或者可以减少导通的次数，所以可以抑制退化。或者，因为在除了第一至

第六晶体管以外还具有第七晶体管的半导体装置中可以使第一至第七晶体管导通的时间缩短或者可以减少导通的次数，所以可以抑制退化。

附图说明

[0043] 图 1A 至 1D 是实施方式 1 中的半导体装置的电路图、其逻辑电路、其逻辑式以及其真值表；

[0044] 图 2A 至 2C 是用来说明实施方式 1 中的半导体装置的工作的示意图；

[0045] 图 3A 至 3C 是用来说明实施方式 1 中的半导体装置的工作的示意图；

[0046] 图 4A 至 4C 是用来说明实施方式 1 中的半导体装置的工作的示意图；

[0047] 图 5A 至 5I 是实施方式 1 中的半导体装置的电路图；

[0048] 图 6A 至 6F 是实施方式 1 中的半导体装置的电路图；

[0049] 图 7A 至 7E 是实施方式 1 中的半导体装置的电路图；

[0050] 图 8A 至 8F 是实施方式 1 中的半导体装置的电路图；

[0051] 图 9A 至 9H 是实施方式 1 中的半导体装置的电路图；

[0052] 图 10A 至 10C 是实施方式 2 中的半导体装置的电路图；

[0053] 图 11A 至 11F 是实施方式 1 中的半导体装置的电路图；

[0054] 图 12A 至 12D 是实施方式 1 中的半导体装置的电路图；

[0055] 图 13A 至 13D 是实施方式 2 中的半导体装置的电路图、其逻辑电路、其逻辑式以及其真值表；

[0056] 图 14A 至 14C 是实施方式 2 中的半导体装置的电路图和用来说明其工作的示意图；

[0057] 图 15A 至 15C 是用来说明实施方式 2 中的半导体装置的工作的时序图；

[0058] 图 16A 至 16C 是实施方式 2 中的半导体装置的电路图和用来说明其工作的示意图；

[0059] 图 17A 和 17B 是实施方式 2 中的半导体装置的电路图和用来说明其工作的时序图；

[0060] 图 18A 和 18B 是用来说明实施方式 2 中的半导体装置的工作的示意图；

[0061] 图 19A 至 19C 是用来说明实施方式 2 中的半导体装置的工作的示意图；

[0062] 图 20A 至 20C 是实施方式 2 中的半导体装置的电路图和用来说明其工作的示意图；

[0063] 图 21A 和 21B 是实施方式 2 中的半导体装置的电路图和用来说明其工作的时序图；

[0064] 图 22A 和 22B 是用来说明实施方式 2 中的半导体装置的工作的示意图；

[0065] 图 23A 和 23B 是实施方式 2 中的半导体装置的电路图和用来说明其工作的示意图；

[0066] 图 24A 和 24B 是用来说明实施方式 2 中的半导体装置的工作的示意图；

[0067] 图 25A 和 25B 是实施方式 2 中的半导体装置的电路图和用来说明其工作的时序图；

[0068] 图 26A 和 26B 是用来说明实施方式 2 中的半导体装置的工作的示意图；

[0069] 图 27A 至 27C 是实施方式 2 中的半导体装置的电路图；

[0070] 图 28A 至 28C 是实施方式 2 中的半导体装置的电路图；

[0071] 图 29A 至 29C 是实施方式 2 中的半导体装置的电路图；

[0072] 图 30A 至 30C 是实施方式 2 中的半导体装置的电路图；

[0073] 图 31A 至 31C 是实施方式 2 中的半导体装置的电路图和用来说明其工作的时序图；

[0074] 图 32A 和 32B 是实施方式 2 中的半导体装置的电路图和用来说明其工作的时序图；

[0075] 图 33A 至 33E 是实施方式 3 中的显示装置的方框图和像素的电路图；

[0076] 图 34 是实施方式 3 中的移位寄存器的电路图；

[0077] 图 35 是用来说明实施方式 3 中的移位寄存器的工作的时序图；

[0078] 图 36A 至 36D 是实施方式 4 中的信号线驱动电路的电路图、用来说明其工作的时序图以及显示装置的方框图；

[0079] 图 37A 至 37G 是实施方式 5 中的保护电路的电路图；

[0080] 图 38A 和 38B 是实施方式 5 中的保护电路的电路图；

[0081] 图 39A 至 39C 是实施方式 6 中的半导体装置的截面图；

[0082] 图 40A 至 40C 是实施方式 7 中的显示装置的俯视图和截面图；

[0083] 图 41A 至 41E 是用来说明实施方式 8 中的晶体管的制造工序的图；

[0084] 图 42 是实施方式 9 中的半导体装置的布局图；

[0085] 图 43A 至图 43H 是用来说明实施方式 10 中的电子设备的图；

[0086] 图 44A 至图 44H 是用来说明实施方式 10 中的电子设备的图；

[0087] 图 45A 和 45B 是实施方式 1 中的半导体装置的电路图；

[0088] 图 46A 和 46B 是实施方式 1 中的半导体装置的电路图；

[0089] 图 47A 和 47B 是实施方式 2 中的半导体装置的电路图。

具体实施方式

[0090] 以下，参照附图说明实施方式。本实施方式可以以多种不同方式来实施，所属技术领域的技术人员可以很容易地理解一个事实就是，其方式及详细内容可以在不脱离本发明的宗旨及其范围的情况下被变换为各种各样的形式。因此，并不只限于实施方式的记载内容。在以下所说明的结构中，使用相同的附图标记来表示不同附图中的相同的部分或具有相同功能的部分而省略相同的部分或具有相同的功能的部分的详细说明。

[0091] 实施方式 1

[0092] 将参照图 45A 说明本实施方式的结构。图 45A 示出本实施方式的半导体装置的电路图。

[0093] 电路 100 具有晶体管 101（第一晶体管）、开关 102S（第一开关）、开关 103S（第二开关）、晶体管 104（第二晶体管）以及开关 105S（第三开关）。

[0094] 另外，晶体管 101 和晶体管 104 是 N 沟道晶体管。n 沟道晶体管在其栅极与源极之间的电位差 (Vgs) 超过阈值电压 (Vth) 时导通。但是，本发明不局限于此。晶体管 101 和晶体管 104 可以是 p 沟道晶体管。p 沟道晶体管在其栅极与源极之间的电位差 (Vgs) 变成

小于阈值电压 (Vth) 时导通。

[0095] 晶体管 101 的第一端子连接到布线 112(第一布线),而晶体管 101 的第二端子连接到布线 111(第二布线)。开关 102S 连接于布线 111 和布线 115(第三布线)之间。开关 103S 连接于布线 111 和布线 115 之间。晶体管 104 的第一端子连接于布线 112,晶体管 104 的第二端子连接于晶体管 101 的栅极,并且晶体管 104 的栅极连接于布线 112。开关 105S 连接于布线 115 和晶体管 101 的栅极之间。

[0096] 另外,开关 102S、开关 103S 以及开关 105S 可以具有控制端子。图 45B 示出开关 102S 的控制端子连接于布线 114(第四布线),开关 103S 的控制端子连接于布线 113(第五布线),并且开关 105S 的控制端子连接于布线 113 时的结构。

[0097] 另外,作为开关 102S、开关 103S 以及开关 105S,可以使用晶体管。在图 1A 中,使用晶体管作为开关。图 1A 示出作为开关 102S、开关 103S 以及开关 105S,分别使用晶体管 102(第三晶体管)、晶体管 103(第四晶体管)以及晶体管 105(第五晶体管)时的例子。晶体管 102 的第一端子连接于布线 115,晶体管 102 的第二端子连接于布线 111,并且晶体管 102 的栅极连接于布线 114。晶体管 103 的第一端子连接于布线 115,晶体管 103 的第二端子连接于布线 111,并且晶体管 103 的栅极连接于布线 113。晶体管 105 的第一端子连接于布线 115,晶体管 105 的第二端子连接于晶体管 101 的栅极,并且晶体管 105 的栅极连接于布线 113。

[0098] 另外,晶体管 102、晶体管 103 以及晶体管 105 是与晶体管 101 相同的 N 沟道晶体管。但是,晶体管 102、晶体管 103 以及晶体管 105 也可以是 P 沟道晶体管。

[0099] 另外,以节点 11 表示晶体管 101 的栅极和晶体管 104 的第二端子的连接部分或者晶体管 101 的栅极和晶体管 105 的第二端子的连接部分。

[0100] 接着,说明输入或输出到布线 111 至布线 115 的信号或电压的一个例子及这些布线的功能。

[0101] 从布线 111 输出信号 OUT。

[0102] 信号 IN1 输入到布线 112。信号 IN2 输入到布线 113。信号 IN3 输入到布线 114。

[0103] 将电压 V1 提供给布线 115。电压 V1 为电源电压、参考电压、接地电压、接地或负电源电压。但是,本发明不局限于此,也可以将信号(例如,时钟信号或反相时钟信号等)输入到布线 115。

[0104] L 电平的信号、L 信号、L 电平的电位或电压 V1 等的电位大致为 V1。H 电平的信号、H 信号、H 电平的电位或电压 V2 等的电位大致为 V2(V2 > V1)。注意,词语“大致”包括各种误差,例如因杂波引起的误差、因工序的不均匀性引起的误差、因制造元件的步骤的不均匀性引起的误差和 / 或测量误差(以下同)。

[0105] 例如,在晶体管的栅极连接于一个节点,并且该节点的电位成为 L 电平时,该晶体管截止(或导通)。在此情况下,该节点的电位成为 L 电平是指该节点的电位成为能够使该晶体管截止(或导通)的数值。或者,该节点的电位成为 L 电平是指该节点的电位成为如下数值,即可以将该晶体管的栅极与源极之间的电压 (Vgs) 减小(或增大)到包括该晶体管的电路可以实现预定的工作的程度的数值。

[0106] 另外,在作为信号 IN1 至 IN3 使用时钟信号时,该时钟信号既可为平衡,又可为非平衡(不平衡)。平衡是指在一个周期中成为 H 电平的期间和成为 L 电平的期间大致相同。

非平衡是指成为 H 电平的期间和成为 L 电平的期间不同。

[0107] 例如，作为信号 IN1 使用时钟信号，作为信号 IN2 使用其相位从信号 IN1 大致错开 180° 的信号，且信号 IN1 和信号 IN2 为非平衡。在此情况下，信号 IN2 有可能不是信号 IN1 的反相信号。

[0108] 这里，如图 5A 所示，将信号或电压从电路 150 供给给布线 112 至 115。电路 150 生成信号或电压等，而将信号或电压供给给布线 112 至 115。

[0109] 电路 150 可以具有电路 151 至电路 154。电路 151 具有生成信号或电压而将信号或电压供给给布线 112 的功能。电路 152 具有生成信号或电压而将信号或电压供给给布线 113 的功能。电路 153 具有生成信号或电压而将信号或电压供给给布线 114 的功能。电路 154 具有生成信号或电压而将信号或电压供给给布线 115 的功能。

[0110] 电路 150 至 154 分别包括图 5B 所示的放大电路、图 5C 所示的双极晶体管、图 5D 所示的 MOS 晶体管、图 5E 所示的电容元件、图 5F 所示的反相器、图 5G 所示的直流电压源、图 5H 所示的交流电压源和 / 或图 5I 所示的直流电流源等。

[0111] 如图 5A 所示，将保护电路 160 连接于布线 112 至 114。

[0112] 以下，说明电路 100 和晶体管 101 至 105 的功能。

[0113] 电路 100 具有控制布线 111 的电位的功能。或者，电路 100 具有控制将布线 112 的电位、布线 113 的电位、布线 114 的电位或布线 115 的电位供给给布线 111 的时序的功能。或者，电路 100 具有控制将信号或电压供给给布线 111 的时序的功能。或者，电路 100 具有控制将 H 信号或电压 V2 供给给布线 111 的时序的功能。或者，电路 100 具有控制将 L 信号或电压 V1 供给给布线 111 的时序的功能。或者，电路 100 具有控制使布线 111 的电位上升的时序的功能。或者，电路 100 具有控制使布线 111 的电位降低的时序的功能。或者，电路 100 具有控制维持布线 111 的电位的时序的功能。如上所述，电路 100 具有控制电路的功能。另外，电路 100 不一定需要具有以上所列出的全部功能。另外，根据信号 IN1 至 IN3 而控制电路 100。

[0114] 另外，如图 1B 所示，电路 100 具有包含 AND 的逻辑电路的功能。具体地说，电路 100 具有组合了三个输入的 AND 和两个 NOT 的逻辑电路的功能。另外，将信号 IN1 输入到 AND 的第一输入端子，将信号 IN2 由第一 NOT 反相的信号输入到 AND 的第二输入端子，将信号 IN3 由第二 NOT 反相的信号输入到 AND 的第三输入端子，并且从 AND 的输出输出信号 OUT。就是说，电路 100 具有实现图 1C 所示的逻辑式的功能，或者，具有实现图 1D 所示的真值表的功能。

[0115] 晶体管 101 具有控制布线 112 和布线 111 的导通状态的功能。或者，晶体管 101 具有控制将布线 112 的电位供给给布线 111 的时序的功能。或者，在将信号或电压输入到布线 112 时，晶体管 101 具有控制将输入到布线 112 的信号或电压供给给布线 111 的时序的功能。或者，晶体管 101 具有控制将 H 信号或电压 V2 供给给布线 111 的时序的功能。或者，晶体管 101 具有控制将 L 信号或电压 V1 供给给布线 111 的时序的功能。或者，晶体管 101 具有控制使布线 111 的电位上升的时序的功能。或者，晶体管 101 具有控制使布线 111 的电位降低的时序的功能。或者，晶体管 101 具有执行自举 (bootstrap) 工作的功能。或者，晶体管 101 具有通过执行自举工作而使节点 11 的电位上升的功能。如上所述，晶体管 101 具有开关或缓冲器的功能。另外，晶体管 101 不一定需要具有以上所列出的全部功能。

[0116] 晶体管 102 具有控制布线 115 和布线 111 的导通状态的功能。或者，晶体管 102 具有控制将布线 115 的电位供给给布线 111 的时序的功能。或者，在将信号或电压输入到布线 115 时，晶体管 102 具有控制将输入到布线 115 的信号或电压供给给布线 111 的时序的功能。或者，晶体管 102 具有控制将 L 信号或电压 V1 供给给布线 111 的时序的功能。或者，晶体管 102 具有控制使布线 111 的电位降低的时序的功能。如上所述，晶体管 102 具有开关的功能。另外，晶体管 102 不一定需要具有以上所列出的全部功能。另外，可以根据布线 114 的电位（信号 IN3）而控制晶体管 102。

[0117] 晶体管 103 具有控制布线 115 和布线 111 的导通状态的功能。或者，晶体管 103 具有控制将布线 115 的电位供给给布线 111 的时序的功能。或者，在将信号或电压输入到布线 115 时，晶体管 103 具有控制将输入到布线 115 的信号或电压供给给布线 111 的时序的功能。或者，晶体管 103 具有控制将 L 信号或电压 V1 供给给布线 111 的时序的功能。或者，晶体管 103 具有控制使布线 111 的电位降低的时序的功能。如上所述，晶体管 103 具有开关的功能。另外，晶体管 103 不一定需要具有以上所列出的全部功能。另外，可以根据布线 113 的电位（信号 IN2）而控制晶体管 103。

[0118] 晶体管 104 具有控制布线 112 和节点 11 的导通状态的功能。或者，晶体管 104 具有控制将布线 112 的电位供给给节点 11 的时序的功能。或者，在将信号或电压输入到布线 112 时，晶体管 104 具有控制将输入到布线 112 的信号或电压供给给节点 11 的时序的功能。或者，晶体管 104 具有控制将 H 信号或电压 V2 供给给节点 11 的时序的功能。或者，晶体管 104 具有控制使节点 11 的电位上升的时序的功能。或者，晶体管 104 具有使节点 11 处于浮动状态的功能。如上所述，晶体管 104 具有开关、二极管或被进行了二极管连接的晶体管等的功能。另外，晶体管 104 不一定需要具有以上所列出的全部功能。另外，可以根据布线 112 的电位（信号 IN1）和 / 或节点 11 的电位而控制晶体管 104。

[0119] 晶体管 105 具有控制布线 115 和节点 11 的导通状态的功能。或者，晶体管 105 具有控制将布线 115 的电位供给给节点 11 的时序的功能。或者，在将信号或电压输入到布线 115 时，晶体管 105 具有控制将输入到布线 115 的信号或电压供给给节点 11 的时序的功能。或者，晶体管 105 具有控制将 L 信号或电压 V1 供给给节点 11 的时序的功能。或者，晶体管 105 具有控制使节点 11 的电位降低的时序的功能。如上所述，晶体管 105 具有开关的功能。另外，晶体管 105 不一定需要具有以上所列出的全部功能。另外，可以根据布线 113 的电位（信号 IN2）而控制晶体管 105。

[0120] 接着，参照图 1D 的真值表（工作表）说明电路 100 的工作。图 1D 示出信号 IN1 至 IN3 为数字信号时的真值表。因此，有八个信号 IN1 至 IN3 的 H 电平和 L 电平的组合。就是说，电路 100 能够进行至少八个种类的工作。这里，分别说明该八个种类的工作。

[0121] 另外，电路 100 不一定需要进行这些八个种类的所有工作，而可以选择其一部分来进行工作。另外，电路 100 可以进行这些八个种类的工作以外的工作。例如，在信号 IN1 至 IN3 具有三个以上的数值时，或者，在信号 IN1 至 IN3 具有模拟信号时，电路 100 除了进行这些八个种类的工作以外还可以进行更多种类的工作。

[0122] 首先，参照图 2A 说明电路 100 的工作 1。因为信号 IN2 成为 H 电平，所以晶体管 105 导通。然后，因为布线 115 和节点 11 处于导通状态，所以布线 115 的电位（例如，电压 V1）被供给给节点 11。此时，因为信号 IN1 成为 H 电平，所以晶体管 104 导通。然后，因为

布线 112 和节点 11 处于导通状态，所以布线 112 的电位（例如，H 电平的信号 IN1）被供给给节点 11。就是说，将布线 115 的电位（例如，电压 V1）和布线 112 的电位（例如，H 电平的信号 IN1）供给给节点 11。这里，晶体管 105 的沟道宽度大于晶体管 104 的沟道宽度。因此，节点 11 的电位成为 L 电平。此时的节点 11 的电位大于 V1 且小于 V1+Vth101(Vth101 是晶体管 101 的阈值电压）。结果，因为晶体管 101 截止，所以布线 112 和布线 111 处于非导通状态。

[0123] 另外，因为信号 IN2 成为 H 电平，所以晶体管 103 导通。此时，因为信号 IN3 成为 H 电平，所以晶体管 102 导通。因为布线 115 和布线 111 处于导通状态，所以布线 115 的电位（例如，电压 V1）被供给给布线 111。因此，布线 111 的电位成为 V1，从而信号 OUT 成为 L 电平。

[0124] 另外，可以将“晶体管 A 的沟道宽度大于晶体管 B 的沟道宽度”解释为“晶体管 A 的 1/W(W 为沟道宽度）小于晶体管 B 的 1/W”，“晶体管 A 的 L(L 为沟道长度）小于晶体管 B 的 L”，“晶体管 A 的 1/L 大于晶体管 B 的 1/L”，“晶体管 A 的 W/L 大于晶体管 B 的 W/L”，“晶体管 A 的 Vgs(Vgs 为栅极和源极之间的电位差）大于晶体管 B 的 Vgs”等。在晶体管为多栅结构，而且晶体管具有多个栅极时，可以将“晶体管 A 的沟道宽度大于晶体管 B 的沟道宽度”解释为“晶体管 A 的栅极个数小于晶体管 B 的栅极个数”或“晶体管 A 的栅极个数的倒数大于晶体管 B 的栅极个数的倒数”。

[0125] 接着，参照图 2B 说明电路 100 的工作 2。工作 2 与工作 1 不同之处为信号 IN3 成为 L 电平。因为信号 IN3 成为 L 电平，所以晶体管 102 截止。虽然晶体管 102 截止，但是与工作 1 同样，晶体管 103 导通。就是说，与工作 1 同样，布线 115 和布线 111 处于导通状态，因此，将布线 115 的电位（例如，电压 V1）供给给布线 111。因此，布线 111 的电位成为 V1，从而信号 OUT 成为 L 电平。

[0126] 接着，参照图 2C 说明电路 100 的工作 3。因为信号 IN2 成为 L 电平，所以晶体管 105 截止。然后，布线 115 和节点 11 处于非导通状态。此时，因为信号 IN1 成为 H 电平，所以晶体管 104 导通。然后，因为布线 112 和节点 11 处于导通状态，所以布线 112 的电位（例如，H 电平的信号 IN1）被供给给节点 11。就是说，将布线 112 的电位（例如，H 电平的信号 IN1）供给给节点 11。然后，节点 11 的电位开始上升。然后，当节点 11 的电位成为 V1+Vth101+Va(Va 为正数）时，晶体管 101 导通。然后，由于布线 112 和布线 111 处于导通状态，所以将布线 112 的电位（例如，H 电平的信号 IN1）供给给布线 111。然后，节点 11 的电位也连续上升。然后，在节点 11 的电位成为 V2-Vth104(Vth104 为晶体管 104 的阈值电压）时，晶体管 104 截止。然后，布线 112 和节点 11 处于非导通状态。因此，节点 11 处于浮动状态，同时其电位维持为 V2-Vth104。

[0127] 因为信号 IN2 成为 L 电平，所以晶体管 103 截止。此时，因为信号 IN3 成为 H 电平，所以晶体管 102 导通。结果，因为布线 115 和布线 111 处于导通状态，所以将布线 115 的电位（例如，电压 V1）供给给布线 111。就是说，将布线 115 的电位（例如，电压 V1）和布线 112 的电位（例如，H 电平的信号 IN1）供给给布线 111。这里，晶体管 102 的沟道宽度大于晶体管 101 的沟道宽度。因此，布线 111 的电位成为 L 电平。此时的布线 111 的电位成为低于电压 V1 和晶体管 101 至晶体管 105 中的任一晶体管的阈值电压的总和的数值。像这样，因为布线 111 的电位成为 L 电平，所以信号 OUT 成为 L 电平。

[0128] 以下，参照图 3A 说明电路 100 的工作 4。工作 4 与工作 3 的不同之处是信号 IN3 成为 L 电平。因此，因为信号 IN3 成为 L 电平，所以晶体管 102 截止。此时，因为晶体管 103 也截止，所以布线 115 和布线 111 处于非导通状态。就是说，将布线 112 的电位（例如，H 电平的信号 IN1）供给给布线 111。因此，布线 111 的电位开始上升。此时，节点 11 处于浮动状态。然后，因晶体管 101 的栅极和第二端子之间的寄生电容而使节点 11 的电位上升。结果，节点 11 的电位成为 V2+Vth101+Va。这就是所谓的自举 (bootstrap) 工作。像这样，因为布线 111 的电位成为 V2，所以信号 OUT 成为 H 电平。

[0129] 以下，参照图 3B 说明电路 100 的工作 5。因为信号 IN2 成为 H 电平，所以晶体管 105 导通。然后，因为布线 115 和节点 11 处于导通状态，所以布线 115 的电位（例如，电压 V1）被供给给节点 11。此时，因为信号 IN1 成为 L 电平，所以晶体管 104 截止。然后，布线 112 和节点 11 处于非导通状态。就是说，将布线 115 的电位（例如，电压 V1）供给给节点 11。因此，节点 11 的电位成为 V1。然后，因为晶体管 101 截止，所以布线 112 和布线 111 处于非导通状态。

[0130] 另外，因为信号 IN2 成为 H 电平，所以晶体管 103 导通。此时，因为信号 IN3 成为 H 电平，所以晶体管 102 导通。因为布线 115 和布线 111 处于导通状态，所以布线 115 的电位（例如，电压 V1）被供给给布线 111。因此，布线 111 的电位成为 V1，从而信号 OUT 成为 L 电平。

[0131] 接着，参照图 3C 说明电路 100 的工作 6。工作 6 与工作 5 不同之处为信号 IN3 成为 L 电平。因为信号 IN3 成为 L 电平，所以晶体管 102 截止。虽然晶体管 102 截止，但是与工作 5 同样，晶体管 103 导通。就是说，与工作 5 同样，布线 115 和布线 111 处于导通状态，因此，将布线 115 的电位（例如，电压 V1）供给给布线 111。因此，布线 111 的电位成为 V1，从而信号 OUT 成为 L 电平。

[0132] 接着，参照图 4A 说明电路 100 的工作 7。因为信号 IN2 成为 L 电平，所以晶体管 105 截止。然后，布线 115 和节点 11 处于非导通状态。此时，因为信号 IN1 成为 L 电平，所以晶体管 104 截止。然后，布线 112 和节点 11 处于非导通状态。就是说，因为节点 11 处于浮动状态，所以维持前一状态的电位。这里，节点 11 的电位低于 V1+Vth101。因此，由于晶体管 101 截止，所以布线 112 和布线 111 处于非导通状态。

[0133] 另外，因为信号 IN2 成为 L 电平，所以晶体管 103 截止。此时，因为信号 IN3 成为 H 电平，所以晶体管 102 导通。因为布线 115 和布线 111 处于导通状态，所以布线 115 的电位（例如，电压 V1）被供给给布线 111。因此，布线 111 的电位成为 V1，从而信号 OUT 成为 L 电平。

[0134] 以下，参照图 4B 说明电路 100 的工作 8。工作 8 与工作 7 的不同之处是信号 IN3 成为 L 电平。因此，因为信号 IN3 成为 L 电平，所以晶体管 102 截止。此时，因为晶体管 103 也截止，所以布线 115 和布线 111 处于非导通状态。就是说，布线 111 处于不定状态 Z（浮置状态、浮动状态或高阻抗状态）。因此，只要没有因杂波等而发生的电位的变动，布线 111 的电位就维持前一状态的数值。因此，例如，在工作 8 的前一工作为工作 1 至 3 及工作 5 至 7 中的任一工作时，信号 OUT 成为 L 电平。或者，例如，在工作 8 的前一工作为工作 4 时，信号 OUT 成为 H 电平。

[0135] 如上所述，在工作 1 至 8 中的任一工作中，晶体管 101 至 105 截止。因此，因为可以

使晶体管导通的时间缩短或者可以减少晶体管导通的次数，所以可以抑制晶体管的退化。结果，可以抑制晶体管的特性退化（例如，阈值电压的上升或迁移率的降低等）。

[0136] 或者，因为可以抑制晶体管的退化或者可以将电路 100 所具有的所有晶体管的极性设定为 N 沟道型，所以可以将与单晶半导体相比容易退化的材料（例如，非晶半导体或微晶半导体等的非单晶半导体、有机半导体或氧化物半导体等）用作晶体管的半导体层。因此，可以减少工序数、提高成品率和 / 或减少制造成本等。或者，例如，将本实施方式的半导体装置用于显示装置。在此情况下，该显示装置可以为大型显示装置。

[0137] 或者，不需要考虑晶体管的退化而增大晶体管的沟道宽度。或者，因为通过进行自举工作可以增高晶体管的 Vgs，所以可以减小晶体管的沟道宽度。或者，因为可以将输出信号的振幅设定为与电源电压相同的数值或者与信号的振幅相同的数值，所以可以增大输出信号的振幅。因此，可以减小由该输出信号控制的晶体管的沟道宽度。就是说，因为可以减小晶体管的沟道宽度，所以可以减小晶体管的沟道的面积。

[0138] 或者，因为可以减小晶体管的沟道的面积，所以可以减小布局面积。结果，例如，将本实施方式的半导体装置用于显示装置。在此情况下，可以提高显示装置的分辨率。或者，可以缩小显示装置的边框。

[0139] 或者，因为可以减小晶体管的沟道的面积，所以可以减小具有栅极的功能的材料与半导体层隔着绝缘层重叠的面积。结果，可以减少具有栅极的功能的材料与半导体层之间的短路。因此，可以减少输出信号的不均匀、防止误动和 / 或提高成品率。

[0140] 或者，可以将所有晶体管设定为 N 沟道晶体管，或者，可以将所有晶体管设定为 P 沟道晶体管。据此，与使用 CMOS 电路的情况相比，可以更有效地实现工序数的减少、成品率的提高、可靠性的提高或者制造成本的降低。尤其是，通过将所有晶体管设定为 N 沟道晶体管，可以将非晶半导体或微晶半导体等的非单晶半导体、有机半导体或氧化物半导体等用作晶体管的半导体层。注意，使用这些半导体层的晶体管容易退化。但是，本实施方式的半导体装置可以抑制晶体管的退化。

[0141] 以下，说明电路 100 除了进行工作 1 至 8 以外还可以进行的工作。

[0142] 首先，在工作 1 及 2 中，通过使晶体管 104 的沟道宽度大于晶体管 105 的沟道宽度，可以使晶体管 101 导通。然后，因为布线 112 和布线 111 处于导通状态，所以将布线 112 的电位（例如，H 电平的信号 IN1）供给给布线 111。就是说，将布线 115 的电位（例如，电压 V1）和布线 112 的电位（例如，H 电平的信号 IN1）供给给布线 111。在此情况下，通过减小晶体管 101 的电流供给能力并将布线 111 的电位设定为比 V1 稍高一些的数值，可以使信号 OUT 成为 L 电平。因此，晶体管 101 的沟道宽度优选小于晶体管 102 的沟道宽度或晶体管 103 的沟道宽度。或者，晶体管 101 的 Vgs 优选小于 V2-V1，更优选小于 (V2-V1)×1/2。例如，通过控制晶体管 101 的 Vgs，可以从布线 111 输出模拟电压。就是说，电路 100 可以具有模拟缓冲器或放大电路等的功能。作为另一例子，通过使晶体管 101 的沟道宽度大于晶体管 102 的沟道宽度和晶体管 103 的沟道宽度的总和，可以使信号 OUT 成为 H 电平。

[0143] 接着，使信号 IN1 从 H 电平变成 L 电平并使信号 IN2 从 L 电平变成 H 电平来将工作 4 转换成工作 6。在此情况下，如图 4C 所示，在工作 6 中，通过使晶体管 101 导通一段时间，可以将布线 112 的电位（例如，L 电平的信号 IN1）供给给布线 111。像这样，可以使信号 OUT 下降的时间缩短。为了实现使信号 OUT 下降的时间缩短，可以使晶体管 101 截止的

时序比信号 IN1 成为 L 电平的时序迟。或者，可以使信号 IN2 成为 H 电平的时序比信号 IN1 成为 L 电平的时序迟。或者，可以使信号 IN2 的失真比信号 IN1 的失真大。或者，可以使晶体管 105 的沟道宽度小于晶体管 103 的沟道宽度。或者，可以将电容元件中的一方电极连接于节点 11。可以将该电容元件中的另一电极连接于电源线或信号线（例如，布线 115 或布线 111 等）。该电容元件可以为晶体管（例如，晶体管 101、晶体管 104 或晶体管 105）的寄生电容。或者，可以将信号从形成在与电路 100 相同的衬底上的电路供给给布线 113。

[0144] 接着，在工作 7 及 8 中，节点 11 的电位可以为 V1+Vth101+Va。在此情况下，因为晶体管 101 导通，所以布线 112 和布线 111 处于导通状态。然后，将布线 112 的电位（例如，L 电平的信号 IN1）供给给布线 111。像这样，尤其是在工作 8 中，可以固定布线 111 的电位，因此电路不容易引起误动。

[0145] 如上所述，本实施方式的半导体装置除了进行工作 1 至 8 以外还可以进行各种工作。

[0146] 以下，说明晶体管 101 至 105 的沟道宽度的比率。

[0147] 首先，晶体管 104 及 105 所驱动的负载（例如，晶体管 101 的栅极）小于晶体管 101 至 103 所驱动的负载（例如，连接于布线 111 的负载（例如，晶体管的栅极））。因此，晶体管 104 的沟道宽度可以小于晶体管 101 的沟道宽度、晶体管 102 的沟道宽度和 / 或晶体管 103 的沟道宽度。或者，晶体管 105 的沟道宽度可以小于晶体管 101 的沟道宽度、晶体管 102 的沟道宽度和 / 或晶体管 103 的沟道宽度。在此情况下，晶体管 101 的沟道宽度优选为晶体管 104 的沟道宽度的 20 倍以下，更优选为 10 倍以下，进一步优选为 7 倍以下。晶体管 101 的沟道宽度优选为晶体管 105 的沟道宽度的 10 倍以下，更优选为 5 倍以下，进一步优选为 3 倍以下。

[0148] 接着，在信号 OUT 成为 L 电平的情况下，有时将布线 115 的电位（例如，电压 V1）通过晶体管 102 和晶体管 103 的两个晶体管供给给布线 111。另一方面，在信号 OUT 成为 H 电平的情况下，有时将布线 112 的电位（例如，H 电平的信号 IN1）隔着晶体管 101 的一个晶体管供给给布线 111。因此，晶体管 101 的沟道宽度可以大于晶体管 102 的沟道宽度和 / 或晶体管 103 的沟道宽度。在此情况下，晶体管 101 的沟道宽度优选为晶体管 102 的沟道宽度或晶体管 103 的沟道宽度的 3 倍以下，更优选为 2 倍以下。

[0149] 接着，在信号 IN1 成为 H 电平，并且晶体管 101 导通时，晶体管 102 或晶体管 103 导通。在此情况下，晶体管 102 的沟道宽度可以大于晶体管 101 的沟道宽度，以使布线 111 的电位成为 L 电平。或者，晶体管 103 的沟道宽度可以大于晶体管 101 的沟道宽度。在此情况下，晶体管 101 的沟道宽度优选为晶体管 102 的沟道宽度或晶体管 103 的沟道宽度的 1 倍以下，更优选为 0.7 倍以下。

[0150] 另外，在信号 IN1 成为 H 电平，并且晶体管 101 导通时，晶体管 103 导通，但是，晶体管 102 几乎不导通。因此，晶体管 103 的沟道宽度可以小于晶体管 102 的沟道宽度。

[0151] 接着，在工作 1 至 2 中，通过使晶体管 104 和晶体管 105 导通，将布线 115 的电位（例如，电压 V1）和布线 112 的电位（例如，H 电平的信号 IN1）供给给节点 11。因此，如上所述，晶体管 105 的沟道宽度可以大于晶体管 104 的沟道宽度，以使节点 11 的电位成为 L 电平。在此情况下，晶体管 105 的沟道宽度优选为晶体管 104 的沟道宽度的 15 倍以下，更优选为 10 倍以下，进一步优选为 8 倍以下。例如，通过使晶体管 104 的沟道长度大于晶体

管 105 的沟道长度，可以使晶体管 105 的 W/L 比大于晶体管 104 的 W/L 比。在此情况下，晶体管 104 的沟道长度优选为晶体管 105 的沟道长度的 9 倍以下，更优选为 6 倍以下，进一步优选为 3 倍以下。

[0152] 如上所述，优选将晶体管的沟道宽度的比率设定为适当的数值。另外，考虑到上述晶体管的尺寸的比率，晶体管 101 的沟道宽度优选为 100μm 以上且 1000μm 以下，更优选为 100μm 以上且 300μm 以下或者 500μm 以上且 800μm 以下。晶体管 102 的沟道宽度或晶体管 103 的沟道宽度优选为 100μm 以上且 1500μm 以下，更优选为 100μm 以上且 300μm 以下或者 700μm 以上且 1200μm 以下。晶体管 104 的沟道宽度优选为 10μm 以上且 300μm 以下，更优选为 20μm 以上且 100μm 以下。晶体管 105 的沟道宽度优选为 30μm 以上且 500μm 以下，更优选为 50μm 以上且 150μm 以下。

[0153] 以下，说明其结构与图 1A 不同的半导体装置。

[0154] 首先，在图 1A 所示的结构中，晶体管 105 的第一端子可以连接于与布线 115 不同的布线（例如，布线 112 等）。或者，晶体管 105 的栅极可以连接于与布线 113 不同的布线（例如，布线 111、布线 116 或节点 11 等）。

[0155] 另外，可以将电压 V2 供给给布线 116。因此，布线 116 可以具有电源线的功能。例如，可以将信号输入到布线 116。因此，布线 116 可以具有信号线的功能。

[0156] 图 6A 示出在图 1A 的半导体装置中将晶体管 105 的第一端子连接于布线 112 的结构。可以将 H 信号供给给晶体管 105 的第一端子。因此，因为可以将反向偏压施加到晶体管 105，所以可以抑制晶体管 105 的退化。

[0157] 图 6B 示出在图 1A 的半导体装置中将晶体管 105 的第一端子连接于布线 112 且将晶体管 105 的栅极连接于节点 11 的结构。可以将 H 信号供给给晶体管 105 的第一端子。因此，因为可以将反向偏压施加到晶体管 105，所以可以抑制晶体管 105 的退化。

[0158] 图 6C 示出在图 1A 的半导体装置中将晶体管 105 的第一端子连接于布线 112 且将晶体管 105 的栅极连接于布线 116 的结构。可以将 H 电平的信号 IN1 通过晶体管 104 和晶体管 105 供给给节点 11。因此，可减小晶体管 104 的沟道宽度。

[0159] 接着，在图 1A 及图 6A 至 6C 所示的结构中，可以将晶体管 103 的第一端子连接于与布线 115 不同的布线（例如，布线 112）。或者，可以将晶体管 103 的栅极连接于与布线 113 不同的布线（例如，布线 111、布线 116 或节点 11 等）。

[0160] 图 6D 示出在图 1A 的半导体装置中将晶体管 103 的第一端子连接于布线 112 的结构。可以将 H 信号供给给晶体管 103 的第一端子。因此，因为可以将反向偏压施加到晶体管 103，所以可以抑制晶体管 103 的退化。

[0161] 图 6E 示出在图 1A 的半导体装置中将晶体管 103 的第一端子连接于布线 112 且将晶体管 103 的栅极连接于布线 111 的结构。因此，因为可以将反向偏压施加到晶体管 103，所以可以抑制晶体管 103 的退化。

[0162] 图 6F 示出在图 1A 的半导体装置中将晶体管 103 的第一端子连接于布线 112 且将晶体管 103 的栅极连接于布线 116 的结构。可以将 H 电平的信号 IN1 通过晶体管 103 和晶体管 101 供给给布线 111。因此，可减小晶体管 101 的沟道宽度。

[0163] 接着，在图 1A 及图 6A 至 6F 所示的结构中，可以将晶体管 104 的第一端子连接于与布线 112 不同的布线（例如，布线 116 等）。或者，可以将晶体管 104 的栅极连接于与布

线 112 不同的布线（例如，布线 116 等）。

[0164] 图 7A 示出在图 1A 的半导体装置中将晶体管 104 的第一端子连接于布线 116 的结构。

[0165] 图 7B 示出在图 1A 的半导体装置中将晶体管 104 的栅极连接于布线 116 的结构。可以通过晶体管 104 供给布线 112 的电位（例如，L 电平的信号 IN1）。由此，可以固定节点 11 的电位，因此可以得到抗杂波性能好的半导体装置。

[0166] 接着，在图 1A、图 6A 至 6F 以及图 7A 和 7B 所示的结构中，可以将晶体管 102 的第一端子连接于与布线 115 不同的布线（例如，布线 113、布线 114 或节点 11 等）。或者，可以将晶体管 103 的第一端子和 / 或晶体管 105 的第一端子连接于与布线 115 不同的布线（例如，布线 113、布线 114 或节点 11 等）。

[0167] 图 7C 示出在图 1A 的半导体装置中将晶体管 102 的第一端子连接于布线 113 的结构。可以将 H 信号供给给晶体管 102 的第一端子。因此，因为可以将反向偏压施加到晶体管 102，所以可以抑制晶体管 102 的退化。

[0168] 图 7D 示出在图 1A 的半导体装置中将晶体管 103 的第一端子和晶体管 105 的第一端子连接于布线 114 的结构。可以将 H 信号供给给晶体管 103 的第一端子或晶体管 105 的第一端子。因此，因为可以将反向偏压施加到晶体管 103 或晶体管 105，所以可以抑制晶体管 103 或晶体管 105 的退化。

[0169] 接着，在图 1A、图 6A 至 6F 以及图 7A 至 7D 所示的结构中，可以将晶体管的各端子或各电极分别连接于不同的布线。例如，可以将晶体管 101 的第一端子和晶体管 104 的第一端子分别连接于不同的布线。或者，可以将晶体管 103 的栅极和晶体管 105 的栅极分别连接于不同的布线。或者，可以将晶体管 102 的第一端子、晶体管 103 的第一端子和晶体管 105 的第一端子分别连接于不同的布线。为了实现上述连接，可以将布线分割成多个布线。

[0170] 图 7E 示出在图 1A 的半导体装置中将布线 112 分割成多个布线 112A 和 112B，将布线 113 分割成多个布线 113A 和 113B，并且将布线 115 分割成多个布线 115A 至 115C 的结构。晶体管 101 的第一端子连接于布线 112A，晶体管 104 的第一端子连接于布线 112B，并且晶体管 104 的栅极连接于布线 112B。或者，晶体管 103 的栅极连接于布线 113A，并且晶体管 105 的栅极连接于布线 113B。或者，晶体管 102 的第一端子连接于布线 115A，晶体管 103 的第一端子连接于布线 115B，并且晶体管 105 的第一端子连接于布线 115C。

[0171] 另外，布线 112A 和 112B 可以具有与布线 112 相同的功能。或者，布线 113A 和 113B 可以具有与布线 113 相同的功能。或者，布线 115A 至 115C 可以具有与布线 115 相同的功能。因此，可以将信号 IN1 输入到布线 112A 和 112B。或者，可以将信号 IN2 输入到布线 113A 和 113B。或者，可以将电压 V1 供给给布线 115A 至 115C。例如，可以将不同的电压或不同的信号分别供给给布线 112A 和 112B。或者，可以将不同的电压或不同的信号分别供给给布线 113A 和 113B。或者，可以将不同的电压或不同的信号分别供给给布线 115A 至 115C。

[0172] 接着，在图 1A、图 6A 至 6F 以及图 7A 至 7E 所示的结构中，可以重新设置晶体管 105A 和 / 或晶体管 103A。

[0173] 图 8A 示出在图 1A 的半导体装置中重新设置晶体管 105A 的结构。晶体管 105A 可以对应于晶体管 105，并可以具有同样的功能。晶体管 105A 的第一端子连接于布线 112，晶

体管 105A 的第二端子连接于节点 11，并且晶体管 105A 的栅极连接于布线 113。例如，与图 6B 和 6C 同样，可以将晶体管 105A 的栅极连接于节点 11 或布线 116。例如，与图 6B 和 6C 同样，可以将晶体管 105A 的栅极连接于与布线 113 不同的布线（例如，布线 111、布线 116 或节点 11 等）。

[0174] 图 8B 示出在图 1A 的半导体装置中重新设置晶体管 103A 的结构。晶体管 103A 可以对应于晶体管 103，并可以具有同样的功能。晶体管 103A 的第一端子连接于布线 112，晶体管 103A 的第二端子连接于布线 111，并且晶体管 103A 的栅极连接于布线 113。例如，与图 6E 和 6F 同样，可以将晶体管 103A 的栅极连接于与布线 113 不同的布线（例如，布线 111、布线 116 或节点 11 等）。

[0175] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E 以及图 8A 和 8B 所示的结构中，可以重新设置晶体管 106。

[0176] 图 8C 示出在图 1A 的半导体装置中重新设置晶体管 106 的结构。晶体管 106 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 106 可以为 P 沟道晶体管。晶体管 106 的第一端子连接于布线 115，晶体管 106 的第二端子连接于节点 11，并且晶体管 106 的栅极连接于布线 114。

[0177] 以下，说明晶体管 106 的功能。晶体管 106 具有控制布线 115 和节点 11 的导通状态的功能。或者，晶体管 106 具有控制将布线 115 的电位供给给节点 11 的时序的功能。或者，在将信号或电压输入到布线 115 时，晶体管 106 具有控制将输入到布线 115 的信号或电压供给给节点 11 的时序的功能。或者，晶体管 106 具有控制将 L 信号或电压 V1 供给给节点 11 的时序的功能。或者，晶体管 106 具有控制使节点 11 的电位降低的时序的功能。如上所述，晶体管 106 可以具有开关的功能。另外，晶体管 106 不一定需要具有以上所列出的全部功能。另外，可以根据布线 114 的电位（信号 IN3）控制晶体管 106。

[0178] 以下，说明图 8C 的半导体装置的工作。在工作 1、工作 3、工作 5 和工作 7 中，因为信号 IN3 成为 H 电平，所以晶体管 106 导通。然后，因为布线 115 和节点 11 处于导通状态，所以将布线 115 的电位（例如，电压 V1）供给给节点 11。由此，可以固定节点 11 的电位，因此可以得到抗杂波性能好的半导体装置。或者，因为可以将节点 11 的电位设定为更低的电位，所以容易使晶体管 101 截止。或者，因为可以减小晶体管 105 的沟道宽度，所以可以减小布局面积。另一方面，在工作 2、工作 4、工作 6 和工作 8 中，因为信号 IN3 成为 L 电平，所以晶体管 106 截止。像这样，因为可以使晶体管 106 导通的时间缩短，所以可以抑制晶体管 106 的退化。

[0179] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E 以及图 8A 至 8C 所示的结构中，可以省略晶体管 103 和 / 或晶体管 105。

[0180] 图 8D 示出在图 1A 的半导体装置中省略晶体管 103 的结构。即使在省略晶体管 103 的情况下，例如，通过使晶体管 101 从导通变成截止的时序迟于信号 IN1 从 H 电平变成 L 电平的时序，也可以将布线 112 的电位（例如，L 电平的信号 IN1）供给给布线 111。因此，可以将布线 111 的电位设定为 V1。像这样，通过省略晶体管 103，可以减少晶体管的个数。

[0181] 另外，晶体管 105 的沟道宽度可以小于晶体管 101 的沟道宽度，以使晶体管 101 从导通变成截止的时序迟于信号 IN1 从 H 电平变成 L 电平的时序。或者，在电路 100 所具有的晶体管中，晶体管 101 的沟道的面积（例如，L×W）可以最大。

[0182] 图 8E 示出在图 1A 的半导体装置中省略晶体管 105 的结构。通过省略晶体管 105，可以减少晶体管的个数。

[0183] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E 以及图 8A 至 8E 所示的结构中，可以将电容元件 107 连接于晶体管 101 的栅极和第二端子之间。例如，作为电容元件，可以使用 MOS 电容器。

[0184] 图 8F 示出在图 1A 的半导体装置中将电容元件 107 连接于晶体管 101 的栅极和第二端子之间的结构。在进行自举工作时，节点 11 的电位容易上升。因此，可以增大晶体管 101 的 Vgs。结果，可以减小晶体管 101 的沟道宽度。或者，信号 OUT 的下降时间或上升时间可缩短。

[0185] 另外，电容元件 107 中的一方电极的材料优选为与晶体管的栅极相同的材料。或者，电容元件 107 中的另一方电极的材料优选为与晶体管的源极或漏极相同的材料。像这样，可以减小布局面积。或者，可以增大电容值。

[0186] 另外，电容元件 107 中的一方电极和另一方电极重叠的面积优选小于晶体管 101 中的用作栅极的材料和半导体层重叠的面积。

[0187] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E 以及图 8A 至 8F 所示的结构中，可以在电路 100 中重新设置电路 120。

[0188] 图 9A 示出在图 1A 的半导体装置中重新设置电路 120 的结构。电路 120 连接于布线 113 与晶体管 103 的栅极及晶体管 105 的栅极的连接部之间。电路 120 具有使输入到布线 113 的信号 IN2 延迟的功能。因此，例如，晶体管 105 的栅极电位上升的时序迟于信号 IN2 从 L 电平变成 H 电平的时序。就是说，晶体管 105 导通的时序或节点 11 的电位降低的时序迟于信号 IN2 从 L 电平变成 H 电平的时序。因此，例如，晶体管 101 从导通变成截止的时序可以迟于信号 IN1 从 H 电平变成 L 电平的时序。结果，因为将 L 电平的信号 IN1 供给给布线 111，所以信号 OUT 的下降时间可以缩短。例如，如图 9B 所示，可以将晶体管 103 的栅极不隔着电路 120 连接于布线 113，将晶体管 105 的栅极隔着电路 120 连接于布线 113。这是因为如下缘故 ：晶体管 103 越快地导通，就可以越快地将电压 V1 供给给布线 111。因此，信号 OUT 的下降时间可缩短。作为另一个例子，可以将晶体管 105 的栅极隔着电路 120 连接于布线 111。在此情况下，晶体管 103 的栅极既可连接于晶体管 105 的栅极，又可连接于布线 113。

[0189] 另外，电路 120 只要至少具有电容成分和电阻成分，即可。例如，作为电路 120，可以使用电阻元件、电容元件、晶体管、二极管、组合了这些元件的电路或其他各种元件。图 9C 和 9D 示出电路 120 具有电阻元件 121 和电容元件 122 的结构。作为另一个例子，作为电路 120，可以使用缓冲器电路、反相器电路、NAND 电路、NOR 电路、电平转移器电路、组合了这些电路的电路或其他各种电路。图 9E 示出电路 120 具有缓冲器电路 123 的结构。图 9F 示出电路 120 具有反相器电路 124 的结构。

[0190] 另外，电容成分可以为寄生电容，而电阻成分可以为寄生电阻。就是说，作为电路 120，可以使用布线、一个层的材料与另一个层的材料之间的接触或 FPC 焊盘等。因此，例如，布线 113 的布线电阻优选大于布线 112 的布线电阻。布线 113 的最小布线宽度优选小于布线 112 的最小布线宽度，以实现布线 113 的布线电阻大于布线 112 的布线电阻。或者，与布线 112 相比，布线 113 可以包含大量的在导电材料中电阻值最大的材料（例如，包含像

素电极的材料的材料）。或者，例如，将某个材料用于布线 113 和布线 112 的双方。在此情况下，布线 113 所具有的该材料的最小厚度可以薄于布线 112 所具有的该材料的最小厚度。

[0191] 另外，作为缓冲器电路 123，可以使用图 9G 所示的结构。缓冲器电路具有晶体管 125、晶体管 126、晶体管 127 以及晶体管 128。晶体管 125 的第一端子连接于布线 129，晶体管 125 的第二端子连接于晶体管 103 的栅极，并且晶体管 125 的栅极连接于布线 113。晶体管 126 的第一端子连接于布线 130，晶体管 126 的第二端子连接于晶体管 103 的栅极。晶体管 127 的第一端子连接于布线 129，晶体管 127 的第二端子连接于晶体管 126 的栅极，并且晶体管 127 的栅极连接于布线 129。晶体管 128 的第一端子连接于布线 130，晶体管 128 的第二端子连接于晶体管 126 的栅极，并且晶体管 128 的栅极连接于布线 113。另外，在很多情况下，将电压 V2 等的高电压供给给布线 129，并且将电压 V1 等的负电压供给给布线 130。

[0192] 另外，作为反相器电路 124，可以使用图 9H 所示的结构。反相器电路具有晶体管 131、晶体管 132、晶体管 133 以及晶体管 134。晶体管 131 的第一端子连接于布线 129，晶体管 131 的第二端子连接于晶体管 103 的栅极。晶体管 132 的第一端子连接于布线 130，晶体管 132 的第二端子连接于晶体管 103 的栅极，并且晶体管 132 的栅极连接于布线 113。晶体管 133 的第一端子连接于布线 129，晶体管 133 的第二端子连接于晶体管 131 的栅极，并且晶体管 133 的栅极连接于布线 129。晶体管 134 的第一端子连接于布线 130，晶体管 134 的第二端子连接于晶体管 131 的栅极，并且晶体管 134 的栅极连接于布线 113。

[0193] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E、图 8A 至 8F 以及图 9A 和 9B 所示的结构中，可以使用二极管代替晶体管。例如，可以对晶体管进行二极管连接。

[0194] 图 11A 示出在图 1A 的半导体装置中使用二极管代替晶体管的结构。可以使用其一方电极（例如，输入端子）连接于节点 11，而其另一方电极（例如，输出端子）连接于布线 111 的二极管 101d 代替晶体管 101。或者，可以使用其一方电极（例如，输入端子）连接于布线 111，而其另一方电极（例如，输出端子）连接于布线 114 的二极管 102d 代替晶体管 102。或者，可以使用其一方电极（例如，输入端子）连接于布线 111，而其另一方电极（例如，输出端子）连接于布线 113 的二极管 103d 代替晶体管 103。或者，可以使用其一方电极（例如，输入端子）连接于布线 112，而其另一方电极（例如，输出端子）连接于节点 11 的二极管 104d 代替晶体管 104。或者，可以使用其一方电极（例如，输入端子）连接于节点 11，而其另一方电极（例如，输出端子）连接于布线 113 的二极管 105d 代替晶体管 105。由此，可以减少信号或电源的数量。就是说，可以减少布线数。因此，因为可以减小形成电路 100 的衬底和用来将信号供给给该衬底的衬底之间的连接数，所以可以实现可靠性的提高、成品率的提高或制造成本的削减等。可以使用二极管代替电路 100 所具有的多个晶体管（例如，晶体管 101 至 105）的一部分的晶体管。

[0195] 图 11B 示出在图 1A 的半导体装置中对晶体管进行了二极管连接的结构。晶体管 101 的第一端子可以连接于节点 11。或者，晶体管 102 的第一端子可以连接于布线 114，而晶体管 102 的栅极可以连接于布线 111。或者，晶体管 103 的第一端子可以连接于布线 113，而晶体管 103 的栅极可以连接于布线 111。或者，晶体管 105 的第一端子可以连接于布线 113，而晶体管 105 的栅极可以连接于节点 11。由此，可以减少信号或电源的数量。就是说，可以减少布线数。因此，因为可以减小形成电路 100 的衬底和用来将信号供给给该衬底的衬底之间的连接数，所以可以实现可靠性的提高、成品率的提高或制造成本的削减。可以对

多个晶体管（例如，晶体管 101 至 105）的一部分的晶体管进行二极管连接。

[0196] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E、图 8A 至 8F、图 9A 和 9B 以及图 11A 和 11B 所示的结构中，可以使用电容元件代替晶体管。例如，可以重新设置该电容元件，而不省略晶体管。

[0197] 图 11C 示出在图 1A 的半导体装置中使用连接于布线 112 和节点 11 之间的电容元件 104A 代替晶体管 104 的结构。电容元件 104A 可以通过电容耦合而根据布线 112 的电位控制节点 11 的电位。像这样，通过使用电容元件 104A 代替晶体管 104，可以减少恒定电流，从而可以降低耗电量。

[0198] 图 11D 示出在图 1A 的半导体装置中重新设置电容元件 104A 的结构。因为可以使节点 11 的电位的变化陡峭，所以可以减小耗电量。

[0199] 图 11E 示出在图 1A 的半导体装置中分别使用连接于布线 114 和布线 111 之间的电容元件 102A、连接于布线 113 和布线 111 之间的电容元件 103B 以及连接于布线 113 和节点 11 之间的电容元件 105B 代替晶体管 102、晶体管 103 以及晶体管 105 的结构。

[0200] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E、图 8A 至 8F、图 9A 和 9B 以及图 11A 至 11F 所示的结构中，可以使用电阻元件代替晶体管。

[0201] 图 11F 示出在图 1A 的半导体装置中使用电阻元件 104R 代替晶体管 104 的结构。电阻元件 104R 连接于布线 112 和节点 11 之间。

[0202] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E、图 8A 至 8F、图 9A 和 9B 以及图 11A 至 11F 所示的结构中，可以重新设置晶体管 108。

[0203] 图 46A 示出在图 1A 的半导体装置中重新设置晶体管 108 的结构。晶体管 108 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 108 可以为 P 沟道晶体管。晶体管 108 的第一端子连接于布线 111，晶体管 108 的第二端子连接于节点 11，并且晶体管 108 的栅极连接于布线 112。

[0204] 以下，说明图 46A 的半导体装置的工作。在工作 1 至 3 中，因为信号 IN1 成为 H 电平，所以晶体管 108 导通。然后，因为布线 111 和节点 11 处于导通状态，所以将布线 111 的电位供给给节点 11。或者，将节点 11 的电位供给给布线 111。但是，在工作 4 中，虽然信号 IN3 成为 H 电平，但是因节点 11 的电位和布线 111 的电位成为 H 电平而使晶体管 108 截止。但是，直到布线 111 的电位成为 H 电平为止，晶体管 108 导通。因此，节点 11 的电位降低。然后，因为晶体管 101Vgs 变小，所以可以防止晶体管 101 的绝缘击穿或退化等。另一方面，在工作 5 至 8 中，因为信号 IN1 成为 L 电平，所以晶体管 108 截止。因此，节点 11 和布线 111 处于非导通状态。

[0205] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E、图 8A 至 8F、图 9A 和 9B、图 11A 至 11F 以及图 46A 所示的结构中，可以产生与信号 OUT 不同的信号。为此，可以在这些半导体装置中重新设置晶体管 109。

[0206] 图 46B 示出在图 1A 所示的半导体装置中重新设置晶体管 109 的结构。晶体管 109 具有与晶体管 101 相同的极性。并且，晶体管 109 可以具有与晶体管 101 相同的功能。晶体管 109 的第一端子可以连接于布线 112，晶体管 109 的第二端子可以连接于布线 117，并且晶体管 109 的栅极可以连接于节点 11。

[0207] 注意，可以适当地组合图 1A、图 6A 至 6F、图 7A 至 7E、图 8A 至 8F、图 9A 和 9B、图

11A 至 11F 以及图 46A 和 46B 所示的结构。

[0208] 图 12A 示出组合图 6B 所示的结构和图 6E 所示的结构的结构。晶体管 103 的第一端子连接于布线 112，晶体管 103 的第二端子连接于布线 111，并且晶体管 103 的栅极连接于布线 111。晶体管 105 的第一端子连接于布线 112，晶体管 105 的第二端子连接于节点 11，并且晶体管 105 的栅极连接于节点 11。像这样，因为可以省略信号 IN2 和布线 113，所以可以实现信号数的减少或布线数的减少。因此，可以实现形成电路 100 的衬底和另一衬底之间的连接个数的减少、可靠性的提高、制造成本的减小和 / 或耗电量的减小等。

[0209] 图 12B 示出组合图 7A 所示的结构和图 8E 所示的结构的结构。省略晶体管 105，并且晶体管 104 的第一端子连接于布线 112，晶体管 104 的第二端子连接于节点 11，并且晶体管 104 的栅极连接于布线 116。由此，可以减少晶体管的数量，从而可以实现布局面积的缩小。再者，可以将节点 11 的电位固定为 L 电平，因此可以得到抗杂波性能好的电路。

[0210] 图 12C 示出组合图 7D 所示的结构和图 11C 所示的结构的结构。晶体管 103 的第一端子连接于布线 114，晶体管 105 的第一端子连接于布线 114，并且使用连接于布线 112 和节点 11 之间的电容元件 104A 代替晶体管 104。

[0211] 如上所述，本实施方式不局限于图 1A 所示的结构，也可以使用各种各样的结构。

[0212] 接着，在图 1A、图 6A 至 6F、图 7A 至 7E、图 8A 至 8F、图 9A 和 9B、图 11A 至 11F、图 12A 至 12C 以及图 46A 和 46B 所示的结构中，可以使用 P 沟道晶体管。也可以仅使半导体装置所具有的多个晶体管中的几个为 P 沟道晶体管。就是说，本实施方式的半导体装置可以采用 CMOS 电路。

[0213] 图 13A 示出在图 1A 的半导体装置中作为晶体管使用 P 沟道晶体管的结构。晶体管 101p 至 105p 具有与晶体管 101 至 105 相同的功能并是 P 沟道晶体管。在此情况下，将电压 V2 供给给布线 115。

[0214] 在图 13A 所示的半导体装置中，如图 13B 所示，电路 100 可以具有包含 NAND 的逻辑电路的功能。具体地说，电路 100 可以具有组合了三个输入的 NAND 和两个 NOT 的逻辑电路的功能。另外，可以将信号 IN1 输入到 NAND 的第一输入端子，可以将信号 IN2 由第一 NOT 反相的信号输入到 NAND 的第二输入端子，可以将信号 IN3 由第二 NOT 反相的信号输入到 NAND 的第三输入端子，并且可以从 NAND 的输出输出信号 OUT。就是说，电路 100 可以具有实现图 13C 所示的逻辑式的功能，或者，具有实现根据该逻辑式而求得的真值表的功能。注意，在信号 IN1 成为 L 电平，并且信号 IN2 及信号 IN3 成为 H 电平时，信号 OUT 成为 L 电平，在输入除此以外的输入信号时，信号 OUT 成为 H 电平。图 13D 示出信号 IN1 至 IN3 为数字信号时的真值表。

[0215] 图 12D 示出在图 1A 的半导体装置中作为其一部分的晶体管使用 P 沟道晶体管的结构。晶体管 104p 的栅极连接于节点 11。

[0216] 实施方式 2

[0217] 在本实施方式中，说明在实施方式 1 的半导体装置中重新设置元件或电路等的半导体装置。

[0218] 首先，说明在实施方式 1 的半导体装置中重新设置晶体管 201（第六晶体管）的结构。图 14A 示出在图 1A 的半导体装置中重新设置晶体管 201 的结构。

[0219] 晶体管 201 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 201 可以为 P

沟道晶体管。晶体管 201 的第一端子连接于布线 115，晶体管 201 的第二端子连接于布线 211（第六布线），并且晶体管 201 的栅极连接于布线 111。

[0220] 另外，以晶体管 201 的栅极为节点 12。因为节点 12 对应于实施方式 1 所述的布线 111，所以在有“布线 111”的记载时，可以将“布线 111”解释为“节点 12”。因此，在有“布线 111 的电位（信号 OUT 的电位）”的记载时，可以将“布线 111 的电位（信号 OUT 的电位）”解释为“节点 12 的电位”。

[0221] 以下，说明晶体管 201 的功能。晶体管 201 具有控制布线 115 和布线 211 的导通状态的功能。或者，晶体管 201 具有控制将布线 115 的电位供给给布线 211 的时序的功能。或者，在将信号或电压输入到布线 115 的情况下，晶体管 201 具有控制将输入到 115 的信号或电压供给给布线 211 的时序的功能。或者，晶体管 201 具有控制将 L 信号或电压 V1 供给给布线 211 的时序的功能。或者，晶体管 201 具有控制使布线 211 的电位下降的时序的功能。如上所述，晶体管 201 可以具有开关的功能。另外，晶体管 201 不一定需要具有以上所列出的全部功能。另外，可以根据电路 100 的输出信号控制晶体管 201。

[0222] 接着，参照图 15A 说明图 14A 所示的半导体装置的工作。图 15A 示出可以应用于本实施方式的半导体装置的时序图。

[0223] 另外，图 15A 的时序图具有期间 A 和期间 B。并且，在图 15A 的时序图中交替地配置期间 A 和期间 B。在图 15A 的时序图中，可以交替地配置多个期间 A 和多个期间 B。或者，图 15A 的时序图既可具有期间 A 和期间 B 以外的期间，又可省略期间 A 和期间 B 中的一方期间。

[0224] 另外，期间 A 和期间 B 的长短大致相同。或者，例如，在将时钟信号输入到本实施方式的半导体装置的情况下，期间 A 和期间 B 的长短与该时钟信号的半周期大致相同。或者，例如，在将本实施方式的半导体装置用于栅极驱动器的情况下，期间 A 和期间 B 的长短与一个栅极选择期间大致相同。

[0225] 首先，参照图 14B 的示意图说明期间 A 的半导体装置的工作。在期间 A，信号 IN1 成为 H 电平，信号 IN2 成为 L 电平，并且信号 IN3 成为 L 电平。因此，因为电路 100 能够进行图 3A 的工作 4，所以节点 12 的电位（信号 OUT）成为 H 电平。结果，因为晶体管 201 导通，所以布线 115 和布线 211 处于导通状态。然后，因为将布线 115 的电位（例如，电压 V1）供给给布线 211，所以布线 211 的电位（信号 GOUT）成为 L 电平。

[0226] 接着，参照图 14C 的示意图说明期间 B 的半导体装置的工作。在期间 B，信号 IN1 成为 L 电平，信号 IN2 成为 H 电平，并且信号 IN3 成为 L 电平。因此，因为电路 100 能够进行图 3C 的工作 6，所以节点 12 的电位（信号 OUT）成为 L 电平。结果，因为晶体管 201 截止，所以布线 115 和布线 211 处于非导通状态。因此，因为布线 211 处于浮动状态，所以布线 211 的电位大致维持为 V1。

[0227] 如上所述，在期间 A，晶体管 201 导通，而在期间 B，晶体管 201 截止。因此，可以使晶体管 201 导通的时间缩短。因此，可以抑制晶体管的退化。另外，在期间 A 及期间 B 中，晶体管 101、晶体管 102、晶体管 103、晶体管 104、晶体管 105 以及晶体管 201 不会连续导通，由此可以使导通的时间缩短或减少导通的次数。

[0228] 以下，说明信号 IN1 至 IN3 的功能及该信号的特征。

[0229] 首先，信号 IN1 按每个期间反复成为 H 电平或 L 电平。因此，信号 IN1 可以具有时

钟信号的功能。或者，布线 112 可以具有时钟信号线（时钟线或时钟供给线）的功能。

[0230] 接着，信号 IN2 按每个期间反复成为 H 电平或 L 电平。并且，信号 IN2 是信号 IN1 的反相信号或相位从信号 IN1 错开 180° 的信号。因此，信号 IN2 可以具有反相时钟信号的功能。或者，布线 113 可以具有时钟信号线的功能。

[0231] 接着，说明信号 IN1 和信号 IN2 具有时钟信号的功能的情况。在此情况下，信号 IN1 和信号 IN2 既可为如图 15A 所示那样平衡，又可为非平衡。平衡是指在一个周期中成为 H 电平的期间和成为 L 电平的期间大致相同。非平衡是指成为 H 电平的期间和成为 L 电平的期间不同。另外，这里，“不同”是指“大致相同”的范围以外的范围。

[0232] 图 15B 示出在图 15A 的时序图中信号 IN1 和信号 IN2 为非平衡时的时序图。

[0233] 接着，可以将 n 相的时钟信号输入到本实施方式的半导体装置。或者，可以将 n 相的时钟信号中的几个时钟信号输入到本实施方式的半导体装置。n 相的时钟信号是指其周期分别错开 1/n 周期的 n 个时钟信号。

[0234] 图 15C 示出将三相的时钟信号之一用作信号 IN1，并将三相的时钟信号之另一用作信号 IN2 时的时序图。

[0235] 如上所述，作为信号 IN1 至 IN3，除了图 15A 的时序图所示的波形以外，还可以使用各种波形。

[0236] 以下，说明晶体管 201 的沟道宽度的比率。例如，在布线 211 具有栅极信号线的功能时，布线 211 延伸到像素部，有时连接于像素。就是说，布线 211 连接于较大负载。因此，晶体管 201 的沟道宽度大于电路 100 所具有的晶体管的沟道宽度。在此情况下，晶体管 201 的沟道宽度优选为晶体管 101 的沟道宽度的 10 倍以下。晶体管 201 的沟道宽度更优选为晶体管 101 的沟道宽度的 5 倍以下。晶体管 201 的沟道宽度进一步优选为晶体管 101 的沟道宽度的 3 倍以下。

[0237] 如上所述，优选将晶体管的沟道宽度的比率设定为适当的数值。另外，考虑到上述晶体管的沟道宽度的比率，晶体管 201 的沟道宽度优选为 1000μm 以上且 5000μm 以下。晶体管 201 的沟道宽度更优选为 1500μm 以上且 4000μm 以下。晶体管 201 的沟道宽度进一步优选为 2000μm 以上且 3000μm 以下。

[0238] 以下，说明具有与图 14A 不同的结构的半导体装置。

[0239] 首先，在图 14A 所示的结构中，电路 100 不局限于图 1A 所示的结构，而可以使用实施方式 1 所描述的各种结构。作为电路 100，只要满足预定的功能，就可以使用实施方式 1 所示的结构以外的结构。

[0240] 图 10A 示出在图 14A 所示的结构中作为电路 100 使用图 7B 所示的结构的结构。

[0241] 图 10B 示出在图 14A 所示的结构中作为电路 100 使用图 8D 所示的结构的结构。可以防止杂波通过晶体管 103 产生在节点 12。因此，可以防止误动。

[0242] 图 10C 示出在图 14A 所示的结构中作为电路 100 使用图 8C 所示的结构的结构。因为可以进一步减小节点 11 的电位，所以可以防止晶体管 201 导通。

[0243] 另外，在图 10A 至 10C 和图 14A 所示的结构中，可以重新设置晶体管 202。

[0244] 图 16A 示出在图 14A 的半导体装置中重新设置晶体管 202 的结构。晶体管 202 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 202 可以为 P 沟道晶体管。晶体管 202 的第一端子连接于布线 115，晶体管 202 的第二端子连接于布线 211，并且晶体管 202 的栅

极连接于布线 113。晶体管 202 的栅极可以连接于与布线 113 不同的布线。或者，晶体管 202 的第一端子可以连接于与布线 115 不同的布线。

[0245] 以下，说明晶体管 202 的功能。晶体管 202 具有控制布线 115 和布线 211 的导通状态的功能。或者，晶体管 202 具有控制将布线 115 的电位供给给布线 211 的时序的功能。或者，在将信号或电压输入到布线 115 时，晶体管 202 具有控制将输入到布线 115 的信号或电压供给给布线 211 的时序的功能。或者，晶体管 202 具有控制将 L 信号或电压 V1 供给给布线 211 的时序的功能。或者，晶体管 202 具有控制使布线 211 的电位降低的时序的功能。如上所述，晶体管 202 可以具有开关的功能。另外，晶体管 202 不一定需要具有以上所列出的全部功能。另外，可以根据布线 113 的电位（例如，信号 IN2）控制晶体管 202。

[0246] 以下，说明图 16A 的半导体装置的工作。在期间 A，因为信号 IN2 成为 L 电平，所以如图 16B 所示，晶体管 202 截止。在期间 B，因为信号 IN2 成为 H 电平，所以如图 16C 所示，晶体管 202 导通。因此，在期间 B，也使布线 115 和布线 211 处于导通状态，由此将布线 115 的电位（例如，电压 V1）供给给布线 211。因此，可以减少布线 211 的杂波。例如，在将图 16A 的半导体装置用于显示装置，并且将布线 211 连接于像素选择用晶体管的栅极时，可以防止因布线 211 的杂波而向该像素写入输向属于另一行的像素的视频信号。或者，可以防止因布线 211 的杂波而使像素所保持的视频信号变化。因此，可以实现显示质量的提高。

[0247] 另外，在图 10A 至 10C、图 14A 和图 16A 所示的结构中，可以重新设置晶体管 203（第七晶体管）。

[0248] 图 17A 示出在图 14A 的半导体装置中重新设置晶体管 203 的结构。晶体管 203 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 203 可以为 P 沟道晶体管。晶体管 203 的第一端子连接于布线 112，晶体管 203 的第二端子连接于布线 211。并且，将晶体管 203 的栅极称为节点 13。另外，晶体管 102 的栅极可以连接于节点 13。因此，作为信号 IN3，可以使用节点 13 的电位 (V13)。

[0249] 以下，说明晶体管 203 的功能。晶体管 203 具有控制布线 112 和布线 211 的导通状态的功能。或者，晶体管 203 具有控制将布线 112 的电位供给给布线 211 的时序的功能。或者，在将信号或电压输入到布线 112 时，晶体管 203 具有控制将输入到布线 112 的信号或电压供给给布线 211 的时序的功能。或者，晶体管 203 具有控制将 H 信号或电压 V2 供给给布线 211 的时序的功能。或者，晶体管 203 具有控制将 L 信号或电压 V1 供给给布线 211 的时序的功能。或者，晶体管 203 具有控制使布线 211 的电位上升的时序的功能。或者，晶体管 203 具有控制使布线 211 的电位降低的时序的功能。或者，晶体管 203 具有执行自举 (bootstrap) 操作的功能。或者，晶体管 203 具有通过执行自举而使节点 13 的电位上升的功能。如上所述，晶体管 203 可以具有开关或缓冲器的功能。另外，晶体管 203 不一定需要具有以上所列出的全部功能。另外，可以根据节点 13 的电位、布线 112 的电位（例如，信号 IN1）以及 / 或布线 211 的电位（信号 GOUT）控制晶体管 203。

[0250] 接着，参照图 17B 说明图 17A 所示的半导体装置的工作。图 17B 示出可以应用于本实施方式的半导体装置的时序图。

[0251] 另外，图 17B 的时序图具有期间 A 至期间 E。在图 17B 的时序图中，依次配置期间 C、期间 D 和期间 E。另外，在除此以外的期间，交替地配置期间 A 和期间 B。也可以按各种顺序配置期间 A 至期间 E。

[0252] 首先，参照图 18A 的示意图说明期间 A 的半导体装置的工作。在期间 A，信号 IN1 成为 H 电平，信号 IN2 成为 L 电平，并且节点 13（信号 IN3）成为 L 电平。因此，因为电路 100 能够进行图 3A 的工作 4，所以节点 12 的电位（信号 OUT）成为 H 电平。然后，因为晶体管 201 导通，所以布线 115 和布线 211 处于导通状态。因此，因为将布线 115 的电位（例如，电压 V1）供给给布线 211。此时，因为节点 13 的电位成为 L 电平，所以晶体管 203 截止。然后，布线 112 和布线 211 处于非导通状态。结果，因为将布线 115 的电位（例如，电压 V1）供给给布线 211，所以信号 GOUT 成为 L 电平。

[0253] 接着，参照图 18B 的示意图说明期间 B 的半导体装置的工作。在期间 B，信号 IN1 成为 L 电平，信号 IN2 成为 H 电平，并且节点 13 的电位（信号 IN3）一直为 L 电平。因此，因为电路 100 能够进行图 3C 的工作 6，所以节点 12 的电位（信号 OUT）成为 L 电平。然后，因为晶体管 201 截止，所以布线 115 和布线 211 处于非导通状态。此时，因为节点 13 的电位成为 L 电平，所以晶体管 203 截止。然后，布线 112 和布线 211 处于非导通状态。结果，因为布线 211 处于浮动状态，所以布线 211 的电位大致维持为 V1。

[0254] 首先，参照图 19A 的示意图说明期间 C 的半导体装置的工作。在期间 C，信号 IN1 成为 L 电平，信号 IN2 成为 H 电平，并且节点 13（信号 IN3）的电位成为 H 电平。因此，因为电路 100 能够进行图 3B 的工作 5，所以节点 12 的电位（信号 OUT）成为 L 电平。然后，因为晶体管 201 截止，所以布线 115 和布线 211 处于非导通状态。此时，因为节点 13 的电位成为 H 电平，所以晶体管 203 导通。然后，因为布线 112 和布线 211 处于导通状态，所以将布线 112 的电位（L 电平的信号 IN1）供给给布线 211。结果，因为将布线 112 的电位（L 电平的信号 IN1）供给给布线 211，所以信号 GOUT 成为 L 电平。

[0255] 接着，参照图 19B 的示意图说明期间 D 的半导体装置的工作。在期间 D，信号 IN1 成为 H 电平，信号 IN2 成为 L 电平，并且节点 13 的电位（信号 IN3）成为 H 电平。因此，因为电路 100 能够进行图 2C 的工作 3，所以节点 12 的电位（信号 OUT）成为 L 电平。然后，因为晶体管 201 截止，所以布线 115 和布线 211 处于非导通状态。此时，因为节点 13 的电位成为 H 电平，所以晶体管 203 导通。然后，因为布线 112 和布线 211 处于导通状态，所以将布线 112 的电位（H 电平的信号 IN1）供给给布线 211。结果，因为将布线 112 的电位（H 电平的信号 IN1）供给给布线 211，所以布线 211 的电位开始上升。此时，节点 12 处于浮动状态。然后，通过晶体管 203 的栅极和第二端子之间的寄生电容而使节点 13 的电位上升。结果，节点 13 的电位成为 V2+Vth203+Va。这是所谓的自举工作。像这样，因为布线 211 的电位成为 V2，所以信号 GOUT 成为 H 电平。

[0256] 以下，参照图 19C 的示意图说明期间 E 的半导体装置的工作。在期间 E，信号 IN1 成为 L 电平，信号 IN2 成为 H 电平，并且节点 13 的电位（信号 IN3）成为 L 电平。因此，因为电路 100 能够进行图 3C 的工作 6，所以节点 12 的电位（信号 OUT）成为 L 电平。然后，因为晶体管 201 截止，所以布线 115 和布线 211 处于非导通状态。此时，节点 13 的电位成为 L 电平。然后，因为晶体管 203 截止，所以布线 112 和布线 211 处于非导通状态。但是，信号 IN1 从 H 电平变成 L 电平的时序可以早于节点 13 的电位从 H 电平减小到 L 电平的时序。在此情况下，在晶体管 203 导通时，即布线 112 和布线 211 处于导通状态时，信号 IN1 有时成为 L 电平。因此，因为将 L 电平的信号 IN1 供给给布线 211，所以信号 GOUT 成为 L 电平。

[0257] 另外，在图 10A 至 10C、图 14A、图 16A 和图 17A 所示的结构中，可以将晶体管 203

的栅极连接于节点 12。或者，可以将晶体管 201 的栅极连接于节点 13（参照图 47A）。

[0258] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A 和图 47A 所示的结构中，可以将电路 100 和其他晶体管分别连接于不同布线。例如，如图 47B 所示，可以将晶体管 203 的第一端子连接于与布线 112 不同的布线（布线 112A）。或者，可以将晶体管 201 的第一端子连接于与布线 115 不同的布线（布线 115A）。

[0259] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A 以及图 47A 和 47B 所示的结构中，可以重新设置晶体管 204。

[0260] 图 20A 示出在图 17A 的半导体装置中重新设置晶体管 204 的结构。晶体管 204 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 204 可以为 P 沟道晶体管。晶体管 204 的第一端子连接于布线 115，晶体管 204 的第二端子连接于节点 13，并且晶体管 204 的栅极连接于节点 12。

[0261] 以下，说明晶体管 204 的功能。晶体管 204 具有控制布线 115 和节点 13 的导通状态的功能。或者，晶体管 204 具有控制将布线 115 的电位供给给节点 13 的时序的功能。或者，在将信号或电压输入到布线 115 时，晶体管 204 具有控制将输入到布线 115 的信号或电压供给给节点 13 的时序的功能。或者，晶体管 204 具有控制将 L 信号或电压 V1 供给给节点 13 的时序的功能。或者，晶体管 204 具有控制使节点 13 的电位降低的时序的功能。如上所述，晶体管 204 可以具有开关的功能。另外，晶体管 204 不一定需要具有以上所列出的全部功能。另外，可以根据节点 12 的电位（例如，信号 OUT）控制晶体管 204。

[0262] 以下，说明图 20A 所示的半导体装置的工作。在期间 A，如图 20B 所示，因为电路 100 输出 H 信号，所以晶体管 204 导通。然后，因为布线 115 和节点 13 处于导通状态，所以将布线 115 的电位（例如，电压 V1）供给给节点 13。在期间 B 至期间 E，因为电路 100 输出 L 信号，所以晶体管 204 截止。因此，布线 115 和节点 13 处于非导通状态。另外，图 20C 示出期间 B 的图 20A 所示的半导体装置的示意图。

[0263] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A 以及图 47A 和 47B 所示的结构中，可以重新设置晶体管 205。

[0264] 图 21A 示出在图 17A 的半导体装置中重新设置晶体管 205 的结构。晶体管 205 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 205 可以为 P 沟道晶体管。晶体管 205 的第一端子连接于布线 212，晶体管 205 的第二端子连接于节点 13，并且晶体管 205 的栅极连接于布线 212。

[0265] 以下，说明输入到布线 212 的信号及布线 212 的功能。将信号 IN4 输入到布线 212。信号 IN4 可以具有起始脉冲的功能。因此，布线 212 可以具有信号线的功能。可以将固定的电压供给给布线 212。因此，布线 212 可以具有电源线的功能。

[0266] 另外，在连接有多个半导体装置的情况下，布线 212 连接于另一半导体装置（例如，前一级的半导体装置）的布线 211。因此，布线 212 可以具有栅极信号线、扫描线、选择线、电容线或电源线的功能。另外，信号 IN4 可以具有栅极信号或扫描信号的功能。

[0267] 以下，说明晶体管 205 的功能。晶体管 205 具有控制布线 212 和节点 13 的导通状态的功能。或者，晶体管 205 具有控制将布线 212 的电位供给给节点 13 的时序的功能。或者，在将信号或电压输入到布线 212 时，晶体管 205 具有控制将输入到布线 212 的信号或电压供给给节点 13 的时序的功能。或者，晶体管 205 具有控制将 H 信号或电压 V2 供给给节

点 13 的时序的功能。或者，晶体管 205 具有不将信号或电压供给给节点 13 的功能。或者，晶体管 205 具有控制使节点 13 的电位上升的时序的功能。或者，晶体管 205 具有使节点 13 处于浮动状态的功能。如上所述，晶体管 205 可以具有开关、二极管或被进行了二极管连接的晶体管等的功能。另外，晶体管 205 不一定需要具有以上所列出的全部功能。另外，可以根据布线 212 的电位（信号 IN4）和 / 或节点 13 的电位控制晶体管 205。

[0268] 以下，参照图 21B 说明图 21A 所示的半导体装置的工作。图 21B 示出可以应用于本实施方式的半导体装置的时序图。在期间 C，如图 22A 所示，信号 IN4 成为 H 电平。因此，因为晶体管 205 导通，所以布线 212 和节点 13 处于导通状态。然后，将布线 212 的电位（例如，H 电平的信号 IN4）供给给节点 13。结果，节点 13 的电位开始上升。然后，当节点 13 的电位成为从晶体管 205 的栅极电位（例如，V2）减去晶体管 205 的阈值电压 (Vth205) 的数值 (V2-Vth205) 时，晶体管 205 截止。因此，因为节点 13 处于浮动状态，所以节点 13 的电位维持为 V2-Vth205。在期间 A 和 B 以及期间 D 和 E，信号 IN4 成为 L 电平。因此，由于晶体管 205 截止，所以布线 212 和节点 13 处于非导通状态。另外，图 22B 示出期间 B 的图 21A 所示的半导体装置的工作的示意图。

[0269] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A 以及图 47A 和 47B 所示的结构中，可以重新设置晶体管 206。

[0270] 图 23A 示出在图 21A 的半导体装置中设置晶体管 206 的结构。晶体管 206 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 206 可以为 P 沟道晶体管。晶体管 206 的第一端子连接于布线 212，晶体管 206 的第二端子连接于节点 13，并且晶体管 206 的栅极连接于布线 113。

[0271] 以下，说明晶体管 206 的功能。晶体管 206 具有控制布线 212 和节点 13 的导通状态的功能。或者，晶体管 206 具有控制将布线 212 的电位供给给节点 13 的时序的功能。或者，在将信号或电压输入到布线 212 时，晶体管 206 具有控制将输入到布线 212 的信号或电压供给给节点 13 的时序的功能。或者，晶体管 206 具有控制将 L 信号或电压 V1 供给给节点 13 的时序的功能。或者，晶体管 206 具有控制将 H 信号或电压 V2 供给给节点 13 的时序的功能。或者，晶体管 206 具有控制使节点 13 的电位降低的时序的功能。或者，晶体管 206 具有控制使节点 13 的电位上升的时序的功能。如上所述，晶体管 206 可以具有开关的功能。另外，晶体管 206 不一定需要具有以上所列出的全部功能。另外，可以根据布线 113 的电位（例如，信号 IN2）控制晶体管 206。

[0272] 以下，说明图 23A 的半导体装置的工作。在期间 C，如图 23B 所示，因为信号 IN2 成为 H 电平，所以晶体管 206 导通。因此，因为布线 212 和节点 13 处于导通状态，所以布线 212 的电位（例如，H 电平的信号 IN4）被供给给节点 13。像这样，在期间 C，可以使节点 13 的电位变化陡峭，因此可以提高半导体装置的驱动频率。

[0273] 在期间 B 和期间 E，与期间 C 同样，因为信号 IN2 也成为 H 电平，所以晶体管 206 导通。因此，因为布线 212 和节点 13 处于导通状态，所以将布线 212 的电位（例如，L 电平的信号 IN4）供给给节点 13。由此，在期间 B，可以固定节点 13 的电位，因此可以得到抗杂波性能好的半导体装置。或者，在期间 E，因为可以降低节点 13 的电位，所以可以使晶体管 203 截止。另外，图 24A 示出期间 B 的图 23A 所示的半导体装置的工作的示意图。

[0274] 在期间 A，如图 24B 所示，因为信号 IN2 成为 L 电平，所以晶体管 206 截止。因此，

布线 212 和节点 13 处于非导通状态。像这样，因为晶体管 206 截止，所以可以抑制晶体管 206 的退化。

[0275] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A 以及图 47A 和 47B 所示的结构中，可以重新设置晶体管 207。

[0276] 图 25A 示出在图 17A 的半导体装置中重新设置晶体管 207 的结构。晶体管 207 为 N 沟道晶体管。但是，本实施方式不局限于此，晶体管 207 可以为 P 沟道晶体管。晶体管 207 的第一端子连接于布线 115，晶体管 207 的第二端子连接于节点 13，并且晶体管 207 的栅极连接于布线 213。

[0277] 以下，说明输入到布线 213 的信号及布线 213 的功能。将信号 IN5 输入到布线 213。信号 IN5 可以具有复位信号的功能。因此，布线 213 可以具有信号线的功能。可以将固定的电压供给给布线 213。因此，布线 213 可以具有电源线的功能。

[0278] 另外，在连接有多个半导体装置的情况下，布线 213 连接于另一半导体装置（例如，下一级的半导体装置）的布线 211。因此，布线 213 可以具有栅极信号线、扫描线、选择线、电容线或电源线的功能。另外，信号 IN5 可以具有栅极信号或扫描信号的功能。

[0279] 以下，说明晶体管 207 的功能。晶体管 207 具有控制布线 115 和节点 13 的导通状态的功能。或者，晶体管 207 具有控制将布线 115 的电位供给给节点 13 的时序的功能。或者，在将信号或电压输入到布线 115 时，晶体管 207 具有控制将输入到布线 115 的信号或电压供给给节点 13 的时序的功能。或者，晶体管 207 具有控制将 L 信号或电压 V1 供给给节点 13 的时序的功能。或者，晶体管 207 具有控制使节点 13 的电位降低的时序的功能。如上所述，晶体管 207 可以具有开关的功能。另外，晶体管 207 不一定需要具有以上所列出的全部功能。另外，可以根据布线 213 的电位（例如，信号 IN5）控制晶体管 207。

[0280] 以下，参照图 25B 说明图 25A 所示的半导体装置的工作。图 25B 示出可以应用于本实施方式的半导体装置的时序图。在期间 E，如图 26A 所示，信号 IN5 成为 H 电平。因此，因为晶体管 207 导通，所以布线 115 和节点 13 处于导通状态。然后，将布线 115 的电位（例如，电压 V1）供给给节点 13。结果，节点 13 的电位降低。在期间 A 至期间 D，信号 IN5 成为 L 电平。因此，由于晶体管 207 截止，所以布线 115 和节点 13 处于非导通状态。另外，图 26B 示出期间 B 的图 25A 所示的半导体装置的工作的示意图。

[0281] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A 以及图 47A 和 47B 所示的结构中，晶体管 102 的栅极可以连接于与节点 13 不同的布线（例如，布线 211 等）。

[0282] 图 27B 示出在图 27A 的半导体装置中将晶体管 102 的栅极连接于布线 211 的结构。可以防止因将大电压施加到晶体管 102 的栅极而引起晶体管 102 的介质击穿或退化。

[0283] 另外，图 27A 的半导体装置具有在图 14A 的半导体装置中重新追加晶体管 201 至 207 的结构。

[0284] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 和 27B 以及图 47A 和 47B 所示的结构中，晶体管 204 的第一端子可以连接于与布线 115 不同的布线（例如，布线 113、布线 212、布线 213、节点 12 或节点 13 等）。或者，晶体管 204 的栅极可以连接于与节点 12 不同的布线（例如，布线 112 等）。

[0285] 图 27C 示出在图 27A 的半导体装置中将晶体管 204 的第一端子连接于布线 211 且

将晶体管 204 的栅极连接于布线 112 的结构。由此，在期间 D，可以降低节点 13 的电位。因此，可以防止连接于节点 13 的晶体管（例如，晶体管 102、晶体管 203、晶体管 205 或晶体管 206 等）的介质击穿或者可以抑制这些晶体管的退化。

[0286] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C 以及图 47A 和 47B 所示的结构中，晶体管 205 的第一端子可以连接于与布线 212 不同的布线（例如，布线 113、布线 116 等）。或者，晶体管 205 的栅极可以连接于与布线 212 不同的布线（例如，布线 113、布线 116 等）。

[0287] 图 28A 示出在图 27A 的半导体装置中将晶体管 205 的第一端子连接于布线 116 的结构。

[0288] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 以及图 47A 和 47B 所示的结构中，晶体管 207 的第二端子可以连接于与节点 13 不同的布线（例如，布线 211、节点 11 或节点 12 等）。或者，晶体管 207 的第一端子可以连接于与布线 115 不同的布线（例如，布线 112、布线 116、节点 11 或节点 12 等）。

[0289] 图 28B 示出在图 27A 的半导体装置中将晶体管 207 的第二端子连接于布线 211 的结构。在期间 E，可以将布线 115 的电位（例如，电压 V1）通过晶体管 207 供给给布线 211。因此，信号 GOUT 的下降时间可以缩短。

[0290] 另外，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 和 28B 以及图 47A 和 47B 所示的结构中，晶体管 201 的第一端子可以连接于与布线 115 不同的布线（例如，布线 113、布线 212、布线 213、节点 12 或节点 13 等）。或者，晶体管 202 的第一端子可以连接于与布线 115 不同的布线（例如，布线 112 或节点 12 等）。或者，晶体管 204 的第一端子可以连接于与布线 115 不同的布线（例如，布线 113、布线 212、布线 213、节点 12 或节点 13 等）。或者，晶体管 207 的第一端子可以连接于与布线 115 不同的布线（例如，布线 112、布线 116、布线 212、节点 12 等）。各晶体管的各端子除了附图中的连接关系以外还可以连接于各种布线。

[0291] 图 28C 示出图 27A 的半导体装置中晶体管 201 的第一端子连接于布线 113，晶体管 202 的第一端子连接于布线 113，晶体管 204 的第一端子连接于布线 113，并且晶体管 207 的第一端子连接于布线 112 的结构。因为可以将 H 信号输入到晶体管 201、晶体管 202、晶体管 204 以及晶体管 207 的第一端子，所以可以抑制这些晶体管的退化。

[0292] 接着，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 至 28C 以及图 47A 和 47B 所示的结构中，可以使用二极管代替晶体管。例如，可以对晶体管进行二极管连接。

[0293] 图 29A 示出在图 27A 的半导体装置中使用二极管代替晶体管的结构。可以使用其一方电极（例如，输入端子）连接于布线 211，而其另一方电极（例如，输出端子）连接于节点 12 的二极管 201d 代替晶体管 201。或者，可以使用其一方电极（例如，输入端子）连接于布线 211，而其另一方电极（例如，输出端子）连接于布线 113 的二极管 202d 代替晶体管 202。或者，可以使用其一方电极（例如，输入端子）连接于节点 13，而其另一方电极（例如，输出端子）连接于布线 211 的二极管 203d 代替晶体管 203。或者，可以使用其一方电极（例如，输入端子）连接于节点 13，而其另一方电极（例如，输出端子）连接于节点 12 的二极管 204d 代替晶体管 204。或者，可以使用其一方电极（例如，输入端子）连接于布

线 212，而其另一方电极（例如，输出端子）连接于节点 13 的二极管 205d 代替晶体管 205。或者，可以使用其一方电极（例如，输入端子）连接于节点 13，而其另一方电极（例如，输出端子）连接于布线 213 的二极管 207d 代替晶体管 207。由此，可以减少信号或电源的数量。就是说，可以减少布线数。因此，因为可以减小形成本实施方式的半导体装置的衬底和用来将信号供给给该衬底的衬底之间的连接数，所以可以实现可靠性的提高、成品率的提高或制造成本的削减等。可以使用二极管代替本实施方式的多个晶体管中的几个。

[0294] 图 29B 示出在图 27A 的半导体装置中对晶体管进行了二极管连接的结构。例如，晶体管 201 的第一端子连接于节点 12 而晶体管 201 的栅极连接于布线 211。或者，例如，晶体管 202 的第一端子连接于布线 113，而晶体管 202 的栅极连接于布线 211。或者，例如，晶体管 203 的第一端子连接于节点 13，而晶体管 203 的栅极连接于节点 13。或者，例如，晶体管 204 的第一端子连接于节点 12，晶体管 204 的栅极连接于节点 13。或者，例如，晶体管 207 的第一端子连接于布线 213，晶体管 207 的栅极连接于节点 13。由此，可以减少信号或电源的数量。就是说，可以减少布线数。因此，因为可以减小形成本实施方式的半导体装置的衬底和用来将信号供给给该衬底的衬底之间的连接数，所以可以实现可靠性的提高、成品率的提高或制造成本的削减等。可以对本实施方式的多个晶体管中的几个进行二极管连接。

[0295] 图 29C 示出在图 27A 的半导体装置中对 P 沟道晶体管进行了二极管连接的结构。晶体管 201p、晶体管 202p、晶体管 203p、晶体管 204p、晶体管 205p 和晶体管 207p 分别具有与晶体管 201、晶体管 202、晶体管 203、晶体管 204、晶体管 205 和晶体管 207 同样的功能，并且它们是 P 沟道晶体管。图 29C 的半导体装置的连接关系与图 29B 的半导体装置相同。但是，图 29C 的半导体装置与图 29B 的半导体装置不同之处是：将晶体管 201p 的栅极连接于节点 12；将晶体管 202p 的栅极连接于布线 113，将晶体管 203p 的栅极连接于布线 211，将晶体管 204p 的栅极连接于节点 12，将晶体管 205p 的栅极连接于节点 13，并且将晶体管 207p 的栅极连接于布线 213，以对晶体管进行二极管连接。由此，可以减少信号或电源的数量。就是说，可以减少布线数。因此，因为可以减小形成本实施方式的半导体装置的衬底和用来将信号供给给该衬底的衬底之间的连接数，所以可以实现可靠性的提高、成品率的提高或制造成本的削减等。可以对本实施方式的多个晶体管中的几个进行二极管连接。

[0296] 接着，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 至 28C、图 29A 至 29C 以及图 47A 和 47B 所示的结构中，可以将晶体管的各端子或各电极分别连接于不同的布线。例如，可以将晶体管 101 的第一端子、晶体管 104 的第一端子和晶体管 203 的第一端子分别连接于不同的布线。或者，例如，可以将晶体管 103 的栅极、晶体管 105 的栅极和晶体管 202 的栅极分别连接于不同的布线。或者，例如，可以将晶体管 102 的第一端子、晶体管 105 的第一端子、晶体管 201 的第一端子、晶体管 202 的第一端子、晶体管 204 的第一端子和晶体管 207 的第一端子分别连接于不同的布线。或者，例如，可以将晶体管 205 的第一端子和晶体管 206 的第一端子分别连接于不同的布线。为了实现上述连接，可以将布线分割成多个布线。

[0297] 图 30A 示出在图 27A 的半导体装置中将布线 112 分割成多个布线 112A 至 112C，将布线 113 分割成多个布线 113A 至 113D，将布线 115 分割成多个布线 115A 至 115G，并且将布线 212 分割成多个布线 212A 和 212B 的结构。晶体管 201 的第一端子连接于布线 115D。

或者，晶体管 202 的第一端子连接于布线 115E，并且晶体管 202 的栅极连接于布线 113C。或者，晶体管 203 的第一端子连接于布线 112C。或者，晶体管 204 的第一端子连接于布线 115F。或者，晶体管 205 的第一端子及栅极连接于布线 212A。或者，晶体管 206 的第一端子连接于布线 212B。或者，晶体管 206 的栅极连接于布线 113D。或者，晶体管 207 的第一端子连接于布线 115G。

[0298] 另外，布线 112A 至 112C 可以具有与布线 112 相同的功能。或者，布线 113A 至 113D 可以具有与布线 113 相同的功能。或者，布线 115A 至 115G 可以具有与布线 115 相同的功能。或者，布线 212A 和 212B 可以具有与布线 212 相同的功能。因此，可以将信号 IN1 输入到布线 112A 至 112C。或者，可以将信号 IN2 输入到布线 113A 至 113D。或者，可以将电压 V1 供给给布线 115A 至 115G。或者，可以将信号 IN4 输入到布线 212A 和 212B。可以将不同的电压或不同的信号分别供给给布线 112A 至 112C。或者，可以将不同的电压或不同的信号分别供给给布线 113A 至 113D。或者，可以将不同的电压或不同的信号分别供给给布线 115A 至 115G。或者，可以将不同的电压或不同的信号分别供给给布线 212A 和 212B。

[0299] 接着，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 至 28C、图 29A 至 29C、图 30A 以及图 47A 和 47B 所示的结构中，可以省略一部分的晶体管。例如，可以省略晶体管 201 和晶体管 204 中的一方。或者，例如，在半导体装置具有晶体管 206 时，可以省略晶体管 205 和晶体管 207 中的一方或双方。在上述以外的情况下，根据需要，也可以省略晶体管的一部分。

[0300] 图 30B 示出在图 27A 的半导体装置中省略晶体管 201 和晶体管 205 的结构。晶体管个数减小，因此可以减小布局面积。或者，可以降低耗电量。

[0301] 接着，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 至 28C、图 29A 至 29C、图 30A 和 30B 以及图 47A 和 47B 所示的结构中，可以重新设置连接于节点 13 和布线 211 之间的电容元件 220。

[0302] 图 30C 示出在图 17A 所示的半导体装置中重新设置连接于节点 13 和布线 211 之间的电容元件 220 的结构。由此，在进行自举工作时，节点 13 的电位容易上升。因此，可以增大晶体管 203 的 Vgs。结果，可以减小晶体管 203 的沟道宽度。或者，信号 OUT 的下降时间或上升时间可缩短。例如，作为电容元件，可以使用 MOS 电容器。

[0303] 接着，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 至 28C、图 29A 至 29C、图 30A 至 30C 以及图 47A 和 47B 所示的结构中，可以与信号 GOUT 另行产生信号。例如，本实施方式的半导体装置与信号 GOUT 另行产生信号 SOUT，并且连接有多个半导体装置。在此情况下，不将信号 SOUT 输出到布线 211，而将信号 SOUT 作为起始脉冲输入到另一级的半导体装置。因此，信号 SOUT 的延迟或失真比信号 GOUT 小。为此，因为可以使用延迟或失真小的信号驱动半导体装置，所以可以降低半导体装置的输出信号的延迟。为此，在图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 至 28C、图 29A 至 29C、图 30A 至 30C 以及图 47A 和 47B 所示的结构中，可以重新设置晶体管 208。

[0304] 图 31A 示出在图 17A 的半导体装置中重新设置晶体管 208 的结构。晶体管 208 可以具有与晶体管 203 相同的功能，并具有相同的极性。晶体管 208 的第一端子连接于布线 112，晶体管 208 的第二端子连接于布线 214，并且晶体管 208 的栅极连接于节点 13。布线

214 可以具有与布线 211 相同的功能。另外，例如，在连接有多个半导体装置的情况下，布线 211 连接于另一半导体装置（例如，下一级的半导体装置）的布线 212。例如，如图 31B 所示，可以重新设置晶体管 209。晶体管 209 可以具有与晶体管 203 相同的功能，并具有相同的极性。晶体管 209 的第一端子连接于布线 115，晶体管 209 的第二端子连接于布线 214，并且晶体管 209 的栅极连接于节点 12。另外，图 31C 示出与信号 GOUT 另行产生信号 SOUT 时的时序图。

[0305] 如上所述，本实施方式不局限于图 14A 所示的结构，而可以采用各种结构。

[0306] 接着，在图 10A 至 10C、图 14A、图 16A、图 17A、图 20A、图 21A、图 23A、图 25A、图 27A 至 27C、图 28A 至 28C、图 29A 至 29C、图 30A 至 30C、图 31A 和 31B 以及图 47A 和 47B 所示的结构中，可以使用 P 沟道晶体管。也可以仅使半导体装置所具有的多个晶体管中的几个为 P 沟道晶体管。就是说，本实施方式的半导体装置可以采用 CMOS 电路。

[0307] 图 32A 示出在图 27A 的半导体装置中使用 P 沟道晶体管的结构。晶体管 201p 至 207p 具有与晶体管 201 至 207 相同的功能并是 P 沟道晶体管。在此情况下，将电压 V2 供给给布线 115。另外，如图 32B 的时序图所示，可以使信号 IN1、信号 IN2、信号 IN4、信号 IN5、节点 11 的电位、节点 12 的电位、节点 13 的电位以及信号 GOUT 反相。

[0308] 以下，说明晶体管 201 至 209 的沟道宽度的比率和晶体管的尺寸。

[0309] 首先，晶体管 201 将电位供给给布线 211。另外，布线 211 的负载大于节点 12 的负载。因此，晶体管 201 的沟道宽度大于电路 100 所具有的晶体管的沟道宽度。在此情况下，晶体管 201 的沟道宽度优选为晶体管 101 的沟道宽度的 10 倍以下，更优选为 5 倍以下，进一步优选为 3 倍以下。

[0310] 其次，晶体管 202 的栅极电位的变化比晶体管 201 的栅极电位陡峭。因此，晶体管 202 的沟道宽度优选小于晶体管 201 的沟道宽度。在此情况下，晶体管 201 的沟道宽度优选为晶体管 202 的沟道宽度的 10 倍以下，更优选为 7 倍以下，进一步优选为 5 倍以下。

[0311] 其次，晶体管 203 通过将电位供给给布线 211 而改变布线 211 的电位。另外，布线 211 连接于较大的负载（例如，栅极信号线、像素、晶体管或电容元件等）。因此，在本实施方式的半导体装置所具有的晶体管中，晶体管 203 的沟道宽度最大。例如，晶体管 203 的沟道宽度优选为晶体管 201 的沟道宽度的 10 倍以下，更优选为 5 倍以下，进一步优选为 2 倍以下。

[0312] 其次，晶体管 204 将电位供给给节点 13。另外，节点 13 的负载大于节点 12 的负载。因此，晶体管 204 的沟道宽度小于晶体管 201 的沟道宽度。在此情况下，晶体管 201 的沟道宽度优选为晶体管 204 的沟道宽度的 5 倍以下，更优选为 3 倍以下，进一步优选为 2 倍以下。

[0313] 其次，通过增大晶体管 205 的沟道宽度，可以在期间 A 使节点 13 的电位的变化陡峭，所以可以提高半导体装置的驱动频率。因此，晶体管 205 的沟道宽度大于晶体管 201 或电路 100 所具有的晶体管的沟道宽度。或者，晶体管 205 的沟道宽度小于晶体管 203 的沟道宽度。在此情况下，晶体管 203 的沟道宽度优选为晶体管 205 的沟道宽度的 10 倍以下，更优选为 5 倍以下，进一步优选为 2 倍以下。

[0314] 其次，晶体管 206 通过将电位供给给节点 13 而维持节点 13 的电位。因此，晶体管 206 的沟道宽度小于晶体管 205 的沟道宽度。在此情况下，晶体管 205 的沟道宽度优选为晶

体管 206 的沟道宽度的 3 倍以下，更优选为 2 倍以下，进一步优选为 1.8 倍以下。

[0315] 其次，晶体管 207 通过将电位供给给节点 13 而降低节点 13 的电位。注意，通过使节点 13 的电位的降低变慢，可以在期间 E 使晶体管 203 导通。由此，在期间 E，晶体管 203 可以将电位供给给布线 211，因此可以使布线 211 的电位的降低变快。因此，晶体管 207 的沟道宽度小于晶体管 205 的沟道宽度。在此情况下，晶体管 205 的沟道宽度优选为晶体管 207 的沟道宽度的 10 倍以下，更优选为 7 倍以下，进一步优选为 5 倍以下。

[0316] 其次，晶体管 208 将电位供给给布线 214。另外，布线 214 的负载小于布线 211 的负载。因此，晶体管 208 的沟道宽度小于晶体管 203 的沟道宽度。在此情况下，晶体管 203 的沟道宽度优选为晶体管 208 的沟道宽度的 10 倍以下，更优选为 7 倍以下，进一步优选为 4 倍以下。

[0317] 其次，晶体管 209 将电位供给给布线 214。另外，布线 214 的负载小于布线 211 的负载。因此，晶体管 209 沟道宽度小于晶体管 203 的沟道宽度。在此情况下，晶体管 203 的沟道宽度优选为晶体管 209 的沟道宽度的 7 倍以下，更优选为 4 倍以下，进一步优选为 2.5 倍以下。

[0318] 另外，考虑到上述晶体管的沟道宽度的比率，晶体管 201 的沟道宽度优选为 1000μm 以上且 5000μm 以下，更优选为 1500μm 以上且 4000μm 以下，进一步优选为 2000μm 以上且 3000μm 以下。或者，晶体管 202 的沟道宽度优选为 200μm 以上且 3000μm 以下，更优选为 300μm 以上且 2000μm 以下，进一步优选为 400μm 以上且 1000μm 以下。或者，晶体管 203 的沟道宽度优选为 2000μm 以上且 30000μm 以下，更优选为 3000μm 以上且 15000μm 以下，进一步优选为 4000μm 以上且 10000μm 以下。或者，晶体管 204 的沟道宽度优选为 200μm 以上且 2500μm 以下，更优选为 400μm 以上且 2000μm 以下，进一步优选为 700μm 以上且 1500μm 以下。或者，晶体管 205 的沟道宽度优选为 500μm 以上且 3000μm 以下，更优选为 1000μm 以上且 2500μm 以下，进一步优选为 1500μm 以上且 2000μm 以下。或者，晶体管 206 的沟道宽度优选为 300μm 以上且 2000μm 以下，更优选为 500μm 以上且 1500μm 以下，进一步优选为 800μm 以上且 1300μm 以下。或者，晶体管 207 的沟道宽度优选为 100μm 以上且 1500μm 以下，更优选为 300μm 以上且 1000μm 以下，进一步优选为 400μm 以上且 800μm 以下。或者，晶体管 208 的沟道宽度优选为 300μm 以上且 5000μm 以下，500μm 以上且 2000μm 以下，进一步优选为 800μm 以上且 1500μm 以下。或者，晶体管 209 的沟道宽度优选为 200μm 以上且 2000μm 以下，更优选为 400μm 以上且 1500μm 以下，进一步优选为 500μm 以上且 1000μm 以下。

[0319] 实施方式 3

[0320] 在本实施方式中，说明显示装置、显示装置所具有的像素以及显示装置所具有的移位寄存器电路。另外，该移位寄存器电路可以具有实施方式 1 或 2 所示的半导体装置。

[0321] 首先，参照图 33A 至 33D 说明显示装置。显示装置具有电路 1001、电路 1002、电路 1003_1、像素部 1004 以及端子 1005。多个布线可以从电路 1003_1 延伸而配置在像素部 1004。该多个布线可以具有栅极信号线或扫描线的功能。或者，多个布线可以从电路 1002 延伸而配置在像素部 1004。该多个布线可以具有视频信号线或数据线的功能。另外，对应于从电路 1003_1 延伸而配置的多个布线和从电路 1002 延伸而配置的多个布线，配置有多个像素。例如，在像素部 1004，除了上述以外还可以配置各种布线。该布线可以具有栅极信

号线、数据线、电源线或电容线等的功能。

[0322] 另外，电路 1001 具有将信号、电压或电流等供给给电路 1002 及电路 1003 的功能。或者，电路 1001 具有控制电路 1002 及电路 1003 的功能。如上所述，电路 1001 可以具有控制器、控制电路、时序发生器、电源电路或调节器等的功能。

[0323] 另外，电路 1002 具有将视频信号供给给像素部 1004 的功能。或者，电路 1002 具有控制像素部 1004 所具有的像素的亮度或透过率等的功能。如上所述，电路 1002 具有驱动电路、源极驱动器或信号线驱动电路等的功能。

[0324] 另外，电路 1003_1 及电路 1003_2 具有将扫描信号或栅极信号供给给像素部 1004 的功能。或者，电路 1003_1 及电路 1003_2 具有选择像素部 1004 所具有的像素的功能。如上所述，电路 1003_1 及电路 1003_2 具有驱动电路、栅极驱动器或扫描线驱动电路的功能。另外，电路 1003_1 及电路 1003_2 既可驱动同一布线，又可驱动不同布线。例如，电路 1003_1 可以驱动奇数级的栅极信号线，电路 1003_2 可以驱动偶数级的栅极信号线。

[0325] 另外，电路 1001、电路 1002、电路 1003_1 及电路 1003_2 既可形成在与像素部 1004 相同的衬底 1006 上，又可形成在与像素部 1004 不同的衬底（例如，半导体衬底或 SOI 衬底等）上。

[0326] 图 33A 示出如下结构：电路 1003_1 形成在与像素部 1004 相同的衬底 1006 上，电路 1001 及电路 1002 形成在与像素部 1004 不同的衬底上。电路 1003_1 的驱动频率比电路 1001 或电路 1002 低。因此，作为晶体管的半导体层，容易使用非单晶半导体、非晶半导体、微晶半导体、氧化物半导体、有机半导体等。结果，可以制造较大的显示装置。可以制造廉价的显示装置。

[0327] 图 33B 示出如下结构：电路 1003_1 及电路 1003_2 形成在与像素部 1004 相同的衬底 1006 上，电路 1001 及电路 1002 形成在与像素部 1004 不同的衬底上。电路 1003_1 及电路 1003_2 的驱动频率比电路 1001 或电路 1002 低。因此，作为晶体管的半导体层，容易使用非单晶半导体、非晶半导体、微晶半导体、氧化物半导体、有机半导体等。结果，可以制造较大的显示装置。可以制造廉价的显示装置。

[0328] 图 33C 示出如下结构：电路 1002、电路 1003_1 及电路 1003_2 形成在与像素部 1004 相同的衬底 1006 上，电路 1001 形成在与像素部 1004 不同的衬底上。

[0329] 图 33D 示出如下结构：电路 1002 的一部分的电路 1002a、电路 1003_1 及电路 1003_2 形成在与像素部 1004 相同的衬底 1006 上，电路 1001 和电路 1002 的其他部分的电路 1002b 形成在与像素部 1004 不同的衬底上。在此情况下，作为电路 1002a，可以使用开关、移位寄存器和 / 或选择器等的驱动频率低的电路。

[0330] 以下，参照图 33E 说明像素部 1004 所具有的像素。像素 3020 包括晶体管 3021、液晶元件 3022 和电容元件 3023。晶体管 3021 的第一端子连接到布线 3031。晶体管 3021 的第二端子连接到液晶元件 3022 的一个电极以及电容元件 3023 的一个电极。晶体管 3021 的栅极连接到布线 3032。液晶元件 3022 的另一个电极连接到电极 3034。电容元件 3023 的另一个电极连接到布线 3033。

[0331] 将视频信号从图 33A 至 33D 所示的电路 1002 输入到布线 3031。因此，布线 3031 可以具有信号线、视频信号线或者源极信号线的功能。将扫描信号、选择信号或栅极信号从图 33A 至 33D 所示的电路 1003_1 和 / 或电路 1003_2 输入到布线 3032。因此，布线 3032 可

以具有信号线、扫描线或栅极信号线的功能。可以将固定的电压从图 33A 至 33D 所示的电路 1001 供给给布线 3033 和电极 3034。因此，布线 3033 可以具有电源线或电容线的功能。或者，电极 3034 可以具有公共电极或对置电极的功能。例如，可以将预充电电压供给给布线 3031。预充电电压与被供给给电极 3034 的电压大致相同。作为另一例子，可以将信号输入到布线 3033。由此，因为可以控制施加到液晶元件 3022 的电压，所以既可减小视频信号的振幅又可实现反相驱动。作为另一例子，可以将信号输入到电极 3034。由此，可以实现帧反相驱动。

[0332] 晶体管 3021 具有控制布线 3031 和液晶元件 3022 的一方电极之间的导通状态的功能。或者，晶体管 3021 具有控制将视频信号写入到像素的时序的功能。由此，晶体管 3021 具有开关的功能。电容元件 3023 具有保持液晶元件 3022 的一个电极的电位与布线 3033 的电位之间的电位差的功能。或者，电容元件 3023 具有将施加到液晶元件 3022 的电压保持为一定的功能。由此，电容元件 3023 具有存储电容器的功能。

[0333] 其次，参照图 34 说明移位寄存器电路。电路 1002、电路 1003_1 和 / 或电路 1003_2 可以包括上述移位寄存器电路。

[0334] 移位寄存器电路 1100 包括触发器电路 1101_1 至 1101_N(N 为自然数) 的多个触发器电路。另外，作为触发器电路 1101_1 至 1101_N，分别可以使用实施方式 1 或实施方式 2 所示的半导体装置。

[0335] 移位寄存器电路 1100 连接到布线 1111_1 至 1111_N、布线 1112、布线 1113、布线 1114、布线 1115 以及布线 1116。此外，在触发器电路 1101_i(i 是 1 至 N 中的任一个自然数) 中，布线 211 连接于布线 1111_i，布线 112 连接于布线 1112，布线 113 连接于布线 1113，布线 212 连接于布线 1111_i-1，布线 213 连接于布线 1111_i+1，并且布线 115 连接于布线 1115。注意，在奇数级的触发器电路和偶数级的触发器电路之间，布线 112 及布线 113 的连接位置相反。另外，在触发器电路 1101_1 中，布线 212 连接于布线 1114。另外，在触发器电路 1101_N 中，布线 213 连接于布线 1116。

[0336] 以下，说明对每个布线输入或者从每个布线输出的信号或电压的一个例子和各布线的功能。信号 GOUT_1 至 GOUT_N 分别从布线 1111_1 至 1111_N 输出。在很多情况下，信号 GOUT_1 至 GOUT_N 分别为触发器电路 1101_1 至 1101_N 的输出信号，并可以具有与信号 GOUT 相同的功能。因此，布线 1111_1 至 1111_N 可以具有与布线 211 相同的功能。将信号 GCK1 输入到布线 1112，将信号 GCK2 输入到布线 1113。信号 GCK1 可以具有与信号 IN2 或信号 IN3 相同的功能，信号 GCK2 可以具有与信号 IN2 或信号 IN3 相同的功能。因此，布线 1112 可以具有与布线 112 或布线 113 相同的功能，布线 1113 可以具有与布线 112 或布线 113 相同的功能。将信号 GSP 输入到布线 1114。信号 GSP 可以具有与信号 IN4 相同的功能。因此，布线 1114 可以具有与布线 212 相同的功能。将电压 V1 供给给布线 1115。因此，布线 1115 可以具有与布线 115 相同的功能。将信号 GRE 输入到布线 1116。信号 GRE 可以具有与信号 IN5 相同的功能。因此，布线 1116 可以具有与布线 213 相同的功能。

[0337] 以下，参照图 35 的时序图说明图 34 的移位寄存器电路的一帧期间的工作。

[0338] 例如，在信号 GOUT_i-1 成为 H 电平时，触发器电路 1101_i 开始进行期间 C 的工作。然后，在信号 GCK1 及信号 GCK2 反相时，触发器电路 1101_i 开始进行期间 D 的工作。因此，信号 GOUT_i 成为 H 电平。因为将信号 GOUT_i 输入到触发器电路 1101_i+1，所以触发器电

路 1101_i+1 开始进行期间 C 的工作。然后，在信号 GCK1 及信号 GCK2 反相时，触发器电路 1101_i+1 开始进行期间 D 的工作。由此，信号 GOUT_i+1 成为 H 电平。因为将信号 GOUT_i+1 输入到触发器电路 1101_i，所以触发器电路 1101_i 开始进行期间 E 的工作。因此，信号 GOUT_i 成为 L 电平。然后，每次信号 GCK1 及信号 GCK2 反相，触发器电路 1101_i 都反复交替地进行期间 A 的工作和期间 B 的工作。因此，信号 GOUT_i 维持为 L 电平。另外，在图 35 中，将信号 GCK1 和 GCK2 中的一方表示为 GCK。

[0339] 另外，本实施方式的移位寄存器可以使用实施方式 1 或实施方式 2 所示的半导体装置。因此，由于可以将信号 GOUT 至 GOUT_N 的 H 电平上升到 V2，所以可以使像素所具有的晶体管导通的时间变长。结果，可以在充分的时间内将视频信号写入到像素，而可以实现显示质量的提高。或者，由于信号 GOUT 至 GOUT_N 的下降时间和上升时间可以缩短，所以可防止将输向属于另一行的像素的视频信号写入到属于所选择的行的像素。结果，可以实现显示质量的提高。或者，由于可以抑制信号 GOUT_1 至 GOUT_N 的下降时间的不均匀，所以可以抑制影响到在像素中存储的视频信号的穿通 (feedthrough) 的不均匀。由此，可以抑制串扰等的显示不均匀。或者，因为可以减小晶体管的尺寸，所以可以减小移位寄存器的负载（例如，寄生电容等）。结果，因为可以减小具有将信号或电压等供给给移位寄存器的功能的外部电路及其电流供给能力，所以可以制造尺寸小的外部电路或尺寸小的具有该外部电路的显示装置。

[0340] 实施方式 4

[0341] 在本实施方式中对信号线驱动电路进行说明。注意，可以将信号线驱动电路表示为半导体装置或信号生成电路。

[0342] 首先，参照图 36A 对信号线电路的结构进行说明。信号线驱动电路包括电路 2001 及电路 2002。电路 2002 包括多个电路，即电路 2002_1 至 2002_N(N 是自然数）。电路 2002_1 至 2002_N 分别具有多个晶体管，即晶体管 2003_1 至 2003_k(k 是自然数）。晶体管 2003_1 至 2003_k 是 N 沟道型。但是，不局限于此，晶体管 2003_1 至 2003_k 也可以为 P 沟道型或 CMOS 型开关。

[0343] 以电路 2002_1 为例子对信号线驱动电路的连接关系进行说明。晶体管 2003_1 至 2003_k 的第一端子分别连接到布线 2004_1 至 2004_k。晶体管 2003_1 至 2003_k 的第二端子分别连接到布线 S1 至 Sk。晶体管 2003_1 至 2003_k 的栅极连接到布线 2005_1。

[0344] 电路 2001 具有控制对布线 2005_1 至 2005_N 按顺序输出 H 电平的信号的时序的功能。或者，它具有按顺序选择电路 2002_1 至 2002_N 的功能。像这样，电路 2001 具有移位寄存器的功能。电路 2001 可以对布线 2005_1 至 2005_N 按各种顺序输出 H 电平的信号。或者，可以按各种顺序选择电路 2002_1 至 2002_N。像这样，电路 2001 可以具有解码器的功能。

[0345] 电路 2002_1 具有控制布线 2004_1 至 2004_k 和布线 S1 至 Sk 导通的时序的功能。或者，电路 2002_1 具有控制将布线 2004_1 至 2004_k 的电位供给到布线 S1 至 Sk 的时序的功能。像这样，电路 2002_1 可以具有选择器的功能。另外，电路 2002_2 至 2002_N 可以具有与电路 2002_1 同样的功能。

[0346] 晶体管 2003_1 至 2003_N 分别具有控制布线 2004_1 至 2004_k 和布线 S1 至 Sk 导通的时序的功能。或者，晶体管 2003_1 至 2003_N 分别具有控制对布线 S1 至 Sk 供给布线

2004_1 至 2004_k 的电位的时序的功能。例如，晶体管 2003_1 具有控制布线 2004_1 和布线 S1 导通的时序的功能。或者，晶体管 2003_1 具有控制对布线 S1 供给布线 2004_1 的电位的时序的功能。像这样，晶体管 2003_1 至 2003_N 可以分别具有开关的功能。

[0347] 另外，对布线 2004_1 至 2004_k 分别输入信号。该信号是根据图像信息或图像信号的模拟信号。像这样，该信号可以具有视频信号的功能。因此，布线 2004_1 至 2004_k 可以具有信号线的功能。例如，根据像素结构，可以是数字信号、模拟电压或模拟电流。

[0348] 接着，参照图 36B 的时序图说明图 36A 的信号线驱动电路的工作。图 36B 示出信号 2015_1 至 2015_N 及信号 2014_1 至 2014_k。信号 2015_1 至 2015_N 分别是电路 2001 的输出信号，信号 2014_1 至 2014_k 分别是输入到布线 2004_1 至 2004_k 的信号。注意，信号线驱动电路的一个工作期间对应于显示装置中的一个栅极选择期间。一个栅极选择期间被分割为期间 T0 及期间 T1 至期间 TN。期间 T0 是用来同时对属于被选择的行的像素施加预充电用电压的期间，并且期间 T0 可以具有预充电期间的功能。期间 T1 至 TN 分别是用来对属于被选择的行的像素写入视频信号的期间，并可以具有写入期间的功能。

[0349] 首先，在期间 T0 中，电路 2001 对布线 2005_1 至 2005_N 供给 H 电平的信号。这样，例如在电路 2002_1 中晶体管 2003_1 至 2003_k 导通，所以布线 2004_1 至 2004_k 和布线 S1 至 Sk 处于导通状态。此时，对布线 2004_1 至 2004_k 供给预充电电压 Vp。因此，预充电电压 Vp 通过晶体管 2003_1 至 2003_k 分别输出到布线 S1 至 Sk。如此，因为预充电电压 Vp 写入到属于被选择的行的像素，所以对属于被选择的行的像素进行预充电。

[0350] 在期间 T1 至期间 TN 中，电路 2001 对布线 2005_1 至 2005_N 按顺序输出 H 电平的信号。例如，在期间 T1 中，电路 2001 将 H 电平的信号输出到布线 2005_1。然后，晶体管 2003_1 至 2003_k 导通，所以布线 2004_1 至 2004_k 和布线 S1 至 Sk 处于导通状态。此时，对布线 2004_1 至 2004_k 输入 Data(S1) 至 Data(Sk)。Data(S1) 至 Data(Sk) 分别通过 2003_1 至 2003_k 写入到属于被选择的行的像素中的第一列至第 k 列像素。通过上述步骤，在期间 T1 至 TN 中，对属于被选择的行的像素的每 k 列按顺序写入视频信号。

[0351] 如上所述，通过对每多个列的像素写入视频信号，可以减少视频信号的数量或布线的数量。因此，可以减少与外部电路的连接个数，所以可以实现成品率的提高、可靠性的提高、部件个数的缩减及 / 或成本的削减。或者，通过对每多个列的像素写入视频信号，可以延长写入时间。因此，可以防止视频信号的写入不足，从而可以实现显示质量的提高。

[0352] 另外，通过使 k 增大，可以减少与外部电路的连接个数。但是，若是 k 过大，对像素的写入时间变短。因此，优选 $k \leqslant 6$。更优选的是 $k \leqslant 3$。进一步优选的是 $k = 2$。

[0353] 特别是，当像素的色彩单元为 n(n 是自然数）个时，优选 $k = n$ 或 $k = n \times d$(d 是自然数）。例如，当像素的色彩单元分割为三个，即红 (R)、绿 (G)、蓝 (B) 时，优选的是，$k = 3$ 或 $k = 3 \times d$。例如，当像素分割为 m(m 是自然数）个子像素（将子像素称为亚像素或副像素）时，优选 $k = m$ 或 $k = m \times d$。例如，当像素分割为两个子像素时，优选 $k = 2$。或者，当像素的色彩单元为 n 个时，优选 $k = m \times n$ 或 $k = m \times n \times d$。

[0354] 例如，将本实施方式应用于显示装置。在此情况下，本实施方式的信号线驱动电路既可形成在与像素部相同的衬底上，又可形成在与像素部不同的衬底（例如，硅衬底或 SOI 衬底等）上。或者，可以将本实施方式的信号线驱动电路的一部分（例如，电路 2002）形成在与像素部相同的衬底上，并将本实施方式的信号线驱动电路的其他部分（例如，电路

2001）形成在与像素部不同的衬底上。

[0355] 图 36C 示出在与像素部 2007 相同的衬底上形成有电路 2001 和电路 2002 的结构。由此可以减少形成像素部的衬底与外部电路的连接个数，所以可以实现成品率的提高、可靠性的提高、部件个数的缩减或成本的削减等。特别是，通过将扫描线驱动电路 2006A 及扫描线驱动电路 2006B 也形成在与像素部 2007 相同的衬底上，可以更进一步减少与外部电路的连接个数。

[0356] 图 36D 示出在与像素部 2007 相同的衬底上形成有电路 2002，并且在与像素部 2007 不同的衬底上形成有电路 2001 的结构。由于在此情况下也可以减少形成像素部的衬底与外部电路的连接数，因此可以实现成品率的提高、可靠性的提高、部件个数的缩减或成本的削减等。或者，由于形成在与像素部 2007 相同的衬底上的电路减少，因此可以缩小边框。

[0357] 另外，作为电路 2001，可以使用实施方式 3 的移位寄存器电路。由此，因为可以使所有晶体管的极性为 N 沟道型，所以可以实现制造工序的减少。或者，因为可以抑制晶体管的退化，所以可以延长信号线驱动电路的使用寿命。

[0358] 实施方式 5

[0359] 在本实施方式中，对保护电路进行说明。为了防止连接到某个布线的半导体器件（例如，晶体管、电容元件、电路等）等因 ESD（静电放电）被损坏，设置保护电路。

[0360] 首先，参照图 37A 对保护电路进行说明。保护电路 3000 包括晶体管 3001 及晶体管 3002。晶体管 3001 及晶体管 3002 是 N 沟道型。但是，本实施方式不局限于此，也可以是 P 沟道型。

[0361] 以下，说明保护电路 3000 的连接关系。晶体管 3001 的第一端子连接到布线 3012，晶体管 3001 的第二端子连接到布线 3011，晶体管 3001 的栅极连接到布线 3011。晶体管 3002 的第一端子连接到布线 3013，晶体管 3002 的第二端子连接到布线 3011，晶体管 3002 的栅极连接到布线 3013。

[0362] 接着，说明输入到布线 3011 至 3013 的信号或电压等的一个例子及这些布线的功能。可以将信号（例如，扫描信号、视频信号、时钟信号、起始信号、复位信号或选择信号等）或电压（负电源电压、接地电压、正电源电压等）供给给布线 3011。因此，布线 3011 可以具有信号线或电源线等的功能。将正电源电压 (VDD) 供给给布线 3012。因此，布线 3012 可以具有电源线的功能。将负电源电压 (VSS) 或接地电压等供给给布线 3013。因此，布线 3013 可以具有电源线的功能。

[0363] 接着，说明保护电路 3000 的工作。若是布线 3011 的电位大致是 VSS 至 VDD 之间的值，则晶体管 3001 及晶体管 3002 截止。因此，供给到布线 3011 的电压或信号等被供给到与布线 3011 连接的半导体器件。注意，由于静电等的影响，有时布线 3011 被供给比电源电压高的电位或比电源电压低的电位。而且，有时由于该比电源电压高的电位或比电源电压低的电位，与布线 3011 连接的半导体器件被损坏。为了防止这种半导体器件的静电击穿，通过使晶体管 3001 或晶体管 3002 导通，抑制布线 3011 的变化。例如，在对布线 3011 供给比电源电压高的电位时，晶体管 3001 导通。于是，布线 3011 的电荷通过晶体管 3001 移动到布线 3012，布线 3011 的电位降低。由此，可以防止半导体器件的静电击穿。另一方面，例如，当对布线 3011 供给比电源电压低的电位时，晶体管 3002 导通。于是，布线 3011 的电荷

通过晶体管 3002 移动到布线 3013，所以布线 3011 的电位上升。像这样，可以防止与布线 3011 连接的半导体器件的静电击穿。

[0364] 另外，在图 37A 所描述的结构中，可以省略晶体管 3001 和晶体管 3002 中的一方。图 37B 示出在图 37A 的保护电路中省略晶体管 3002 的结构。图 37C 示出在图 37A 的保护电路中省略晶体管 3001 的结构。

[0365] 此外，在图 37A 至 37C 所描述的结构中，可以在布线 3011 和布线 3012 之间将多个晶体管串联连接。或者，可以在布线 3011 和布线 3013 之间使多个晶体管串联连接。图 37D 示出如下结构 ：在图 37A 的保护电路中，在布线 3011 和布线 3012 之间将晶体管 3001 和晶体管 3003 串联连接，并且在布线 3011 和布线 3013 之间将晶体管 3002 和晶体管 3004 串联连接。晶体管 3003 的第一端子与布线 3012 连接，晶体管 3003 的第二端子与晶体管 3001 的第一端子连接，晶体管 3003 的栅极与晶体管 3001 的第一端子连接。晶体管 3004 的第一端子与布线 3013 连接，晶体管 3004 的第二端子与晶体管 3002 的第一端子连接，晶体管 3004 的栅极与晶体管 3004 的第一端子连接。例如，还可以如图 37E 所示，晶体管 3001 的栅极和晶体管 3003 的栅极连接。或者，晶体管 3002 的栅极和晶体管 3004 的栅极连接。或者，可以在布线 3011 和布线 3012 之间与布线 3011 和布线 3013 之间中的一方将多个晶体管串联连接。

[0366] 另外，在图 37A 至 37E 所描述的结构中，可以在布线 3011 和布线 3012 之间使多个晶体管并联连接。或者，可以在布线 3011 和布线 3013 之间使多个晶体管并联连接。图 37F 示出如下结构 ：在图 37A 的保护电路中，在布线 3011 和布线 3012 之间使晶体管 3001 和晶体管 3003 并联连接，并且在布线 3011 和布线 3013 之间使晶体管 3002 和晶体管 3004 并联连接。晶体管 3003 的第一端子与布线 3012 连接，晶体管 3003 的第二端子与布线 3011 连接，晶体管 3003 的栅极与布线 3011 连接。晶体管 3004 的第一端子与布线 3013 连接，晶体管 3004 的第二端子与布线 3011 连接，晶体管 3004 的栅极与布线 3013 连接。

[0367] 此外，在图 37A 至 37F 所描述的结构中，可以在晶体管的栅极和第一端子之间使电容元件和电阻元件并联连接。可以在晶体管的栅极和第一端子之间只使电容元件和电阻元件中的一方连接。图 37G 示出如下结构 ：在图 37A 的保护电路中，在晶体管 3001 的栅极和第一端子之间使电容元件 3005 和电阻元件 3006 并联连接 ；在晶体管 3002 的栅极和第一端子之间使电容元件 3007 和电阻元件 3008 并联连接。由此，可以防止保护电路 3000 本身的损坏或退化。例如，当对布线 3011 供给比电源电压高的电位时，晶体管 3001 的 Vgs 增大。从而，晶体管 3001 导通，所以布线 3011 的电位降低。但是，由于晶体管 3001 的栅极和第二端子之间施加有大电压，因此有时产生晶体管 3001 的损坏或退化。为了防止这种现象，使晶体管 3001 的栅极的电位上升来降低晶体管 3001 的 Vgs。为了实现晶体管 3001 的 Vgs 的降低，使用电容元件 3005。当晶体管 3001 导通时，晶体管 3001 的第一端子的电位瞬时上升。于是，通过电容元件 3005 的电容耦合而使晶体管 3001 的栅极的电位上升。像这样，可以缩小晶体管 3001 的 Vgs，从而可以抑制晶体管 3001 的损坏或退化。同样地，当对布线 3011 供给比电源电压低的电位时，晶体管 3002 的第一端子的电位瞬时下降。于是，通过电容元件 3007 的电容耦合而使晶体管 3002 的栅极电位降低。像这样，由于可以降低晶体管 3002 的 Vgs，因此可以抑制晶体管 3002 的损坏或退化。

[0368] 另外，作为电容元件，可以使用晶体管的栅极与第一端子之间的寄生电容。因此，

用作晶体管的栅极的材料和用作晶体管的第一端子的材料重叠的面积大于用作晶体管的栅极的材料和用作晶体管的第二端子的材料重叠的面积。

[0369] 另外，作为电阻元件，可以使用其导电率比用于布线 3011 的材料或用作晶体管的栅极的材料低的材料（例如，与像素电极相同的材料、透光电极、添加有杂质的半导体层等）。

[0370] 在此，图 37A 至 37G 所描述的保护电路可以用于各种电路或布线（例如，信号线驱动电路、扫描线驱动电路、电平转移电路、栅极信号线、源极信号线、电源线、电容线等）。在图 38A 中示出在栅极信号线设置保护电路时的结构。在此情况下，布线 3012 及布线 3013 可以连接到与栅极驱动器 3100 连接的布线中的任一个。由此，可以减少电源的数量及布线的数量。在图 38B 中示出在对接收来自 FPC 等的外部的信号或电压的端子设置保护电路时的结构。在此情况下，布线 3012 及布线 3013 可以与外部端子的任一个连接。例如，布线 3012 与端子 3101a 连接，布线 3013 与端子 3101b 连接。在此情况下，在设置在端子 3101a 中的保护电路中可以省略晶体管 3001。同样地，在设置在端子 3101b 中的保护电路中，可以省略晶体管 3002。由此，可以减少晶体管的数量，从而可以实现缩小布局面积。

[0371] 实施方式 6

[0372] 在本实施方式中，参照图 39A、39B 及 39C 对晶体管进行说明。

[0373] 图 39A 是示出顶栅型晶体管和形成在其上的显示元件的图。图 39B 是示出底栅型晶体管和形成在其上的显示元件的图。

[0374] 图 39A 的晶体管包括：衬底 5260；形成在衬底 5260 上的绝缘层 5261；形成在绝缘层 5261 上并且包括区域 5262a、区域 5262b、区域 5262c、区域 5262d、以及区域 5262e 的半导体层 5262；覆盖半导体层 5262 地形成的绝缘层 5263；形成在半导体层 5262 及绝缘层 5263 上的导电层 5264；形成在绝缘层 5263 及导电层 5264 上并包括开口部的绝缘层 5265；以及形成在绝缘层 5265 上及绝缘层 5265 的开口部中的导电层 5266。

[0375] 图 39B 的晶体管包括：衬底 5300；形成在衬底 5300 上的导电层 5301；覆盖导电层 5301 地形成的绝缘层 5302；形成在导电层 5301 上及绝缘层 5302 上的半导体层 5303a；形成在半导体层 5303a 上的半导体层 5303b；形成在半导体层 5303b 及绝缘层 5302 上的导电层 5304；形成在绝缘层 5302 上及导电层 5304 上并包括开口部的绝缘层 5305；以及形成在绝缘层 5305 上及绝缘层 5305 的开口部中的导电层 5306。

[0376] 图 39C 的晶体管包括：包括区域 5353 及区域 5355 的半导体衬底 5352；形成在半导体衬底 5352 上的绝缘层 5356；形成在半导体衬底 5352 上的绝缘层 5354；形成在绝缘层 5356 上的导电层 5357；形成在绝缘层 5354、绝缘层 5356、以及导电层 5357 上并包括开口部的绝缘层 5358；以及形成在绝缘层 5358 上及绝缘层 5358 的开口部中的导电层 5359。如此，在区域 5350 和区域 5351 中分别制造晶体管。

[0377] 在图 39A 至 39C 所述的晶体管中，如图 39A 所示，可以在晶体管上形成：形成在导电层 5266 上及绝缘层 5265 上并包括开口部的绝缘层 5267；形成在绝缘层 5267 上及绝缘层 5267 的开口部中的导电层 5268；形成在绝缘层 5267 上及导电层 5268 上并包括开口部的绝缘层 5269；形成在绝缘层 5269 上及绝缘层 5269 的开口部中的发光层 5270；以及形成在绝缘层 5269 上及发光层 5270 上的导电层 5271。

[0378] 另外，在图 39A 至 39C 所描述的晶体管中，如图 39B 所示，可以在晶体管上形成配

置在绝缘层 5305 上及导电层 5306 上的液晶层 5307 以及形成在液晶层 5307 上的导电层 5308。

[0379] 绝缘层 5261 可以用作基底膜。绝缘层 5354 用作元件间分离层 (element isolation layer)(例如,场氧化膜)。绝缘层 5263、绝缘层 5302、绝缘层 5356 可以用作栅极绝缘膜。导电层 5264、导电层 5301、导电层 5357 可以用作栅电极。绝缘层 5265、绝缘层 5267、绝缘层 5305 及绝缘层 5358 可以用作层间膜或者平坦化膜。导电层 5266、导电层 5304、以及导电层 5359 可以用作布线、晶体管的电极或电容元件的电极等。导电层 5268 以及导电层 5306 可以用作像素电极或反射电极等。绝缘层 5269 可以用作分隔壁。导电层 5271 及导电层 5308 可以用作对置电极或者公共电极等。

[0380] 作为衬底 5260 及衬底 5300,有玻璃衬底、石英衬底、半导体衬底(例如,硅衬底或单晶衬底)、SOI 衬底、塑料衬底、金属衬底、不锈钢衬底、具有不锈钢箔的衬底、钨衬底、具有钨箔的衬底或者柔性衬底等。作为玻璃衬底,有钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等。作为柔性衬底,有如下具有柔性的合成树脂:以聚对苯二甲酸乙二醇酯 (PET)、聚萘二甲酸乙二醇酯 (PEN)、聚醚砜 (PES) 为典型的塑料;丙烯酸树脂等。此外,还有贴合薄膜(聚丙烯、聚酯、乙烯、聚氟化乙烯、氯乙烯等)、包括纤维状材料的纸、基材薄膜(聚酯、聚酰胺、聚酰亚胺、无机蒸镀薄膜、纸类等)等。

[0381] 作为半导体衬底 5352,可以使用具有 n 型或 p 型的导电型的单晶 Si 衬底。但是,本发明不局限于此,而可以使用通过在其一部分或全部使用可以应用于半导体衬底 5352 的衬底而形成的半导体衬底 5352。区域 5353 是在半导体衬底 5352 中添加有杂质的区域,并且用作阱。例如,在半导体衬底 5352 具有 p 型导电型的情况下,区域 5353 具有 n 型导电型,并且用作 n 阱。另一方面,在半导体衬底 5352 具有 n 型导电型的情况下,区域 5353 具有 p 型导电型,并且用作 p 阱。区域 5355 是在半导体衬底 5352 中添加有杂质的区域,并且用作源区或漏区。另外,可以在半导体衬底 5352 中形成 LDD 区域。

[0382] 作为绝缘层 5261,有氧化硅 (SiO_x) 膜、氮化硅 (SiN_x) 膜、氧氮化硅 (SiO_xN_y) ($x > y > 0$) 膜、氮氧化硅 (SiN_xO_y) ($x > y > 0$) 膜等具有氧或氮的膜或这些膜的层叠结构等。作为在绝缘层 5261 由两层结构设置的情况下,作为第一层的绝缘层可以设置氮化硅膜,并且作为第二层的绝缘层可以设置氧化硅膜。作为在绝缘层 5261 由三层结构设置的情况下,作为第一层的绝缘层可以设置氧化硅膜,作为第二层的绝缘层可以设置氮化硅膜,并且作为第三层的绝缘层可以设置氧化硅膜。

[0383] 作为半导体层 5262、半导体层 5303a 以及半导体层 5303b,有非单晶半导体(例如,非晶硅、多晶硅、微晶硅等)、单晶半导体、化合物半导体或者氧化物半导体(例如,ZnO、InGaZnO、SiGe、GaAs、IZO(氧化铟锌)、ITO(氧化铟锡)、SnO、TiO、AlZnSnO(AZTO))、有机半导体或碳纳米管等。

[0384] 另外,例如,区域 5262a 处于不对半导体层 5262 添加杂质的本征的状态,并且用作沟道区域。但是,可以对区域 5262a 添加杂质,并且添加到区域 5262a 的杂质的浓度优选比添加到区域 5262b、区域 5262c、区域 5262d 或区域 5262e 的杂质的浓度低。区域 5262b 及区域 5262d 是添加有其浓度比区域 5262c 或区域 5262e 低的杂质的区域,并且用作 LDD(Lightly Doped Drain:轻掺杂漏)区域。但是,可以省略区域 5262b 及区域 5262d。区域 5262c 及区域 5262e 是在半导体层 5262 中添加有高浓度的杂质的区域,并且用作源区

或漏区。

[0385] 另外，半导体层 5303b 是作为杂质元素添加有磷等的半导体层，并且具有 n 型导电型。

[0386] 另外，当作为半导体层 5303a 使用氧化物半导体或化合物半导体时，可以省略半导体层 5303b。

[0387] 作为绝缘层 5263、绝缘层 5302 以及绝缘层 5356，有氧化硅 (SiO_x) 膜、氮化硅 (SiN_x) 膜、氧氮化硅 (SiO_xN_y) ($x > y > 0$) 膜、氮氧化硅 (SiN_xO_y) ($x > y > 0$) 膜等具有氧或氮的膜或它们的层叠结构等。

[0388] 作为导电层 5264、导电层 5266、导电层 5268、导电层 5271、导电层 5301、导电层 5304、导电层 5306、导电层 5308、导电层 5357 以及导电层 5359，有单层结构的导电膜或者这些膜的层叠结构等。作为该导电膜，有由铝 (Al)、钽 (Ta)、钛 (Ti)、钼 (Mo)、钨 (W)、钕 (Nd)、铬 (Cr)、镍 (Ni)、铂 (Pt)、金 (Au)、银 (Ag)、铜 (Cu)、锰 (Mn)、钴 (Co)、铌 (Nb)、硅 (Si)、铁 (Fe)、钯 (Pd)、碳 (C)、钪 (Sc)、锌 (Zn)、镓 (Ga)、铟 (In)、锡 (Sn)、锆 (Zr)、铈 (Ce) 构成的组、选自该组的一种元素的单质膜或包含选自上述组中的一种元素或多种元素的化合物等。另外，该单质膜或该化合物可以包含磷 (P)、硼 (B)、砷 (As) 及 / 或氧 (O) 等。

[0389] 作为该化合物，有包含选自上述多种元素中的一种元素或多种元素的化合物（例如合金）；选自上述多种元素中的一种元素或多种元素与氮的化合物（例如氮化膜）；选自上述多种元素中的一种元素或多种元素与硅的化合物（例如硅化物膜）；或者纳米管材料等。作为合金，有氧化铟锡 (ITO)、氧化铟锌 (IZO)、包含氧化硅的氧化铟锡 (ITSO)、氧化锌 (ZnO)、氧化锡 (SnO)、氧化锡镉 (CTO)、铝钕 (Al-Nd)、铝钨 (Al-W)、铝锆 (Al-Zr)、铝钛 (Al-Ti)、铝铈 (Al-Ce)、镁银 (Mg-Ag)、钼铌 (Mo-Nb)、钼钨 (Mo-W)、钼钽 (Mo-Ta) 等。作为氮化膜，有氮化钛、氮化钽、氮化钼等。作为硅化物膜，有硅化钨、硅化钛、硅化镍、铝硅、钼硅等。作为纳米管材料，有碳纳米管、有机纳米管、无机纳米管或金属纳米管等。

[0390] 作为绝缘层 5265、绝缘层 5267、绝缘层 5269、绝缘层 5305 及绝缘层 5358，有单层结构的绝缘层或者这些膜的层叠结构等。作为该绝缘层，有氧化硅 (SiO_x) 膜、氮化硅 (SiN_x) 膜、氧氮化硅 (SiO_xN_y) ($x > y > 0$) 膜、氮氧化硅 (SiN_xO_y) ($x > y > 0$) 膜等具有氧或氮的膜；DLC（类金刚石碳）膜等具有碳的膜；硅氧烷树脂、环氧树脂、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯或丙烯酸树脂等有机材料等。

[0391] 作为发光层 5270，有有机 EL 元件或者无机 EL 元件等。对于有机 EL 元件，例如，有由空穴注入材料形成的空穴注入层、由空穴传输材料形成的空穴传输层、由发光材料形成的发光层、由电子传输材料形成的电子传输层、由电子注入材料形成的电子注入层或者其中混合有上述材料中的多种材料的层的单层结构或上述材料的叠层结构等。

[0392] 另外，在绝缘层 5305 及导电层 5306 上可以形成用作取向膜的绝缘层或用作突起部的绝缘层等。

[0393] 另外，在导电层 5308 上可以形成用作滤色片、黑矩阵或者突起部的绝缘层等。在导电层 5308 下可以形成用作取向膜的绝缘层。

[0394] 可以将本实施方式的晶体管用于实施方式 1 或实施方式 2 所描述的半导体装置。具体来说，在图 39B 中，在作为半导体层使用非单晶半导体、非晶半导体、微晶半导体、有机半导体或氧化物半导体等的情况下，晶体管退化。但是，因为在实施方式 1 至 6 的半导体装

置、移位寄存器或显示装置中可以抑制晶体管的退化，所以是有用的。

[0395] 实施方式 7

[0396] 在本实施方式中，参照图 40A、40B 及 40C 说明显示装置的截面结构。

[0397] 图 40A 是显示装置的俯视图。在衬底 5391 上形成有驱动电路 5392 和像素部 5393。作为驱动电路 5392，有扫描线驱动电路或信号线驱动电路等。

[0398] 图 40B 示出沿着图 40A 的 A-B 截断的截面。而且，图 40B 示出 ：衬底 5400 ；形成在衬底 5400 上的导电层 5401 ；覆盖导电层 5401 地形成的绝缘层 5402 ；形成在导电层 5401 及绝缘层 5402 上的半导体层 5403a ；形成在半导体层 5403a 上的导电层 5403b ；形成在半导体层 5403b 上及绝缘层 5402 上的导电层 5404 ；形成在绝缘层 5402 上及导电层 5404 上并包括开口部的绝缘层 5405 ；形成在绝缘层 5405 上及导电层 5405 的开口部中的导电层 5406 ；配置在绝缘层 5405 上及导电层 5406 上的绝缘层 5408 ；形成在绝缘层 5405 上的液晶层 5407 ；形成在液晶层 5407 上及绝缘层 5408 上的导电层 5409 ；以及形成在导电层 5409 上的衬底 5410。

[0399] 导电层 5401 可以用作栅电极。绝缘层 5402 可以用作栅极绝缘膜。导电层 5404 可以用作布线、晶体管的电极或电容元件的电极等。绝缘层 5405 可以用作层间膜或平坦化膜。导电层 5406 用作布线、像素电极或反射电极。绝缘层 5408 可以用作密封材料。导电层 5409 可以用作对置电极或公共电极。

[0400] 在此，有时在驱动电路 5392 和导电层 5409 之间产生寄生电容。其结果是，在驱动电路 5392 的输出信号或各节点的电位产生失真或延迟等。或者，耗电量增大。但是，如图 40B 所示，通过在驱动电路 5392 上形成可用作密封材料的绝缘层 5408，可以减少产生在驱动电路 5392 和导电层 5409 之间的寄生电容。这是因为密封材料的介电常数比液晶层的介电常数低。因此，可以减少驱动电路 5392 的输出信号或各节点的电位的失真或延迟。或者，可以降低驱动电路 5392 的耗电量。

[0401] 另外，如图 40C 所示，可以在驱动电路 5392 的一部分上形成还可以用作密封材料的绝缘层 5408。由于在此情况下也可以减少产生在驱动电路 5392 和导电层 5409 之间的寄生电容，因此可以减少驱动电路 5392 的输出信号或各节点的电位的失真或延迟。但是，不局限于此，也可以不在驱动电路 5392 上形成可用作密封材料的绝缘层 5408。

[0402] 另外，显示元件不局限于液晶元件而可以使用 EL 元件或电泳元件等的各种显示元件。

[0403] 如上所述，在本实施方式中，说明了显示装置的截面结构。可以组合这种结构和实施方式 1 或实施方式 2 所描述的半导体装置。例如，当作为晶体管的半导体层使用非单晶半导体、微晶半导体、有机半导体或氧化物半导体等时，晶体管的沟道宽度增大。但是，若是能够如本实施方式那样地减少驱动电路的寄生电容，则可以缩小晶体管的沟道宽度。因此，可以实现缩小布局面积，从而可以使显示装置的边框变窄。或者，可以实现显示装置的高精细化。

[0404] 实施方式 8

[0405] 在本实施方式中，说明半导体装置的制造工序。这里，说明晶体管及电容元件的制造工序。特别是，说明作为半导体层使用氧化物半导体的制造工序。

[0406] 参照图 41A 至 41C 说明晶体管及电容元件的制造工序。图 41A 至 41C 是晶体管

5441 及电容元件 5442 的制造工序。晶体管 5441 是反交错型薄膜晶体管，其中在氧化物半导体层上隔着源电极或漏电极设置有布线。

[0407] 首先，在衬底 5420 的整个面上通过溅射法形成第一导电层。接着，使用通过使用第一光掩模的光刻工序形成的抗蚀剂掩模选择性地对第一导电层进行蚀刻，从而形成导电层 5421 及导电层 5422。导电层 5421 可以用作栅电极，导电层 5422 可以用作电容元件的一个电极。但是不局限于此，导电层 5421 及导电层 5422 可以具有用作布线、栅电极或电容元件的电极的部分。然后，去除抗蚀剂掩模。

[0408] 接着，在整个面上通过等离子体 CVD 法或溅射法形成绝缘层 5423。绝缘层 5423 可以用作栅极绝缘层，且覆盖导电层 5421 及导电层 5422 地形成。另外，绝缘层 5423 的厚度为 50nm 以上且 250nm 以下。

[0409] 接着，使用通过使用第二光掩模的光刻工序形成的抗蚀剂掩模对绝缘层 5423 选择性地进行蚀刻来形成达到导电层 5421 的接触孔 5424。然后，去除抗蚀剂掩模。但是不局限于此，也可以省略接触孔 5424。或者，可以在形成氧化物半导体层之后形成接触孔 5424。到此为止的阶段的截面图相当于图 41A。

[0410] 接着，在整个面上通过溅射法形成氧化物半导体层。但是，不局限于此，也可以通过溅射法形成氧化物半导体层，且在其上形成缓冲层（例如，n^+层）。另外，氧化物半导体层的厚度为 5nm 以上且 200nm 以下。

[0411] 接着，使用通过使用第三光掩模的光刻工序形成的抗蚀剂掩模对氧化物半导体层选择性地进行蚀刻。然后，去除抗蚀剂掩模。

[0412] 接着，在整个面上通过溅射法形成第二导电层。然后，使用通过使用第四光掩模的光刻工序形成的抗蚀剂掩模对第二导电层选择性地进行蚀刻来形成导电层 5429、导电层 5430 及导电层 5431。导电层 5429 通过接触孔 5424 与导电层 5421 连接。导电层 5429 及导电层 5430 可以用作源电极或漏电极，并且导电层 5431 可以用作电容元件的另一个电极。但是，不局限于此，导电层 5429、导电层 5430 及导电层 5431 也可以包括用作布线、源电极或漏电极或电容元件的电极的部分。到此为止的阶段的截面图相当于图 41B。

[0413] 接着，在大气气氛下或氮气氛下以 200℃至 600℃进行加热处理。通过该热处理，进行 In-Ga-Zn-O 类非单晶层的原子级的重新排列。像这样，通过热处理（还包括光退火）消除阻碍载流子移动的畸变。另外，进行该加热处理的时序不局限于此，只要是形成氧化物半导体之后，就可以以各种时序进行该加热处理。

[0414] 接着，在整个面上形成绝缘层 5432。绝缘层 5432 可以采用单层结构或层叠结构。例如，当作为绝缘层 5432 使用有机绝缘层时，涂敷有机绝缘层的材料的组成物，在大气气氛下或氮气氛下进行 200℃至 600℃的加热处理形成有机绝缘层。像这样，通过形成与氧化物半导体层接触的有机绝缘层，可以制造电特性可靠性高的薄膜晶体管。另外，当作为绝缘层 5432 使用有机绝缘层时，可以在有机绝缘层之下设置氮化硅膜或氧化硅膜。

[0415] 接着，在整个面上形成第三导电层。然后，使用通过使用第五光掩模的光刻工序形成的抗蚀剂掩模对第三导电层选择性地进行蚀刻来形成导电层 5433 及导电层 5434。到此为止的阶段的截面图相当于图 41C。导电层 5433 及导电层 5434 可以用作布线、像素电极、反射电极、透光电极或电容元件的电极。特别是，由于导电层 5434 与导电层 5422 连接，因此可以用作电容元件 5442 的电极。但是，不局限于此，导电层 5434 还可以具有连接第一导

电层和第二导电层的功能。例如，通过连接导电层 5433 和导电层 5434，可以使导电层 5422 和导电层 5430 通过第三导电层（导电层 5433 及导电层 5434）连接。

[0416] 通过上述工序，可以制造晶体管 5441 和电容元件 5442。

[0417] 另外，如图 41D 所示，可以在氧化物半导体层 5425 上形成绝缘层 5435。在图 41D 中，附图标记 5437 表示导电层，而附图标记 5436 表示半导体层。

[0418] 此外，如图 41E 所示，可以在对第二导电层进行构图之后形成氧化物半导体层 5425。在图 41E 中，附图标记 5438 和附图标记 5439 分别表示导电层。

[0419] 另外，作为本实施方式的衬底、绝缘层、导电层及半导体层，可以使用与其他实施方式所描述的材料或本说明书所描述的材料相同的材料。

[0420] 实施方式 9

[0421] 在本实施方式中，说明半导体装置的布局图（也称为俯视图）。在本实施方式中，说明图 1A 的半导体装置的布局图。另外，本实施方式所述的内容可适当地与其他实施方式中所述的内容组合。注意，本实施方式的布局图是一个例子，因此半导体装置的布局图不局限于此。

[0422] 以下，参照图 42 说明本实施方式的布局图。图 42 示出图 1A 的半导体装置的布局图。

[0423] 图 42 所示的晶体管或布线等由导电层 901、半导体层 902、导电层 903、导电层 904 和接触孔 905 构成。注意，本发明不局限于此，而可以重新形成另一导电层、绝缘膜或另一接触孔。例如，可以重新追加用来连接导电层 901 和导电层 903 的接触孔。

[0424] 导电层 901 可以包括用作栅电极或布线的部分。半导体层 902 可以包括用作晶体管的半导体层的部分。导电层 903 可以包括用作布线或者源极或漏极的部分。导电层 904 可以包括用作透光电极、像素电极或布线的部分。接触孔 905 具有连接导电层 901 和导电层 904 的功能或者连接导电层 903 和导电层 904 的功能。

[0425] 另外，半导体层 902 可以形成在导电层 901 和导电层 903 重叠的部分中。由此，导电层 901 和导电层 903 之间的寄生电容可以减小，由此可以实现杂波的降低。与此同样，半导体层 902 或导电层 903 可以形成在导电层 901 和导电层 904 重叠的部分中。

[0426] 另外，导电层 904 可以在导电层 901 的一部分之上形成，该导电层 901 可以通过接触孔 905 连接到导电层 904。由此，布线电阻可以减小。或者，导电层 903 和导电层 904 可以在导电层 901 的一部分之上形成，该导电层 901 可以通过接触孔 905 连接到该导电层 904，而该导电层 903 可以通过另一接触孔 905 连接到该导电层 904。由此，布线电阻可以进一步减小。

[0427] 另外，导电层 904 可以在导电层 903 的一部分之上形成，该导电层 903 可以通过接触孔 905 连接到导电层 904。由此，布线电阻可以减小。

[0428] 另外，导电层 901 或导电层 903 可以在导电层 904 的一部分之下形成，该导电层 904 可以通过接触孔 905 连接到该导电层 901 或该导电层 903。由此，布线电阻可以减小。

[0429] 另外，如上所述，在晶体管 101 中，栅极和第二端子之间的寄生电容可以大于栅极和第一端子之间的寄生电容。由此，在晶体管 101 中，用作第二端子的导电层 903 和用作栅极的导电层 901 重叠的面积优选大于用作第一端子的导电层 903 和用作栅极的导电层 901 重叠的面积。

[0430] 实施方式 10

[0431] 在本实施方式中说明电子设备的例子。

[0432] 图 43A 至 43H 以及图 44A 至 44D 是示出电子设备的图。这些电子设备可以包括框体 5000、显示部 5001、扬声器 5003、LED 灯 5004、操作键 5005（包括电源开关或操作开关）、连接端子 5006、传感器 5007（它包括测定如下因素的功能：力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、射线、流量、湿度、倾斜度、振动、气味或红外线）、麦克风 5008 等。

[0433] 图 43A 示出移动计算机，该移动计算机除了上述以外还可以包括开关 5009、红外端口 5010 等。图 43B 示出具备记录媒体的便携式图像再现装置（例如 DVD 再现装置），该便携式图像再现装置除了上述以外还可以包括第二显示部 5002、记录媒体读取部 5011 等。图 43C 示出护目镜型显示器，该护目镜型显示器除了上述以外还可以包括第二显示部 5002、支撑部 5012、耳机 5013 等。图 43D 示出便携式游戏机，该便携式游戏机除了上述以外还可以包括记录媒体读取部 5011 等。图 43E 示出投影仪装置，该投影仪装置除了上述以外还可以包括光源 5033、投射透镜 5034 等。图 43F 示出便携式游戏机，该便携式游戏机除了上述以外还可以包括第二显示部 5002、记录媒体读取部 5011 等。图 43G 示出电视接收机，该电视接收机除了上述以外还可以包括调谐器、图像处理部等。图 43H 示出便携式电视接收机，该便携式电视接收机除了上述以外还可以包括能够收发信号的充电器 5017 等。图 44A 示出显示器，该显示器除了上述以外还可以包括支撑台 5018 等。图 44B 示出相机，该相机除了上述以外还可以包括外部连接端口 5019、快门按钮 5015、图像接收部 5016 等。图 44C 示出计算机，该计算机除了上述以外还可以包括定位装置 5020、外部连接端口 5019、读写器 5021 等。图 44D 示出移动电话机，该移动电话机除了上述以外还可以包括天线、用于移动电话·移动终端的单波段广播 (one-segment broadcasting) 部分接收服务用调谐器等。

[0434] 图 43A 至 43H、图 44A 至 44D 所示的电子设备可以具有各种功能。例如，可以具有如下功能：将各种信息（静态图像、动态图像、文字图像等）显示在显示部上；触控面板；显示日历、日期或时刻等；通过利用各种软件（程序）控制处理；进行无线通信；通过利用无线通信功能来连接到各种计算机网络；通过利用无线通信功能，进行各种数据的发送或接收；读出储存在记录媒体中的程序或数据来将其显示在显示部上；等等。再者，在具有多个显示部的电子设备中，可以具有如下功能：一个显示部主要显示图像信息，而另一个显示部主要显示文字信息；或者，在多个显示部上显示考虑到视差的图像来显示立体图像；等等。再者，在具有图像接收部的电子设备中，可以具有如下功能：拍摄静态图像；拍摄动态图像；对所拍摄的图像进行自动或手动校正；将所拍摄的图像储存在记录媒体（外部或内置于相机）中；将所拍摄的图像显示在显示部上等。注意，图 43A 至 43H、图 44A 至 44D 所示的电子设备可具有的功能不局限于上述功能，而可以具有各种各样的功能。

[0435] 本实施方式所述的电子设备的特征是具有用来显示某些信息的显示部。通过组合本实施方式的电子设备以及实施方式 1 至 5 的半导体装置、移位寄存器或显示装置，可实现可靠性提高、成品率的提高、成本的降低、显示部的大型化、显示部的高精细化等。

[0436] 下面，说明半导体装置的应用例子。

[0437] 图 44E 示出将半导体装置和建筑物设置为一体的例子。图 44E 包括框体 5022、显示部 5023、作为操作部的遥控装置 5024、扬声器 5025 等。半导体装置以壁挂式的方式结合

到建筑物内并且可以不需要较大的空间而设置。

[0438] 图 44F 示出在建筑物内将半导体装置和建筑物设置为一体的另一个例子。显示面板 5026 被结合到浴室 5027 内，并且洗澡的人可以观看显示面板 5026。

[0439] 另外，在本实施方式中，举出墙、浴室作为建筑物的例子。但是，本实施方式不局限于此，也可以将半导体装置安装到各种建筑物。

[0440] 下面，示出将半导体装置和移动体设置为一体的例子。

[0441] 图 44G 示出将半导体装置设置到汽车中的例子。显示面板 5028 被安装到汽车的车体 5029，并且可以根据需要而显示车体的工作或从车体内部或外部输入的信息。另外，也可以具有导航功能。

[0442] 图 44H 示出将半导体装置和旅客用飞机设置为一体的例子。图 44H 示出在将显示面板 5031 设置在旅客用飞机的座位上方的天花板 5030 上的情况下的使用形状。显示面板 5031 通过铰链部 5032 被结合到天花板 5030，并且利用铰链部 5032 的伸缩乘客可以观看显示面板 5031。显示面板 5031 具有通过乘客的操作来显示信息的功能。

[0443] 另外，在本实施方式中，举出汽车、飞机作为移动体，但是不限于此，还可以设置在各种移动体诸如摩托车、自动四轮车（包括汽车、公共汽车等）、电车（包括单轨、铁路等）以及船舶等。

[0444] 本申请基于 2009 年 9 月 10 日在日本专利局受理的日本专利申请第 2009-209099 号而制作，所述申请内容包括在本说明书中。

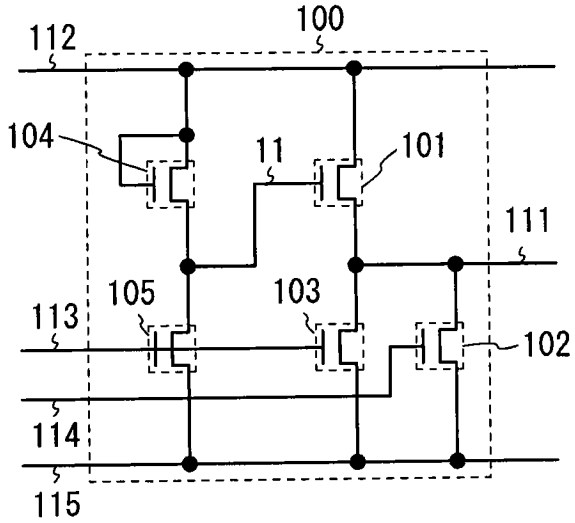


图 1A

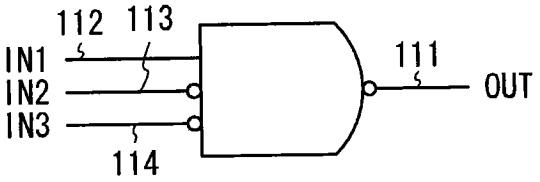


图 1B

$$OUT=IN1\cdot\overline{IN2}\cdot\overline{IN3}=\overline{IN1}\ AND\ \overline{IN2}\ AND\ \overline{IN3}$$

图 1C

	IN1	IN2	IN3	OUT
工作 1	H	H	H	L
工作 2	H	H	L	L
工作 3	H	L	H	L
工作 4	H	L	L	H
工作 5	L	H	H	L
工作 6	L	H	L	L
工作 7	L	L	H	L
工作 8	L	L	L	Z

图 1D

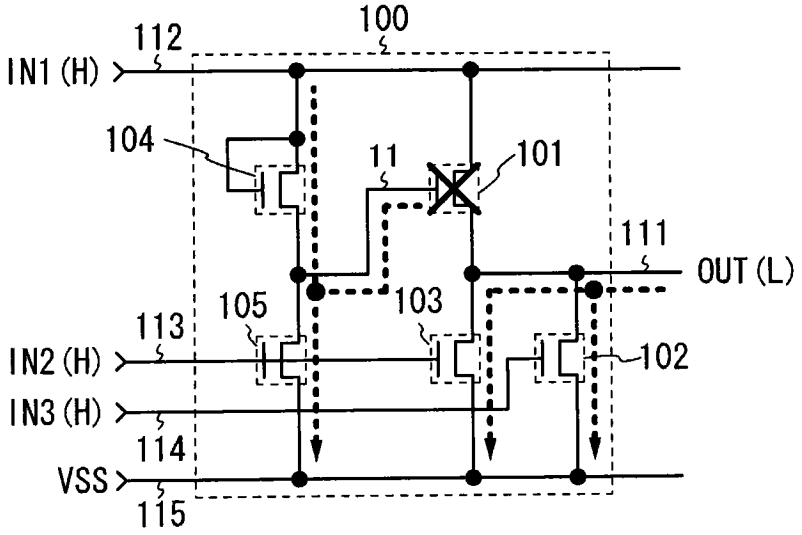

100
112
IN1 (H)
104
11
101
111
OUT (L)
105
103
113
IN2 (H)
102
IN3 (H)
114
VSS
115

图 2A

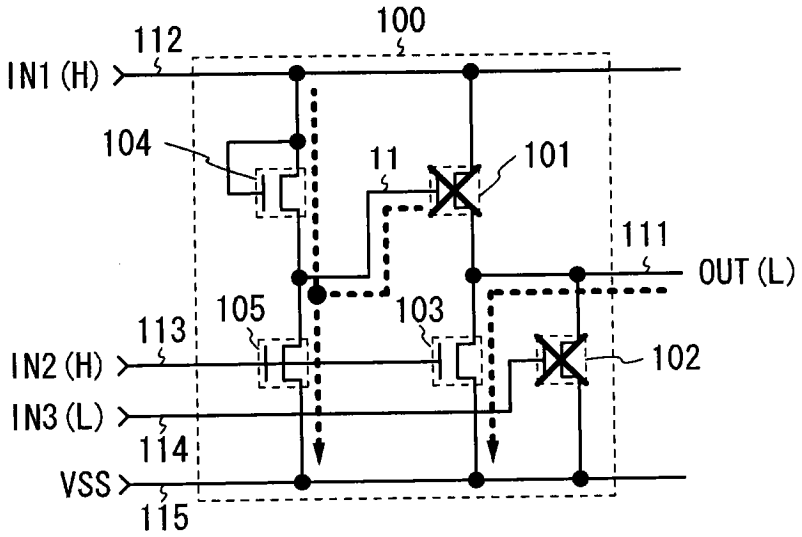

100
112
IN1 (H)
104
11
101
111
OUT (L)
105
103
113
IN2 (H)
102
IN3 (L)
114
VSS
115

图 2B

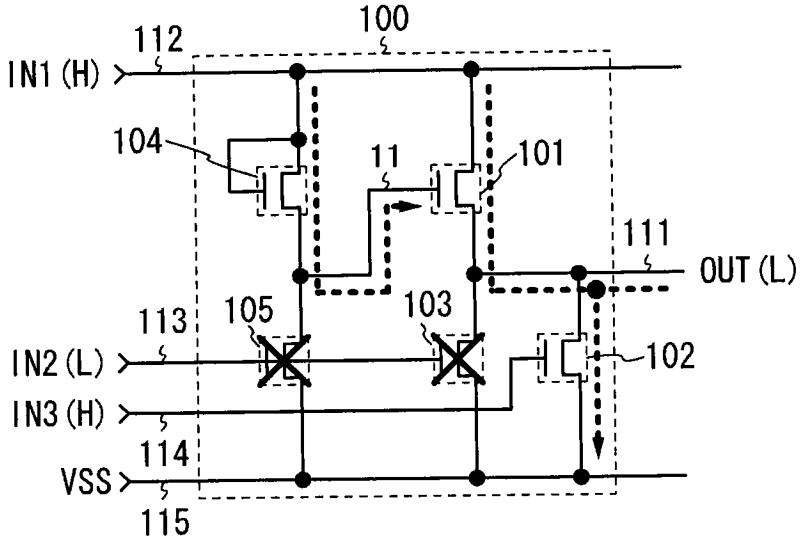

100
112
IN1 (H)
104
11
101
111
OUT (L)
113
105
103
102
IN2 (L)
IN3 (H)
114
VSS
115

图 2C

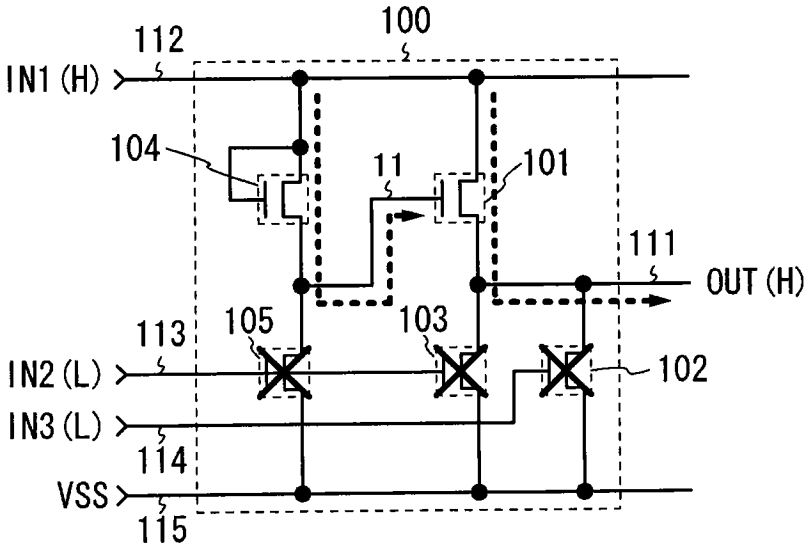

100
112
IN1 (H)
104
11
101
111
OUT (H)
113
105
103
102
IN2 (L)
IN3 (L)
114
VSS
115

图 3A

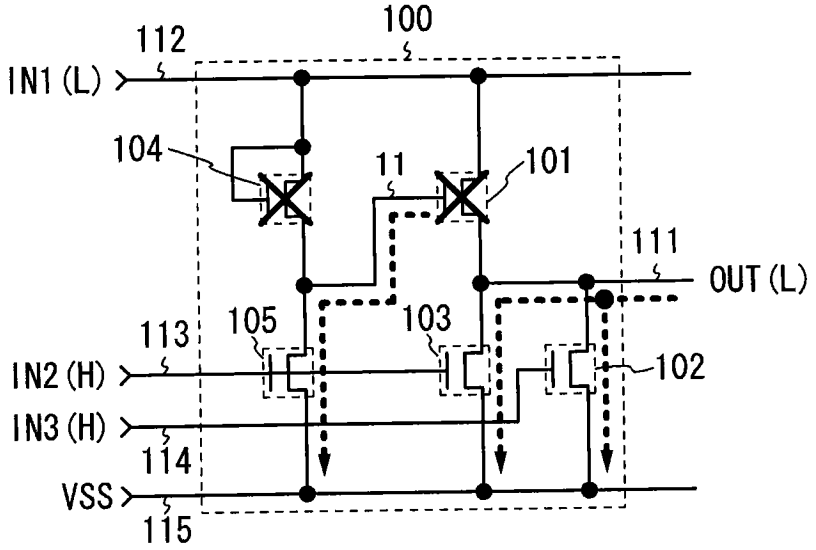

100
112
IN1 (L)
104
11
101
111
OUT (L)
113
105
103
102
IN2 (H)
IN3 (H)
114
VSS
115

图 3B

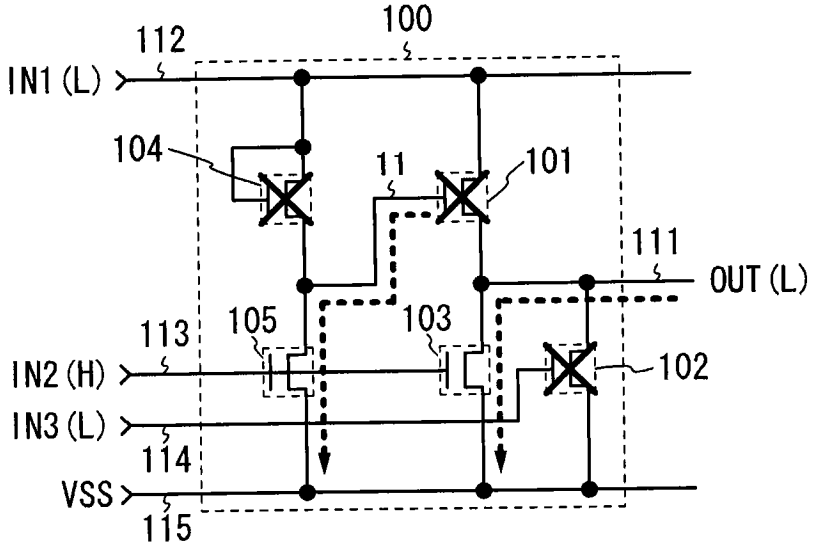

100
112
IN1 (L)
104
11
101
111
OUT (L)
113
105
103
102
IN2 (H)
IN3 (L)
114
VSS
115

图 3C

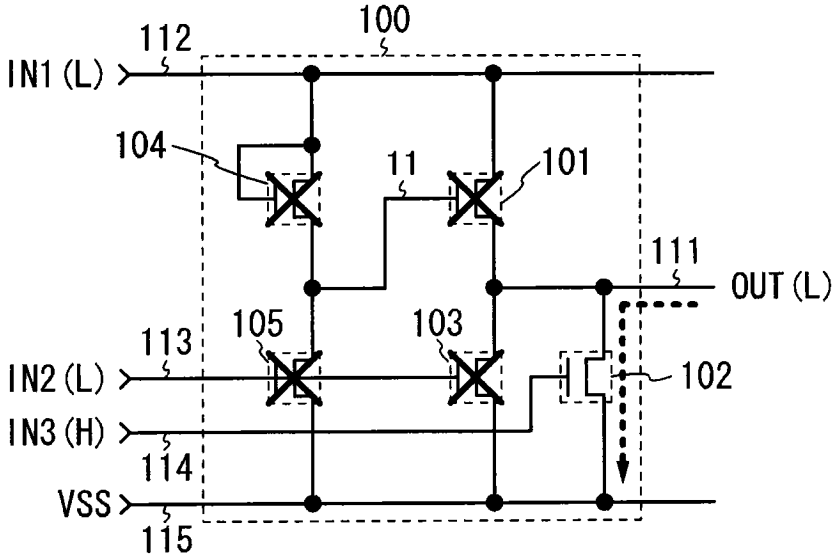

100
112
IN1 (L)
104
11
101
111
OUT (L)
105
103
113
IN2 (L)
102
IN3 (H)
114
VSS
115

图 4A

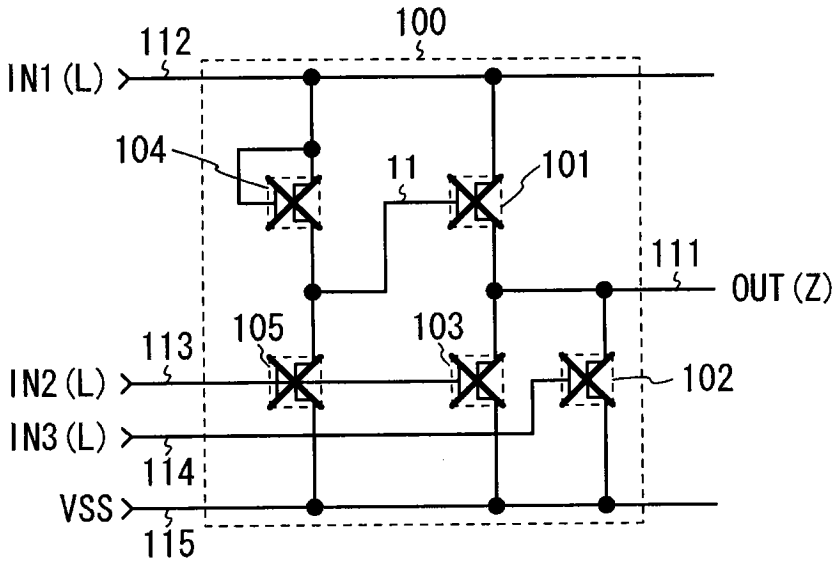

100
112
IN1 (L)
104
11
101
111
OUT (Z)
105
103
113
IN2 (L)
102
IN3 (L)
114
VSS
115

图 4B

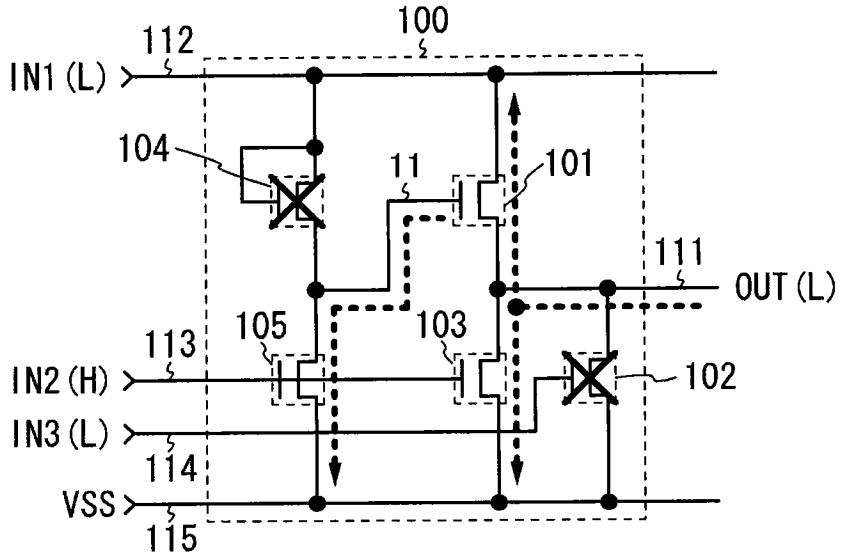


图 4C

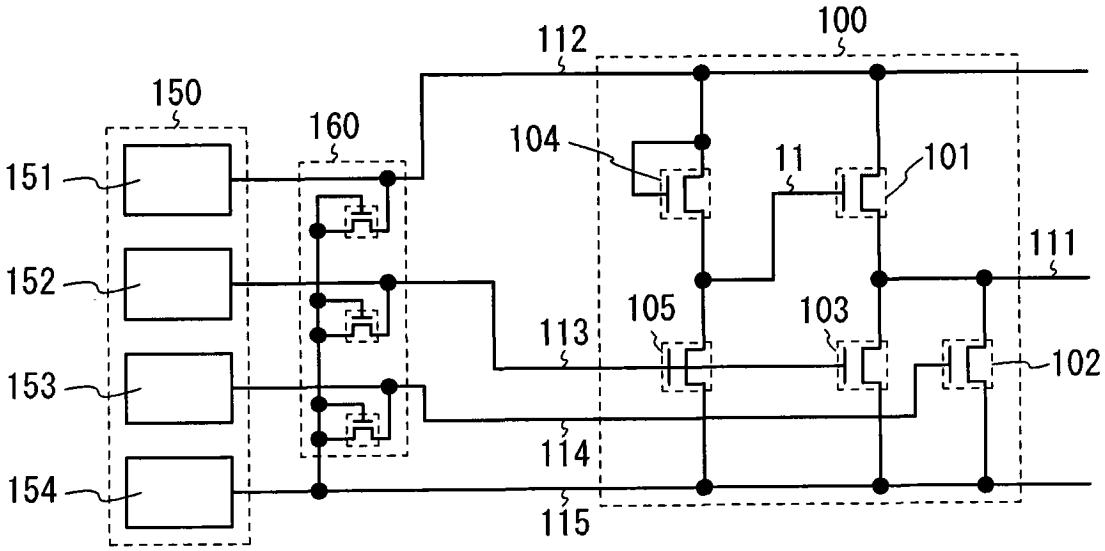


图 5A

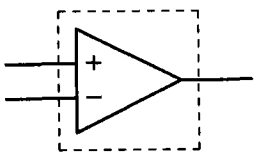


图 5B

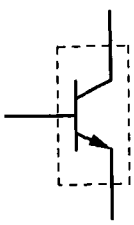


图 5C

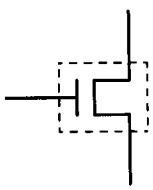


图 5D

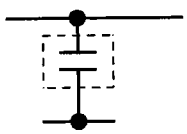


图 5E

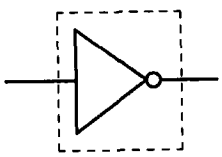


图 5F

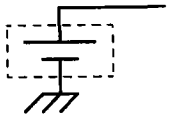


图 5G

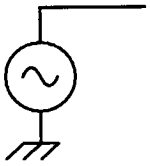


图 5H

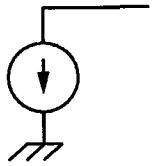


图 5I

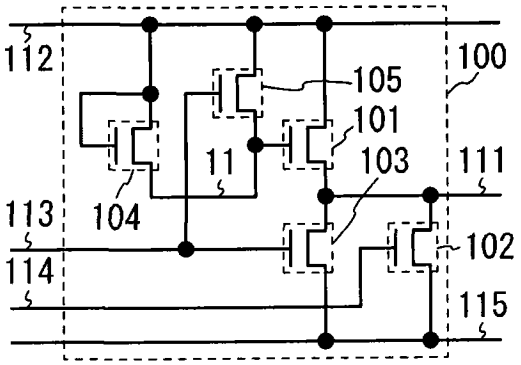


图 6A

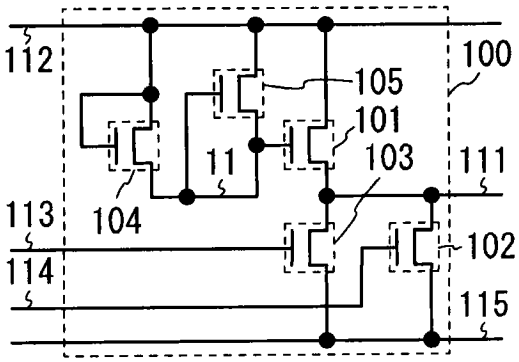


图 6B

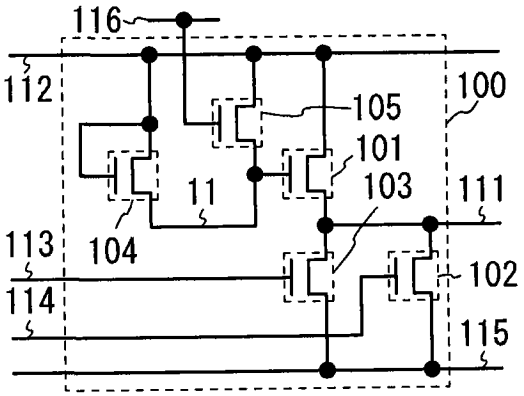


图 6C

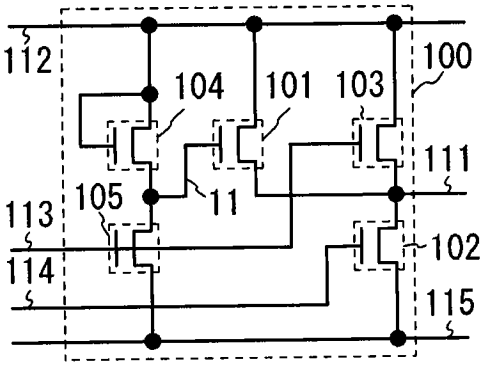


图 6D

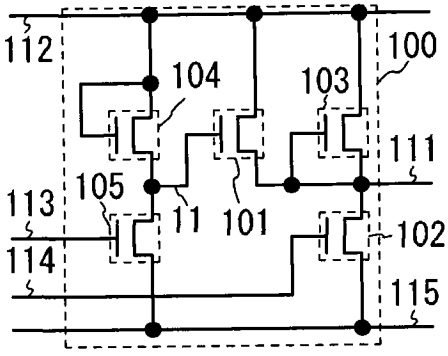


图 6E

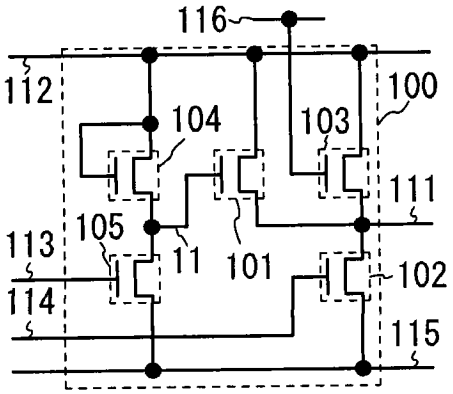


图 6F

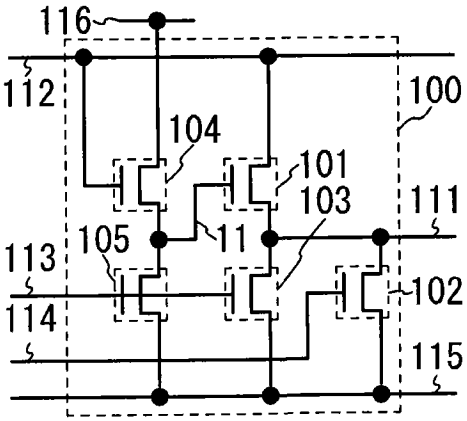


图 7A

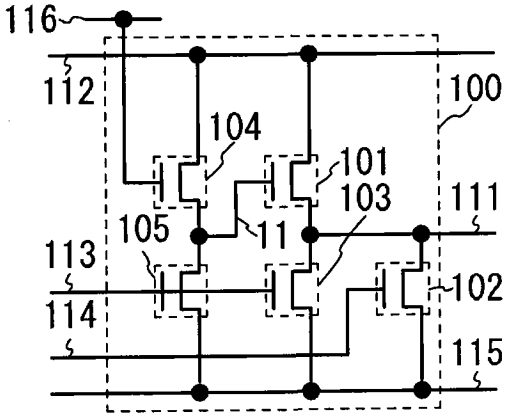


图 7B

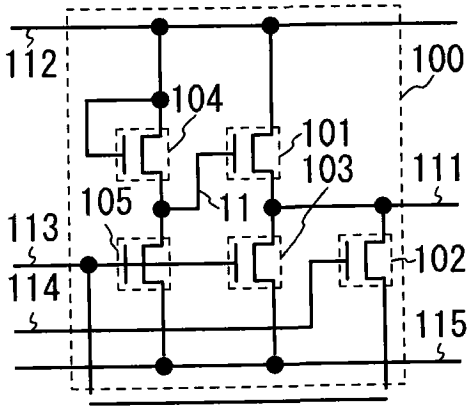


图 7C

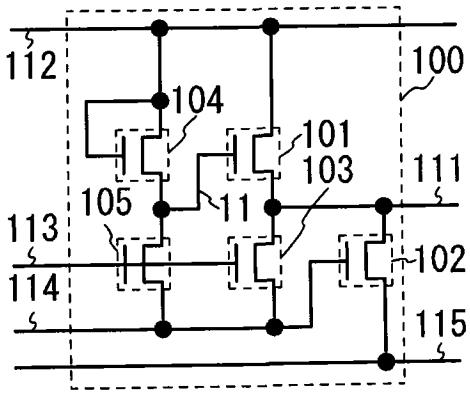


图 7D

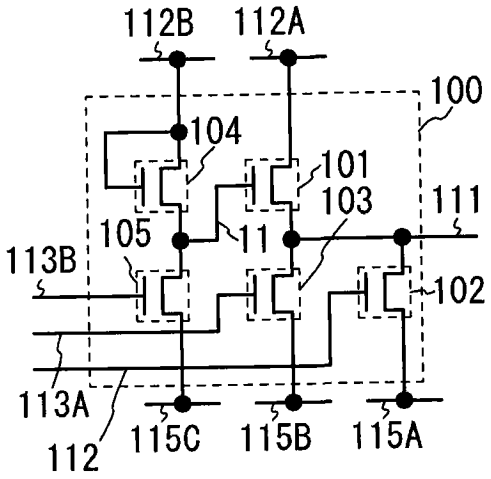


图 7E

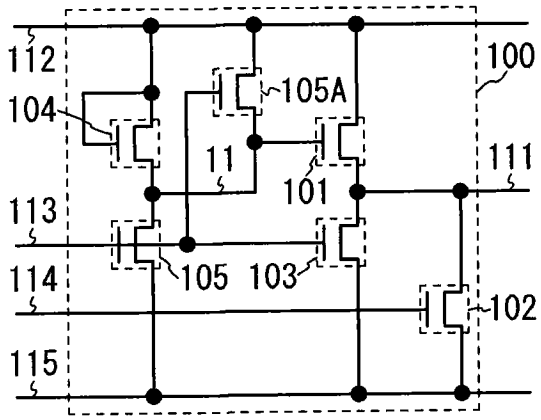


图 8A

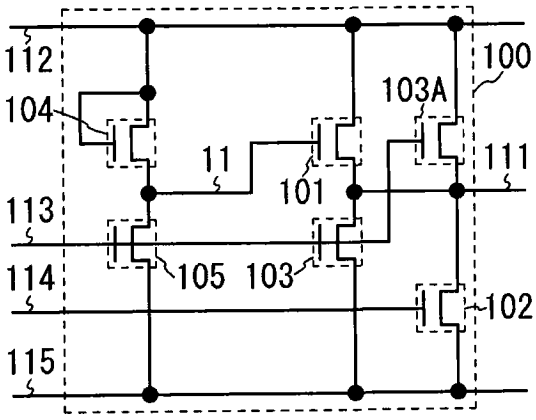


图 8B

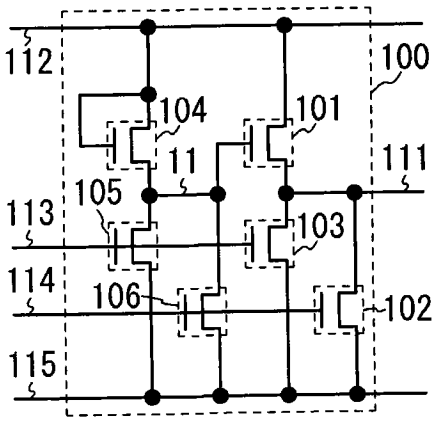


图 8C

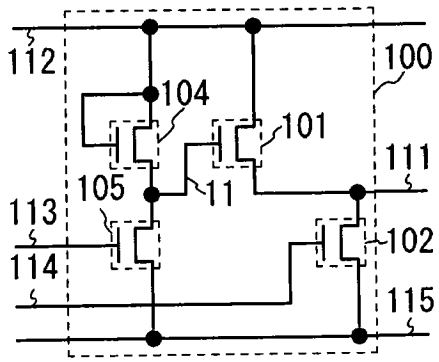


图 8D

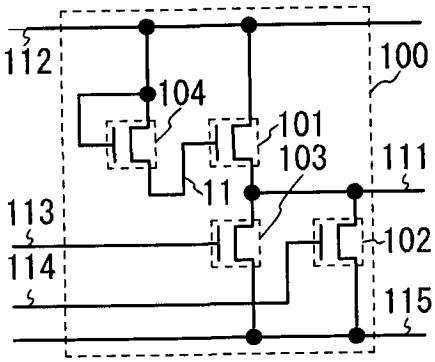


图 8E

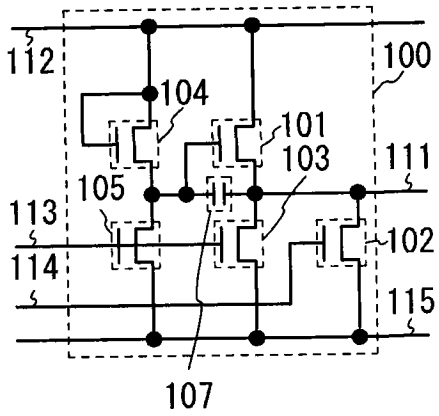


图 8F

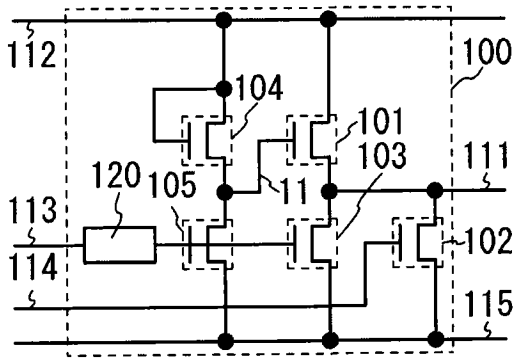


图 9A

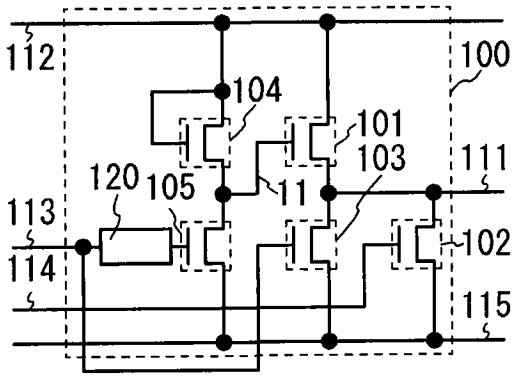


图 9B

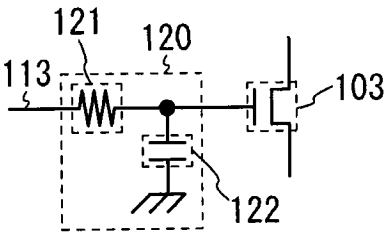


图 9C

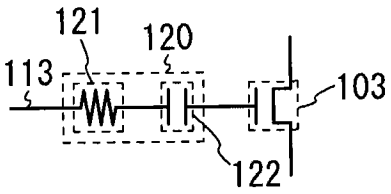


图 9D

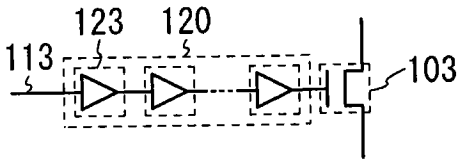


图 9E

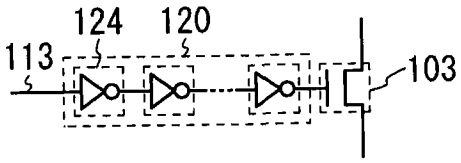


图 9F

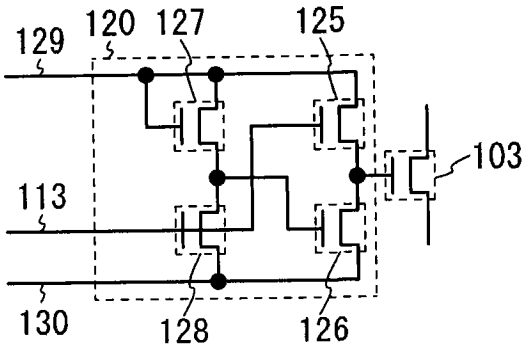


图 9G

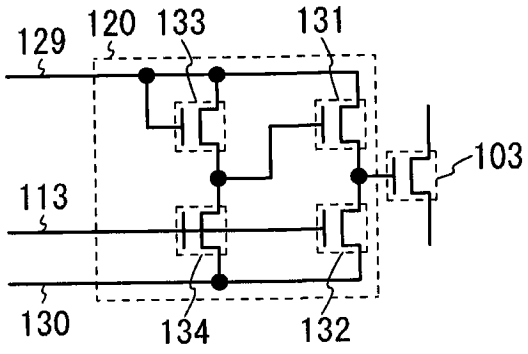


图 9H

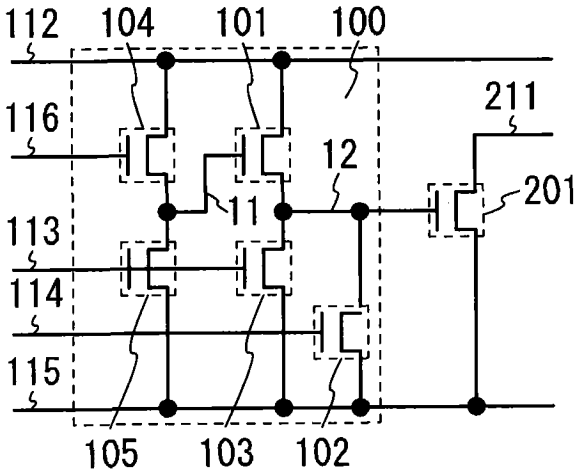


图 10A

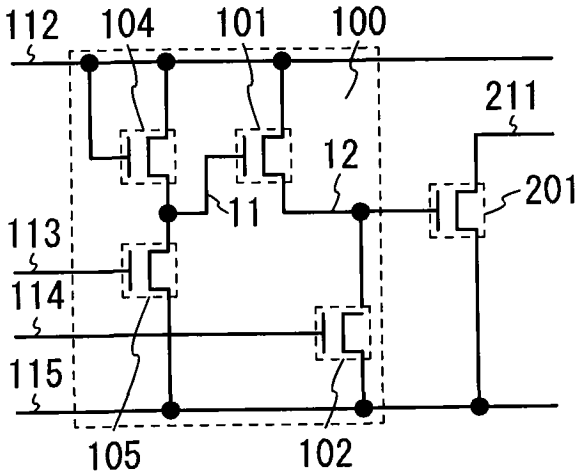


图 10B

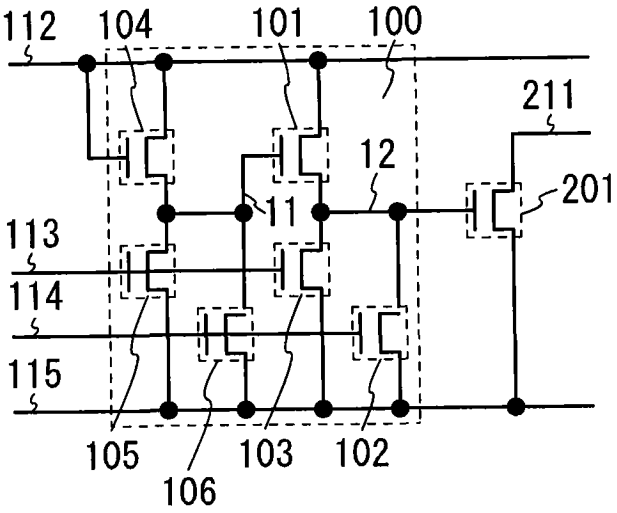


图 10C

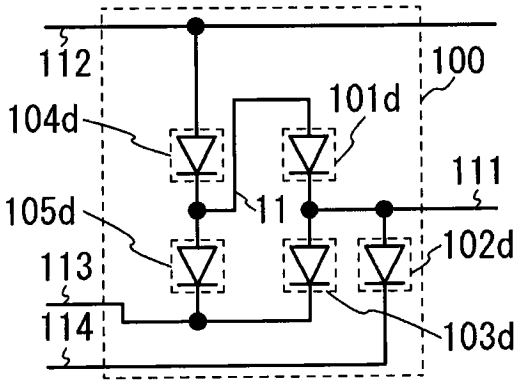


图 11A

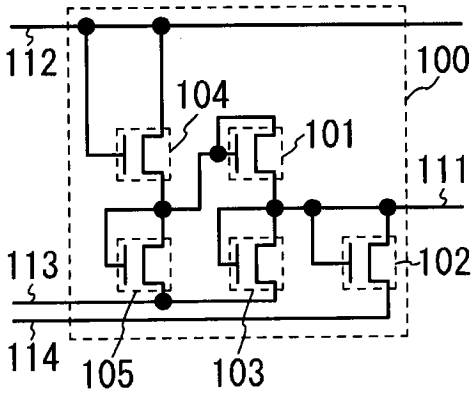


图 11B

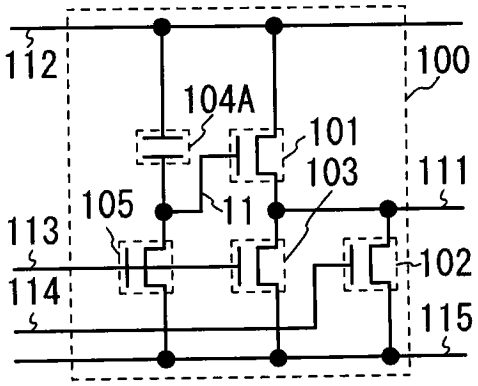


图 11C

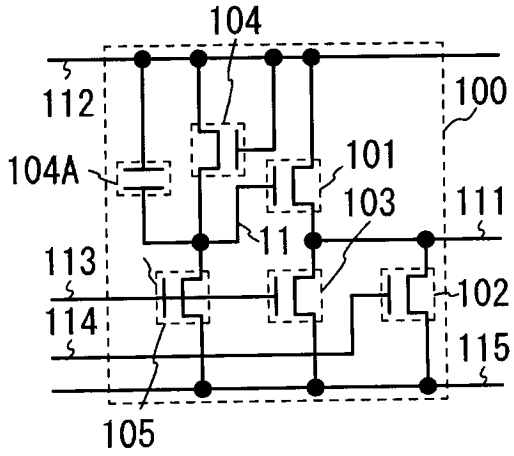


图 11D

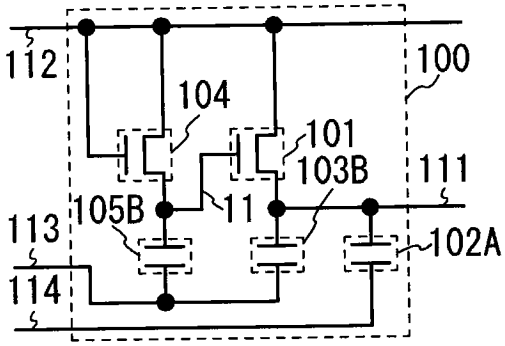


图 11E

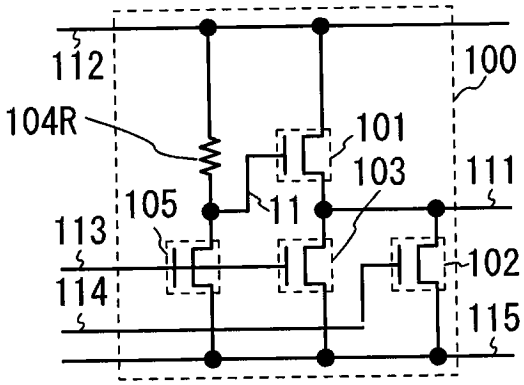


图 11F

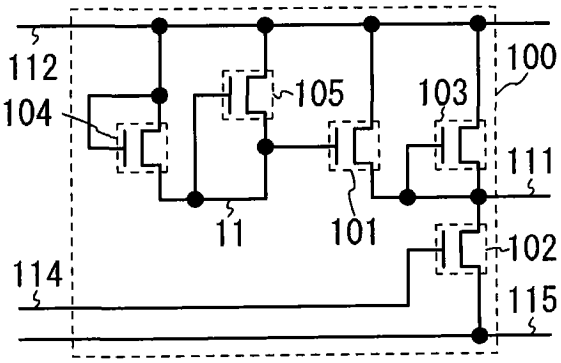


图 12A

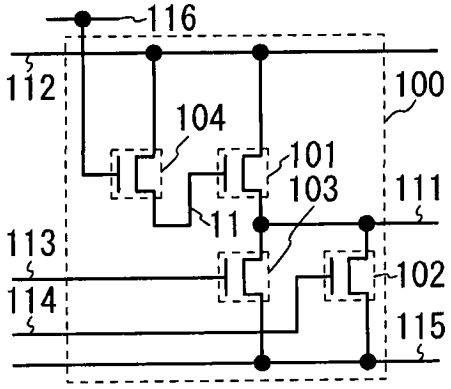


图 12B

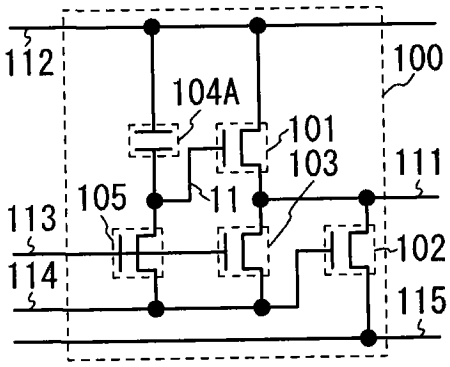


图 12C

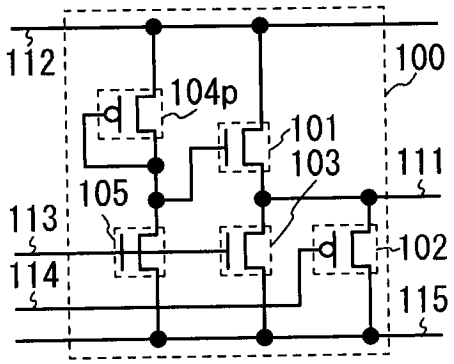


图 12D

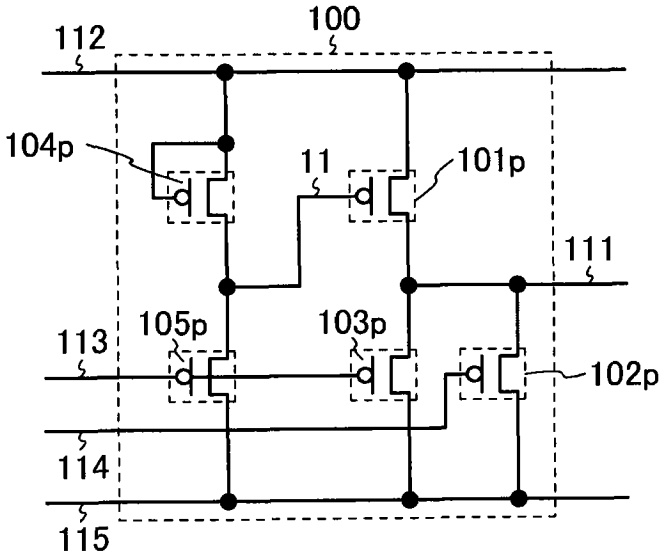


图 13A

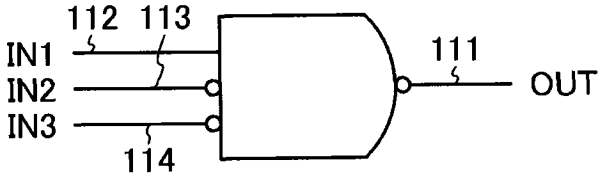


图 13B

$$OUT=\overline{IN1\cdot\overline{IN2}\cdot\overline{IN3}}=\overline{\overline{IN1}\ AND\ \overline{IN2}\ AND\ \overline{IN3}}$$

图 13C

	IN1	IN2	IN3	OUT
工作 1	H	H	H	Z
工作 2	H	H	L	H
工作 3	H	L	H	H
工作 4	H	L	L	H
工作 5	L	H	H	L
工作 6	L	H	L	H
工作 7	L	L	H	H
工作 8	L	L	L	Z

图 13D

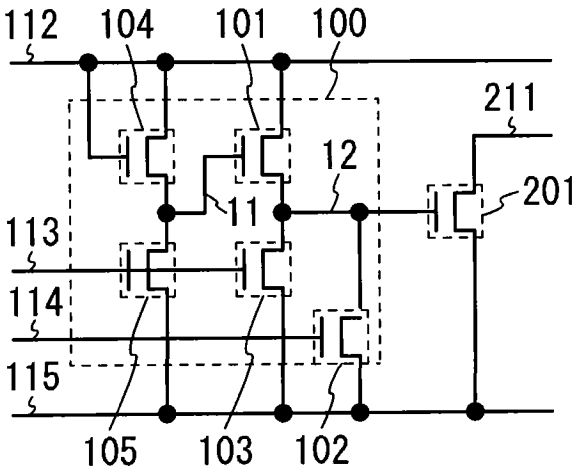

112
104
101
100
211
12
201
11
113
114
115
105
103
102

图 14A

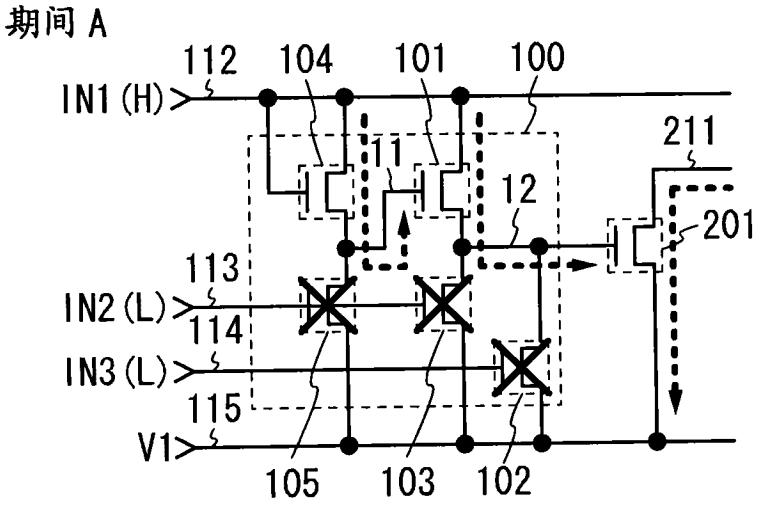

期间 A
112
104
101
100
IN1 (H)
211
11
12
201
113
IN2 (L)
114
IN3 (L)
115
V1
105
103
102

图 14B

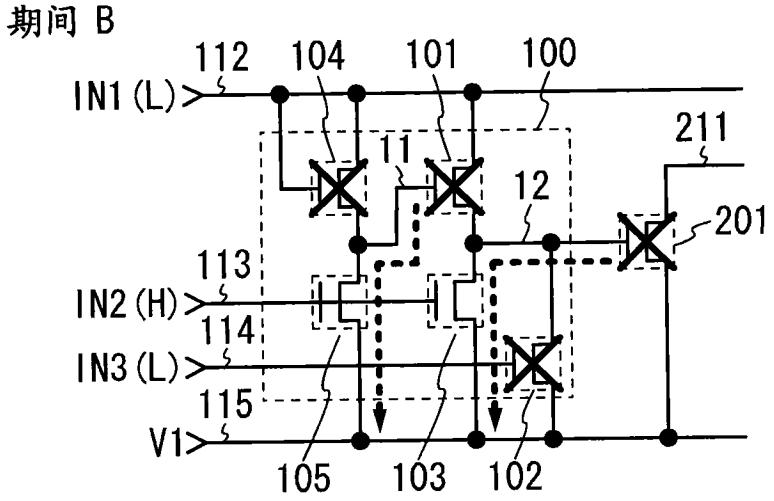

期间 B
112
104
101
100
IN1 (L)
211
11
12
201
113
IN2 (H)
114
IN3 (L)
115
V1
105
103
102

图 14C

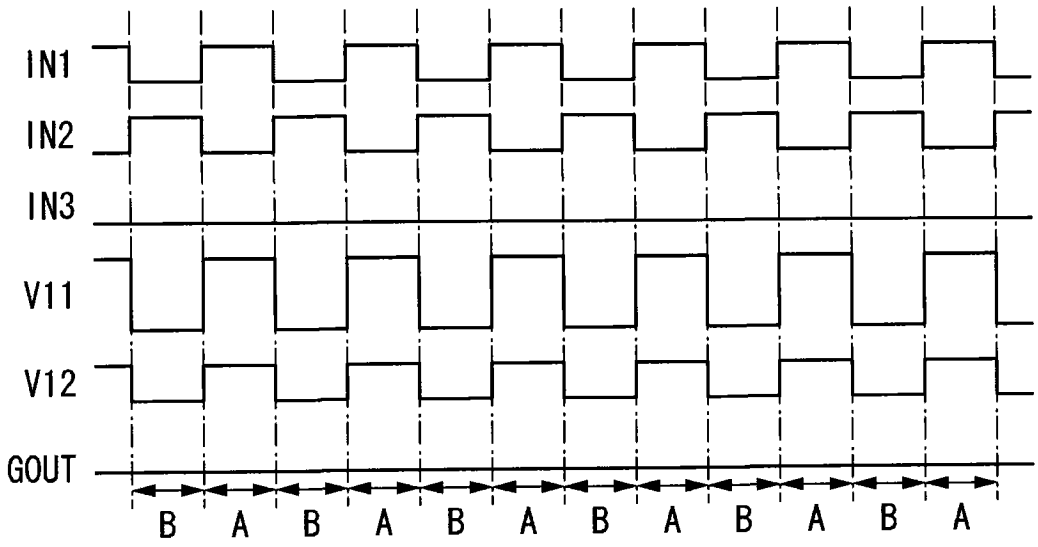

IN1
IN2
IN3
V11
V12
GOUT
B A B A B A B A B A B A

图 15A

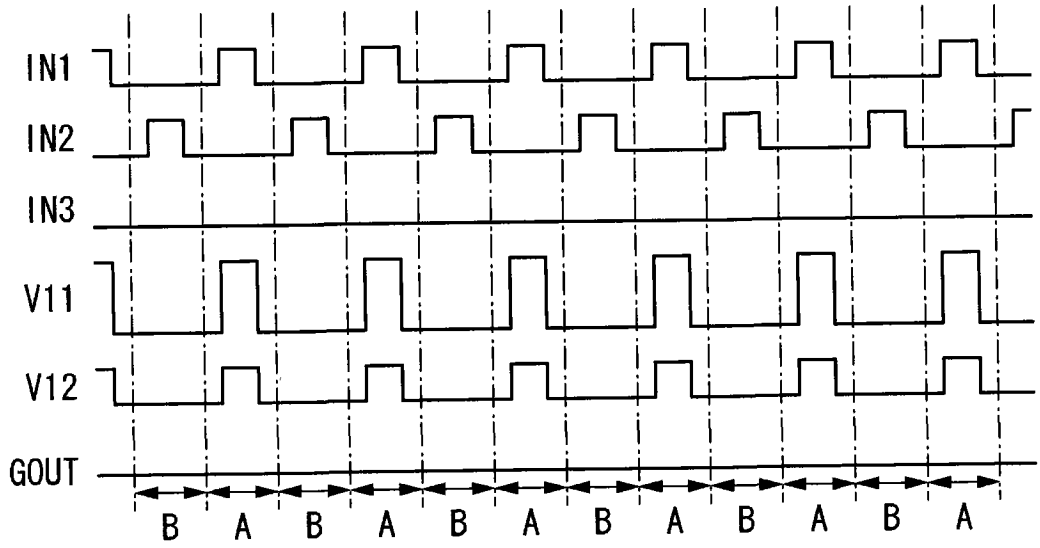

IN1
IN2
IN3
V11
V12
GOUT
B A B A B A B A B A B A

图 15B

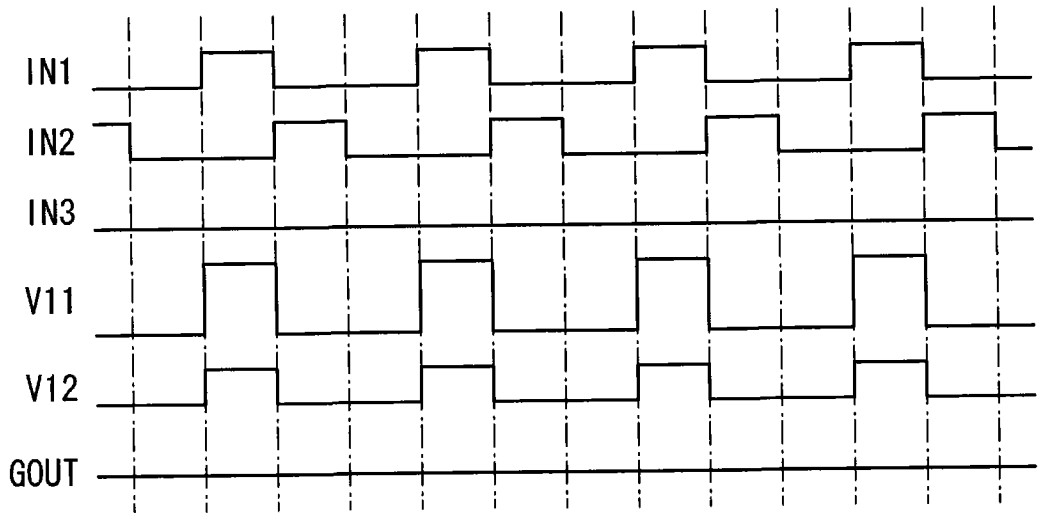

IN1
IN2
IN3
V11
V12
GOUT

图 15C

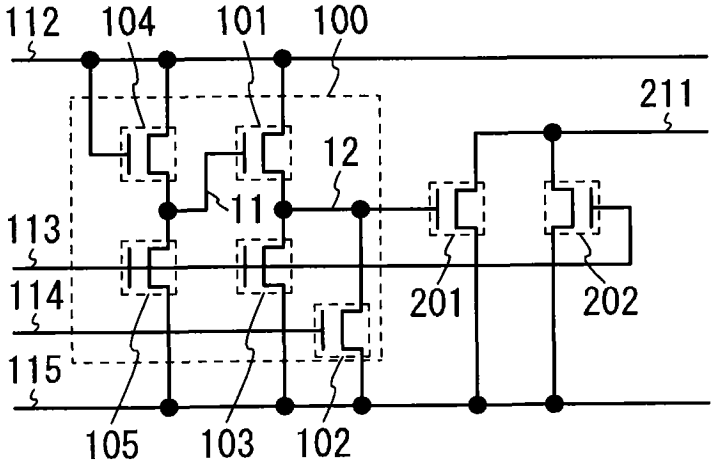

112
104
101
100
211
12
11
113
114
115
201
202
105
103
102

图 16A

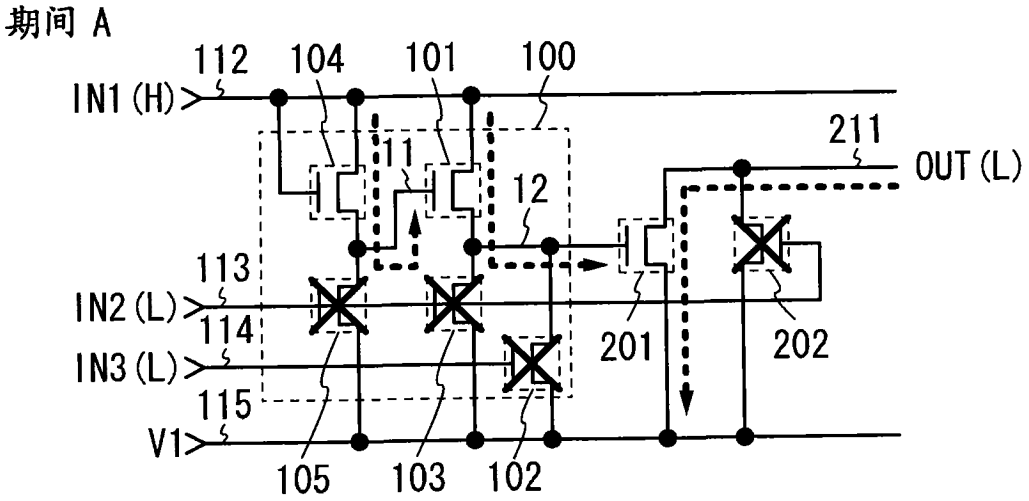

期间 A
112
104
101
100
IN1 (H)
211
OUT (L)
11
12
113
IN2 (L)
114
IN3 (L)
115
V1
201
202
105
103
102

图 16B

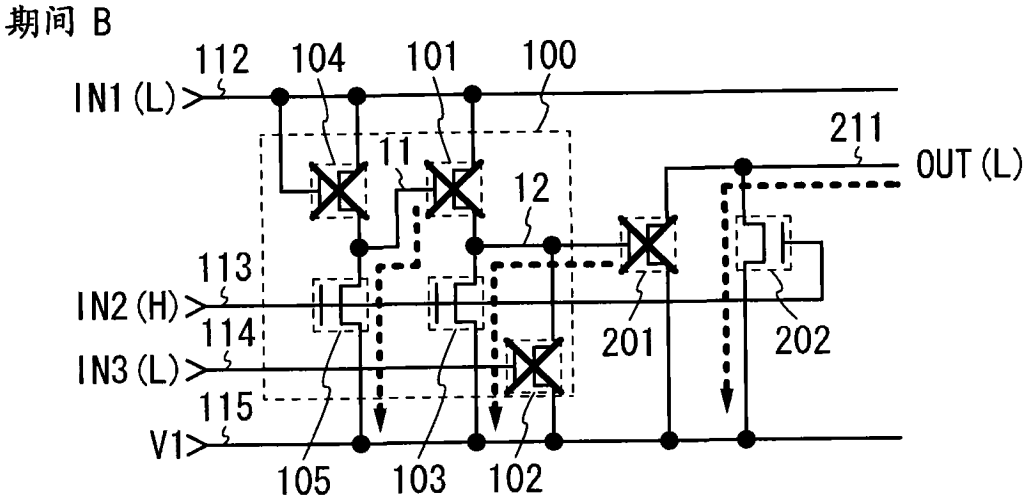

期间 B
112
104
101
100
IN1 (L)
211
OUT (L)
11
12
113
IN2 (H)
114
IN3 (L)
201
202
115
V1
105
103
102

图 16C

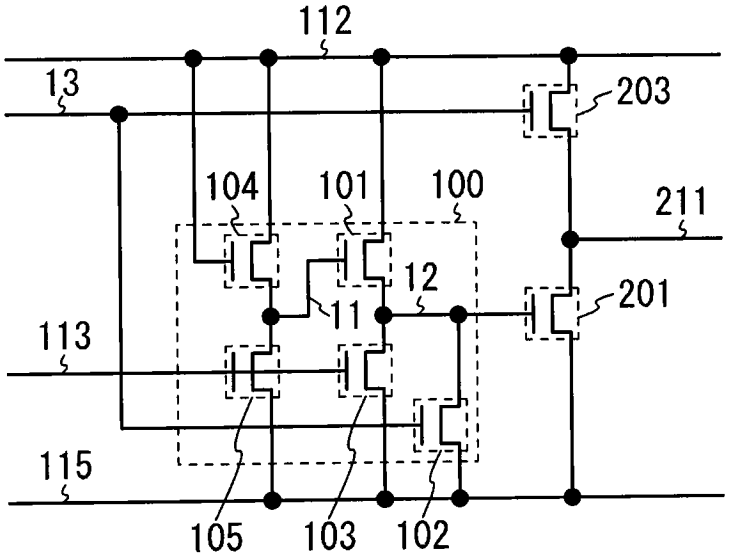

112
13
203
104
101
100
211
12
201
11
113
115
105
103
102

图 17A

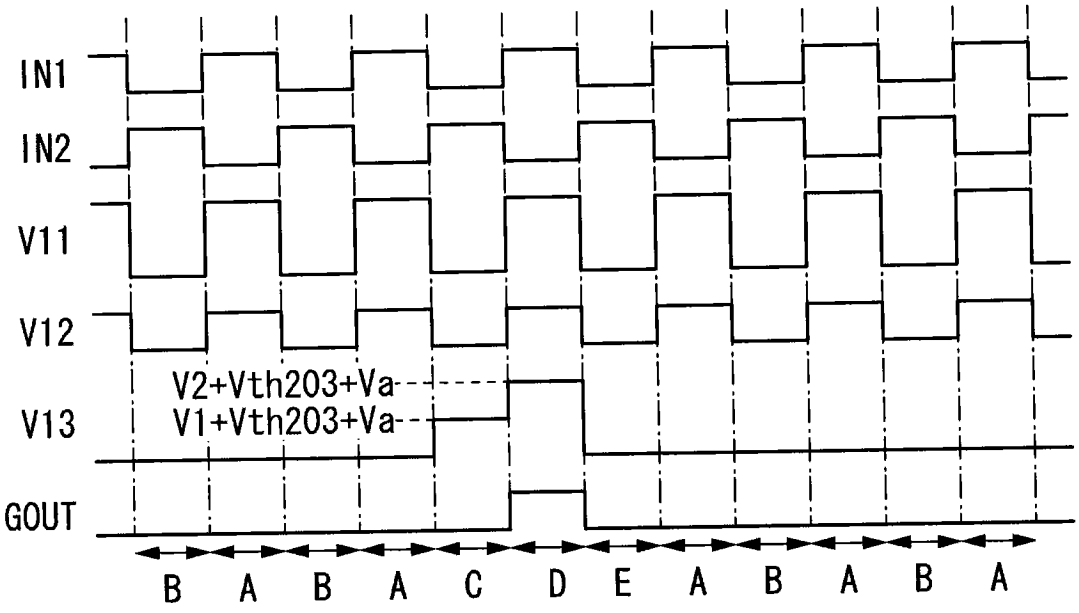

IN1
IN2
V11
V12
V2+Vth203+Va
V13
V1+Vth203+Va
GOUT
B A B A C D E A B A B A

图 17B

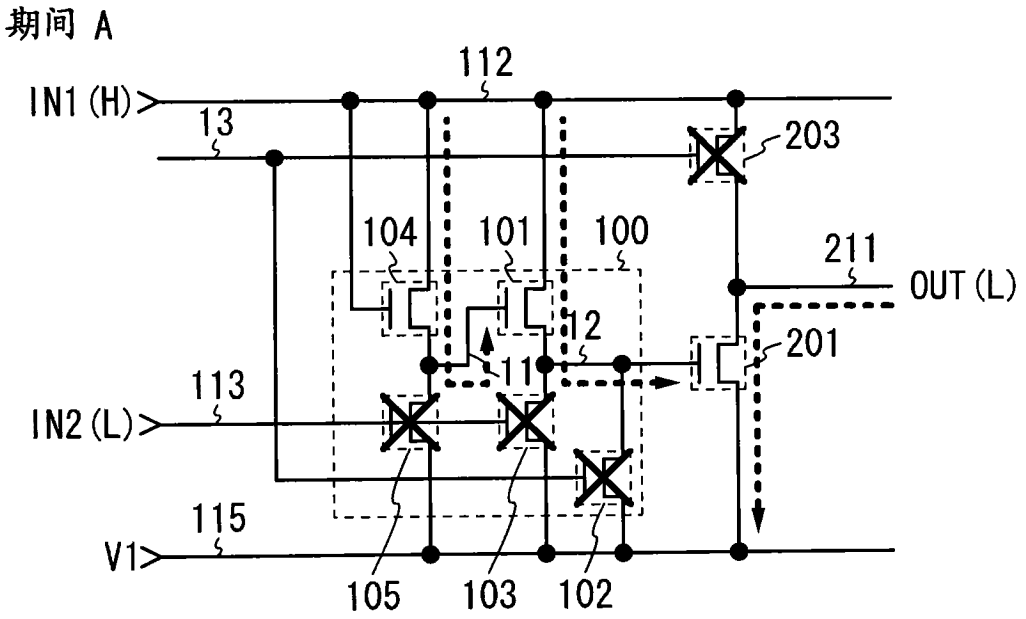

期间 A
112
IN1 (H)
13
203
104
101
100
211
OUT (L)
12
201
11
113
IN2 (L)
115
V1
105
103
102

图 18A

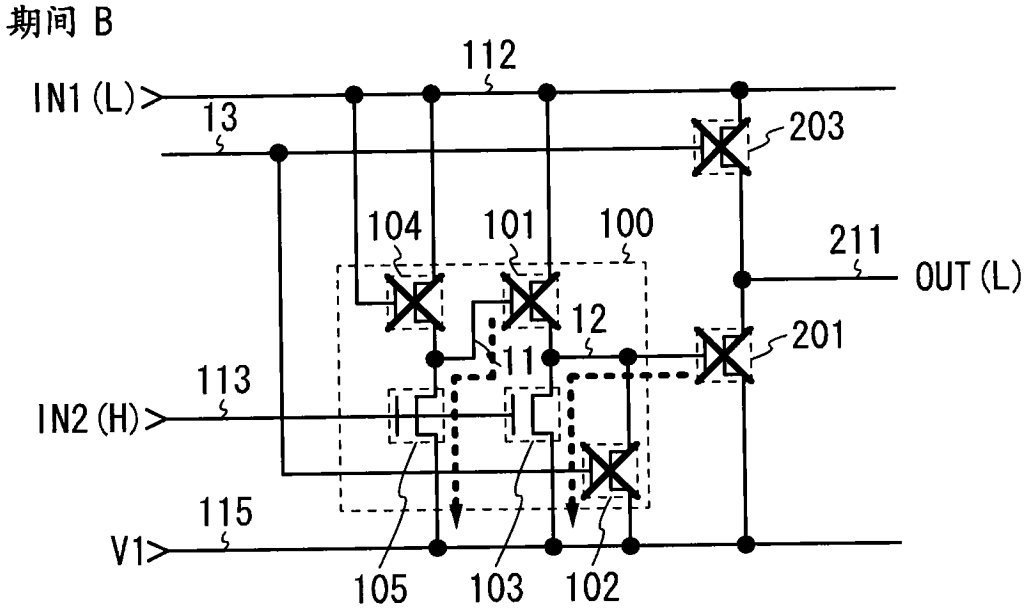

期间 B
112
IN1 (L)
13
203
104
101
100
211
OUT (L)
12
201
11
113
IN2 (H)
115
V1
105
103
102

图 18B

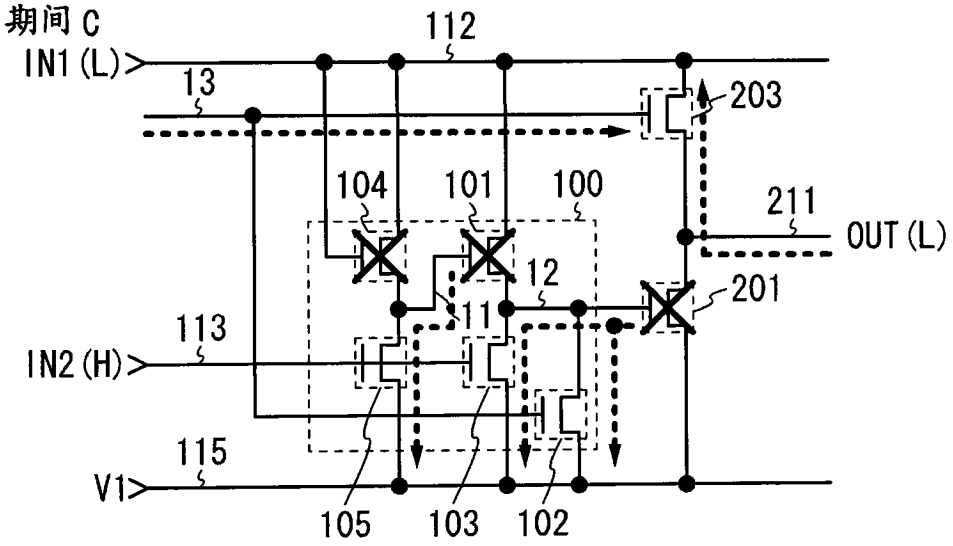

期间 C
112
IN1 (L)
13
203
104
101
100
211
OUT (L)
12
201
11
113
IN2 (H)
115
V1
105
103
102

图 19A

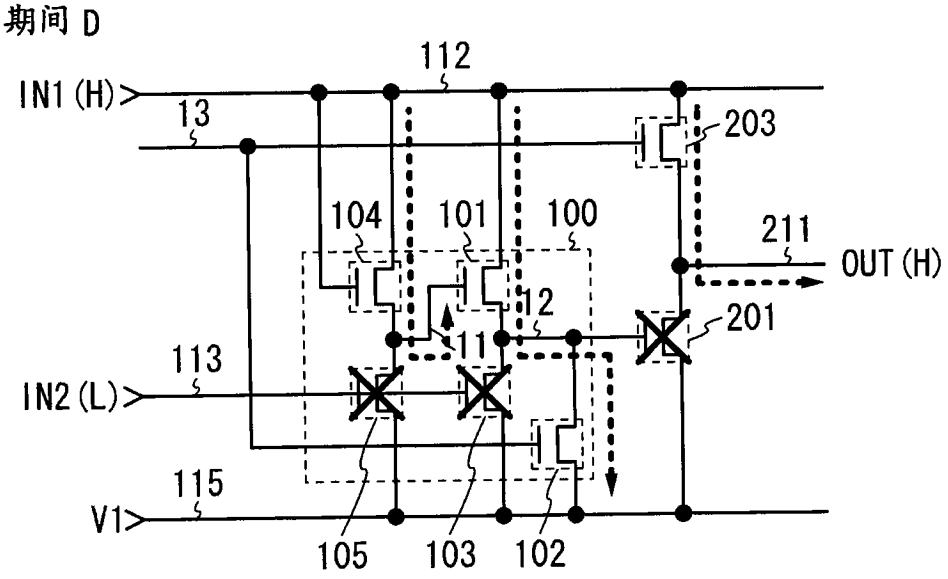

期间 D
112
IN1 (H)
13
203
104
101
100
211
OUT (H)
12
201
11
113
IN2 (L)
115
V1
105
103
102

图 19B

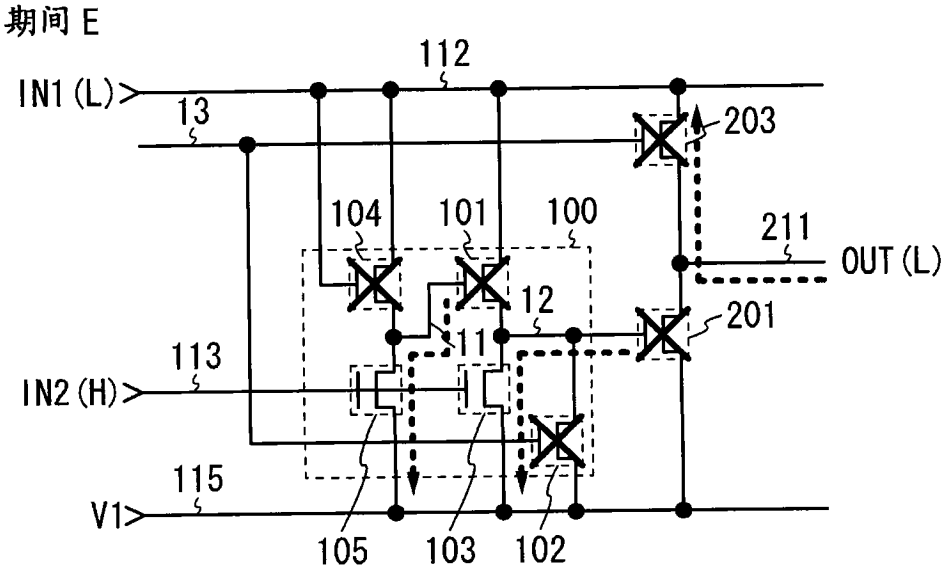

期间 E
112
IN1 (L)
13
203
104
101
100
211
OUT (L)
12
201
11
113
IN2 (H)
115
V1
105
103
102

图 19C

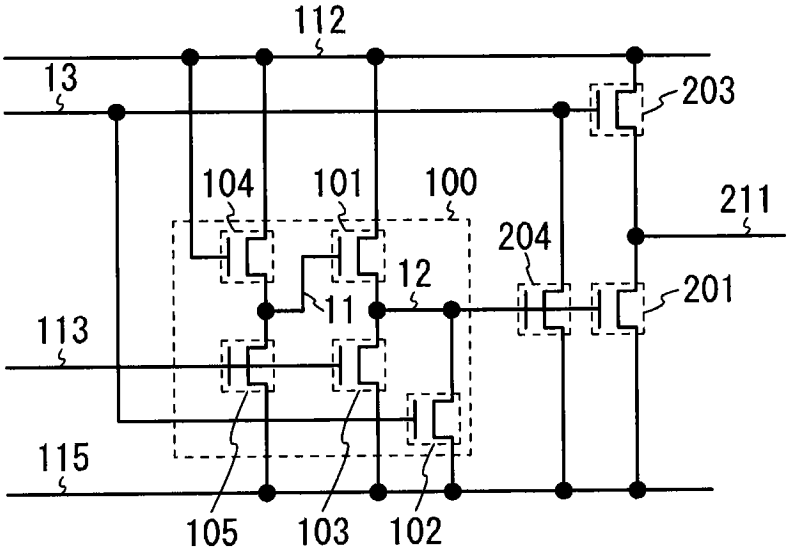

112
13
203
104
101
100
211
204
12
201
11
113
115
105
103
102

图 20A

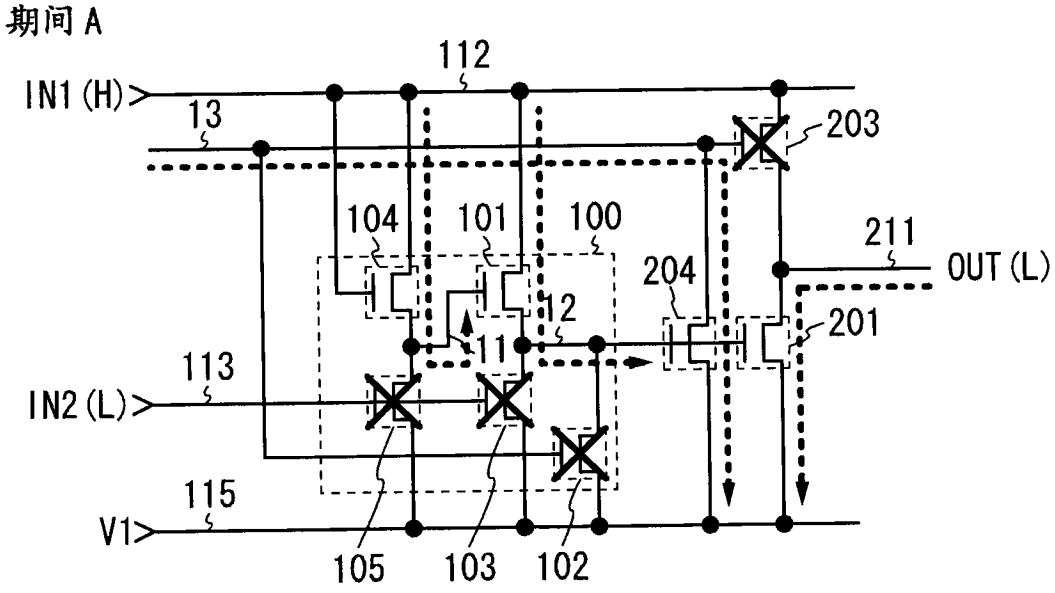

期间 A
112
IN1 (H)
13
203
104
101
100
211
OUT (L)
204
12
201
11
113
IN2 (L)
115
V1
105
103
102

图 20B

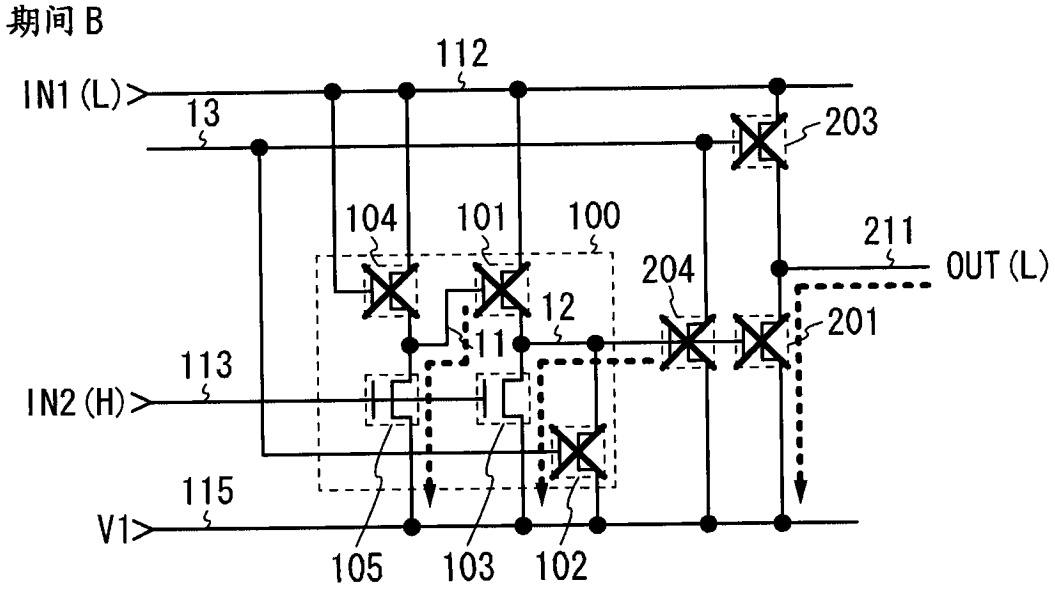

期间 B
112
IN1 (L)
13
203
104
101
100
211
OUT (L)
204
12
201
11
113
IN2 (H)
115
V1
105
103
102

图 20C

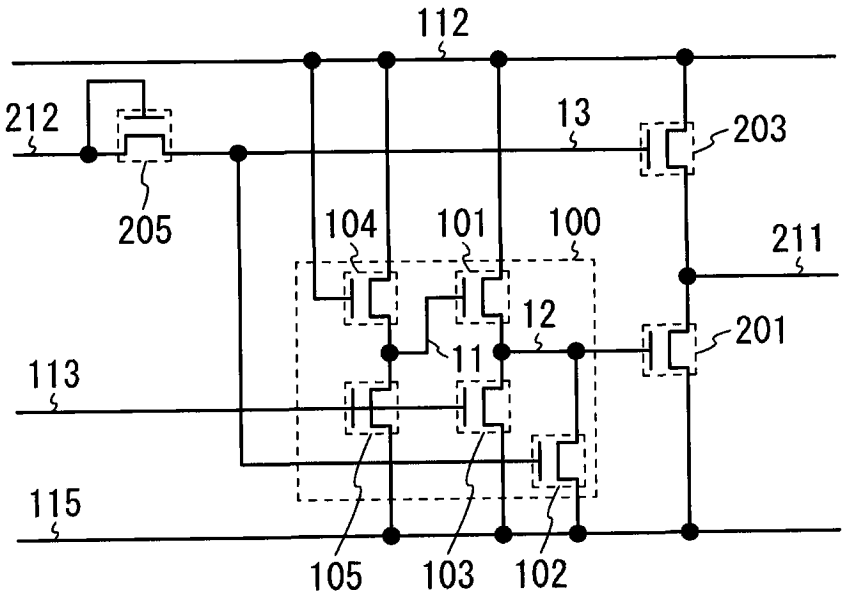

112
212
13
203
205
104
101
100
211
12
201
11
113
115
105
103
102

图 21A

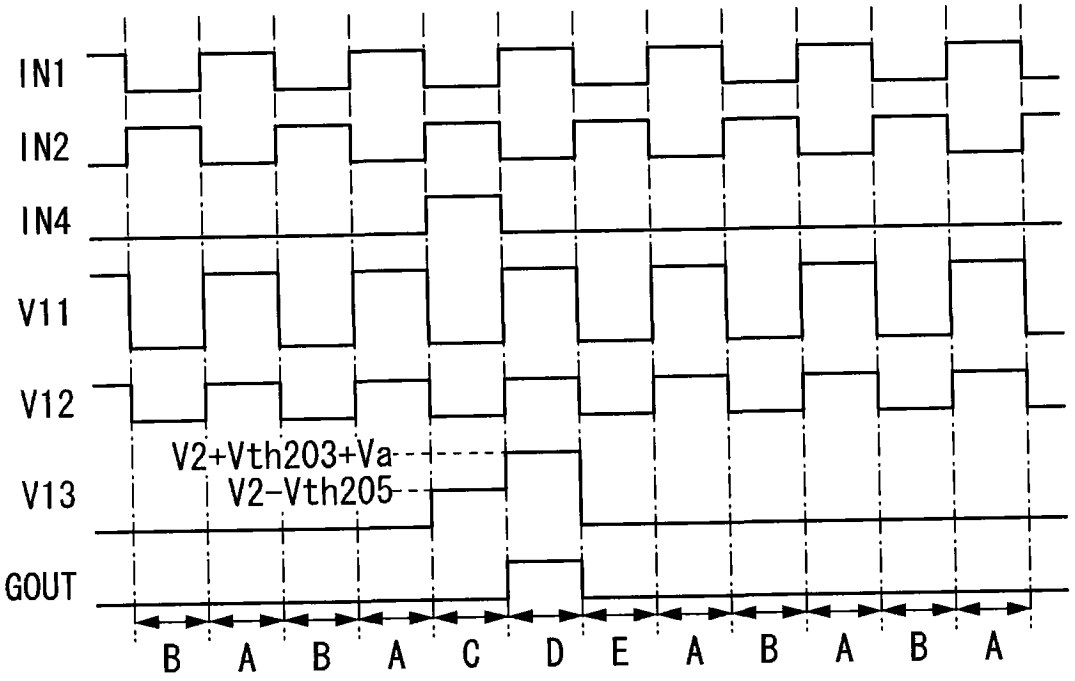

IN1
IN2
IN4
V11
V12
V2+Vth203+Va
V13
V2-Vth205
GOUT
B A B A C D E A B A B A

图 21B

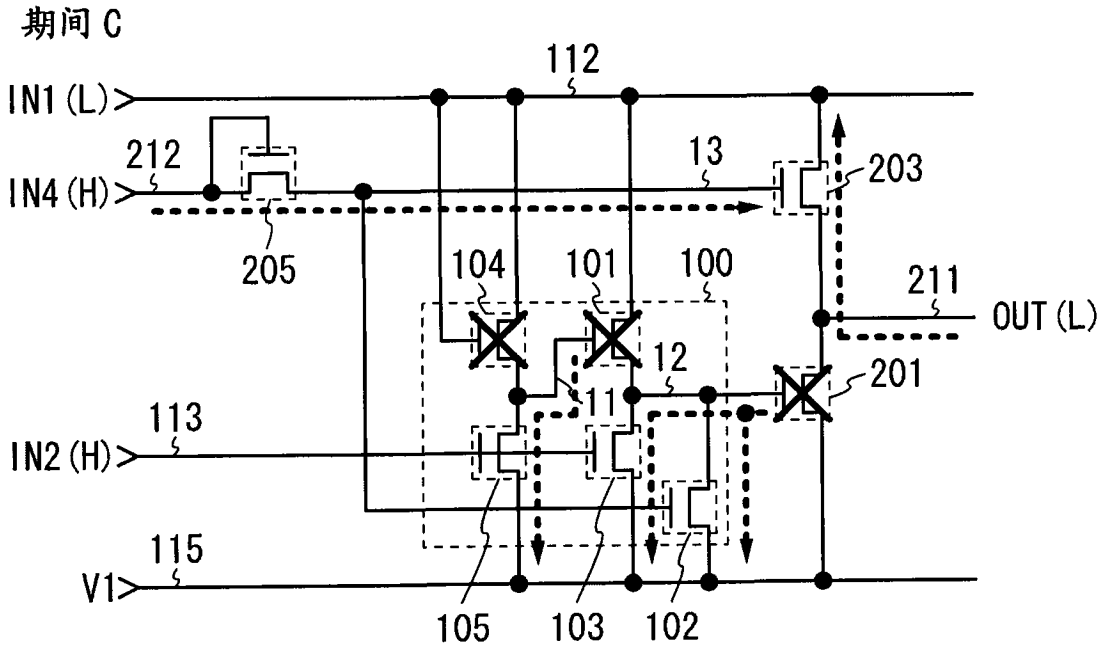

期间 C
112
IN1 (L)
212
IN4 (H)
205
13
203
104
101
100
211
OUT (L)
12
201
11
113
IN2 (H)
115
V1
105
103
102

图 22A

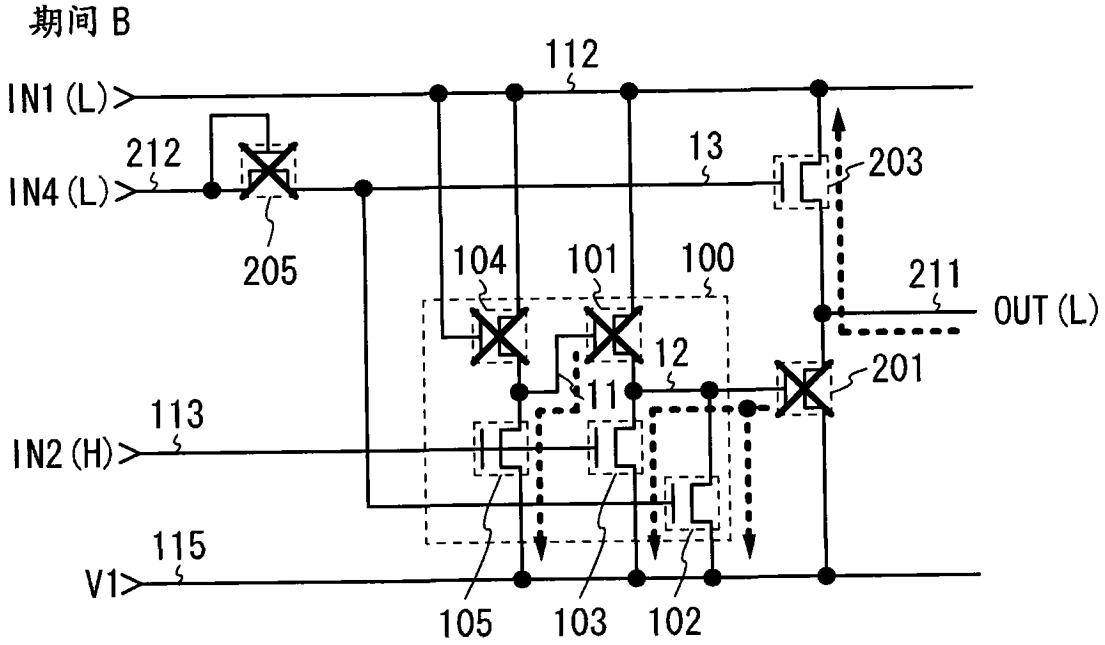

期间 B
112
IN1 (L)
212
IN4 (L)
205
13
203
104
101
100
211
OUT (L)
12
11
201
113
IN2 (H)
115
V1
105
103
102

图 22B

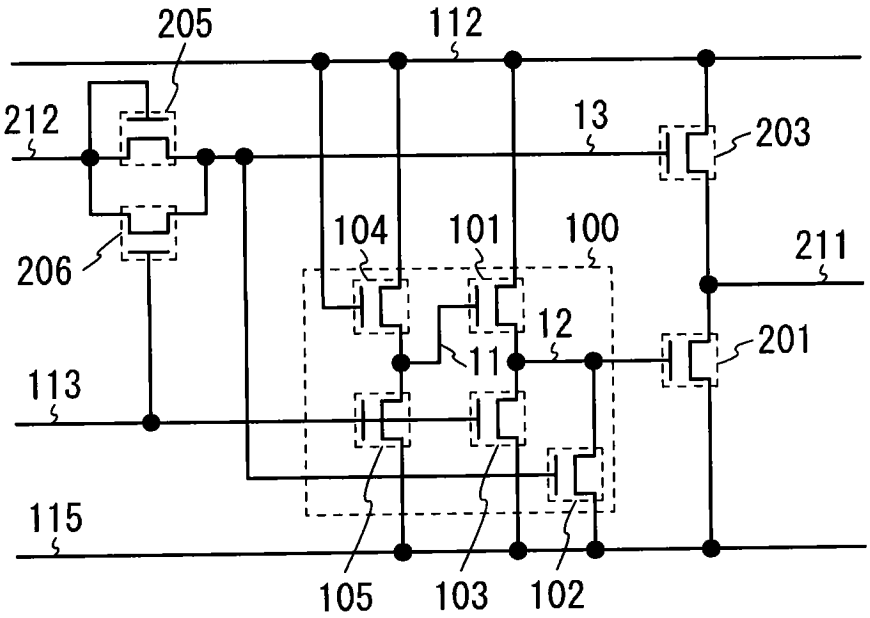

205
112
212
13
203
104
101
100
211
206
12
11
201
113
115
105
103
102

图 23A

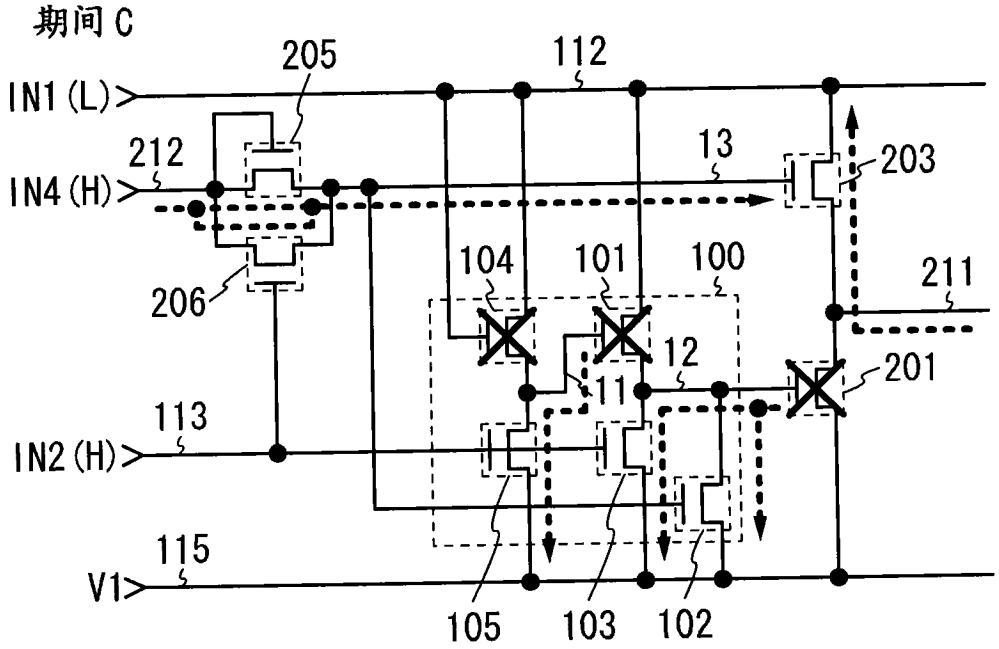

期间 C
205
112
IN1 (L)
212
13
203
IN4 (H)
104
101
100
211
206
12
201
11
113
IN2 (H)
115
V1
105
103
102

图 23B

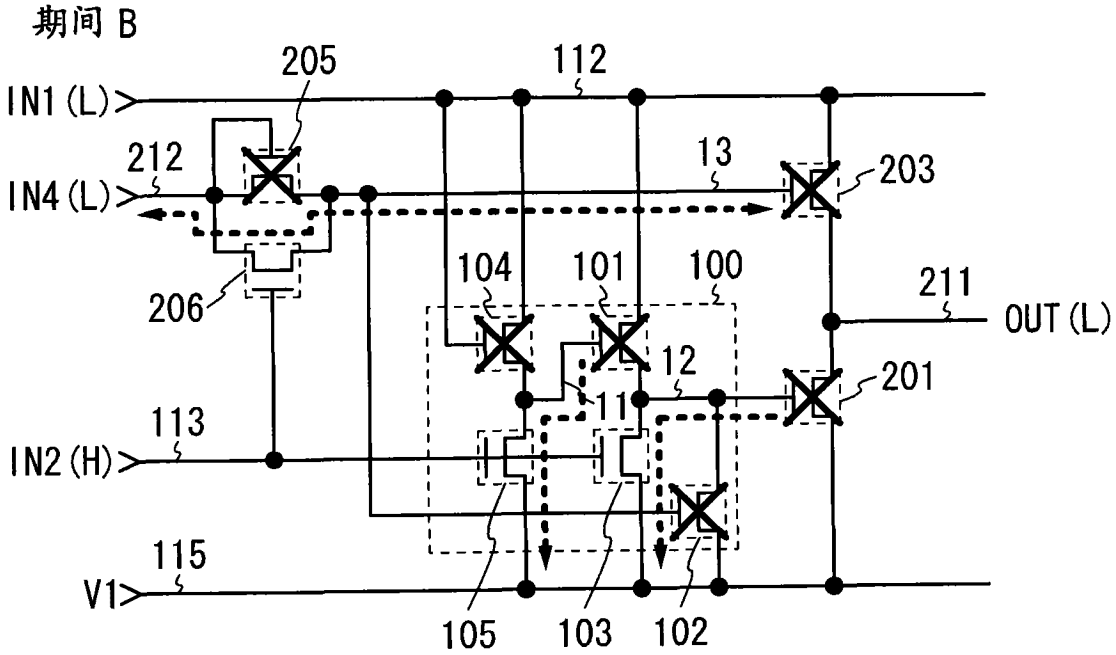

期间 B
205
112
IN1 (L)
212
13
203
IN4 (L)
104
101
100
211
OUT (L)
206
12
201
11
113
IN2 (H)
115
V1
105
103
102

图 24A

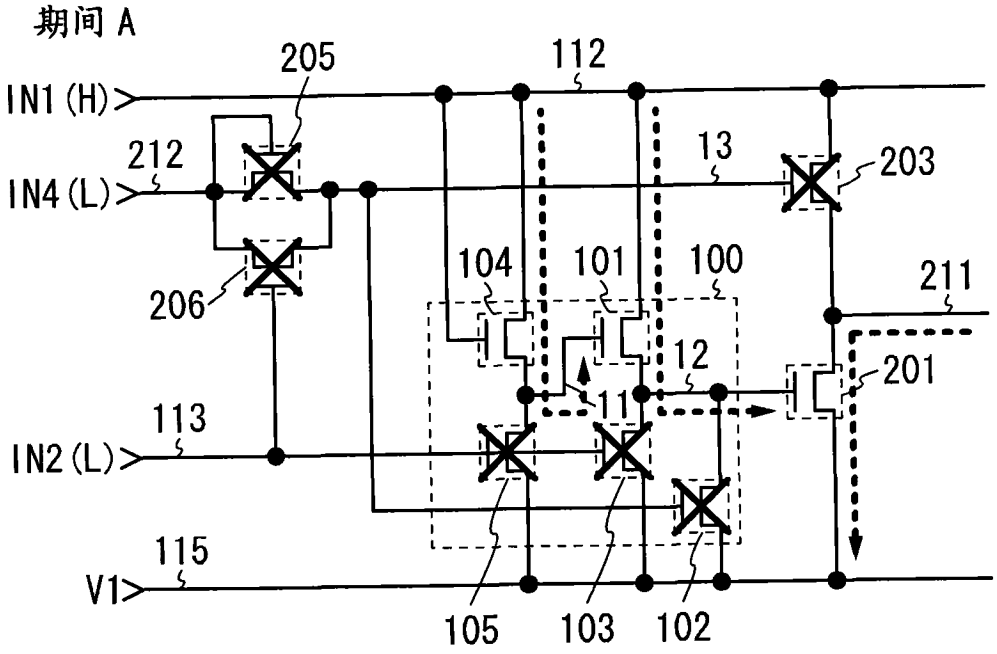

期间 A
205
112
IN1 (H)
212
13
203
IN4 (L)
104
101
100
211
206
12
201
11
113
IN2 (L)
115
V1
105
103
102

图 24B

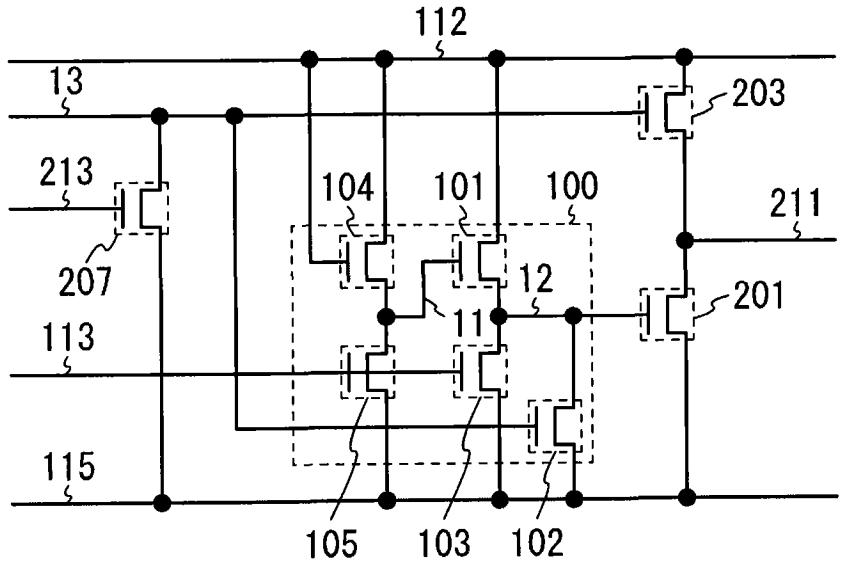

112
13
203
213
104
101
100
211
207
12
201
11
113
115
105
103
102

图 25A

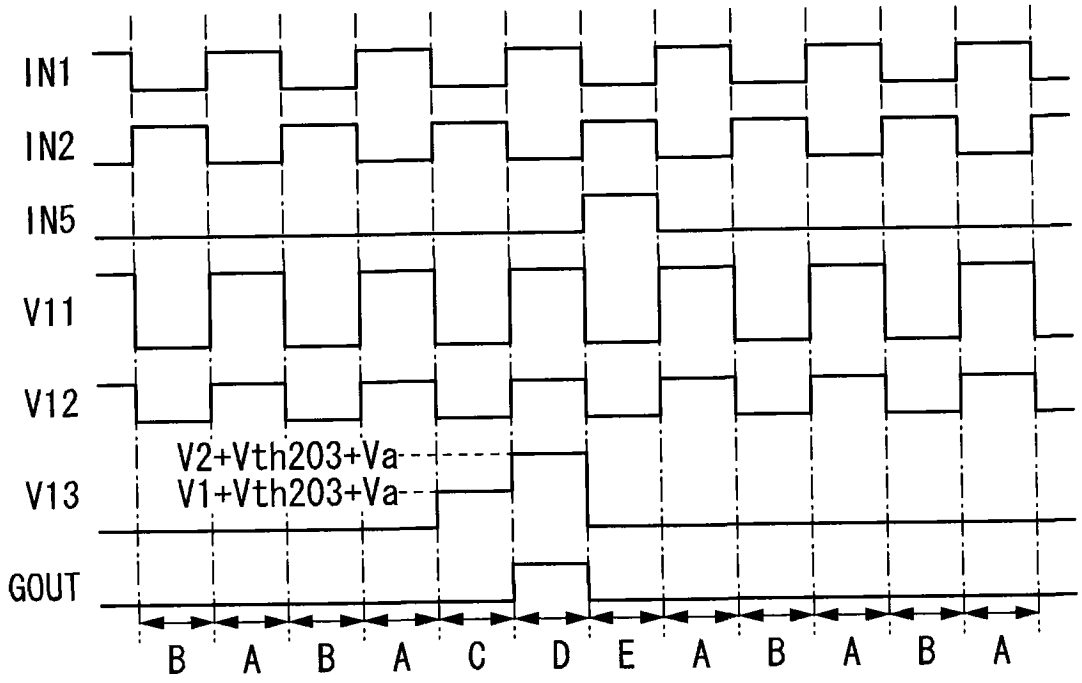

IN1
IN2
IN5
V11
V12
V13
GOUT
V2+Vth203+Va
V1+Vth203+Va
B A B A C D E A B A B A

图 25B

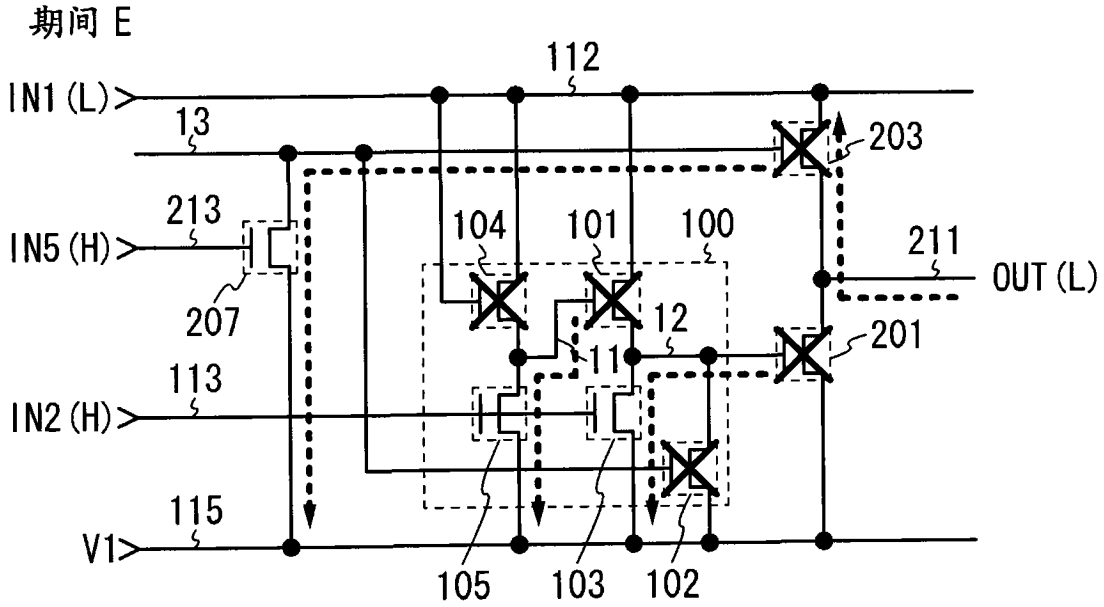

期间 E
IN1 (L)
IN5 (H)
IN2 (H)
V1
112
13
213
207
113
115
104
101
100
203
211
OUT (L)
12
11
201
105
103
102

图 26A

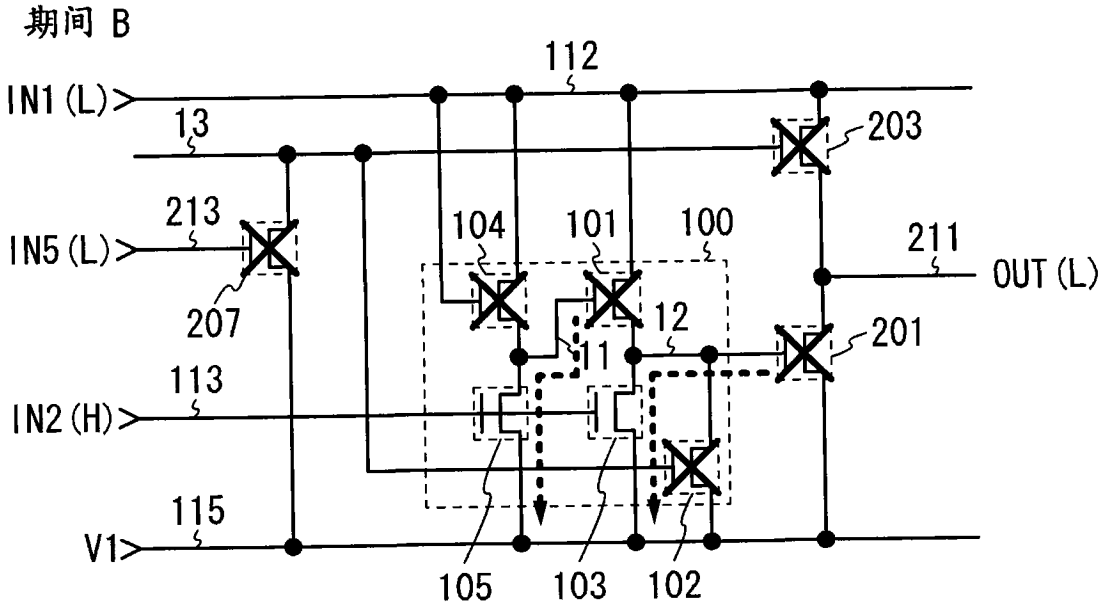

期间 B
112
IN1 (L)
13
203
213
104
101
100
211
IN5 (L)
OUT (L)
207
12
201
11
113
IN2 (H)
115
V1
105
103
102

图 26B

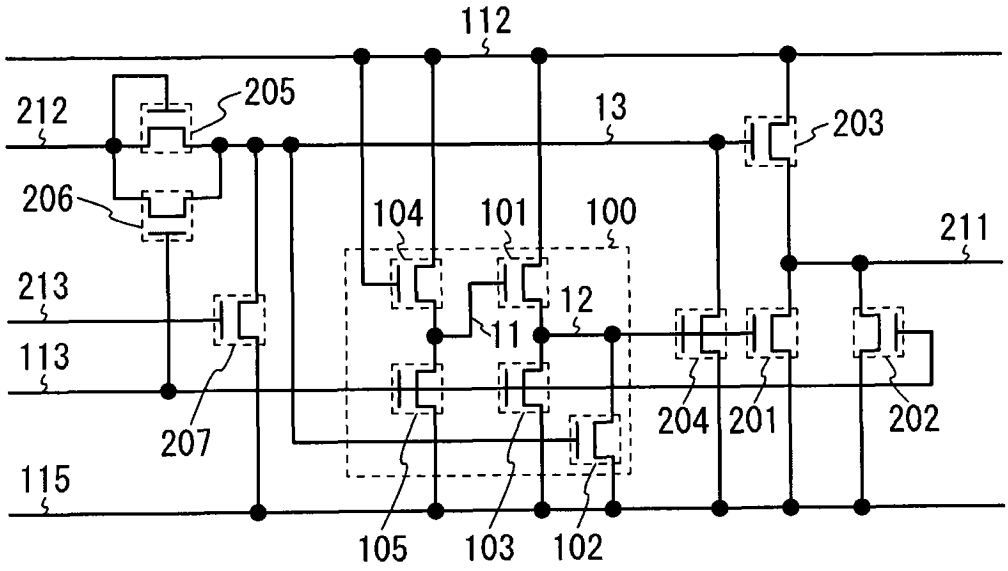

112
212
205
13
203
206
104
101
100
211
213
12
11
113
207
204
201
202
115
105
103
102

图 27A

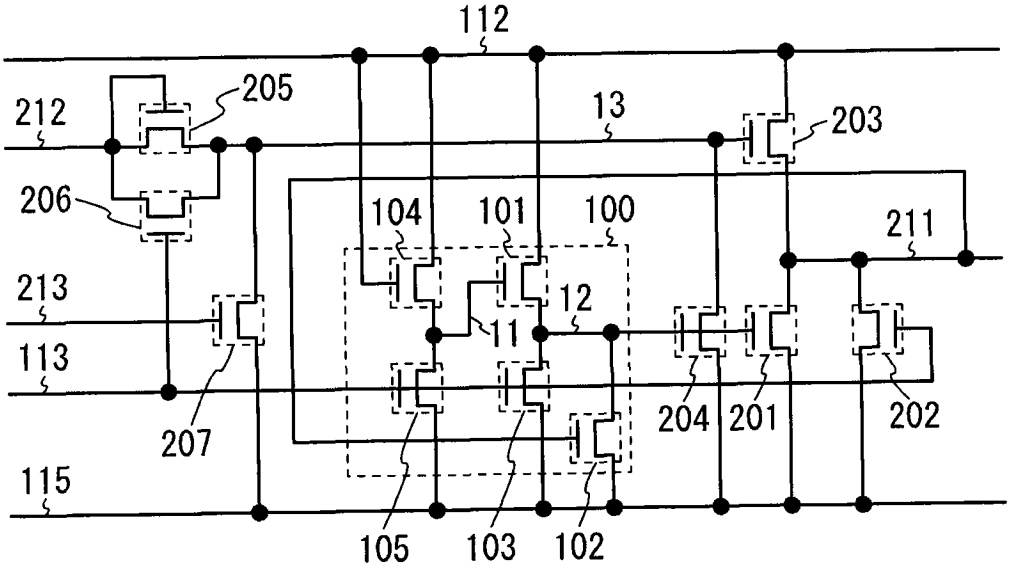

112
212
205
13
203
206
104
101
100
211
213
12
11
113
204
201
202
207
115
105
103
102

图 27B

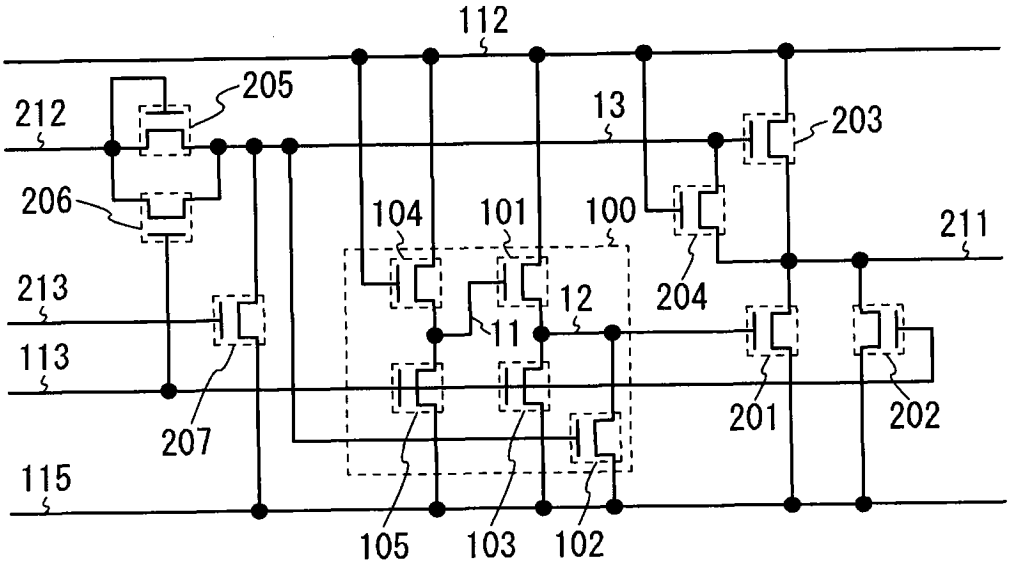

112
212
205
13
203
206
104
101
100
211
213
204
12
11
113
201
202
207
115
105
103
102

图 27C

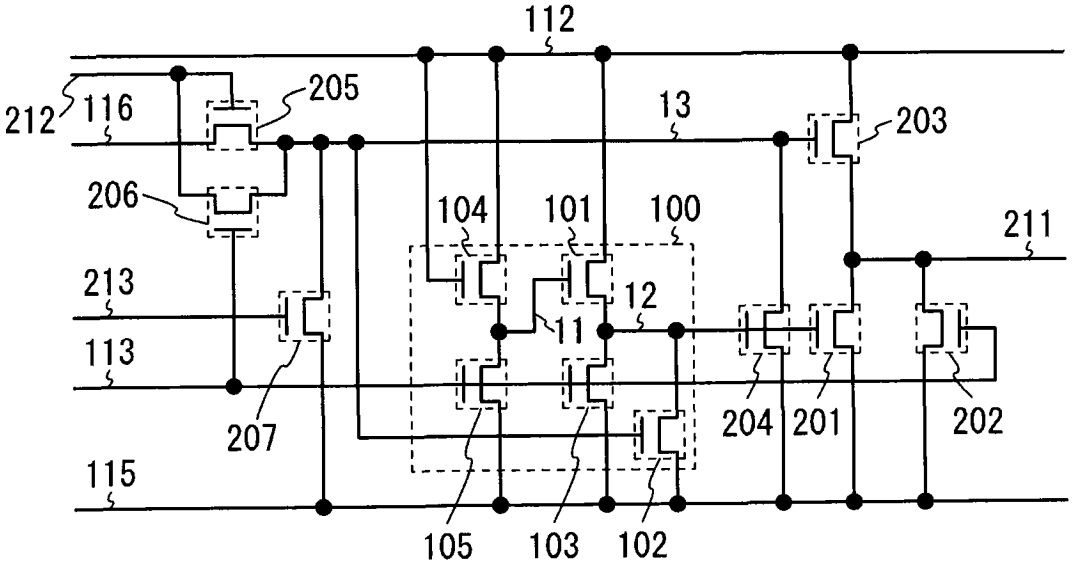

112
212
116
205
13
203
206
104
101
100
211
213
12
11
113
207
204
201
202
115
105
103
102

图 28A

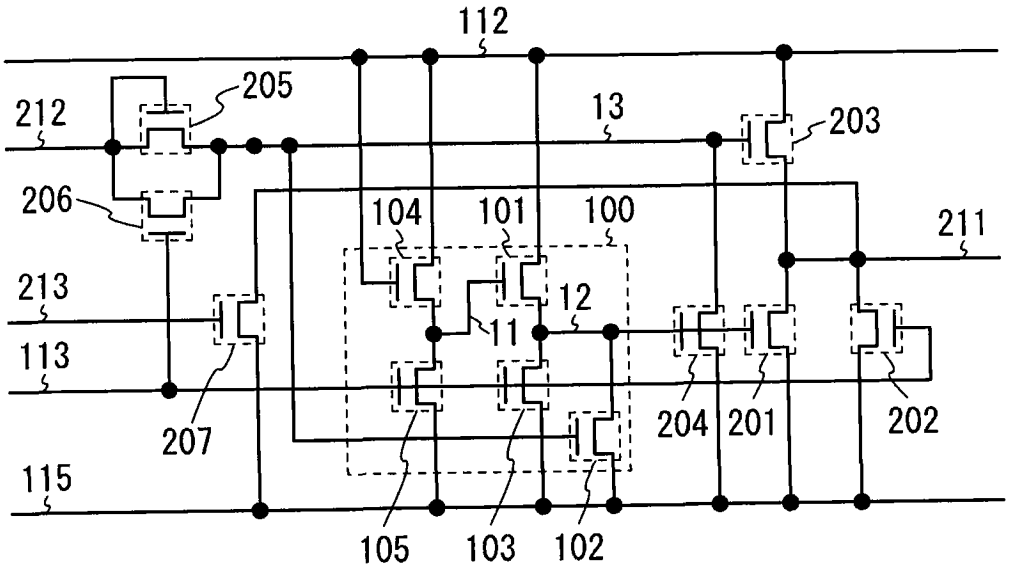

112
212
205
13
203
206
104
101
100
211
213
12
11
113
207
204
201
202
115
105
103
102

图 28B

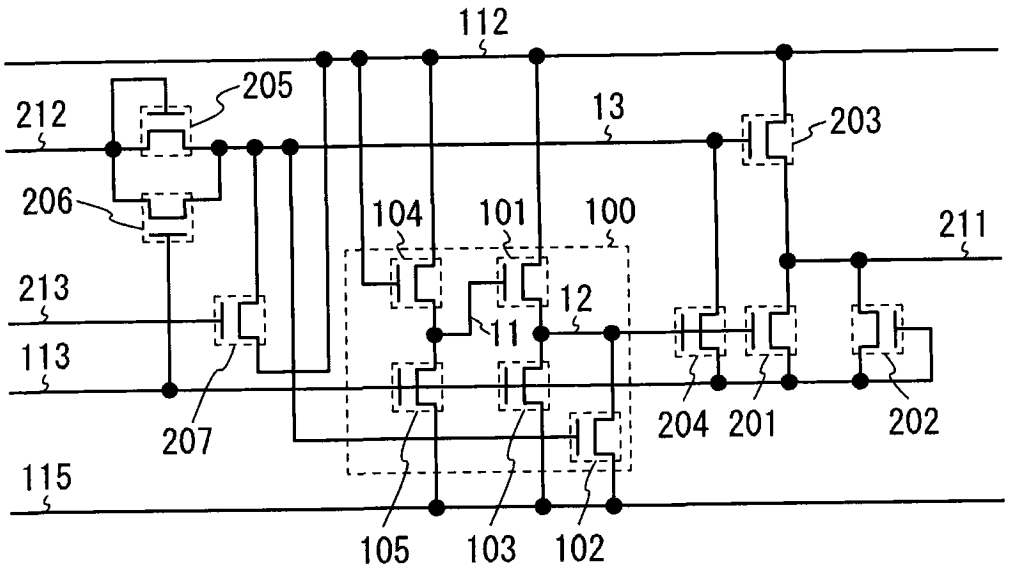

112
205
212
13
203
206
104
101
100
211
213
12
11
113
207
204
201
202
115
105
103
102

图 28C

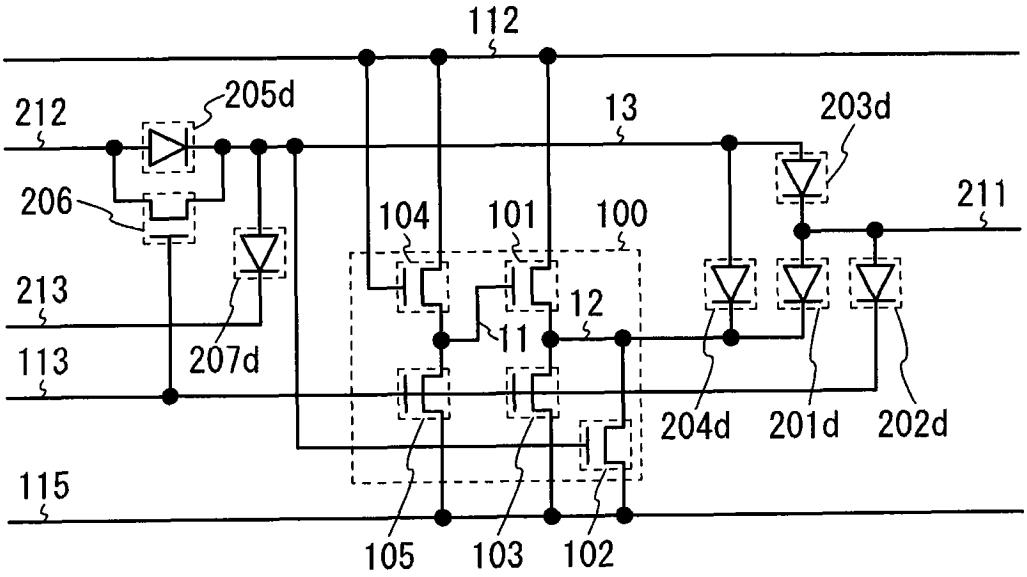

112
205d
212
13
203d
206
104
101
100
211
213
12
11
113
207d
204d
201d
202d
115
105
103
102

图 29A

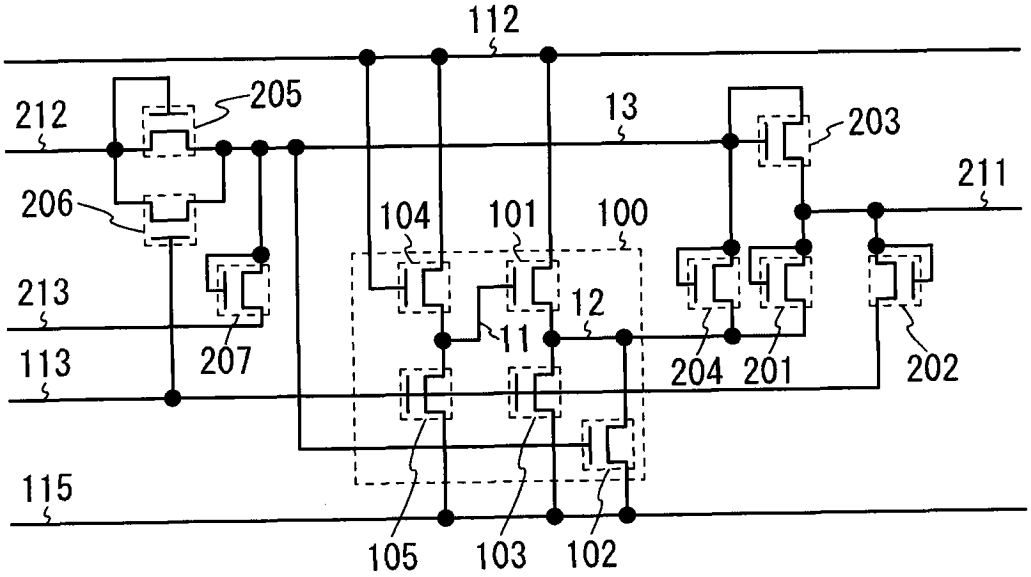

112
212
205
13
203
211
206
104
101
100
213
12
11
207
204
201
202
113
115
105
103
102

图 29B

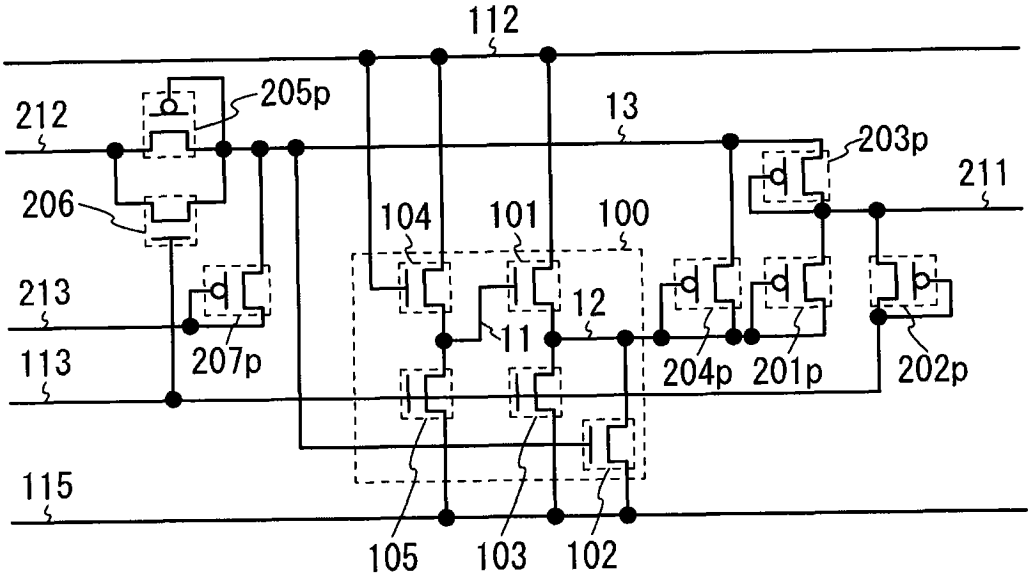

112
212
205p
13
203p
211
206
104
101
100
213
12
11
207p
204p
201p
202p
113
115
105
103
102

图 29C

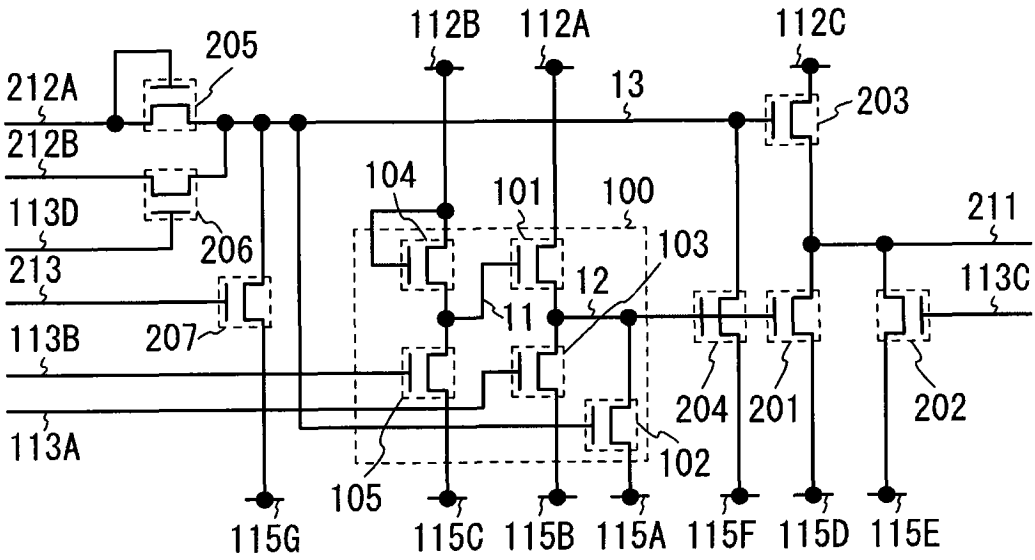

112B
112A
112C
205
212A
212B
113D
213
113B
113A
206
207
13
203
104
101
100
103
12
11
211
113C
204
201
202
102
105
115G
115C
115B
115A
115F
115D
115E

图 30A

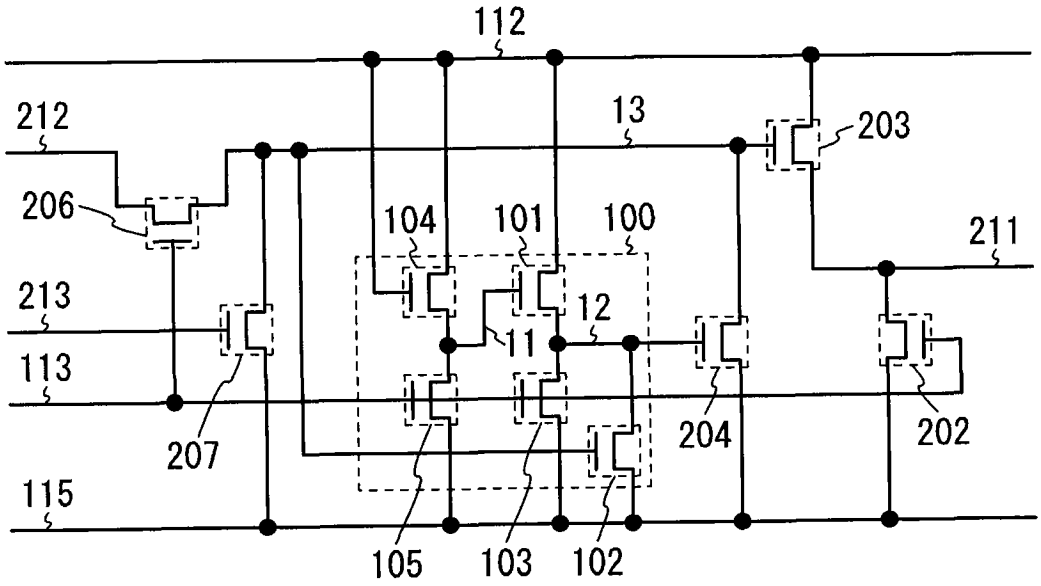

112
212
206
213
113
115
207
13
203
104
101
100
12
11
211
204
202
105
103
102

图 30B

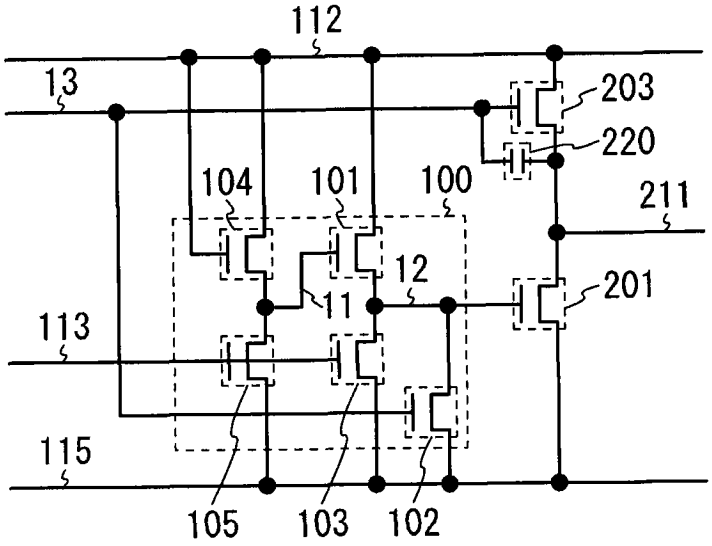

112
13
203
220
104
101
100
211
12
201
11
113
115
105
103
102

图 30C

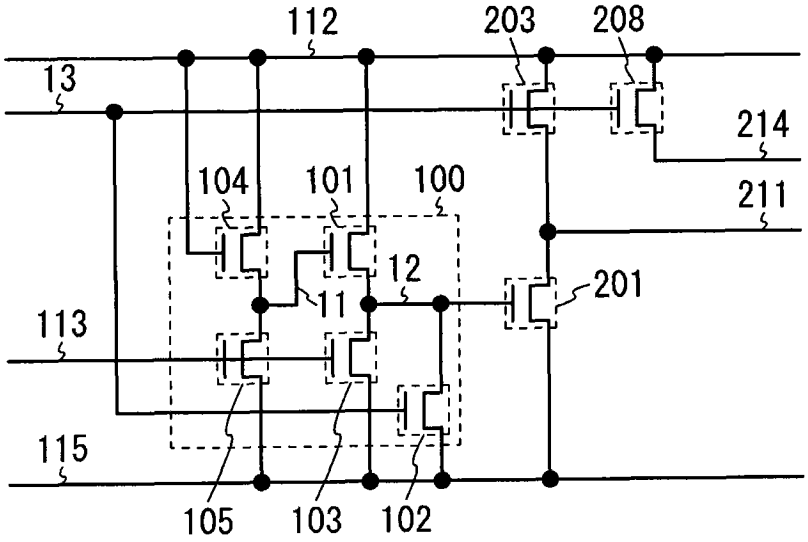

112
203
208
13
214
104
101
100
211
12
201
11
113
115
105
103
102

图 31A

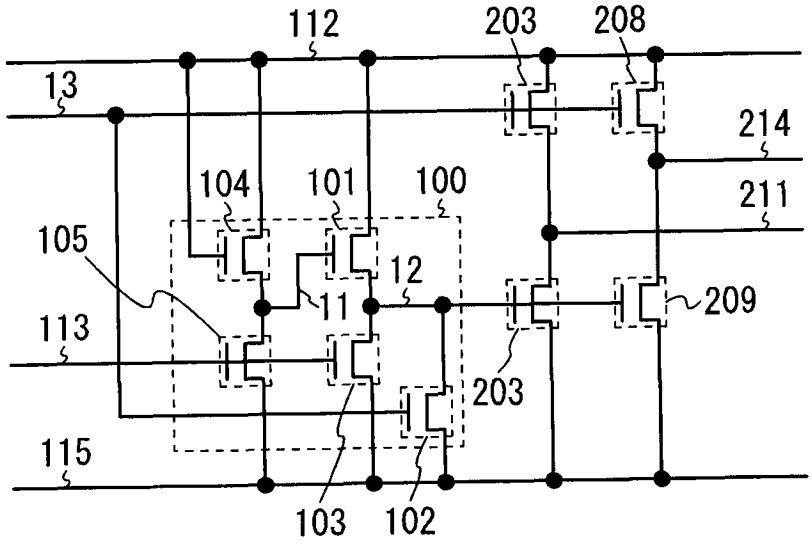

112
203
208
13
214
104
101
100
211
105
12
11
209
113
203
115
103
102

图 31B

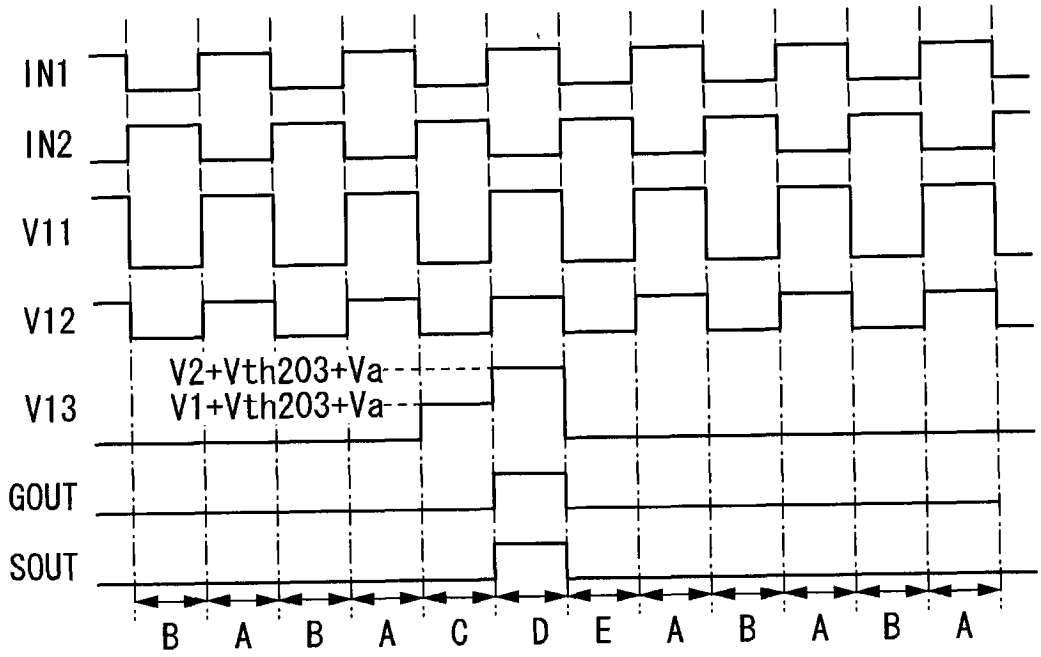

IN1
IN2
V11
V12
V2+Vth203+Va
V13
V1+Vth203+Va
GOUT
SOUT
B A B A C D E A B A B A

图 31C

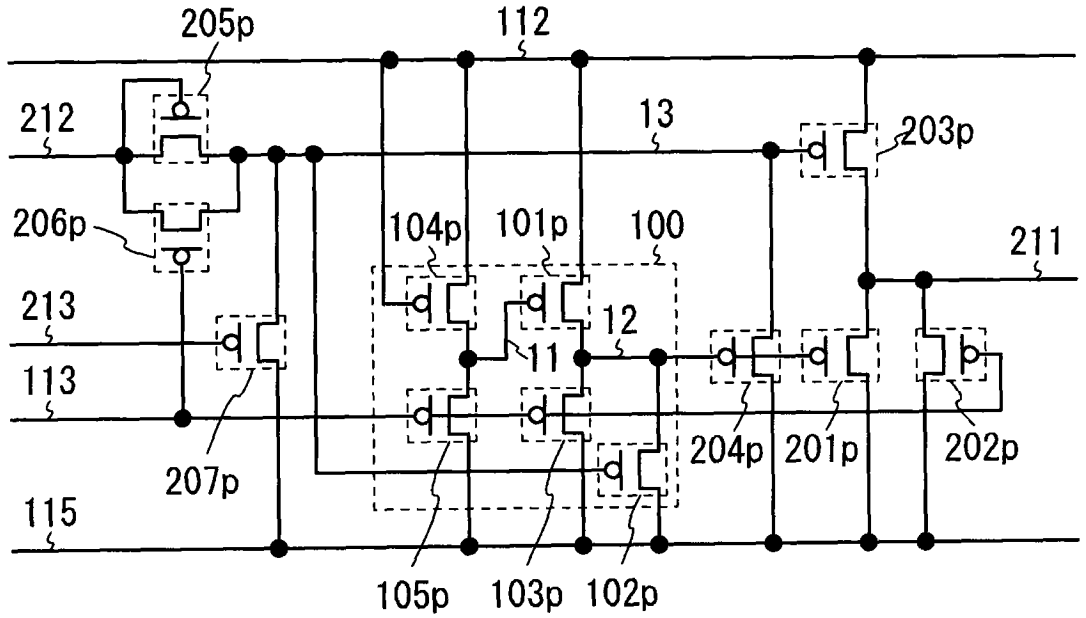

205p
112
212
13
203p
206p
104p
101p
100
211
213
12
11
113
204p
201p
202p
207p
115
105p
103p
102p

图 32A

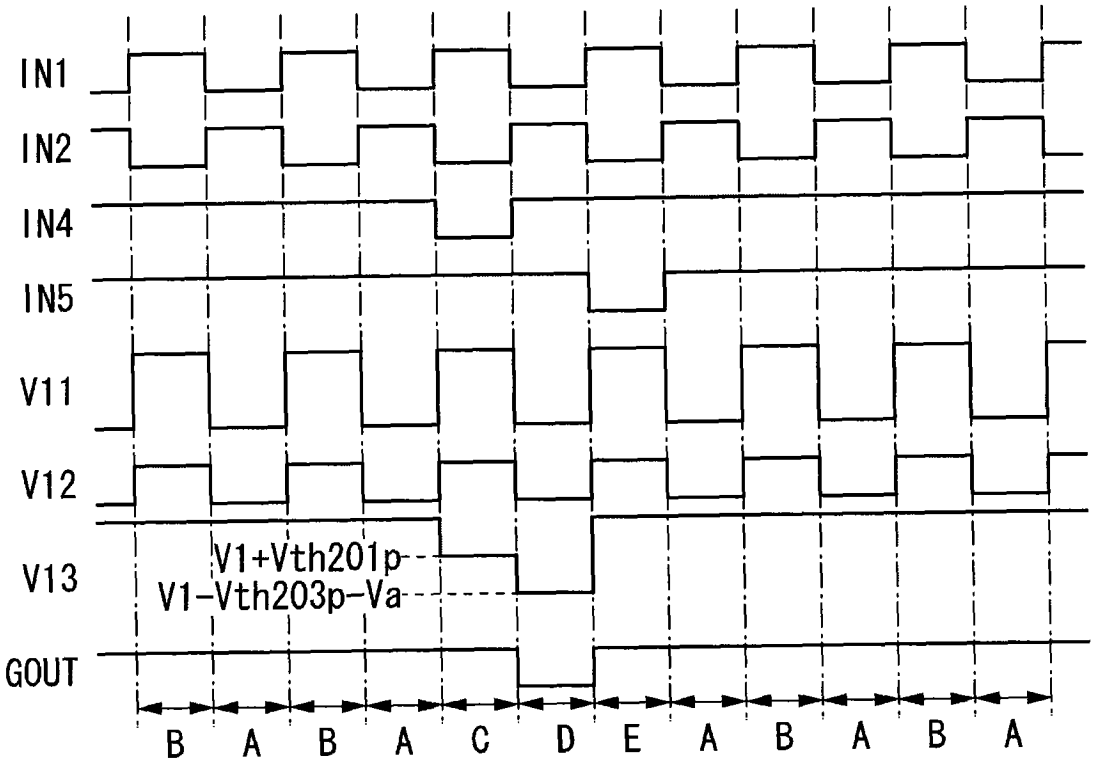

IN1
IN2
IN4
IN5
V11
V12
V13
V1+Vth201p
V1-Vth203p-Va
GOUT
B A B A C D E A B A B A

图 32B

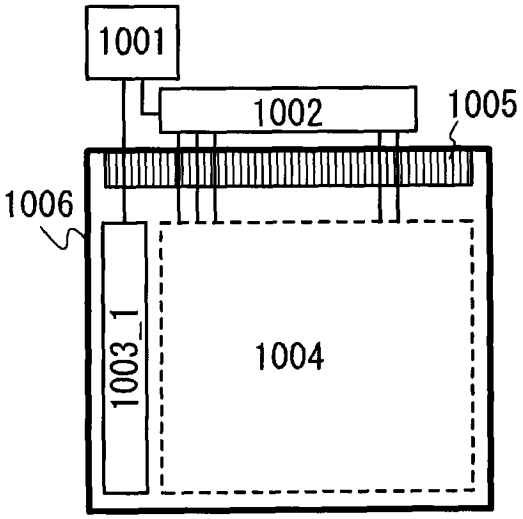


图 33A

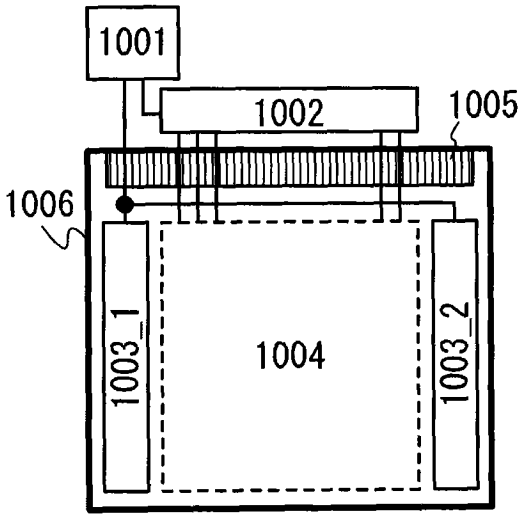


图 33B

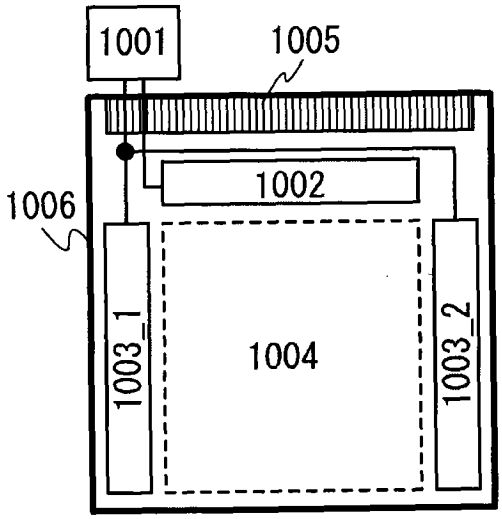


图 33C

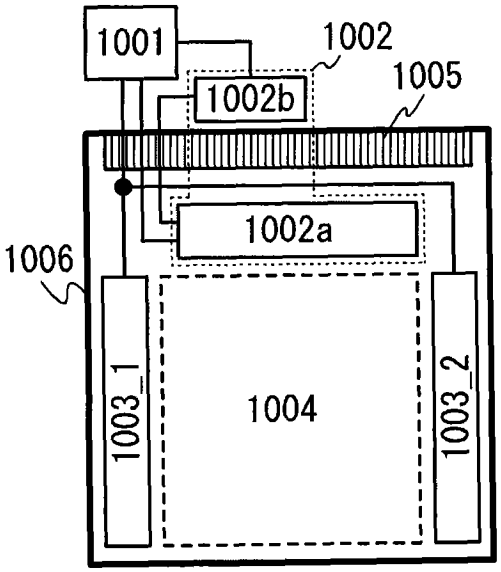


图 33D

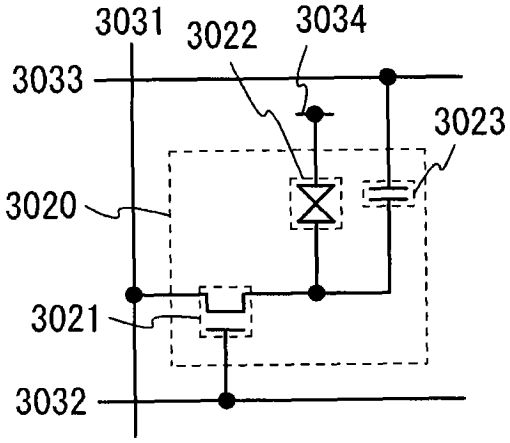


图 33E

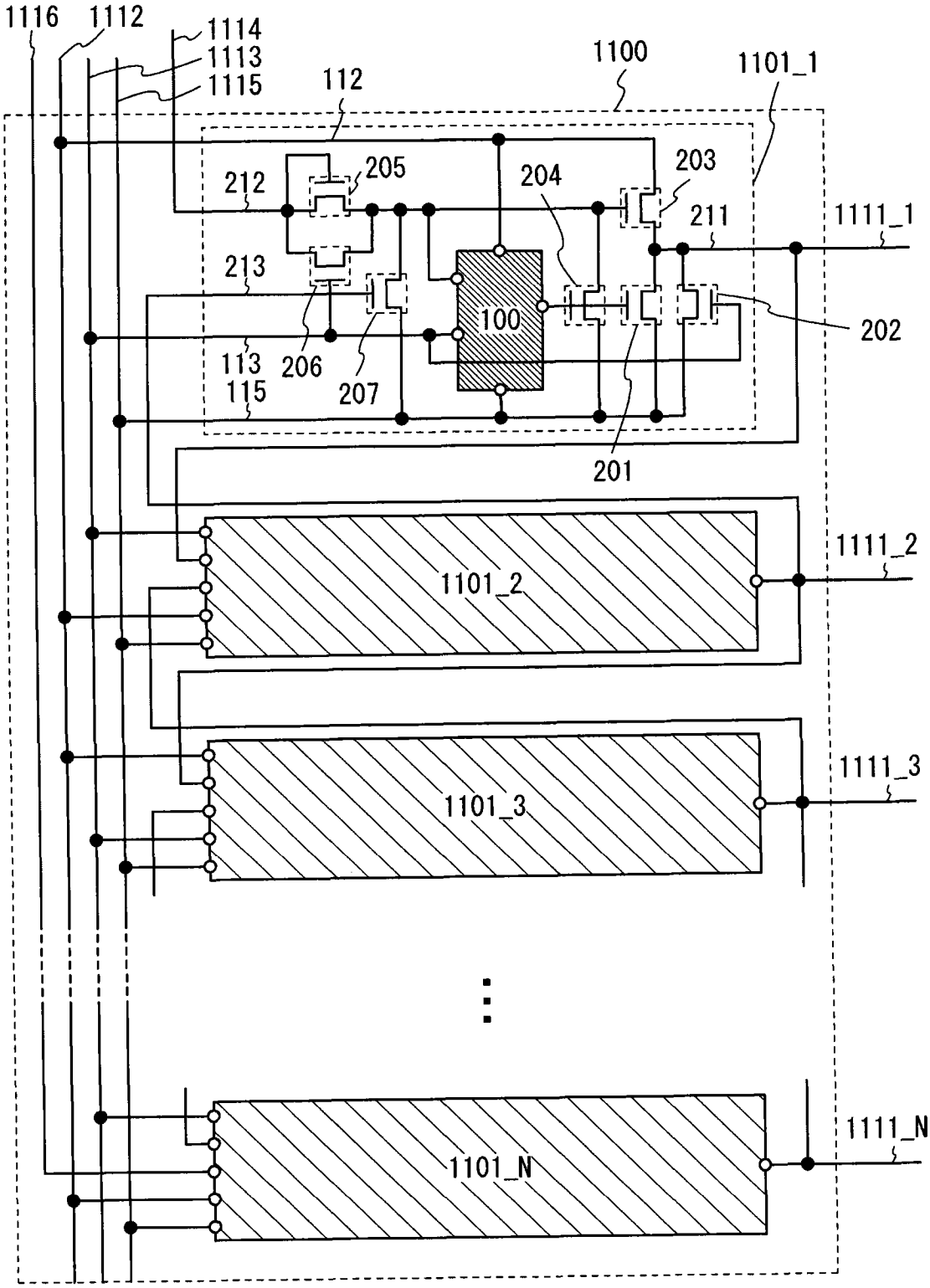

1116
1112
1114
1113
1115
112
1100
1101_1
212
205
204
203
211
1111_1
213
100
202
113
115
206
207
201
1101_2
1111_2
1101_3
1111_3
1101_N
1111_N

图 34

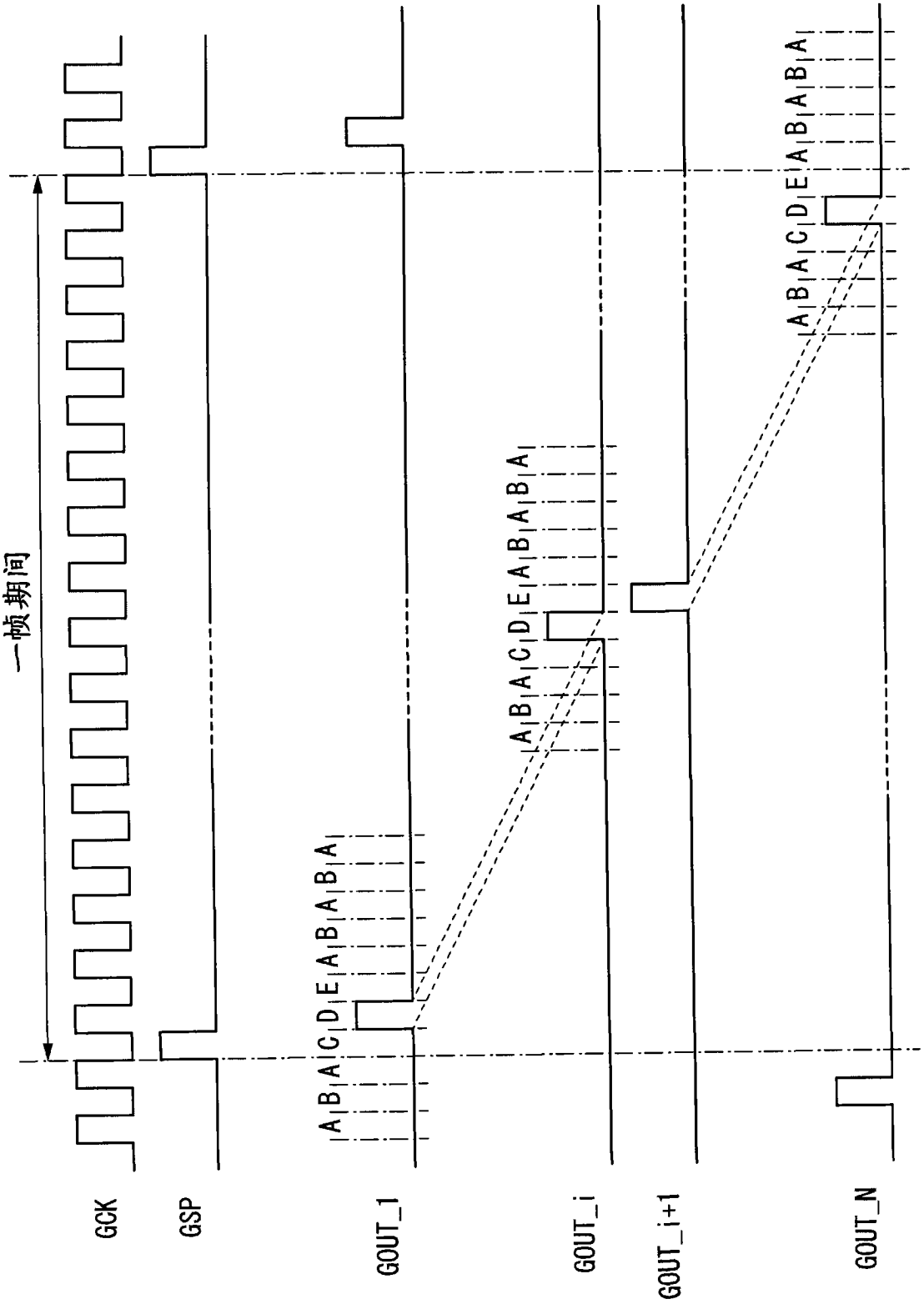

一帧期间
GCK
GSP
GOUT_1
GOUT_i
GOUT_i+1
GOUT_N
A B A C D E A B A B A
A B A C D E A B A B A
A B A C D E A B A B A

图 35

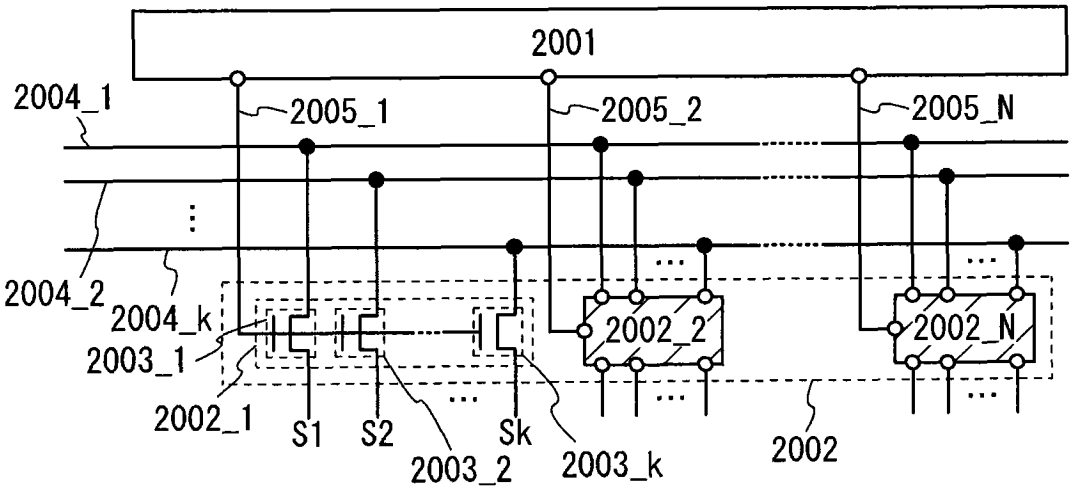

2001
2004_1
2005_1
2005_2
2005_N
2004_2
2004_k
2003_1
2002_1
S1
S2
Sk
2003_2
2003_k
2002_2
2002_N
2002

图 36A

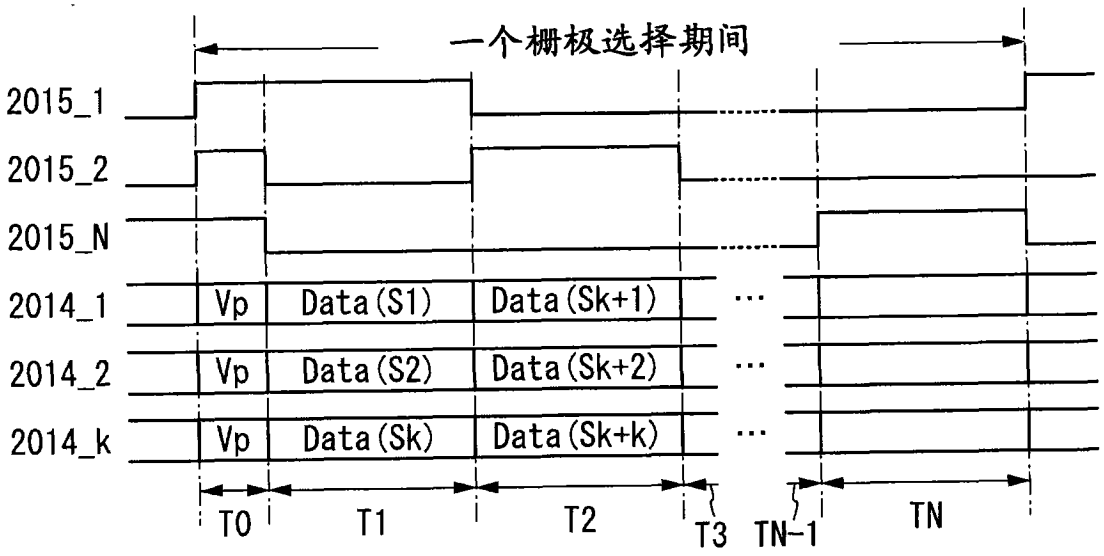

一个栅极选择期间
2015_1
2015_2
2015_N
2014_1
2014_2
2014_k
Vp
Data(S1)
Data(Sk+1)
Vp
Data(S2)
Data(Sk+2)
Vp
Data(Sk)
Data(Sk+k)
T0
T1
T2
T3
TN-1
TN

图 36B

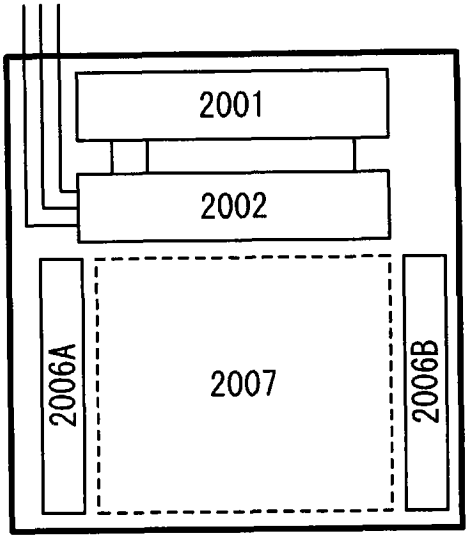


图 36C

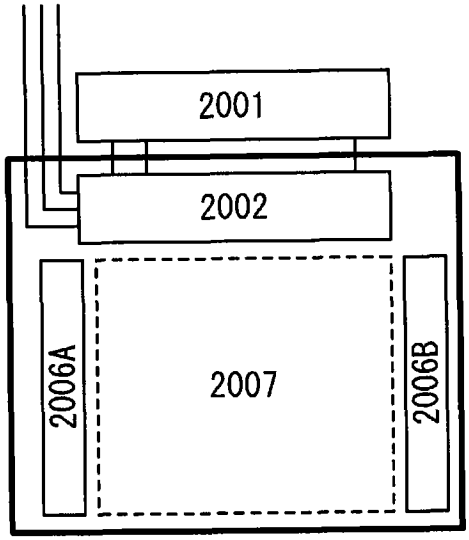


图 36D

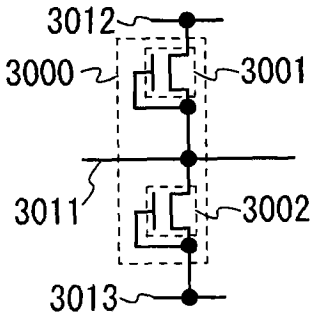


图 37A

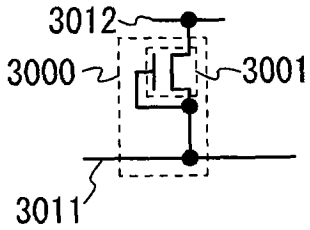


图 37B

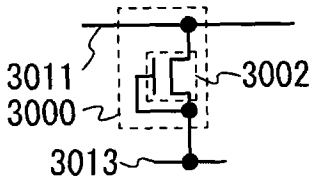


图 37C

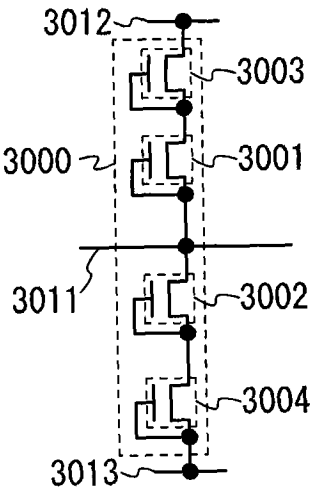


图 37D

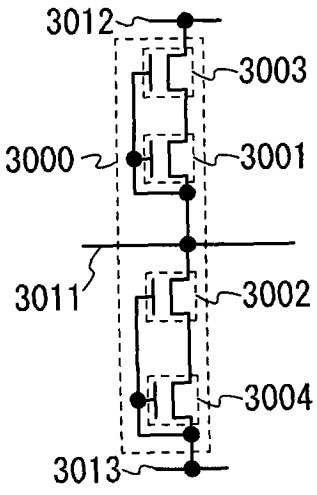


图 37E

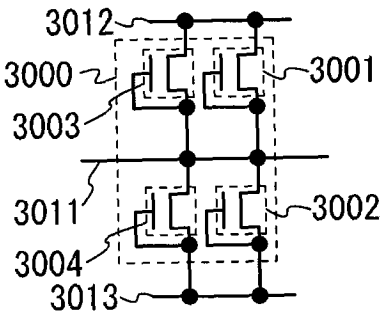


图 37F

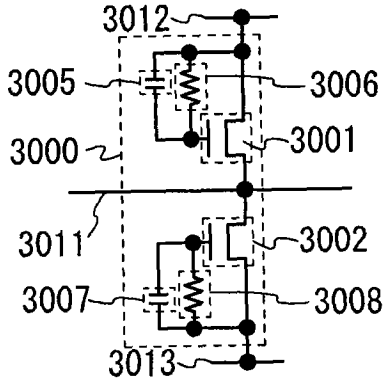


图 37G

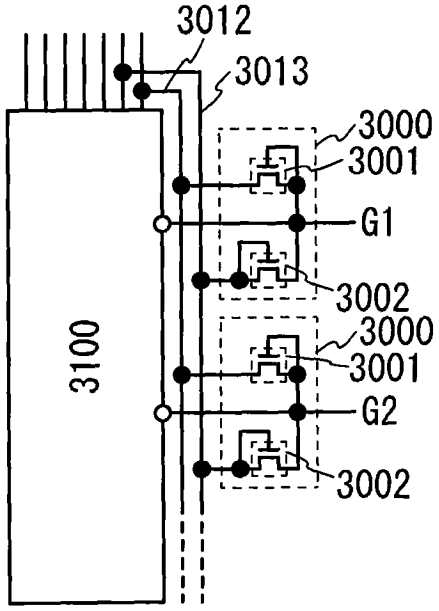


图 38A

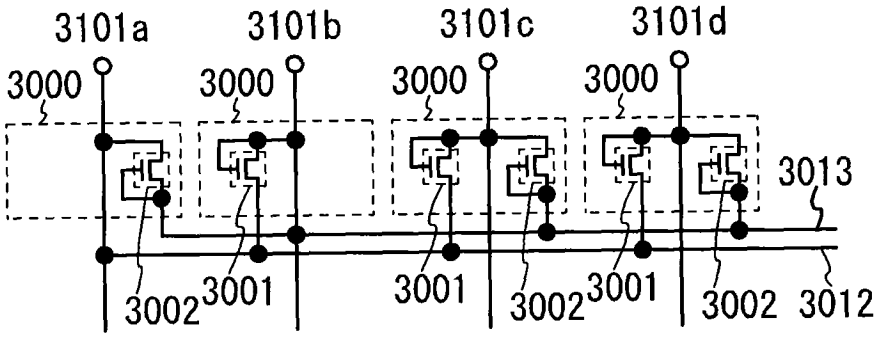


图 38B

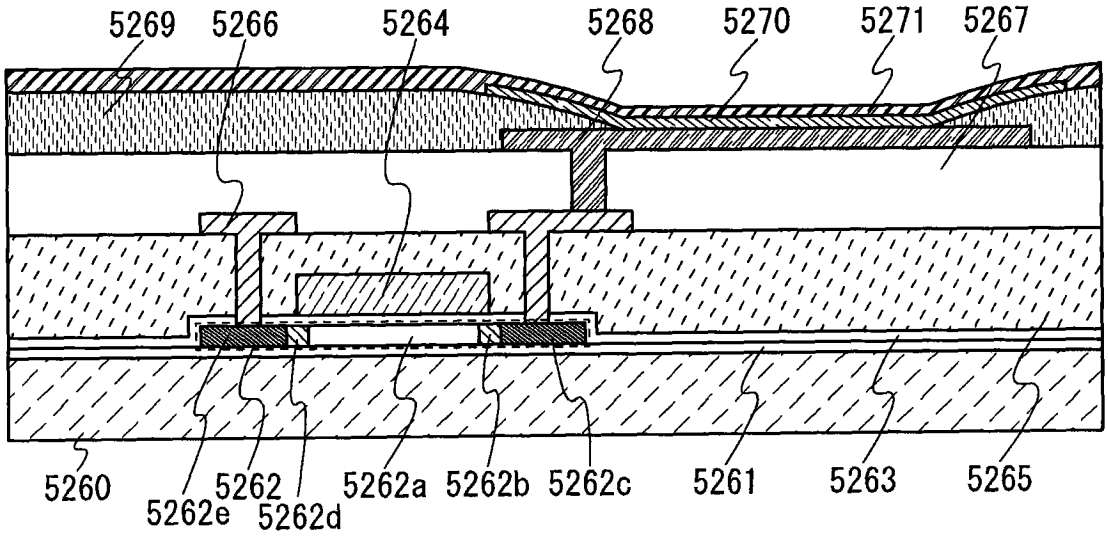


图 39A

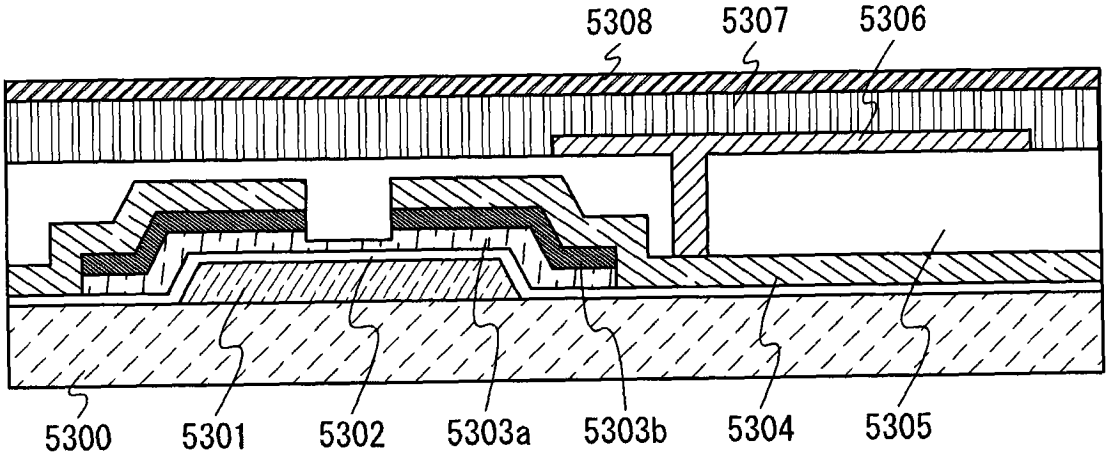


图 39B

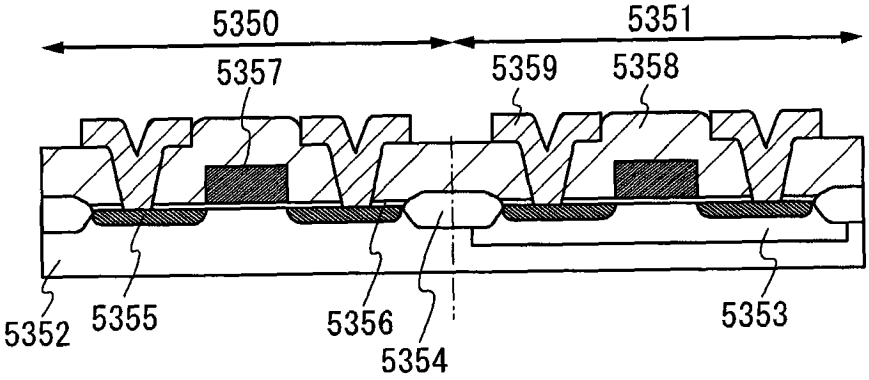


图 39C

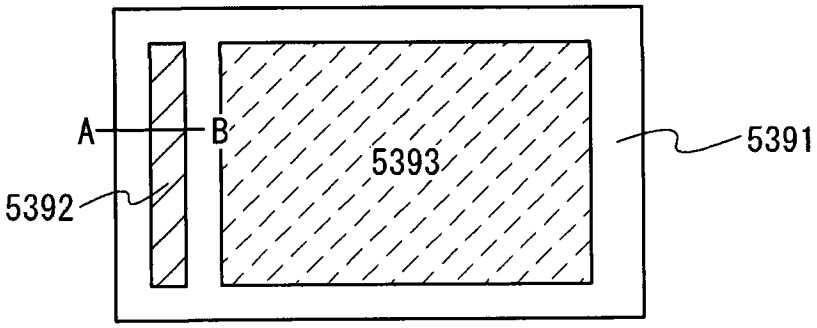

A
B
5391
5393
5392

图 40A

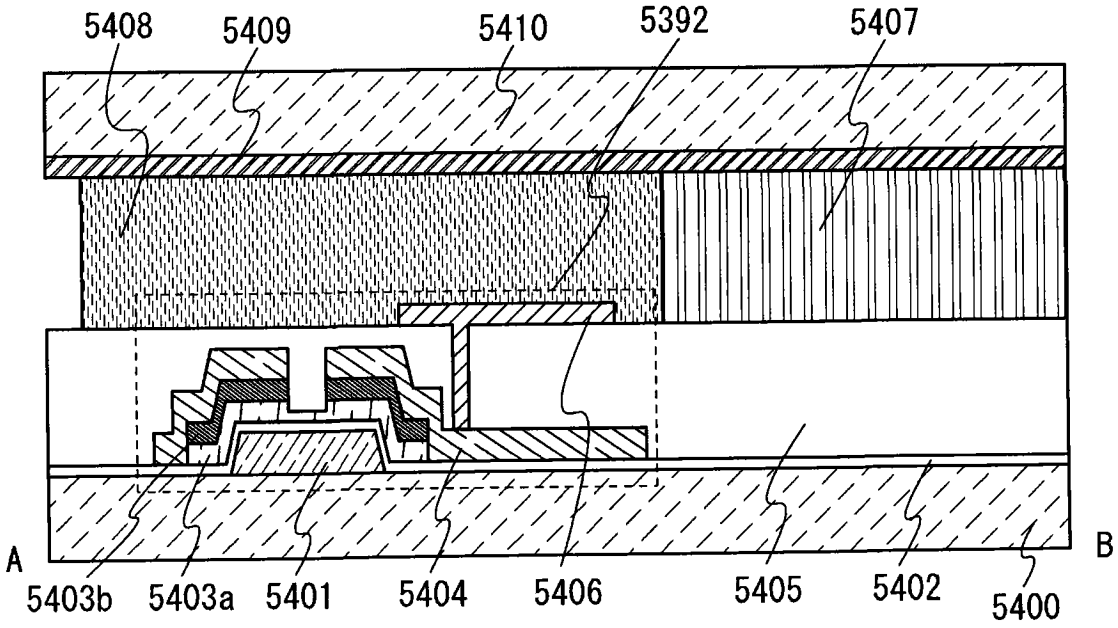

5408
5409
5410
5392
5407
A
B
5403b
5403a
5401
5404
5406
5405
5402
5400

图 40B

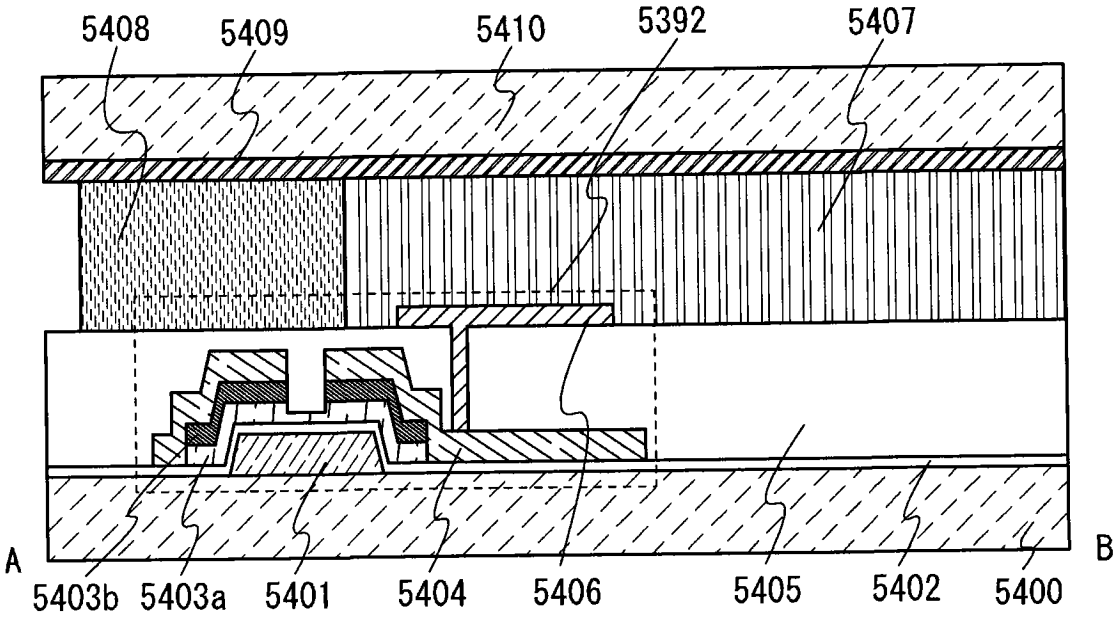


图 40C

图 41A

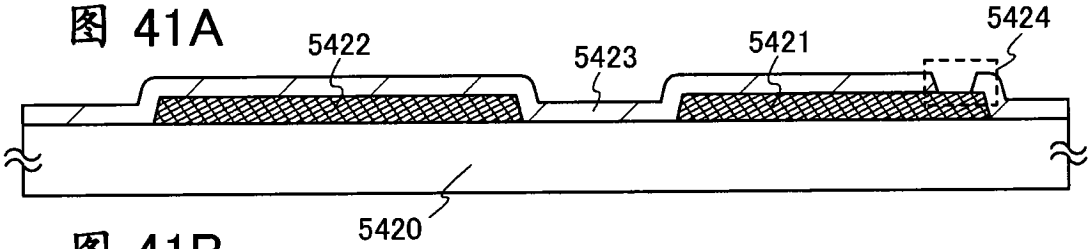


图 41B

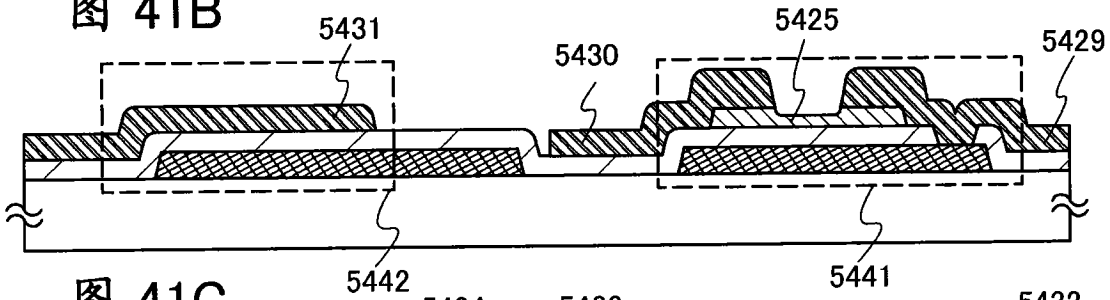
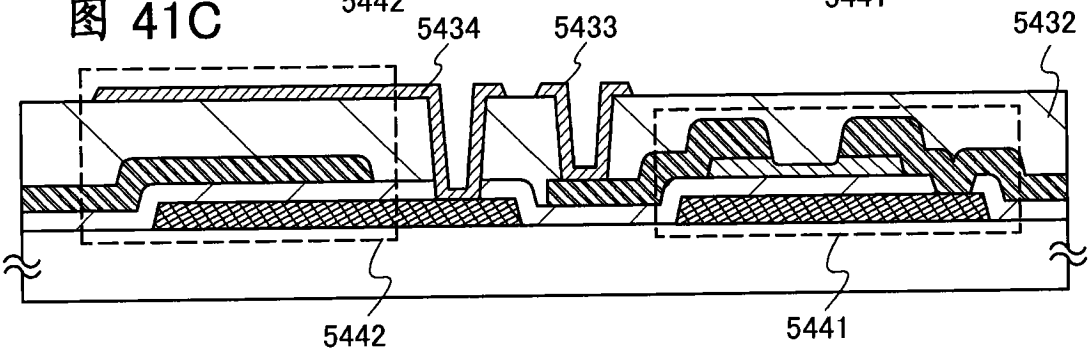


图 41C



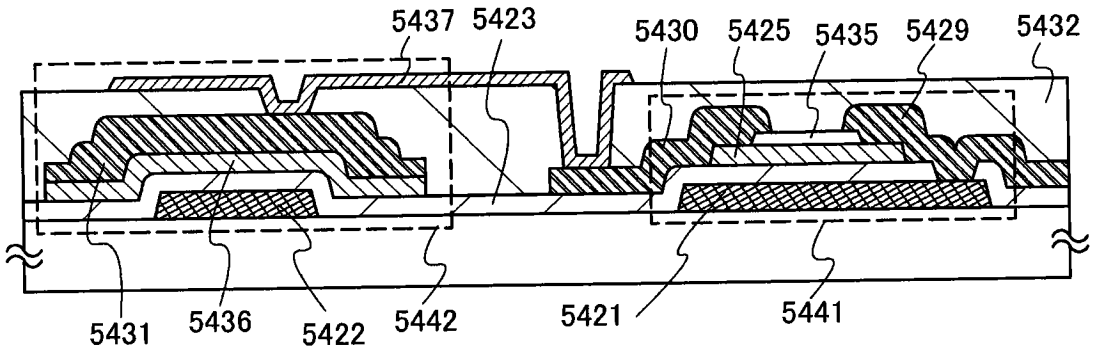

5437
5423
5430
5425
5435
5429
5432
5431
5436
5422
5442
5421
5441

图 41D

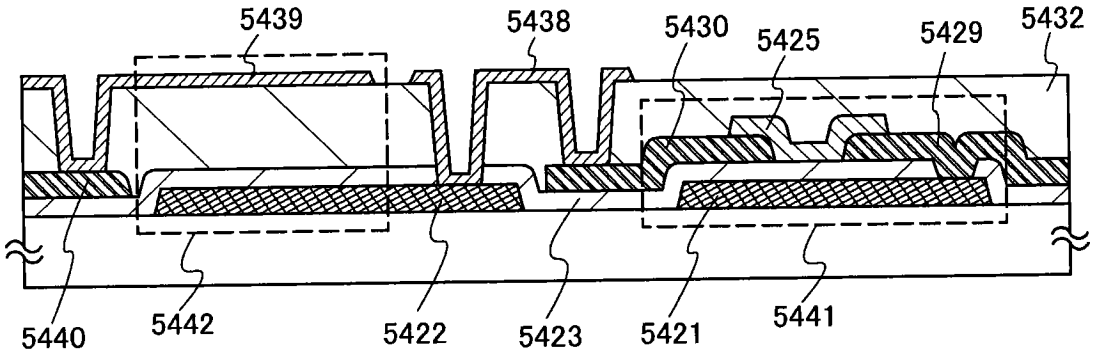

5439
5438
5430
5425
5429
5432
5440
5442
5422
5423
5421
5441

图 41E

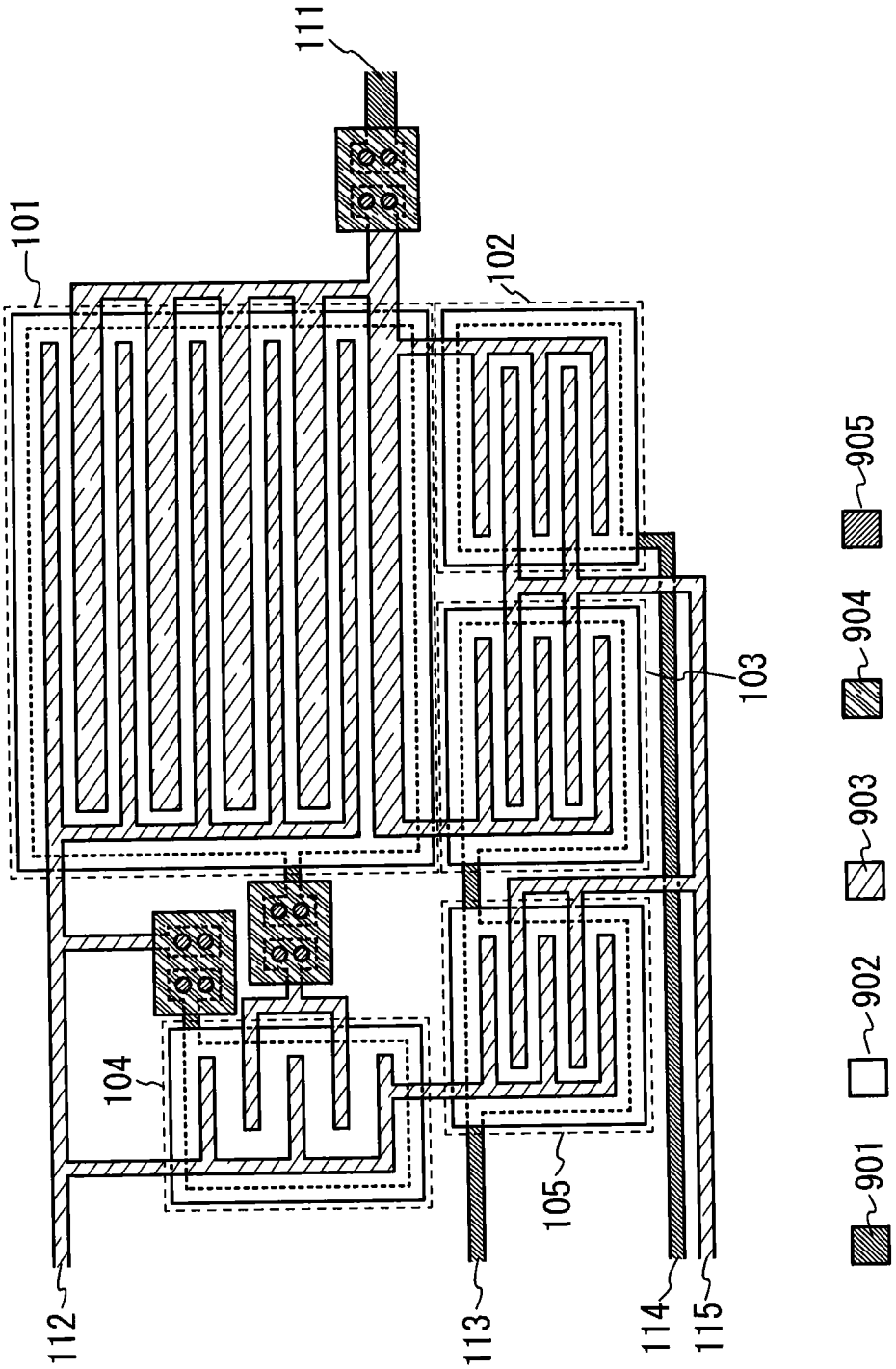


图 42

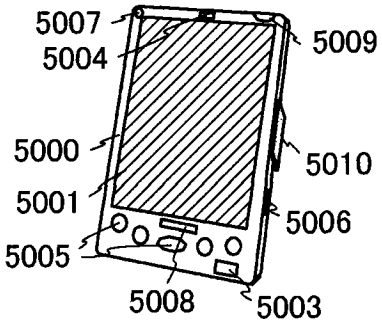


图 43A

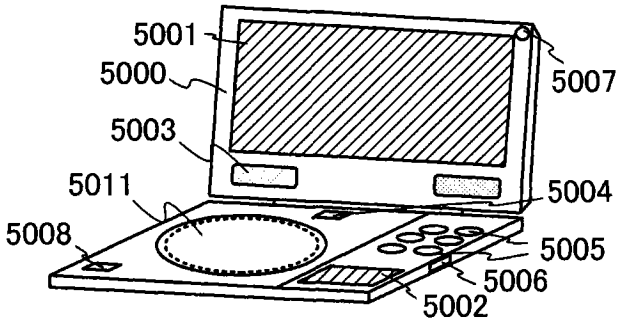


图 43B

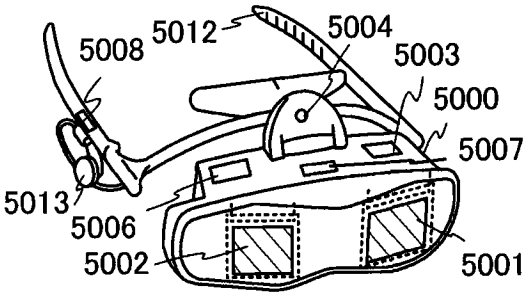


图 43C

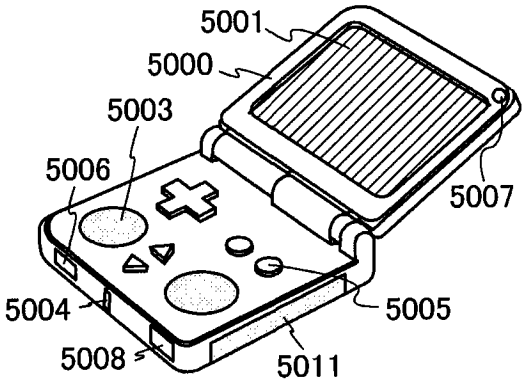


图 43D

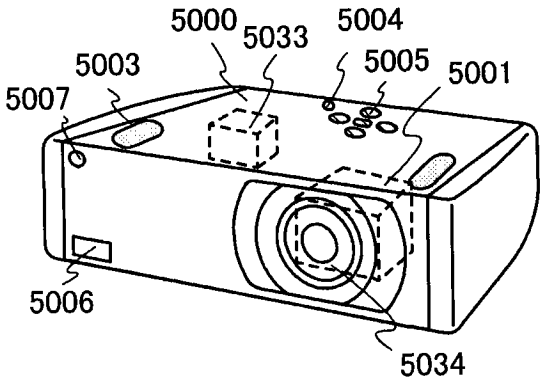


图 43E

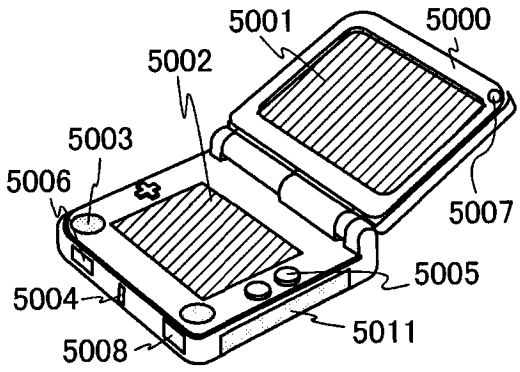


图 43F

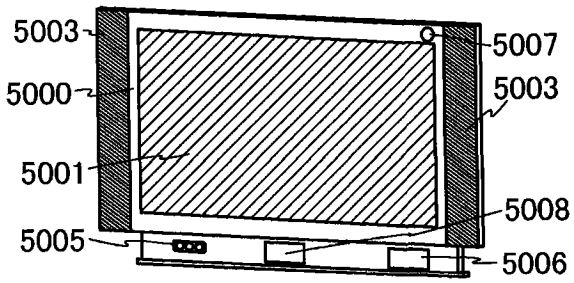


图 43G

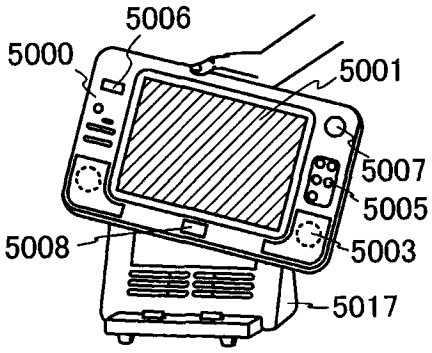


图 43H

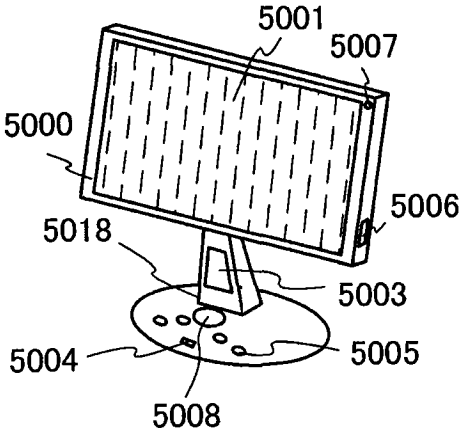


图 44A

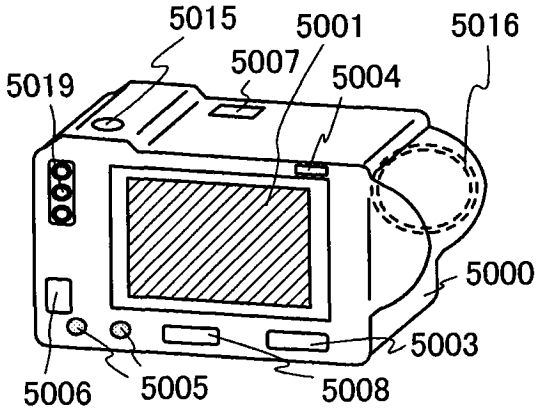


图 44B

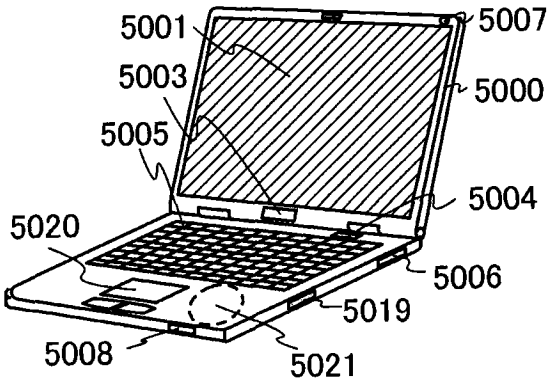


图 44C

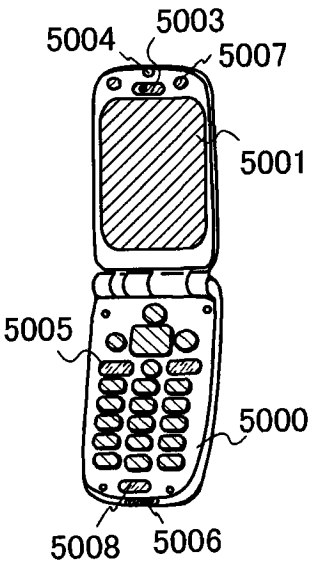


图 44D

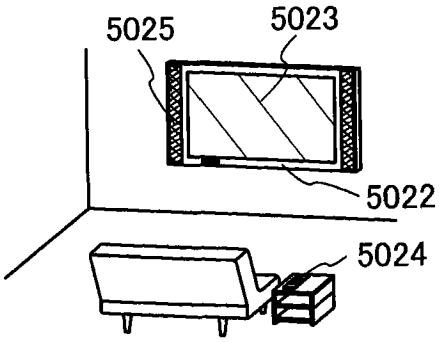


图 44E

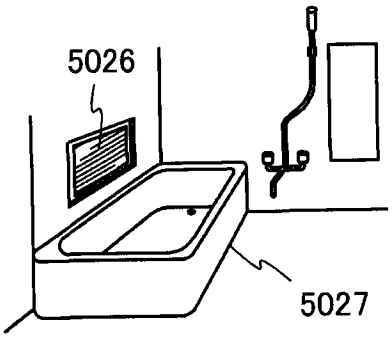


图 44F

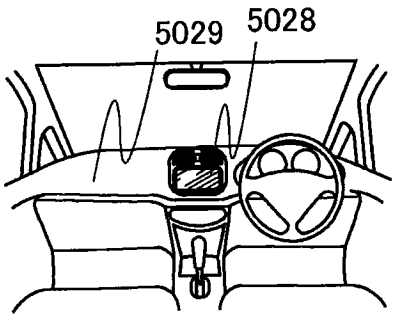


图 44G

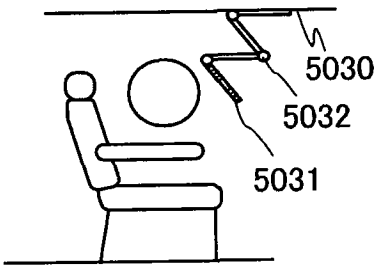


图 44H

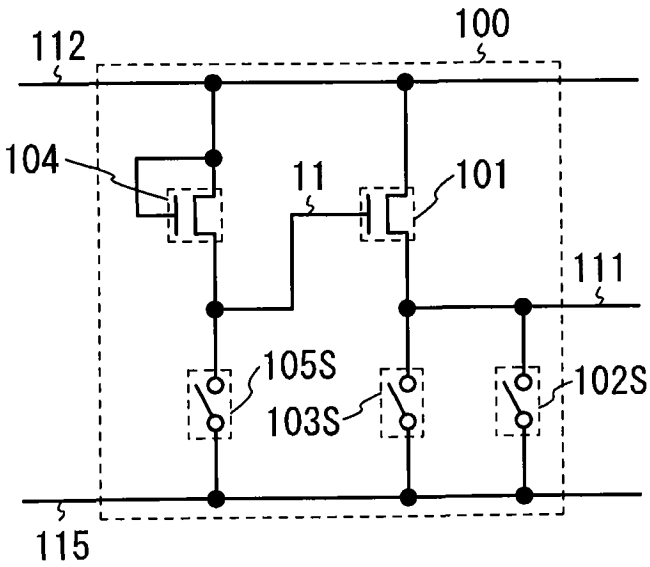


图 45A

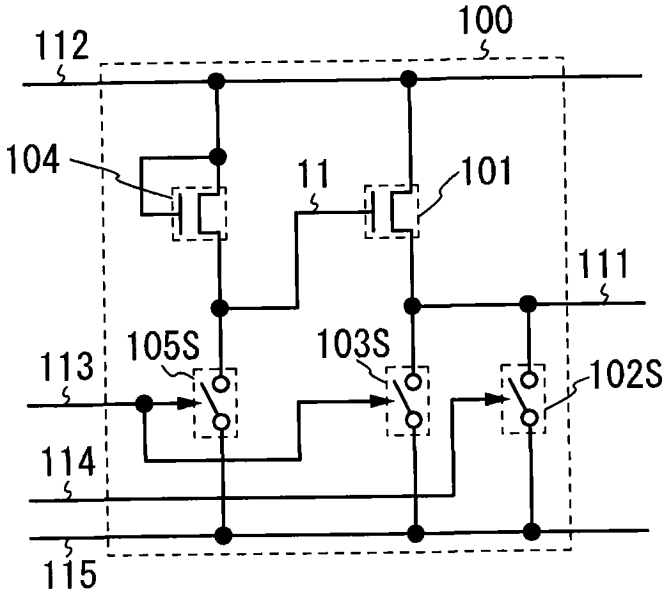


图 45B

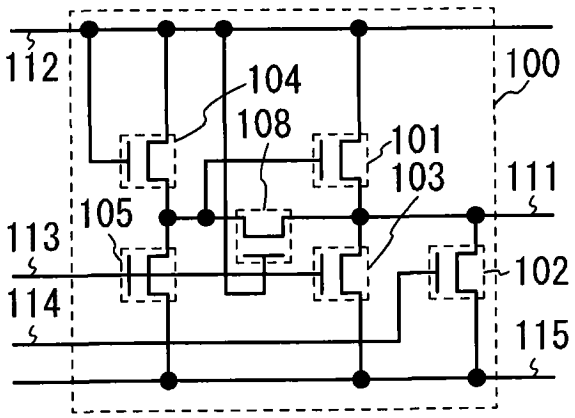


图 46A

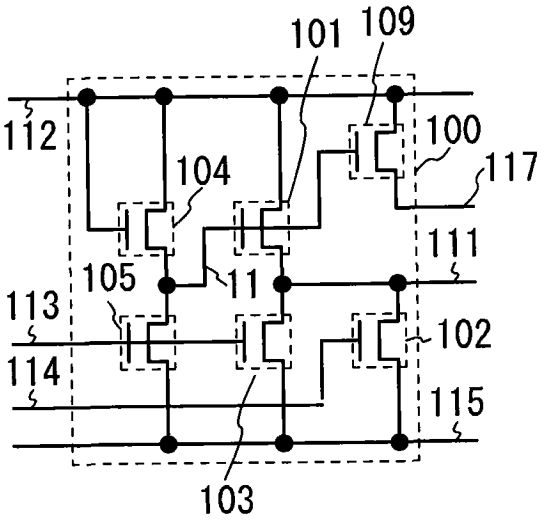


图 46B

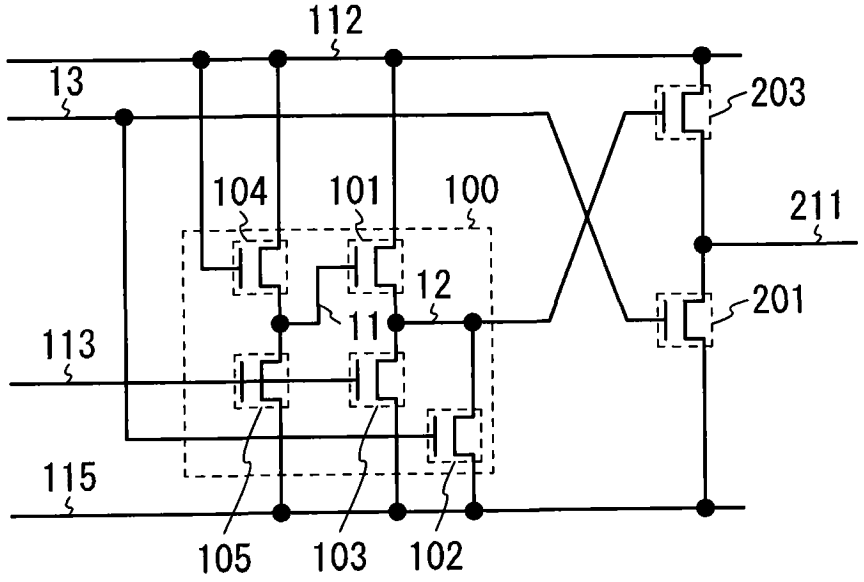

112
13
203
104
101
100
211
12
11
201
113
115
105
103
102

图 47A

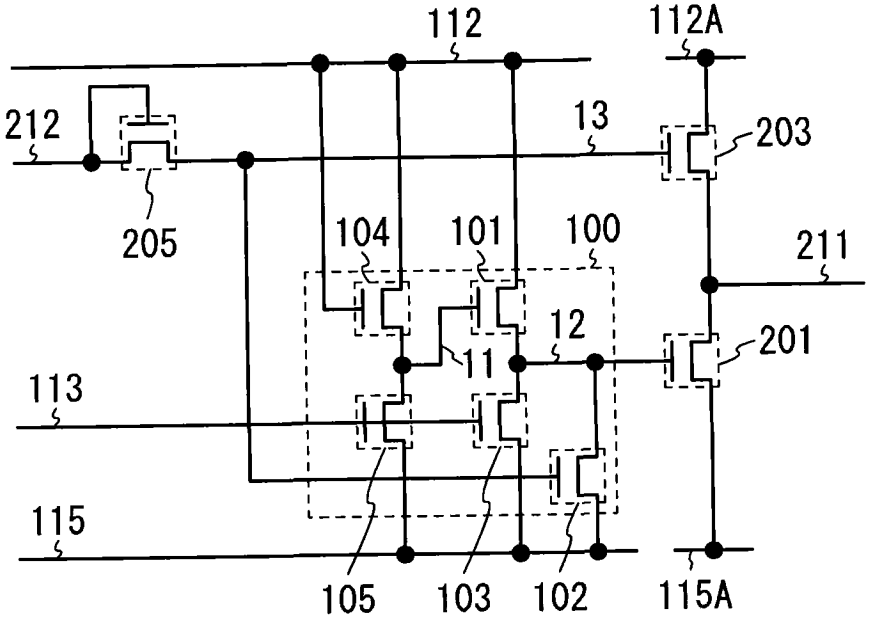

112
112A
212
13
203
205
104
101
100
211
12
11
201
113
115
105
103
102
115A

图 47B