



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

238 959

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 08 12 82
(21) PV 8911-82

(51) Int. Cl.³
H 03 K 19/17

(40) Zveřejněno 15 05 85
(45) Vydáno 01 07 87

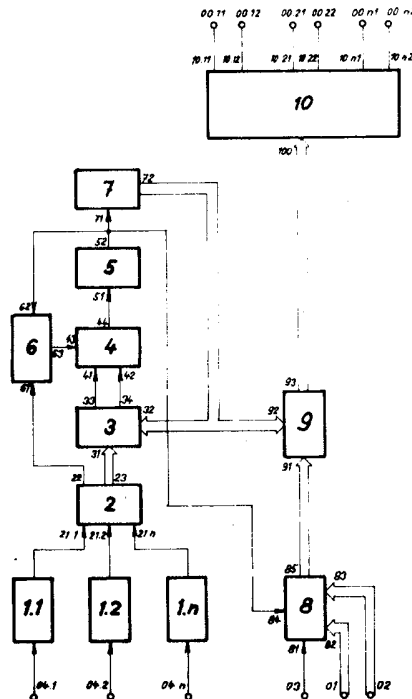
(75)
Autor vynálezu

HAINZ PETR ing.,
KOPECKÝ VÁCLAV ing., PRAHA

(54)

Zapojení jedno nebo vícefázového číslicového generátoru zapínacích impulsů pro tyristorové měniče

Řešení se týká řízení a regulace a řeší zapojení jedno nebo vícefázového generátoru zapínacích impulsů pro tyristorové měniče. Signál žádané hodnoty fázového úhlu se převede na číslicový signál, který se omezí v převodníku. Napěťové signály jednotlivých fází se vytvářejí v tvarovačích. Takto získané signály slouží k synchronizaci číslicového signálu okamžitého fázového úhlu a to pomocí číslicového komparátoru, regulátoru, řízeného generátoru a porovnávače. Číslicový signál okamžitého fázového úhlu spolu s číslicovým signálem žádaného úhlu posuvu se zpracovává v sumátoru, jehož výstupní signál se zpracovává ve výstupních logických obvodech, kde se vytváří zapínací impulsy. Vynálezu se využije při řízení měničů a elektrických pohonů.



Vynález se týká zapojení jedno nebo vícefázového generátoru zapínacích impulsů pro tyristorové měniče.

Je známá řada zapojení generátorů zapínacích impulsů pro tyristorové měniče. Analogová provedení těchto generátorů vykazují zvláště ve výrobě nedostatky spočívající zejména ve velkém množství nastavovacích bodů a časové nestálosti nastavení. Číslicová provedení bývají značně složitá nebo při zjednodušení mají obdobné nedostatky jako řešení analogová. Obě provedení pak nemohou řešit situaci, kdy síťová frekvence měniče je nestálá v širokém rozmezí.

Tyto nedostatky do značné míry odstraňuje zapojení jedno nebo vícefázového číslicového generátoru zapínacích impulsů pro tyristorové měniče podle vynálezu. Podstata vynálezu spočívá v tom, že každý fázový vstup zapojení je spojen se vstupem přiřazeného tvarovacího obvodu. Výstup každého tvarovacího obvodu je spojen s odpovídajícím vstupem vstupního logického obvodu, jehož frekvenční výstup je spojen s prvním vstupem porovnávače frekvence. Fázový výstup vstupního logického obvodu je spojen s prvním vstupem číslicového komparátoru, jehož výstupy jsou spojeny s odpovídajícími vstupy regulátoru. Třetí vstup regulátoru je spojen s výstupem porovnávače frekvence. Výstup regulátoru je spojen se vstupem řízeného generátoru, jehož výstup je spojen se druhým vstupem porovnávače frekvence, se čtvrtým vstupem číslicově analogového převodníku a se vstupem čítače. Výstup čítače je spojen se druhým vstupem číslicového komparátoru a se druhým vstupem sumátoru.

Výstup sumátoru je spojen se vstupem výstupního logického obvodu, jehož každý výstup je spojen s odpovídajícím fázovým výstupem příslušné fáze. Řídicí vstup zapojení je spojen s prvním vstupem analogově číslicového převodníku, jehož druhý vstup je spojen s prvním omezovacím vstupem zapojení. Druhý omezovací vstup zapojení je spojen se třetím vstupem číslicově analogového převodníku.

Výhodou uspořádání podle vynálezu je, že umožňuje zjednodušit nastavovací operace ve výrobě ovládacích obvodů pro měniče. Nastavení fázového úhlu zapínání měniče je časově stálé. Časová stálost se příznivě projevuje zejména při invertorovém chodu měniče. Protože zapojení obsahuje dvě regulační smyčky, to je fázovou regulační smyčku a frekvenční regulační smyčku, umožňuje spolupráci měniče, který je tímto zapojením řízen, se sítí se značně proměnnou frekvencí. Takové sítě se značně proměnnou frekvencí vytváří například mobilními generátory, zejména při poruchách jejich regulace. V takovém případě známá zapojení neumožňují vůbec chod měniče. Spolupráce obou regulačních smyček zaručuje navíc vysokou přesnost dodržení požadovaného fázového úhlu zapínacích impulsů při zachování dobrých dynamických vlastností zapojení.

Příklad zapojení podle vynálezu je znázorněn schematicky na připojeném výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto. Všechny tvarovací obvody 1.1 až 1.n jsou stejné a jsou vytvořeny jako analogově logické komparátory. Slouží ke tvarování vstupního sinusového signálu příslušné fáze. Vstupní logický obvod 2 je vytvořen z logických kombinačních obvodů, případně z paměti typu ROM.

Slouží k vytvoření pomocného signálu pro porovnávač 6 frekvence a pro číslicový komparátor 3 fáze. Číslicový komparátor 3 je tvořen integrovaným obvodem, nebo pamětí typu ROM. Slouží k porovnání fázového posuvu okamžitého fázového úhlu na výstupu čítače 7 s okamžitým fázovým úhlem n-fázového systému na vstupu zapojení. Regulátor 4 je vytvořen z operačního zesilovače. Řídí výstupní frekvenci řízeného generátoru 5. Řízený generátor 5 je tvořen operačním zesilovačem s příslušnými vazbami. Spolu s předchozími ostatními bloky generuje impulsy o frekvenci rovné násobku síťové frekvence. Porovnávač 6 frekvence je tvořen zapojením pro porovnávání frekvencí jako je diodový integrátor, nebo je vytvořen z hradel, z děliče frekvence a z převodníku impulsního signálu na analogový. Slouží k porovnávání frekvencí a k převádění výsledku na analogový signál. Čítač 7 je vytvořen z integrovaných obvodů a slouží k vytvoření číslicového signálu udávajícího okamžitý elektrický fázový úhel. Analogově číslicový převodník 8 je tvořen buď zpětnovazebním zapojením z čítače a číslicově analogového převodníku nebo ze speciálního integrovaného, případně hybridního obvodu či synchronizátoru. Slouží k převedení řídicího analogového signálu na signál číslicový a k omezení krajních hodnot tohoto číslicového signálu. Sumátor 9 je vytvořen z integrovaných obvodů a slouží k vytvoření číslicového signálu udávajícího okamžitý fázový úhel s přičtením žádaným fázovým posunutím. Výstupní logický obvod 10 je tvořen buď pamětí typu ROM, nebo integrovanými sčítačkami. Při volbě vhodného kódu číslicového signálu může být vytvořen z prostých hradel. Slouží k vytvoření systému zapínacích impulsů pro řízení tyristorového usměrňovače. Jednotlivé bloky jsou spojeny takto. Každý fázový vstup 04.1 až 04.n zapojení je spojen se

vstupem přiřazeného tvarovacího obvodu 1.1 až 1.n. Výstup každého tvarovacího obvodu je spojen s odpovídajícím vstupem 21.1 až 21.n vstupního logického obvodu 2, jehož frekvenční výstup 22 je spojen s prvním vstupem 61 porovnávače 6 frekvence. Fázový výstup 23 vstupního logického obvodu 2 je spojen s prvním vstupem 31 číslicového komparátoru 3. Výstupy 33, 34 číslicového komparátoru 3 jsou spojeny s odpovídajícími vstupy 41, 42 regulátoru 4. Třetí vstup 43 regulátoru 4 je spojen s výstupem 63 porovnávače 6 frekvence. Výstup 44 regulátoru 4 je spojen se vstupem 51 řízeného generátoru 5. Výstup 52 řízeného generátoru 5 je spojen se druhým vstupem 62 porovnávače 6 frekvence, se čtvrtým vstupem 84 číslicově analogového převodníku 8 a se vstupem 71 čítače 7. Výstup 72 čítače 7 je spojen se druhým vstupem 32 číslicového komparátoru 3 a se druhým vstupem 92 sumátoru 9. Výstup 93 sumátoru 9 je spojen se vstupem 100 výstupního logického obvodu 10. Každý výstup 10.11 až 10.n2 výstupního logického obvodu 10 je spojen s odpovídajícím fázovým výstupem 00.11 až 00.n2 příslušné fáze. Řídicí vstup 03 zapojení je spojen s prvním vstupem 81 analogově číslicového převodníku 8, jehož druhý vstup 82 je spojen s prvním omezovacím vstupem 01 zapojení. Druhý omezovací vstup 02 zapojení je spojen se třetím vstupem 83 číslicově analogového převodníku 8. Zapojení obsahuje dvě regulační smyčky. První regulační smyčka je frekvenční a obsahuje porovnávač 6 frekvence, regulátor 4 a řízený generátor 5. Druhá regulační smyčka je fázová a obsahuje číslicový komparátor 3, regulátor 4, řízený generátor 5 a čítač 7. Tato regulační smyčka je číslicově analogová.

Zapojení pracuje takto. Napěťové signály jednotlivých fází přicházejí na odpovídající fázové vstupy 04.1 až 04.n zapojení a odtud na vstupy odpovídajících tvarovacích obvodů 1.1 až 1.n. V tvarovacích obvodech 1.1 až 1.n se změnil periodický signál síťového napětí na logický signál obdélníkového průběhu. Tyto signály přecházejí z tvarovacích obvodů 1.1 až 1.n na odpovídající vstupy 21.1 až 21.n vstupního logického obvodu 2. Ve vstupním logickém obvodu 2 se vytváří pomocný frekvenční signál, který přechází na první vstup 61 porovnávače 6 frekvence. Dále se vytváří ve vstupním logickém obvodu 2 číslicový signál okamžitého fázového úhlu sítě, který přechází z fázového výstupu 23 vstupního logického obvodu 2 na první vstup 31 číslicového komparátoru 3. Současně se v čítači 7 vytváří číslicový signál okamžitého fázového úhlu zapojení a tento signál přechází na druhý vstup 32 číslicového komparátoru 3. V číslicovém komparátoru 3 se oba signály porovnávají a na jeho výstupech 33 a 34 je logický signál znaménka nebo rovnosti okamžitých fázových úhlů. Tato dvojice signálů přichází na první vstup 41 a na druhý vstup 42 regulátoru 4. Na třetí vstup 43 regulátoru 4 přichází analogový signál rozdílu násobku síťové frekvence a frekvence řízeného generátoru 5. Regulátor 4 zpracovává všechny signály na svých vstupech 41 až 43 a řídí signálem ze svého výstupu 44 řízený generátor 5, jehož frekvence je řízena vstupním signálem tak, aby výstupní frekvence řízeného generátoru 5 byla násobkem síťové frekvence a aby rozdíl mezi okamžitým fázovým úhlem sítě a okamžitým fázovým úhlem zapojení se blížil nule. Výstupní signál z výstupu 52 řízeného generátoru 5 přichází na druhý vstup 62 porovnávače 6 frekvence. V porovnávači 6 frekvence se vytváří analogový

signál úměrný rozdílu násobku síťové frekvence a výstupní frekvence řízeného generátoru 5. Tento rozdíl, který je na výstupu 63 porovnávače 6 frekvence se přivádí na třetí vstup 43 regulátoru 4. Signál z výstupu 52 řízeného generátoru 5 se současně přivádí na čtvrtý vstup 84 číslicově analogového převodníku 8, jako jeho pomocný signál hodinové frekvence a na vstup 71 čítače 7. Čítač 7 vytváří na svém výstupu 72 číslicový signál okamžitého fázového úhlu zapojení. Tento signál se přivádí na druhý vstup 32 číslicového komparátoru 3 a na druhý vstup 92 sumátoru 9. Na řídicí vstup 03 zapojení přichází signál žádané hodnoty zapínacího úhlu měniče což je signál fázového posuvu systému výstupních pulsů zapojení proti fázovému úhlu síťové frekvence. Tento signál přichází na první vstup 81 číslicově analogového převodníku 8. Číslicový signál odpovídající hodnotě maximálního úhlu posuvu přichází přes první vstup 01 zapojení na druhý vstup 82 číslicově analogového převodníku 8. Na jeho třetí vstup 83 přichází přes druhý vstup 02 zapojení číslicový signál minimálního úhlu fázového posuvu. Převodník 8 vytváří na svém výstupu 85 číslicový signál žádaného úhlu posuvu s respektováním omezení jeho maximální a minimální hodnoty. Tento signál se vede na první vstup 91 sumátoru 9. V sumátoru 9 se tento signál přičítá k signálu okamžitého fázového úhlu zapojení, který je na druhém vstupu 92 sumátoru 9. Tím se získá číslicový signál okamžitého fázového úhlu zapínacích impulsů, který se převádí z výstupu 93 sumátoru 9 na vstup 100 výstupního logického obvodu 10. Ve výstupním logickém obvodu 10 se vytváří z tohoto signálu systém výstupních zapínacích impulsů, který přechází přes výstupy 10.11 až 10.n2 na odpovídající fázové výstupy 00.11 až 00.n2 jednotlivých fází.

Vynálezu se využije v měničích jedno nebo více-
fázových, určených pro spolupráci s mobilními střída-
vými zdroji a ve složitějších klimatických podmínkách.

PŘEDMĚT VYNÁLEZU

238 959

Zapojení jedno nebo vícefázového číslicového generátoru zapínacím impulsů pro tyristorové měniče, vyznačující se tím, že každý fázový vstup (04.1 až 04.n) zapojení je spojen se vstupem přiřazeného tvarovacího obvodu (1.1 až 1.n), jehož výstup je spojen s odpovídajícím vstupem (21.1 až 21.n) vstupního logického obvodu (2), jehož frekvenční výstup (22) je spojen s prvním vstupem (61) porovnávače (6) frekvence a fázový výstup (23) vstupního logického obvodu (2) je spojen s prvním vstupem (31) číslicového komparátoru (3), jehož výstupy (33, 34) jsou spojeny s odpovídajícími vstupy (41, 42) regulátoru (4), jehož třetí vstup (43) je spojen s výstupem (63) porovnávače (6) frekvence a výstup (44) regulátoru (4) je spojen se vstupem (51) řízeného generátoru (5), jehož výstup (52) je spojen se druhým vstupem (62) porovnávače (6) frekvence, se čtvrtým vstupem (84) číslicově analogového převodníku (8) a se vstupem (71) čítače (7), jehož výstup (72) je spojen se druhým vstupem (32) číslicového komparátoru (3) a se druhým vstupem (92) sumátoru (9), jehož výstup (93) je spojen se vstupem (100) výstupního logického obvodu (10), jehož každý výstup (10.11 až 10.n2) je spojen s odpovídajícím fázovým výstupem (00.11 až 00.n2) příslušné fáze a řídicí vstup (03) zapojení je spojen s prvním vstupem (81) analogově číslicového převodníku (8), jehož druhý vstup (82) je spojen s prvním omezovacím vstupem (01) zapojení, jehož druhý omezovací vstup (02) je spojen se třetím vstupem (83) číslicově analogového převodníku (8).

1 výkres

