

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 405 740**

51 Int. Cl.:

H04B 1/40

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **20.02.1998** **E 04078190 (8)**

97 Fecha y número de publicación de la concesión europea: **06.02.2013** **EP 1524776**

54 Título: **Radio transceptor en un chip**

30 Prioridad:

20.02.1997 US 803392

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

03.06.2013

73 Titular/es:

TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)
(100.0%)
164 83 Stockholm , SE

72 Inventor/es:

GÄRDENFORS, KARL HAKAN TORBJÖRN;
MATTISSON, SVEN ERIK y
HAARTSEN, JACOBUS CORNELIS

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 405 740 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Radio transceptor en un chip.

5 ANTECEDENTES DE LA INVENCION

Campo técnico de la Invención

La presente invención se refiere, en general, al campo de las comunicaciones inalámbricas y, en particular, a un transceptor de radio de corto alcance fabricado en un chip de circuito integrado.

Descripción de la técnica relacionada

El alto nivel de integración de circuitos que es posible alcanzar con la tecnología moderna ha permitido a los fabricantes de equipos de comunicaciones de mano (por ejemplo, teléfonos móviles) reducir sustancialmente el tamaño de sus productos. Como regla general, estos productos más pequeños consumen menos energía y, finalmente, son más baratos de producir.

En el pasado, se han realizado una serie de intentos de fabricar un transmisor/receptor (transceptor) de radio completo en un único chip de circuito integrado (CI). En general, estos intentos no han tenido éxito, y sólo se han colocado partes de dichas radios en un único chip. Por ejemplo, la patente US N° 5.428.835 de Okanobu describe un circuito receptor formado en un único chip semiconductor. La razón principal para esta falta de integración total puede encontrarse en las especificaciones de los sistemas de radio.

La mayoría de las especificaciones de interfaces aéreas estándar para sistemas de radiocomunicaciones establecen altas exigencias con respecto a la precisión de la frecuencia, la interferencia de canal contiguo, el rendimiento de modulación, etc. Sin embargo, las técnicas existentes de procesamiento de señal en chip aún no han alcanzado un nivel que cumpla los requisitos de rendimiento establecidos por estas especificaciones de interfaz aérea.

El documento US-A-5734970 describe un transceptor que puede transmitir o recibir señales basadas en una señal de oscilación procedente de un primer oscilador, que no es un oscilador modulado directamente. Se incluyen osciladores adicionales para generar una salida de reloj y una señal de portadora. La señal de portadora y los datos de componentes I- y Q- a ser transmitidos, son mezclados en un circuito de modulación. La salida del circuito de modulación se mezcla en un convertidor de frecuencia con la señal procedente del primer oscilador a una frecuencia de transmisión. Una señal recibida es convertida descendientemente a una segunda señal y suministrada a un filtro de paso de banda.

El documento UK-A-2296610 describe un aparato de transmisión y recepción para transmitir y recibir señales en diferentes canales, el cual permite la recepción y transmisión simultáneas. El circuito de recepción tiene un primer oscilador para generar una señal de oscilador local utilizada para recibir una señal en un canal. El circuito de transmisión tiene un segundo oscilador para generar una señal de oscilador local utilizada para transmitir una señal en otro canal.

El documento EP0671818 A1 describe un circuito integrado en combinación con tecnología de tipo BiCMOS que combina un amplificador de alta frecuencia, un oscilador controlado por cristal, un mezclador, un filtro-amplificador de frecuencia intermedia, un demodulador, un filtro de paso bajo y un amplificador de baja frecuencia. También hay un circuito de silenciamiento o supresión de ruido de fondo incorporado con un multiplicador de voltaje y un circuito de espera.

Un artículo de "New Electronics", en junio de 1993, titulado "Fast Silicon aids RF and system design" describe un transceptor de chip único de la técnica anterior que utiliza una conversión simple a una frecuencia intermedia (IF) alta, y que utiliza un filtro de IF no integrado externo.

SUMARIO DE LA INVENCION

Un objeto de la presente invención es reducir considerablemente el tamaño general de un transceptor de radio.

Otro objeto de la presente invención es producir un enlace de radio inalámbrico de corto alcance que sea menos costoso que un enlace por cable.

Otro objeto de la presente invención es producir un transceptor de radio de corto alcance en un único chip de circuito integrado.

Según la presente invención, lo indicado anteriormente y otros objetos se consiguen mediante una radio según la reivindicación 1 y un método según la reivindicación 32.

5 BREVE DESCRIPCIÓN DE LOS DIBUJOS

Puede obtenerse una comprensión más completa del método y el aparato de la presente invención con referencia a la descripción detallada siguiente tomada en conjunción con los dibujos adjuntos, en los que:

- 10 La Figura 1 es un diagrama básico de bloques funcionales de una arquitectura de transceptor de radio, que puede ser utilizado para facilitar una comprensión de la presente invención;
- La Figura 2 es un diagrama de bloques de una sección de recepción convencional, que puede ser utilizado para implementar las funciones de la sección de recepción mostrada en la Figura 1;
- La Figura 3 es un diagrama de bloques de una etapa mezcladora de rechazo de imagen que puede ser utilizada para una conversión descendente con la arquitectura de receptor ilustrada en la Figura 1;
- 15 La Figura 4 es un diagrama de bloques esquemático de una arquitectura de transceptor de un único chip, que puede ser utilizada para implementar el aparato y el método de la presente invención; y
- La Figura 5 es un diagrama de bloques detallado del circuito de un transceptor de radio en un único chip de CI, según otra realización de la presente invención.

20 DESCRIPCIÓN DETALLADA DE LOS DIBUJOS

La realización preferida de la presente invención y sus ventajas se comprenden mejor con referencia a las Figuras 1 a 5 de los dibujos, usándose números de referencia similares para las partes similares y correspondientes de los diversos dibujos.

- 25 Para la realización preferida, la especificación de interfaz aérea permite la transmisión digital de voz y datos. Dicha una interfaz aérea que puede utilizarse se describe en la solicitud de patente US, asignada comúnmente, con N° de serie 08/685.069 concedida a Dent, et al., presentada el 13 de Julio de 1996, titulada "Short-Range Radio Communications System And Method Of Use". La banda de frecuencia que puede ser utilizada es la banda Industrial, Científica, Médica (ISM), sin licencia, de 2,4 GHz, que tiene un ancho de banda de 83,5 MHz disponible
- 30 para el uso. Sin embargo, en los Estados Unidos, la Comisión Federal de Comunicaciones (Federal Communications Commission, FCC) requiere un ensanchamiento de frecuencia para operaciones en las que la potencia transmitida es mayor de 0 dBm. Puede haber numerosas "fuentes de interferencia" o "bloqueadores" operando en esta banda (por ejemplo, los hornos de microondas son "fuentes de interferencia" muy conocidos en esta banda). Por consiguiente, se utiliza un esquema de salto de frecuencia para proporcionar una mayor
- 35 inmunidad a dichas interferencias. Notablemente, en contraste con el ensanchamiento de frecuencia por secuencia directa, la inmunidad a la interferencia proporcionada por el ensanchamiento por salto de frecuencia es independiente de la potencia transmitida del elemento bloqueador.

- Además, con respecto a una realización preferida, el ensanchamiento de frecuencia medio sobre la totalidad de la
- 40 banda de 83,5 MHz tiene como resultado que no se necesita procesar señales de ancho de banda amplio. Aunque el espectro de frecuencia en el que se puede hacer funcionar el transceptor incorporado es suficientemente amplio como para proporcionar el ensanchamiento, el ancho de banda instantáneo puede ser pequeño, lo que permite que el extremo frontal del transceptor sea operado en un ancho de banda estrecho. En el sistema preferido, el ancho de banda instantáneo (canal) es de 1 MHz, mientras que el salto se lleva a cabo de una manera pseudo-aleatoria
- 45 sobre 79 canales de salto (que abarcan 79 MHz). El esquema de modulación preferido utilizado es la modulación binaria por desplazamiento de frecuencia con forma Gaussiana (GFSK). Este enfoque proporciona un enlace robusto de comunicaciones inalámbricas y permite el uso de unos circuitos de transmisor y de receptor relativamente simples.

- 50 Para una realización preferida, las señales de información se transmiten en paquetes. Se emplea la corrección de errores Solicitud Automática de Repetición (Automatic Repeat Request, ARQ) para re-transmitir los paquetes recibidos con errores en el campo de datos. El campo de voz no se re-transmite, pero se utiliza el esquema de modulación Delta de Pendiente Variable Continua (Continuous Variable Slope Delta, CVSD) (robusto) para la codificación de voz. El CVSD es un tipo de esquema de modulación delta adaptativo mediante el cual el
- 55 rendimiento se degrada lentamente en presencia de ruido. Se utiliza un esquema dúplex por división de tiempo (TDD) para conseguir un enlace de comunicación full-dúplex. Una trama dúplex dura 1,25 ms, en la que un paquete es enviado en una dirección durante los primeros 625 μ s, y otro paquete es enviado en la dirección opuesta durante los segundos 625 μ s. Cada transmisión se produce a una frecuencia de salto nueva, que está determinada por la secuencia de salto pseudo-aleatoria dependiente del usuario.

- 60 Con el fin de comprender mejor la invención, en este punto, será útil describir un transceptor de radio en términos

generales. La Figura 1 es un diagrama de bloques funcional básico de una arquitectura (10) de transceptor de radio, que puede ser utilizado para facilitar la comprensión de la presente invención. Considerando, en primer lugar, la sección de recepción del transceptor, debido a los requisitos impuestos en base al tamaño de la antena y las condiciones de propagación, las señales propagadas por el aire son transportadas, normalmente, por portadoras de radiofrecuencia (RF). Una señal de RF recibida en la antena (12) es sometida a una conversión descendente en frecuencia (14) para facilitar el procesamiento de la señal. En particular, la información transportada tiene una tasa mucho más baja que la frecuencia portadora. A continuación, la señal sometida a conversión descendente es filtrada (16), con el fin de suprimir toda interferencia y ruido fuera de la banda de frecuencias de interés y, de esta manera, mejorar la relación señal-a-ruido del receptor. Este procedimiento se conoce comúnmente como "filtrado de canal", ya que sólo se filtra el canal o la banda de frecuencia de interés.

Una vez que la señal recibida ha sido sometida a un filtrado de canal, la siguiente etapa en el procedimiento es recuperar la información (18) desde el canal y convertirla a un formato utilizable. Por ejemplo, la información recuperada puede estar en la forma de símbolos discretos (por ejemplo, datos de salida), tales como los utilizados en esquemas de modulación digital, o una señal analógica para aplicaciones de audio o vídeo. En particular, la función principal de la sección de recepción es filtrar la banda de interés del resto del espectro de frecuencias.

La sección de transmisión del transceptor (10) convierte o conforma (20) la información a transmitir a un formato de señal que puede ser transportado por una portadora. A continuación, esa señal es sometida a una conversión ascendente (22) de frecuencia a la banda de alta frecuencia (RF) deseada y es transmitida desde la antena (12). En particular, para la sección de transmisión, la función principal es confinar la potencia de la señal transmitida a la banda de interés (es decir, para que haya la mínima cantidad posible de fugas de la potencia de señal a frecuencias fuera de la banda de interés).

La Figura 2 es un diagrama de bloques de una sección 30 de recepción convencional, que puede ser utilizada para implementar las funciones de la sección de recepción mostrada en la Figura 1. La mayoría de los receptores de radio convencionales emplean una arquitectura de receptor superheterodina, tal como la arquitectura de la sección 30 de recepción mostrada en la Figura 2. La portadora de RF recibida desde la antena 32 es sometida a una conversión descendente a una primera frecuencia intermedia (FI) mezclando (34) la señal de RF con una primera señal (36) del oscilador local. Se utiliza un filtro 38 de paso de banda adecuado (por ejemplo, con características de corte abrupto) para el filtrado de canal. A continuación, la señal sometida a filtrado de canal es sometida a una conversión ascendente a una señal de banda base, mezclando (40) la señal filtrada con una segunda señal (42) del oscilador local. En este punto, puede utilizarse un filtrado adicional de señal de banda base. De esta manera, se recupera (44) la información a utilizar (por ejemplo, los datos).

Un problema con la integración de dicho un receptor en un chip está relacionado con la integración de los filtros de paso de banda de FI (por ejemplo, 38). Por ejemplo, el rendimiento de un filtro se determina por su factor de calidad (Q). Q es una medida de la selectividad de un filtro (lo bien que filtra) y puede ser representado por la expresión: $Q = f_0/BW$, donde (f_0) es la frecuencia central del filtro y BW es el ancho de banda del filtro. Por lo tanto, un filtro estrecho centrado en una frecuencia alta tendría un valor Q alto.

En general, los filtros de paso de banda pueden ser fabricados mediante una serie de técnicas y pueden ser integrados en chips semiconductores. Sin embargo, los valores Q alcanzables para dichos filtros están considerablemente limitados utilizando componentes electrónicos convencionales basados en tecnología de silicio. Los principales factores limitativos son las pérdidas que ocurren entre los componentes electrónicos en el chip.

Con respecto a la reducción de interferencias y ruido, sólo el ancho de banda (BW) del filtro determina su rendimiento en términos de relación señal-ruido. Para un ancho de banda fijo, los filtros de bajo Q pueden ser integrados en un chip reduciendo la frecuencia central, f_0 . Para el caso extremo, f_0 se hace cero y el filtro de paso de banda se convierte en un filtro de paso bajo, que es mucho más fácil de integrar en un chip que un filtro de paso de banda. En este caso, la señal que está siendo procesada puede ser convertida a banda base con solo una etapa de conversión descendente. Por supuesto, este enfoque es atractivo desde un punto de vista de integración y, de hecho, es una manera de obtener la integración completa. Sin embargo, con este enfoque se produce un segundo problema, que se conoce como arquitectura "homodina" o "de FI igual a cero".

Con la arquitectura FI igual a cero, se produce un problema denominado "desplazamiento de CC", debido a que la señal que está siendo procesada se asigna directamente a CC. Por consiguiente, la interferencia en CC es indistinguible de la señal deseada y no puede ser filtrada. Este problema impone también requisitos más estrictos sobre las características de intermodulación de orden par del receptor. Parte del desplazamiento de CC puede ser eliminada con un procesamiento adicional de la señal, pero este enfoque aumenta la complejidad del circuito y el consumo de energía del CI.

Un enfoque intermedio, que es adecuado para integrar filtros de FI en un chip semiconductor, es utilizar una arquitectura "FI baja". Con este enfoque, la FI o la frecuencia central del filtro, f_0 , es una frecuencia relativamente baja, pero no igual a cero. Este tipo de arquitectura permite la fabricación de un filtro de bajo Q que es adecuado para su integración en un chip evitando al mismo tiempo los problemas de CC.

Sin embargo, surge un tercer problema relacionado con la portadora de imagen.

El procedimiento de mezclar la señal (RF) recibida con una portadora de oscilador local, F_{lo} , produce una señal de FI baja, f_0 , que no sólo asigna la banda de frecuencia de interés a $f_{lo} + f_0$, sino que también asigna la banda de imagen en $f_{lo} - f_0$ a la señal de FI (o viceversa). Este procedimiento causa un problema considerable, ya que después de que las dos bandas de RF son asignadas a la misma banda de FI, las mismas ya no son distinguibles, una de la otra. Por lo tanto, debería utilizarse un dispositivo de rechazo de imagen.

La Figura 3 es un diagrama de bloques de una etapa (50) mezcladora de rechazo de imagen que puede ser utilizada para una conversión descendente con la arquitectura de receptor ilustrada en la Figura 1. Utilizando dicha una etapa, la señal de radiofrecuencia recibida desde la antena 12 está acoplada a un primer mezclador (52) y un segundo mezclador (54). Una señal (56) de oscilador local es acoplada directamente al primer mezclador (52), y también es sometida a un desplazamiento de fase de 90 grados (58) y acoplada al segundo mezclador (54). La señal con conversión descendente desde el primer mezclador (52) es sometida a un desplazamiento de fase de 90 grados (60) y es sumada algebraicamente (62) a la señal con desplazamiento de fase, con conversión descendente desde el segundo mezclador (54), que finalmente funciona para suprimir la banda de imagen.

La cantidad de supresión de banda de imagen que puede conseguirse con dicho circuito de rechazo de imagen (por ejemplo, la Figura 3) depende de lo bien que puedan acoplarse los componentes del circuito, y depende del ancho de banda de frecuencias en el que se desea la supresión. Con componentes en un chip, debería ser posible conseguir una precisión de acoplamiento relativamente alta. Sin embargo, en la práctica, el rechazo de imagen que puede conseguirse realmente para un circuito en chip es algo limitada (por ejemplo, de aproximadamente 30-40 dB para un ancho de banda de 1 MHz). Sin embargo, según la presente invención (tal como se ha descrito anteriormente con respecto a la interfaz aérea), se emplea un sistema de salto de frecuencia en el que cada paquete es transmitido en una de 79 frecuencias de salto disponibles. Ocasionalmente, pueden producirse interferencias, tales como una colisión entre paquetes, si dos usuarios diferentes ocupan al mismo tiempo el mismo salto de frecuencia. Por consiguiente, con un rendimiento reducido de rechazo de imagen, los paquetes de diferentes usuarios que ocupan las bandas de imagen de los demás, pueden interferirse también unos con otros. En cualquier caso, para la realización preferida, dichas colisiones ocasionales de paquetes, independientemente de si son resultado de interferencias co-canal, canal de imagen o de canal contiguo, se tienen en cuenta y se compensan en las operaciones de interfaz aérea empleando un protocolo ARQ apropiado para transferencias de datos, y un formato robusto de codificación de voz (por ejemplo, CVSD) para las transferencias de voz. En otras palabras, la presente invención compensa el rendimiento degradado del receptor debido a la interferencia de imagen, mediante el uso de ensanchamiento con salto de frecuencia, corrección de errores y técnicas de codificación de voz especificadas para la interfaz aérea, lo que permite una integración completa del receptor y (tal como se describe más adelante) las secciones de transmisión de un transceptor en un único chip de CI.

Anteriormente, cuando se intentó colocar un transmisor y receptor en un solo chip, un problema que ocurrió fue que las señales transmitidas a niveles de potencia relativamente altos se fugaban a la etapa de entrada del receptor. De hecho, dicha fuga o "diafonía" ha representado un importante problema de diseño en intentos anteriores para fabricar un transceptor completo en un chip. Sin embargo, para la realización preferida de la invención, se utiliza un esquema TDD para la operación dúplex a través de la interfaz aérea, lo que elimina la diafonía y, de esta manera, facilita la integración completa del transceptor en un chip. En otras palabras, las secciones de transmisor y receptor del transceptor incorporado no están activas simultáneamente, y se resuelve el problema de la diafonía o fuga desde el transmisor al receptor en un transceptor totalmente integrado.

Además, la diafonía o fuga puede reducirse adicionalmente empleando diferentes frecuencias de transmisión y recepción utilizando un esquema dúplex por división de frecuencia (FDD). Normalmente, el uso de un esquema FDD requeriría un duplexador en la etapa de antena del transceptor con el fin de separar las señales transmitidas y recibidas. Sin embargo, empleando también un esquema TDD según la invención, no se necesita dicho un duplexador. Además, para reducir adicionalmente el número de componentes en el chip, se utiliza un único oscilador variable controlado (VCO) en la realización preferida, de manera alterna para realizar una conversión ascendente en la sección de transmisión y una conversión descendente en la sección de recepción.

La Figura 4 es un diagrama de bloques esquemático de una arquitectura de transceptor en un único chip, que

puede ser utilizado para implementar el aparato y el método de la presente invención. Para la realización preferida, un FSK binario, conformado con un filtro Gaussiano, es el esquema de modulación utilizado. Específicamente, el uso de modulación FSK para un transceptor en un único chip tiene un número de ventajas de implementación. Por ejemplo, la función de detección se lleva a cabo directamente en la FI con una etapa (122) discriminadora de modulación de frecuencia (FM). Este enfoque elimina la necesidad de una segunda conversión descendente a la etapa de banda base para la recuperación de información. A continuación, la sección de transmisión se simplifica de manera que los símbolos de información a transmitir pueden ser acoplados directamente a un VCO (por ejemplo, oscilador 118 HF), que convierte estos símbolos a una señal de FM. Con este enfoque, un único VCO es suficiente para la sección de transmisión, y se elimina la necesidad de un mezclador con conversión ascendente separado. Otra ventaja adicional del uso de FSK es que la detección no coherente de señales FSK es relativamente insensible a los errores de frecuencia. En este caso, un error de frecuencia se muestra como una señal de desplazamiento de CC en la salida del detector de FM. Sin embargo, puede utilizarse una etapa de control automático de frecuencia (AFC) para compensar rápidamente el desplazamiento. Este enfoque elimina la necesidad de etapas de osciladores locales altamente estables o esquemas de seguimiento de frecuencia precisos.

Otra ventaja adicional de la modulación FSK es que la señal recibida puede ser limitada mediante hardware después del filtrado de canal. La información que está siendo recibida está contenida sólo en la fase y no en la amplitud de la señal. Por consiguiente, este enfoque elimina la necesidad de circuitos de control automático de ganancia (AGC) y sistemas de seguimiento de amplitud poco prácticos. La operación del AGC se vería obstaculizada severamente también por el salto de frecuencia definido en la interfaz aérea debido al desvanecimiento de una señal sin correlación en las diferentes frecuencias de salto.

Con relación a la Figura 4, realizando ajustes apropiados en la interfaz aérea (tal como se ha descrito anteriormente) para compensar los problemas de implementación encontrados con los intentos anteriores de otros para integrar un transceptor completo en un único chip de CI, puede utilizarse la arquitectura relativamente simple mostrada en la Figura 4 (según la presente invención). En comparación con la arquitectura descrita en la Figura 1, los bloques básicos de la Figura 1 son todavía reconocibles. En particular, cada bloque básico mostrado en la Figura 1 puede ser sustituido por solo un circuito en la arquitectura mostrada en la Figura 4. Por ejemplo, en la Figura 4, la etapa de conversión descendente se lleva a cabo en el mezclador (116) de rechazo de imagen, que convierte la señal desde RF a una FI baja. Un filtro (120) de paso de banda, que es selectivo en esta FI baja, realiza la selección de canal. A continuación, esta señal con filtrado de canal es recuperada en un discriminador (122) de FM. En particular, no se requiere una segunda etapa de conversión descendente a una FI más baja o frecuencia de banda base, ya que el discriminador (122) de FM puede detectar la señal recibida directamente en la FI baja.

En la sección de transmisión de la Figura 4, la señal a transmitir es conformada con un filtro (124) de conformación gaussiano con el fin de suprimir la potencia de la señal fuera de la banda. La señal conformada es acoplada directamente a un VCO (118), que genera la señal de FM directamente en la RF deseada. En particular, sólo se necesita un único VCO para el transceptor completo. Este mismo VCO (118) realiza la función de conversión descendente durante el ciclo de recepción, y la función de conversión ascendente durante el ciclo de transmisión. La FI baja utilizada es seleccionada a una frecuencia apropiada, con el fin de permitir la integración en el chip de un filtro (120) de paso de banda con una selectividad suficiente. Para la realización preferida, se utiliza una FI (f_0) de 3 MHz, lo que permite la implementación de un filtro girador de CMOS (en el chip) con un ancho de banda de 1 MHz y, de esta manera, un Q de 3. El filtro (124) de conformación de paso bajo y un filtro de detección de paso bajo (no mostrado explícitamente), después del discriminador de FM puede ser implementado en una manera similar. El detector (122) de FM se fabrica preferiblemente como un detector de cuadratura. Para la etapa (118) de VCO, se utilizan inductores de cable de conexión como resonadores en el tanque oscilador, sin componentes externos (fuera del chip). Preferiblemente, todos los filtros están sintonizados con un circuito de referencia común para compensar las tolerancias de fabricación.

La Figura 5 es un diagrama de bloques detallado del circuito de un transceptor de radio de corto alcance montado en un único chip de CI, según una segunda realización de la presente invención. Sin embargo, aunque el transceptor de radio mostrado se describe con respecto a una implementación en un único chip de CI, esta descripción tiene sólo propósitos ilustrativos y la presente invención no pretende estar limitada en este sentido. Por ejemplo, algunos de los componentes mostrados en la Figura 5 pueden estar situados externos al chip de CI. Con referencia a la Figura 5, el transceptor en un chip (200) incluye una antena 202 de transmisión/recepción acoplada a un amplificador 204 de bajo ruido (Low Noise Amplifier, LNA) en el extremo frontal del receptor. La salida del LNA está acoplada a un mezclador de rechazo de imagen, que se compone de un primer mezclador 206 para el canal I, un segundo mezclador 208 para el canal Q, un desplazador 210 de fase de 45 grados, un desplazador 212 de fase de 135 grados, un desplazador 214 de fase de 90 grados y un combinador 216. Una señal del oscilador local está acoplada al desplazador 214 de fase de 90 grados desde un VCO 218. Por consiguiente, el rechazo de

imagen se consigue recombinando las señales I y Q, con desplazamiento de fase, para producir una señal de FI de salida desde el combinador 216.

Para esta realización, la señal de FI seleccionada es de aproximadamente 3,0 MHz. La señal de FI entregada desde el combinador 216 se acopla a los circuitos de recepción de FI, que incluye un filtro 220 de paso de banda para suprimir las señales en los canales contiguos. Preferiblemente, el filtro de paso de banda es un filtro de FI de sintonía escalonada que utiliza filtrado de tipo transconductancia C. El circuito receptor de FI puede incluir también un limitador 222 en hardware (HL), un discriminador 224 de FM y un filtro 226 de paso bajo. El circuito de recepción de FI puede incluir también un indicador de RSSI con un convertidor A/D (no mostrado explícitamente). La señal de FI es detectada (224), y la información recuperada es emitida desde el filtro 226 de paso bajo.

El transceptor 200 en un chip incluye también un bucle de enganche de fase, que se compone de un detector 230 de fase, un filtro 236 de bucle y un pre-escalador 240 con lógica de módulo. El bucle de enganche de fase es un componente de un sintetizador que incluye el detector 230 de fase, una bomba 232 de carga, un filtro 234 regulador, un filtro 236 de bucle, un pre-escalador 240, un circuito 238 con lógica de módulo, un VCO 218 y una memoria 219 intermedia. Como tal, la señal de información de entrada (por ejemplo, los datos de entrada), conformada por el filtro 256 de conformación, se utiliza para modular directamente el VCO. Un circuito de muestreo y retención (S/H) (no mostrado explícitamente) estabiliza el voltaje de entrada al VCO, mientras que el VCO está siendo modulado directamente. El VCO 218 es también un componente de la sección de transmisión. Para las transmisiones, la salida del VCO 218 está acoplada a un amplificador 242 de potencia y la antena 202.

Se utilizan trayectos de señal completamente diferentes para suprimir las señales de ruido en modo común y de interferencia. Además, todos los filtros de recepción, filtros de transmisión y el discriminador de FM aplican circuitos electrónicos acoplados. Se proporciona una autosintonización de todos los filtros y el discriminador mediante un filtro de referencia que está bloqueado al oscilador 248 de cristal.

El transceptor 200 incluye también circuitos 244 digitales para proporcionar un control de apagado, programación de ciertos bloques analógicos en el chip debido a variaciones del procedimiento y lógica de control de sintetizador. Los circuitos 244 digitales están conectados a una conexión 246 de interfaz digital serie. Un número de bloques funcionales de circuitos típicos están incluidos también en el chip, tal como, por ejemplo, un oscilador de cristal (XO) 248, un oscilador de baja potencia (LPO) de frecuencia ajustable, reinicio en el arranque (Power-On-Reset, POR) 252 y una máquina de estados finitos (Finite State Machine, FSM) 254. Por consiguiente, el transceptor en un chip mostrado en la Figura 5 incluye lógica de apagado para todos los bloques de circuitos analógicos, lógica para sintonizar los bloques de circuitos analógicos, un convertidor de serie a paralelo y lógica de decodificación.

En resumen, tal como se ilustra mediante las realizaciones mostradas en las Figuras 4 y 5, un transceptor de radio completo está completamente integrado en un chip de CI. Con el fin de integrar los filtros de FI en el chip, se utiliza una arquitectura heterodina con una FI relativamente baja. Se utiliza un único VCO modulado directamente tanto para la conversión ascendente como para la conversión descendente, y se utilizan cables de conexión como resonadores en el tanque oscilador para el VCO. Se utiliza un esquema TDD en la interfaz aérea para eliminar la diafonía o las fugas. Se utiliza un esquema de modulación FSK binario con forma Gaussiana para proporcionar una serie de otras ventajas de aplicación (tal como se ha descrito anteriormente).

Aunque realizaciones del método y del aparato de la presente invención han sido ilustradas en los dibujos adjuntos y han sido descritas en la descripción detallada anteriormente, se entenderá que la invención no está limitada a las realizaciones descritas, sino que es capaz de numerosas disposiciones, modificaciones y sustituciones sin apartarse del alcance de la invención tal como se establece y define mediante las siguientes reivindicaciones.

REIVINDICACIONES

1. Una radio para recibir y transmitir señales de alta frecuencia, que comprende:

una sección de conversión descendente dispuesta para realizar una conversión descendente de una primera señal de alta frecuencia recibida a una señal de frecuencia intermedia;
una sección de conversión ascendente dispuesta para realizar una conversión ascendente de una señal de información a una segunda señal de alta frecuencia;
un oscilador variable controlado, conectado a la sección de conversión descendente, para su funcionamiento en un modo dúplex por división de tiempo y dispuesto a ser utilizado alternativamente en la sección de conversión descendente para convertir descendentemente dicha primera señal de alta frecuencia durante un ciclo de recepción y en la sección de conversión ascendente para convertir ascendentemente dicha señal de información durante un ciclo de transmisión en el modo dúplex por división de tiempo; y
un detector para la recuperación de información;
caracterizado por que
la sección de conversión ascendente y la sección de conversión descendente están integradas en un único chip de CI (circuito integrado); la señal de frecuencia intermedia es una señal de frecuencia intermedia baja; se conecta un filtro a la sección de conversión descendente y se sintoniza para pasar la señal de frecuencia intermedia baja; y
el filtro está integrado en el único chip de CI (circuito integrado).

2. La radio de acuerdo con la reivindicación 1, en la que dicha frecuencia intermedia baja es alrededor de 3 MHz.

3. La radio de acuerdo con la reivindicación 1 ó la reivindicación 2, en la que dicho filtro es un filtro de paso de banda.

4. La radio de acuerdo con la reivindicación 3, en la que el filtro de paso de banda es un filtro de frecuencia intermedia sintonizada en escalón que utiliza filtrado de tipo transconductancia C.

5. La radio de acuerdo con la reivindicación 3 ó la reivindicación 4, en la que el filtro de paso de banda es un filtro girador de CMOS.

6. La radio de acuerdo con cualquiera de las reivindicaciones 3 a 5, en la que el filtro de paso de banda tiene un valor Q de 3 y un ancho de banda de 1 MHz.

7. La radio de acuerdo con la reivindicación 1, en la que dicho filtro es un filtro de canal.

8. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que el detector es un discriminador acoplado a una salida de dicho filtro para recuperar información.

9. La radio de acuerdo con la reivindicación 8, en la que dicho discriminador comprende un discriminador de modulación de frecuencia.

10. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, que comprende además medios de modulación binaria por desplazamiento de frecuencia

11. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, que comprende además un dispositivo de rechazo de imágenes para rechazar una señal de imagen.

12. La radio de acuerdo con la reivindicación 11, en la que dicho dispositivo de rechazo de imagen es una etapa mezcladora de rechazo de imagen de la sección de conversión descendente.

13. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que dicho oscilador variable controlado tiene cables de conexión como resonadores.

14. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que dicho oscilador variable controlado comprende un circuito de tanque oscilador sin componentes externos.

15. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que el oscilador variable controlado

tiene un terminal de entrada para recibir la señal de información, que modula dicho oscilador variable controlado durante el ciclo de transmisión.

- 5 16. La radio de acuerdo con la reivindicación 15, que comprende además un filtro de conformación, para conformar la señal de información, conectada a la terminal de entrada del oscilador variable controlado.
17. La radio de acuerdo con la reivindicación 16, en la que dicho filtro de conformación comprende un filtro de conformación Gaussiano.
- 10 18. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, que comprende un bucle cerrado de fase que incluye dicho oscilador variable controlado.
- 15 19. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que dicho oscilador variable controlado comprende una parte de un sintetizador de frecuencia.
- 20 20. La radio de acuerdo con la reivindicación 1, en la que todos los componentes activos para dicha radio están integrados en dicho único chip de CI (circuito integrado), y al menos uno de entre un filtro de bucle pasivo y un resonador VCO pasivo está ubicado externamente al único chip de CI (circuito integrado).
- 25 21. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, que comprende además medios de corrección de errores con solicitud de re-transmisión automática para la transferencia de datos.
22. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, que comprende además medios de modulación delta con pendiente variable continua para la transferencia de voz.
- 30 23. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, que comprende además medios de salto de frecuencia para proporcionar el ensanchamiento por salto de frecuencia.
24. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, que comprende además medios de modulación binaria por desplazamiento de frecuencia.
- 35 25. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que una salida del oscilador variable controlado está conectada a un amplificador de potencia.
- 40 26. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, que comprende además medios de autosintonización para autosintonizar una pluralidad de filtros y un discriminador de FM.
27. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que la radio está dispuesta para transmitir y recibir señales de alta frecuencia que utilizan un esquema dúplex por división de frecuencia.
- 45 28. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que el oscilador variable controlado durante el ciclo de recepción genera una portadora de oscilador local para ser mezclada con dicha primera señal de alta frecuencia.
- 50 29. La radio de acuerdo con la reivindicación 1, en la que la sección de conversión descendente es de tipo heterodino único para convertir descendentemente la primera señal de alta frecuencia directamente a la señal de frecuencia intermedia.
30. La radio de acuerdo con cualquiera de las reivindicaciones anteriores, en la que solamente un oscilador variable controlado está integrado en dicho único chip de CI (circuito integrado).
31. La radio de acuerdo con cualquiera de las reivindicaciones precedentes que comprende una sección de antena para transmitir y recibir una pluralidad de señales de alta frecuencia.
- 55 32. Un método de funcionamiento de un transceptor de radio, que comprende las etapas de:
modular dicho transceptor de radio en un modo dúplex por división de tiempo;
convertir descendentemente una señal de frecuencia de radio recibida en una señal de frecuencia intermedia durante un ciclo de recepción por medio de un oscilador variable controlado;
60 filtrar la señal de frecuencia intermedia;
detectar una primera señal de información a partir de la señal de frecuencia intermedia filtrada;

convertir ascendentemente una segunda señal de información en una señal de alta frecuencia durante un ciclo de transmisión:

caracterizado porque

- 5 la sección de conversión descendente y la sección de conversión ascendente están integradas en un único chip de CI (circuito integrado);
- la señal de frecuencia intermedia es una señal de frecuencia intermedia baja; y
- la etapa de filtrar comprende el filtrado de la señal de frecuencia intermedia baja por medio de un filtro integrado en dicho único chip de CI (circuito integrado).

10

FIG. 1

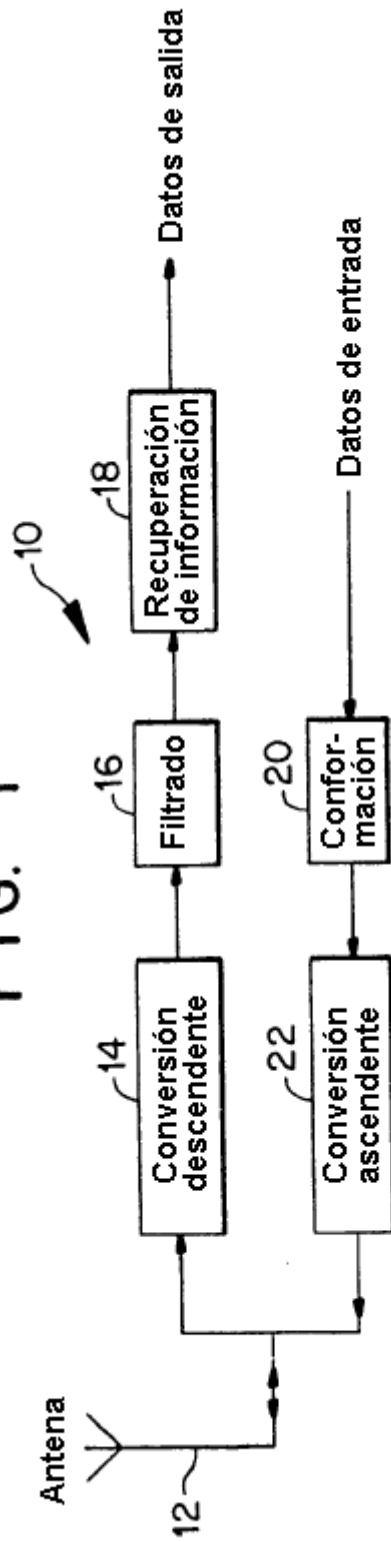


FIG. 2

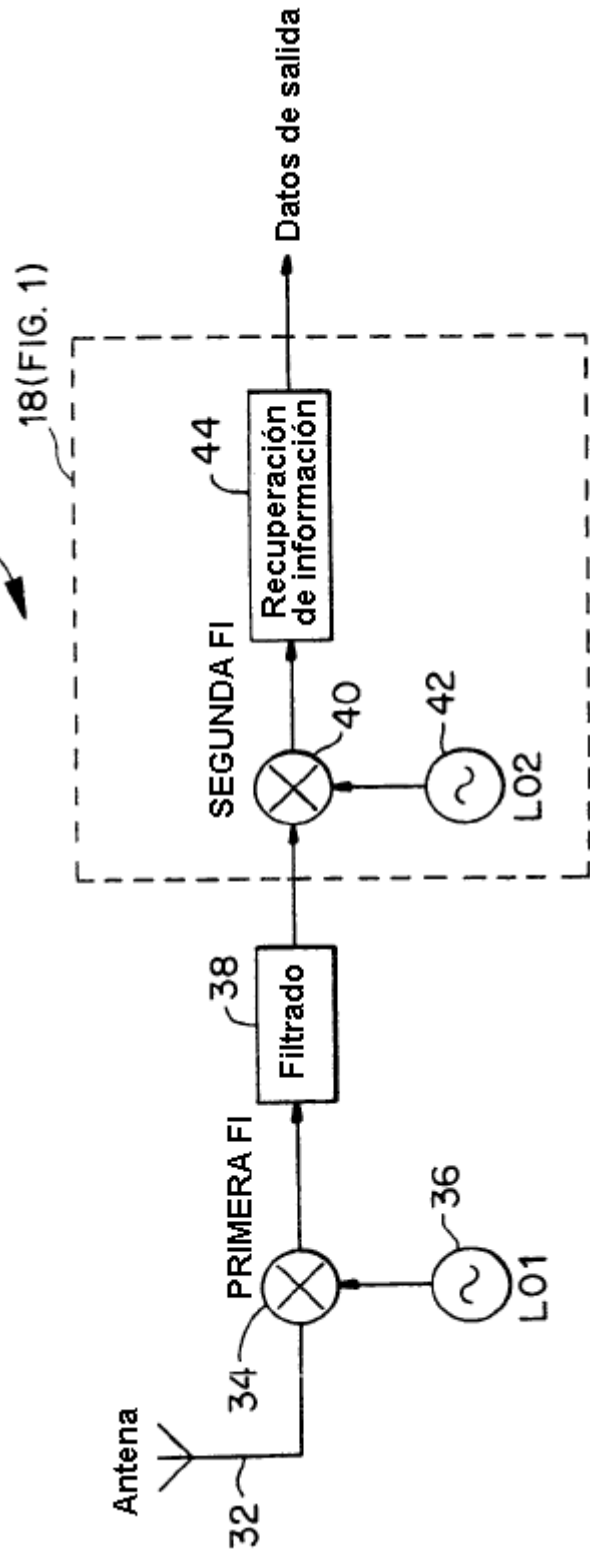


FIG. 3

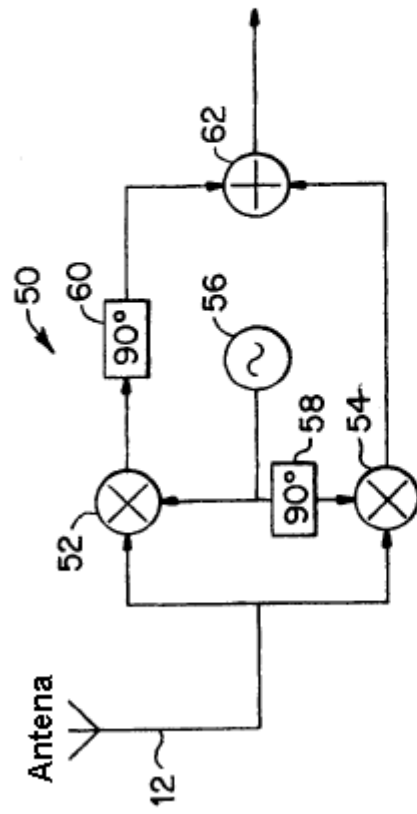
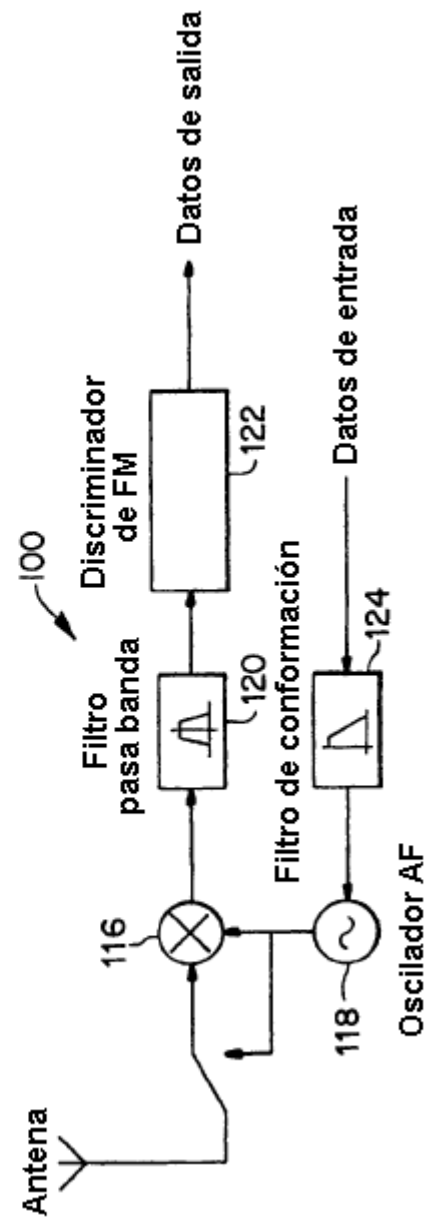


FIG. 4



5165

