

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-207231

(P2013-207231A)

(43) 公開日 平成25年10月7日(2013.10.7)

(51) Int.Cl.		F I		テーマコード (参考)
H O 1 L 31/10	(2006.01)	H O 1 L 31/10	A	5 F 0 4 9
H O 1 L 33/40	(2010.01)	H O 1 L 31/10	H	5 F 1 4 1
H O 1 L 33/34	(2010.01)	H O 1 L 33/00	2 2 0	
		H O 1 L 33/00	1 8 8	

審査請求 未請求 請求項の数 14 O L (全 50 頁)

(21) 出願番号 特願2012-77343 (P2012-77343)
 (22) 出願日 平成24年3月29日 (2012. 3. 29)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 三浦 真
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 藤方 潤一
 東京都港区芝五丁目7番1号 日本電気株式会社社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

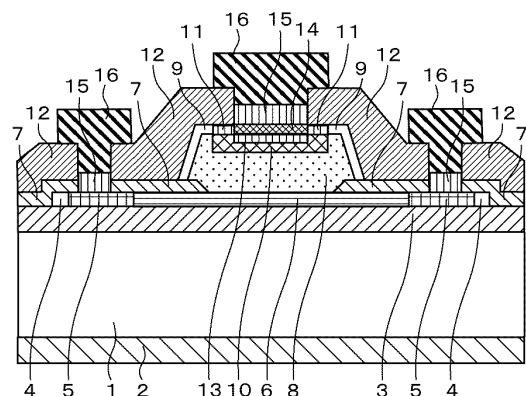
(57) 【要約】

【課題】 S i 基板上に、リーク電流が抑制され、且つ低温プロセスにて低コンタクト抵抗の実現が可能な G e 上の電極形成を可能にし、低リーク電流特性と高速性能が共に実現された受光素子または発光素子及びその製造方法を提供する。

【解決手段】 G e 受光素子及び発光素子及びその製造方法において、G e 層上に、該G e 層を覆うように S i 保護膜を形成することで電流リークを低減し、且つ、該 S i 保護膜が金属層とのコンタクトを形成する領域において S i を全て N i との混晶層であるニッケル・シリサイド (N i S i) 層として N i G e 層と接合することで保護膜の介在による抵抗の増大を防ぎ、コンタクト抵抗を低減する。

【選択図】 図 1

図 1



【特許請求の範囲】

【請求項 1】

半導体支持基板上に設けられた半導体膜と、

前記半導体膜上に選択的に設けられ、前記半導体膜よりも小さい禁制帯幅を有し該半導体膜の組成とは異なる元素を含んでなる第 1 の半導体膜と、

前記第 1 の半導体膜の側面、あるいは上面の少なくともいずれかに接して設けられ、前記第 1 の半導体膜よりも大きい禁制帯幅を有し前記半導体膜を構成する元素を含んでなる第 2 の半導体膜と、を備え、

前記第 1 の半導体膜の一部領域において、前記第 1 の半導体膜と第 1 の金属元素とが混晶化して形成された第 1 の混晶層と、前記第 2 の半導体膜と前記第 1 の金属元素とが混晶化して形成された第 2 の混晶層とのそれぞれが接して積層された積層構造を有することを特徴とする半導体装置。

10

【請求項 2】

半導体支持基板上に設けられた半導体膜と、

前記半導体膜と周囲を接しながら囲まれ、前記半導体膜よりも小さい禁制帯幅を有し該半導体膜の組成とは異なる元素を含んでなる第 1 の半導体膜と、

前記第 1 の半導体膜の上面に接して設けられ、前記第 1 の半導体膜よりも大きい禁制帯幅を有し前記半導体膜を構成する元素を含んでなる第 2 の半導体膜と、を備え、

前記第 1 の半導体膜内に、第 1 導電型の不純物を添加した第 1 導電型電極領域と前記第 1 導電型と逆の導電型を有する第 2 導電型の不純物を添加した第 2 導電型電極領域とが、それぞれ空間的に離隔して設けられ、

20

前記第 1 の半導体膜と第 1 の金属元素が混晶化して形成された第 1 の混晶層と、前記第 2 の半導体膜と前記第 1 の金属元素が混晶化して形成された第 2 の混晶層とのそれぞれが接して積層された積層構造を有し、

前記第 1 導電型電極領域と前記第 2 導電型電極領域のそれぞれに、前記第 1 の混晶層と前記第 2 の混晶層からなる積層構造が形成されていることを特徴とする半導体装置。

【請求項 3】

前記半導体膜はシリコンを含み、

前記第 1 の半導体膜は、単結晶ゲルマニウムまたは単結晶シリコン・ゲルマニウムから成り、

30

前記第 2 の半導体膜は、単結晶シリコンまたは単結晶シリコン・ゲルマニウムから成り、

前記第 1 の半導体膜中のゲルマニウム含有率は、前記第 2 の半導体膜中のゲルマニウム含有率よりも高いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 1 の金属元素は、ニッケルであることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】

前記半導体膜の一部に形成され第 1 導電型の不純物が添加された第 1 不純物添加領域と

40

、前記第 1 の半導体膜の他の一部に形成され前記第 1 導電型と逆の導電型を有する第 2 導電型の不純物が添加された第 2 不純物添加領域と、を有し、

前記第 2 不純物添加領域は、前記第 1 不純物添加領域と前記第 1 の半導体膜を介して離隔して設けられ、前記第 1 の混晶層と前記第 2 の混晶層が接する面と異なる面において前記第 1 の混晶層と接していることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 6】

前記第 1 の半導体膜内に、前記第 1 導電型の不純物を添加した第 1 導電型電極領域と前記第 2 導電型の不純物を添加した第 2 導電型電極領域とが、それぞれ空間的に離隔して設けられ、

前記第 1 の半導体膜と第 1 の金属元素が混晶化して形成された第 1 の混晶層と、前記第

50

2の半導体膜と前記第1の金属元素が混晶化して形成された第2の混晶層とのそれぞれが接して積層された積層構造を有し、

前記第1導電型電極領域と前記第2導電型電極領域のそれぞれに、前記第1の混晶層と前記第2の混晶層からなる積層構造が形成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項7】

前記半導体膜は、該半導体膜の一部領域上に前記第1の半導体膜を形成する台座領域と、該台座領域の両端部に接続され前記半導体膜の他の一部領域に形成された光を伝播する光導波路領域とを有することを特徴とする請求項1に記載の半導体装置。

【請求項8】

半導体基板と該半導体基板上に形成された絶縁膜とを含む半導体支持基板と、
前記絶縁膜上に選択的に設けられ、前記半導体基板よりも小さい禁制帯幅を有し該半導体基板の組成とは異なる元素を含んでなる第1の半導体膜と、

前記第1の半導体膜の側面、あるいは上面の少なくともいずれかに接して設けられ、前記第1の半導体膜よりも大きい禁制帯幅を有し前記半導体を構成する元素を含んでなる第2の半導体膜と、を備え、

前記第1の半導体膜内に、第1導電型の不純物を添加した第1導電型電極領域と前記第1導電型と逆の導電型を有する第2導電型の不純物を添加した第2導電型電極領域とが、それぞれ空間的に離隔して設けられ、

前記第1の半導体膜と第1の金属元素が混晶化して形成された第1の混晶層と、前記第2の半導体膜と前記第1の金属元素が混晶化して形成された第2の混晶層とのそれぞれが接して積層された積層構造を有することを特徴とする半導体装置。

【請求項9】

前記半導体膜はシリコンを含み、

前記第1の半導体膜は、単結晶ゲルマニウムまたは単結晶シリコン・ゲルマニウムから成り、

前記第2の半導体膜は、単結晶シリコンまたは単結晶シリコン・ゲルマニウムから成り、

前記第1の半導体膜中のゲルマニウム含有率は、前記第2の半導体膜中のゲルマニウム含有率よりも高いことを特徴とする請求項8に記載の半導体装置。

【請求項10】

前記第1の金属元素は、ニッケルであることを特徴とする請求項8に記載の半導体装置。

【請求項11】

前記半導体支持基板上に該半導体支持基板の表面に対する水平方向の長さが垂直方向の長さより短い断面形状を有する前記第2の半導体層からなる複数の薄膜が互いに対向して周期的に配列された薄膜構造を有し、

前記複数の薄膜のそれぞれは、前記第1の半導体層から放出される光の波長の $1/2$ の整数倍の周期で配列されていることを特徴とする請求項8に記載の半導体装置。

【請求項12】

半導体支持基板上に形成された半導体膜に、第1の絶縁膜を形成し、前記第1の絶縁膜に第1の開口部を形成する工程と、

前記半導体膜とは異なる元素をその一部に含み、禁制帯幅が前記半導体膜よりも小さい第1の半導体膜を前記第1の開口部内に選択的にエピタキシャル成長する第1エピ成長工程と、

前記第1の半導体膜上に、前記半導体膜に含まれる元素と同じ元素をその一部に含み、禁制帯幅が前記第1の半導体膜よりも大きい第2の半導体膜を前記第1の絶縁膜に対して選択的にエピタキシャル成長する第2エピ成長工程と、

前記第2の半導体膜の一部に第1導電型の不純物を注入することにより前記第2の半導体膜及び前記第1の半導体膜の一部に前記第1導電型の不純物が添加された第1の不純物

10

20

30

40

50

領域を形成する工程と、

前記第2の半導体膜上に第2の絶縁膜を形成する工程と、

前記第2の半導体膜表面上の前記第1の不純物領域の一部が露出するように前記第2の絶縁膜に第2の開口部を形成する工程と、

前記第2の開口部を含むように前記第2の絶縁膜上に第1の金属を堆積させる工程と、

熱処理を行い、前記第2の半導体膜と前記第1の金属とを混晶化させた第1の混晶層を前記第2の開口内に形成する工程と、

前記熱処理で前記第2の開口領域下部の前記第1の半導体膜と前記第1の金属を前記第1の半導体膜と混晶化させ第2の混晶層を形成する工程と、

前記第2の開口領域以外に堆積した第1の金属をエッチング除去する工程とを有し、

前記第2の混晶層は、前記第1の半導体膜内において前記第1の不純物領域と接するように前記第1の金属の堆積量及び前記熱処理の条件を調整し形成されることを特徴とする半導体装置の製造方法。

【請求項13】

前記第1エピ成長工程において、

前記半導体膜とは異なる元素をその一部に含み、禁制帯幅が前記半導体膜よりも小さい第1の半導体膜を第1の不純物の添加を行わないでエピタキシャル成長させ、その後前記第1の不純物を添加させて前記第1の開口部内に選択的にエピタキシャル成長を行うことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】

半導体支持基板上に形成された半導体膜に、第1の絶縁膜を形成し、前記第1の絶縁膜に第1の開口部を形成する工程と、

前記半導体膜とは異なる元素をその一部に含み、禁制帯幅が前記半導体膜よりも小さい第1の半導体膜を前記第1の開口部内に選択的にエピタキシャル成長する第1エピ成長工程と、

前記第1の半導体膜上に、前記半導体膜に含まれる元素と同じ元素をその一部に含み、禁制帯幅が前記第1の半導体膜よりも大きい第2の半導体膜を前記第1の絶縁膜に対して選択的にエピタキシャル成長する第2エピ成長工程と、

前記第2の半導体膜表面の一部を成す第1の領域にIII族元素を注入し、前記第2の半導体膜及び前記第1の半導体膜の前記第1の領域下部にIII族元素添加領域を形成する工程と、

前記第2の半導体膜表面上で前記第1の領域とは隔てられた第2の領域にV族元素を注入し、前記第2の半導体膜及び前記第1の半導体膜の前記第2の領域下部にV族元素添加領域を形成する工程と、

前記第2の半導体膜上に第2の絶縁膜を形成する工程と、

前記III族元素添加領域の表面の一部及び前記V族元素添加領域の表面の一部が露出するように前記第2の絶縁膜にそれぞれ第2の開口部及び第3の開口部を形成する工程と、

前記第2の開口部及び第3の開口部を含むように前記第2の絶縁膜上に第1の金属を堆積させる工程と、

熱処理を行い、前記第2の開口内及び前記第3の開口内において前記第2の半導体膜と前記第1の金属を混晶化させ、第1の混晶層を形成する工程と、

前記熱処理で前記第2の開口領域及び前記第3の開口領域下部の前記第1の半導体膜と前記第1の金属を前記第1の半導体層と前記第2の半導体膜を混晶化させ第2の混晶層を形成する工程と、

前記第2の開口領域及び前記第3の開口領域以外に堆積した第1の金属をエッチング除去する工程とを有し、

前記第2の混晶層は前記第1の半導体層内において前記III族元素添加領域及びV族元素添加領域と接するように前記第1の金属堆積量及び前記熱処理条件を調整し形成されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はゲルマニウムを用いた受光素子及び発光素子に関するものであり、特に、リーク電流が少なく、且つ高速化に必要な低抵抗化が実現されたゲルマニウム・フォト・ダイオードとゲルマニウム発光素子及びそれらの製造方法に関する。

【背景技術】

【0002】

現代の情報化社会の根幹を成すインターネットのブロード・バンド・ネットワークには、光通信が主流となりつつある。光通信システムでは、800nm～1600nmの範囲にある近赤外（IR）光が使用されている。特に重要な波長帯は光ファイバの損失が最小となる帯域であり、短距離通信では850nm、長距離通信では1310nm、1550nmが使用されている。これまで、光通信で使用される受光素子・発光素子には、これら長波長帯域で良好な光吸収特性・発光特性を示す砒化ガリウム（GaAs）やインジウム

10

磷（InP）を中心とした化合物半導体が用いられてきた。

【0003】

一方で、ネットワークのシステム内における情報処理はシリコン（Si）を主材料とした大規模集積回路（LSI）によって行われてきた。Siは、成熟されたプロセス技術を背景にトランジスタの微細化と高集積化が進んでおり、集積回路には不可欠な材料となっている。このように、これまでは光デバイスと電子デバイスにはそれぞれ最適な半導体材料が存在し、それらが各デバイスにおいて良好な特性を有する為の役割を果たしてきた。

20

【0004】

しかしながら、今後、光通信システムのより一層の普及を促す為には装置の低コスト化や小型化、更には高性能化が求められることが予想され、複数の基板材料を用いていた従来からの大きな技術革新が求められる。

【0005】

上記要求に対して、シリコンチップ上に受光素子や発光素子といった光デバイスを集積させる研究が近年盛んになっている。上記技術が確立すれば集積回路と光デバイスを1チップ上に集積することが出来、光通信システムの低コスト化や小型化、更にはその基幹となるLSIの高機能化・高付加価値化が可能となり、大きな産業的革新をもたらすことが期待される。Si上に受光素子を混載する方法として、化合物半導体のSi基板上への貼り付け技術またはSi基板上への化合物半導体結晶成長方法が考えられる。

30

【0006】

しかし、いずれも化合物半導体とSiの間に存在する熱膨張係数と格子定数の大きな差、また化合物半導体の持つ電氣的極性が化合物半導体の結晶性を劣化させるため、技術的バリアは高い。SiまたはSi系IV族半導体が受光機能を持てばプロセスバリアは格段に下がり、光デバイス／電子デバイスの融合を容易に行うことが可能である。

【0007】

しかし、Siは受光特性、発光特性共に化合物半導体に比べて著しく悪い。受光特性で見ると、Siの禁制帯幅は室温で約1.1eVであり、1100nm以上の波長の光を殆ど吸収しない。850nmの光においても吸収率は悪く、吸収される光の量が1/eに減衰するまでの距離で定義される吸収長は20μmより大きくなり、実用デバイスとしての使用が困難である。また、Siは間接遷移型半導体である為、化合物半導体に比べて発光効率は極めて低い。

40

【0008】

このような材料的な不利を解決する手段として、Siと同じIV族半導体のゲルマニウム（Ge）の利用が考えられる。Geは禁制帯幅が室温で約0.6eVと小さく、800nm～1600nmの波長範囲に対して吸収長が2μm以下であり、実用的な受光素子が形成可能である。また、GeはSi同様間接遷移型半導体であるものの、伝導体の底であるL点と直接遷移のエネルギーであるΓ点のエネルギー差が0.136eVと小さい為、高密度のキャリア注入により容易にΓ点に電子を導入することが出来、電子と正孔が直接

50

遷移型の再結合を行うことが出来る。更に、GeはSiと同じIV族半導体であることから、Siプロセスとの整合性も良い。

従って、Geにより作製した受光素子または発光素子をSi基板上に作製出来れば、光デバイス／電子デバイスの融合を妨げる物性上／プロセス上の技術バリアを克服することが可能となる。

【0009】

Geを用いた受光素子の例は、非特許文献1に開示されている。図4に、従来例1として本従来例によるSi基板上へのGe受光素子の構造例を示す。図4はPIN型受光器構造となっており、Si101上に埋め込み二酸化シリコン(SiO₂)層102とSi膜103を有するSOI(Silicon on Insulator)基板上に、高抵抗のGe膜104が形成されてお

10

【0010】

Geを用いた受光素子の他の例が、特許文献1に開示されている。本従来例は、Si光導波路とGe層が同一平面上に存在することにより効率的に光をGe層に導入可能な端面受光型、所謂バット・ジョイント(Butt-Joint)構造を有しており、且つp型Ge層、高抵抗Ge光吸収層、n型Ge層が基板に対して水平方向に配列した横型pin(lateral-pin)構造を有することで、Geの光吸収効率を下げることなくp型Ge層とn型Ge層の距離を短縮して高速特性を向上可能な特徴を有している。

20

【0011】

非特許文献2には、基板表面から垂直方向の光を吸収する面入射型の受光素子が開示されている。本従来例では金属電極の配置位置をGe光吸収層の周辺部に限定することで、表面からの光を効率良く吸収可能な構造を有している。

【0012】

Ge受光素子を作製するにあたり、特に素子の高速性能に影響をもたらすプロセス技術として、n型Ge層と金属層の間で低抵抗のコンタクトを実現する例が、特許文献2に開示されている。本従来例ではn型Ge層と金属層の間に、ニッケル(Ni)とGeが互いに同程度混晶したニッケル・ゲルマニウム(NiGe)の層を形成し、上記NiGe形成時にn型Ge中の不純物がNiGeとn型Geの界面へと移動し、高濃度の不純物領域が形成される。通常、n型Ge層と金属層を接続させると、金属の種類に依らずフェルミ準位がGeの価電子帯近傍に固定され、n型Ge層と金属層は整流性を持ったショットキー接合を形成して極めて高いコンタクト抵抗を示す。

30

【0013】

しかしながら、上記NiGe層をn型Ge層と金属層間に挿入することでNiGe層とn型Ge層の接合部における不純物濃度を増加させることが出来、トンネル電流を利用した上記接合の低抵抗化が可能となる。上記技術の具体的な効果は、非特許文献3に開示されている。上記非特許文献3によると、NiGe形成温度である300℃から400℃の範囲の低温でオーミック性の低コンタクト抵抗が実現可能であることが示されている。

40

【0014】

Geを用いた発光素子の例は、特許文献3に開示されている。従来例2として、図5に本従来例によるSi基板上へのGe発光素子の構造例を示す。本構造はSi基板111と埋め込みSiO₂層112上に単結晶n型Ge膜114が形成されており、上記Ge膜114には上記Si基板に水平方向に薄膜Si層113が対称に接続され、且つ上記薄膜Si層113にはp型Si電極115及びn型Si電極116がそれぞれ接続されている。

50

【0015】

本発光素子ではp型Si電極115とn型Si電極116にそれぞれプラスとマイナスの順方向の電圧が印加され、電子と正孔がn型Ge膜114に注入される構造を有している。本発光素子の構造において、電子及び正孔の注入源である薄膜Si層113は禁制帯幅がGeより大きいSiから成る点に加えて薄膜であることによる量子効果によって電子及び正孔に対してエネルギー障壁を形成する。即ちn型Ge層114に注入された電子と正孔は上記エネルギー障壁によりGe層114中に閉じ込められ、電子と正孔の発光性再結合効率が向上する。また、Ge層114上に形成されたシリコン窒化膜(Si₃N₄)118がGe層114に引張り性の応力を印加し、これによりGeの伝導体のΓ点が下がり、L点からの電子注入効率が增大して発光効率が向上可能な構造となっている。

10

【0016】

特許文献4にはGe発光層の基板に水平方向の幅を縮小して極薄Ge層とし、上記極薄Ge層中での発光効率を向上した発光素子が開示されている。本従来例は、Ge発光層を極薄層とすることで電子と正孔が量子化され、それぞれの状態密度が増大することで電子と正孔の発光再結合確率を増大させる効果を有している。更に上記極薄Ge発光層を基板に水平方向に周期的に配列し、且つGe発光層間の間隔を発光波長の1/2の整数倍とすることで光の進行波と反射波が強め合って光が増幅される、分布帰還型(Distributed Feedback:DFB)構造を取ることで発光効率を更に増大させる効果が開示されている。

【先行技術文献】

【特許文献】

20

【0017】

【特許文献1】米国特許第8053790B2号明細書

【特許文献2】米国特許出願公開第2011/0147870A1号明細書

【特許文献3】米国特許出願公開第2011/0227116A1号明細書

【特許文献4】WO2011/093226号明細書

【非特許文献】

【0018】

【非特許文献1】A. Ramaswamy, M. Piels, N. Nunoya, T. Yin and J.E. Bowers, トランズアクションズ・オン・マイクロウェーブ・セオリー・アンド・テクニクス (IEEE Transactions on Microwave Theory and Techniques), 2010年, 58巻, pp. 3336~3343.

30

【非特許文献2】M. Oehme, M. Kaschel, J. Werner, O. Kirfel, M. Schmid, B. Bahouchi, E. Kasper and J. Schulze, ジャーナル・オブ・ザ・エレクトロケミカル・ソサイエティ (Journal of the Electrochemical Society), 2010年, 157巻, pp. H144~H148.

【非特許文献3】T. Nishimura, S. Sakata, K. Nagashio, K. Kita and A. Toriumi, アプライド・フィジックス・エクスプレス (Applied Physics Express), 2009年, 2巻, pp. 021202-1~021202-3.

【非特許文献4】M. Morse, O. Dosunme, G. Sarid and Y. Chetrit, フォトニクス・テクノロジー・レターズ (Photonics Technology Letters), 2006年, 18巻, pp. 2442~2444.

【非特許文献5】M. Morse, O. Dosunme, G. Sarid and Y. Chetrit, フォトニクス・テクノロジー・レターズ (Photonics Technology Letters), 2006年, 18巻, pp. 2442~2444.

40

【発明の概要】

【発明が解決しようとする課題】

【0019】

しかしながら、Geを用いた受光素子及び発光素子には、下記に示す問題があった。Geは極めて酸化され易く、自然酸化により生じるGeと酸素の化合物GeOは水溶性であることから、Ge光吸収層または発光層がSiプロセス中に溶解してしまうという課題がある。

【0020】

50

また、Geは表面に準位を形成し易い為、電流リークの要因となる。特にGeをSiO₂層に対して選択的にエピタキシャル成長した場合、成長に伴い形成される側壁とGe表面の交線部または側壁同士の交線部、即ちエッジ部に沿って上記表面準位が形成され易く、リーク電流の増大を招く。リーク電流は、受光素子においては光の入射が無い時の電流つまり暗電流が増大することを意味し、光から電気への信号変換の際に生じるノイズとなって受光感度を低下させる。発光素子においては、リーク電流が流れることで発光性の再結合を行う電子と正孔の密度が減少することを意味しており、発光効率の低減を招く。

【0021】

上記電流リークを抑制する手法として、Ge上へのSi保護膜形成が挙げられる。Geを用いた受光素子に上記Si保護膜を形成した場合の受光素子の構造例及びその効果がそれぞれ非特許文献4及び非特許文献5に開示されている。

10

【0022】

図6に、従来例3として非特許文献4で開示された受光素子の例を示す。Si基板121上にGe光吸収層122が形成され、Ge層122を覆うように非晶質（アモルファス）Si層123が堆積されている。n型Ge層124上は、n型アモルファスSi層125を介して金属層128と接続されている。上記アモルファスSi層123はGeを自然酸化から保護する役割を果たしており、Geの酸化に起因したプロセス不良及び電流リークの発生を抑制することが出来る。

【0023】

また、n型アモルファスSi層125は、受光素子に逆方向、即ちp型Si層126にマイナス、n型Ge層124にプラスの電圧を印加した際に電子に対するエネルギー障壁を形成する為、受光素子におけるリーク電流を更に低減する効果を持つ。上記保護膜を単結晶Siで形成した場合、表面のGeはSiと共有結合する為、表面準位の発生が抑制され、電流リークの更なる低減が可能となる。即ち、アモルファスまたは単結晶のSi層をGe上に堆積することで暗電流を大幅に抑制することが出来る。

20

【0024】

Geを用いた発光素子に関しても、Si保護膜の効果が期待される。つまり、Si保護膜が無い場合、Ge発光層中に注入された電子と正孔はGeの表面準位によって非発光性の再結合を行う為、発光効率は著しく低下するが、Si保護膜により表面準位密度を低減することにより発光効率を向上することが可能となる。

30

【0025】

ところが、Si保護膜の挿入は、受光素子及び発光素子の高速性を損なうという問題を有している。

図7に、Ge層中に燐（P）をイオン注入し、その後Pの活性化アニールを行った後のGe層のシート抵抗（ R_{sheet} ）を示す。図7の縦軸は R_{sheet} 、横軸は活性化アニール温度の絶対値の逆数を示している。図はSi保護膜（Si cap層）の膜厚を変化させた際の実験結果を示している。図から明らかなように、Si cap層の膜厚が増大するのに伴い、同一温度におけるシート抵抗は増大する。これはSi中の不純物の活性化率がGeに比べて低いことを反映している。即ち金属層との接合部近傍において、キャリア密度が低下することを意味しており、コンタクト抵抗の増大が懸念される。

40

【0026】

上記懸念に対し、活性化アニール温度を増大することにより低抵抗化を実現しようとする場合、Ge層中への不純物の拡散が著しく増大する為、受光素子においてはGe層中の光吸収領域が狭くなり、受光効率が低下するという問題を生じ、発光素子においてはn型Ge層中にp型不純物が拡散することによってn型不純物とp型不純物が打消し合うため、実効的にキャリア注入効率が低下して発光効率が下がる懸念を有している。このように、従来技術ではGeを用いた受光素子及び発光素子に対し、リーク電流を低く保ったまま低コンタクト抵抗を実現することは困難であった。

【0027】

そこで、本発明は、上記の課題を考慮して成されたものであり、その目的とするところ

50

はSi基板上にGeを用いた受光素子または発光素子を形成する手法を確立し、電流リークの抑制とコンタクト抵抗の低減を共に実現する受光素子及び発光素子の構造及びその製造方法を提供することにある。

【課題を解決するための手段】

【0028】

上記課題を解決するために、本発明に係る半導体装置の主な特徴を以下に示す。

1) 半導体支持基板上に設けられた半導体膜と、半導体膜上に選択的に設けられ、半導体膜よりも小さい禁制帯幅を有し該半導体膜の組成とは異なる元素を含んでなる第1の半導体膜と、第1の半導体膜の側面、あるいは上面の少なくともいずれかに接して設けられ、第1の半導体膜よりも大きい禁制帯幅を有し半導体膜を構成する元素を含んでなる第2の半導体膜とを備え、第1の半導体膜の一部領域において、第1の半導体膜と第1の金属元素とが混晶化して形成された第1の混晶層と、第2の半導体膜と第1の金属元素とが混晶化して形成された第2の混晶層とのそれぞれが接して積層された積層構造を有することを特徴とする。

10

2) 半導体支持基板上に設けられた半導体膜と、半導体膜と周囲を接しながら囲まれ、半導体膜よりも小さい禁制帯幅を有し該半導体膜の組成とは異なる元素を含んでなる第1の半導体膜と、第1の半導体膜の上面に接して設けられ、第1の半導体膜よりも大きい禁制帯幅を有し半導体膜を構成する元素を含んでなる第2の半導体膜とを備え、第1の半導体膜内に、第1導電型の不純物を添加した第1導電型電極領域と前記第1導電型と逆の導電型を有する第2導電型の不純物を添加した第2導電型電極領域とが、それぞれ空間的に隔離して設けられ、第1の半導体膜と第1の金属元素が混晶化して形成された第1の混晶層と、第2の半導体膜と第1の金属元素が混晶化して形成された第2の混晶層とのそれぞれが接して積層された積層構造を有し、第1導電型電極領域と第2導電型電極領域のそれぞれに、第1の混晶層と第2の混晶層からなる積層構造が形成されていることを特徴とする。

20

3) 半導体基板と該半導体基板上に形成された絶縁膜とを含む半導体支持基板と、絶縁膜上に選択的に設けられ、半導体基板よりも小さい禁制帯幅を有し該半導体基板の組成とは異なる元素を含んでなる第1の半導体膜と、第1の半導体膜の側面、あるいは上面の少なくともいずれかに接して設けられ、第1の半導体膜よりも大きい禁制帯幅を有し前記半導体を構成する元素を含んでなる第2の半導体膜と、を備え、第1の半導体膜内に、第1導電型の不純物を添加した第1導電型電極領域と第1導電型と逆の導電型を有する第2導電型の不純物を添加した第2導電型電極領域とが、それぞれ空間的に隔離して設けられ、第1の半導体膜と第1の金属元素が混晶化して形成された第1の混晶層と、第2の半導体膜と第1の金属元素が混晶化して形成された第2の混晶層とのそれぞれが接して積層された積層構造を有することを特徴とする。

30

【0029】

また、本発明に係る半導体装置の製造方法の主な特徴を以下に示す。

4) 半導体支持基板上に形成された半導体膜に、第1の絶縁膜を形成し、第1の絶縁膜に第1の開口部を形成する工程と、半導体膜とは異なる元素をその一部に含み、禁制帯幅が半導体膜よりも小さい第1の半導体膜を第1の開口部内に選択的にエピタキシャル成長する第1エピ成長工程と、第1の半導体膜上に、半導体膜に含まれる元素と同じ元素をその一部に含み、禁制帯幅が第1の半導体膜よりも大きい第2の半導体膜を第1の絶縁膜に対して選択的にエピタキシャル成長する第2エピ成長工程と、第2の半導体膜の一部に第1導電型の不純物を注入することにより第2の半導体膜及び第1の半導体膜の一部に第1導電型の不純物が添加された第1の不純物領域を形成する工程と、第2の半導体膜上に第2の絶縁膜を形成する工程と、第2の半導体膜表面上の第1の不純物領域の一部が露出するように第2の絶縁膜に第2の開口部を形成する工程と、第2の開口部を含むように第2の絶縁膜上に第1の金属を堆積させる工程と、熱処理を行い、第2の半導体膜と第1の金属とを混晶化させた第1の混晶層を前記第2の開口内に形成する工程と、熱処理で第2の開口領域下部の第1の半導体膜と第1の金属を第1の半導体膜と混晶化させ第2の混晶層を

40

50

形成する工程と、第2の開口領域以外に堆積した第1の金属をエッチング除去する工程とを有し、第2の混晶層は、第1の半導体膜内において第1の不純物領域と接するように第1の金属の堆積量及び熱処理の条件を調整し形成されることを特徴とする。

【0030】

本発明に係る半導体装置（受光素子および発光素子）、及びその製造方法によれば、Ge層上に、Ge層を覆うようにSi保護膜を形成することで電流リークを低減し、且つSi保護膜が金属層とのコンタクトを形成する領域においてSiを全てNiとの混晶層であるニッケル・シリサイド（NiSi）層としてNiGe層と接合することで保護膜の介在による抵抗の増大を防ぎ、コンタクト抵抗を低減することが出来る。

【発明の効果】

10

【0031】

本発明によれば、電流リークの抑制とコンタクト抵抗の低減を共に実現するGe受光素子及び発光素子及びその製造方法を提供することが出来る。

【図面の簡単な説明】

【0032】

【図1】本発明に係る半導体装置の第1の実施例を示す断面図。

【図1A】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図1B】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図1C】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図1D】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

20

【図1E】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図1F】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図1G】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図1H】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図1I】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図1J】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2A】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2B】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2C】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2D】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

30

【図2E】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2F】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2G】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2H】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2I】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図2J】第1の実施例における半導体受光素子の製造方法を順に示す断面図。

【図3A】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図3B】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図3C】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図3D】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

40

【図3E】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図3F】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図3G】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図3H】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図3I】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図3J】第1の実施例における半導体受光素子の製造方法を順に示す平面図。

【図4】従来例1の受光素子構造を示す断面図。

【図5】従来例2の発光素子構造を示す断面図。

【図6】従来例3の受光素子構造を示す断面図。

【図7】Si保護膜（Si cap層）の膜厚を変化させた場合の、燐をイオン注入した

50

【図 2 7 G】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 7 H】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 8 A】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 8 B】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 8 C】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 8 D】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 8 E】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 8 F】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 8 G】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 8 H】第 8 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 2 9】本発明に係る半導体装置の第 9 の実施例を示す断面図。
【図 3 0】本発明に係る半導体装置の第 9 の実施例を示す断面図。
【図 3 1 A】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 1 B】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 1 C】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 1 D】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 1 E】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 1 F】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 1 G】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 1 H】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 2 A】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 2 B】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 2 C】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 2 D】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 2 E】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 2 F】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 2 G】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 2 H】第 9 の実施例における半導体発光素子の製造方法を順に示す断面図。
【図 3 3 A】第 9 の実施例における半導体発光素子の製造方法を順に示す平面図。
【図 3 3 B】第 9 の実施例における半導体発光素子の製造方法を順に示す平面図。
【図 3 3 C】第 9 の実施例における半導体発光素子の製造方法を順に示す平面図。
【図 3 3 D】第 9 の実施例における半導体発光素子の製造方法を順に示す平面図。
【図 3 3 E】第 9 の実施例における半導体発光素子の製造方法を順に示す平面図。
【図 3 3 F】第 9 の実施例における半導体発光素子の製造方法を順に示す平面図。
【図 3 3 G】第 9 の実施例における半導体発光素子の製造方法を順に示す平面図。
【図 3 3 H】第 9 の実施例における半導体発光素子の製造方法を順に示す平面図。
【図 3 4】本発明に係る半導体装置の第 1 0 の実施例を示す断面概略図。

【発明を実施するための形態】

【0033】

以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、本実施例で紹介する方法以外にも、材料や製造工程の組合せを変える等、多くの変更が可能である事は言うまでもない。

以下に具体的な実施例について述べる。図面記載された図は、必ずしも正確に縮尺を合せているわけではなく、論理が明確になるように重要な部分を強調して模式的に描画してある。

【実施例 1】

【0034】

本実施例では、シリコン基板上に形成され、低リーク電流特性及び低コンタクト抵抗を有し、且つ光導波路と接続した縦型 p i n 構造の G e 受光素子及びその製造方法について

10

20

30

40

50

記載する。

【0035】

なお、本実施例で示す素子は、以下に受光素子として説明するが、発光素子として用いることも可能である。ただし、両素子に印加するバイアス条件は、互いに異なることは言うまでもない。

【0036】

図1は本発明に係る半導体受光装置の第1の実施例を示す断面構造である。本図は、シリコン導波路からの光の入射方向に垂直な断面から見た構造を示している。

【0037】

図1における参照番号1はSi基板であり、Si基板1上には約1～3μmの膜厚を有する埋め込みSiO₂層3が形成されている。Si基板1の裏面にも上記埋め込みSiO₂層3と同程度の膜厚を有するSiO₂膜2が堆積されていて埋め込みSiO₂層3がSi基板1に与える圧縮応力を相殺する役割を担っている。埋め込みSiO₂層3上には高抵抗Si層4と低不純物濃度のp型Si層6、及び高不純物濃度のp型Si電極5が形成されている。上記Si層上にはパターニングされたSiO₂層7が形成されており、SiO₂層7に開口された低不純物濃度p型Si層6上にGe層8がSiO₂層7に対して選択的に形成されている。上記p型Si層6はSiからなる光導波路と接続されており、上記p型Si層6に入射した光は、Siより屈折率の高いGe層8に誘導され、上記Ge層8内で吸収される。光導波路下部にある上記埋め込みSiO₂層3はSi導波路に光を閉じ込め、Ge層8へと光を効率的に誘導する為の役割を果たしている。上記Ge層8上には、Ge層8を覆うようにSi保護膜9が形成されている。上記Ge層8の上部にはn型Ge層10が形成され、上記n型Ge層10上のSi保護膜はn型Si層11として存在する。受光素子はSiO₂層12によって全体を覆われ、高不純物濃度p型Si電極5及びn型Si層11を介したn型Ge層10上には上記SiO₂層12に形成された開口部に窒化チタン(TiN)層15とアルミニウム(Al)層16の積層金属膜が堆積されて電極を形成している。

【0038】

本実施例の第一の特徴は、上記n型Ge層10上の金属電極領域にはNiGe層13とNiSi層14の積層膜が形成されていることである。NiSi層14はTiN層15とNiGe層13を接続するように形成されている。NiSiは金属であるNiとSiの化合物である為、抵抗値は金属と同程度に低い。この為、たとえn型Si層11中の不純物が十分に活性化されていなくても十分低い抵抗でTiN層15とNiGe層13を接続することが出来る。また、NiGe層13はNiGe形成時にn型Ge層10との界面に高濃度の不純物を蓄積することが出来る為、低抵抗のコンタクトが形成可能である。

【0039】

本実施例の第二の特徴は、n型Ge層10はNiSi層14が形成された領域を除き、側壁と表面を単結晶Si保護膜9によって覆われていることにある。これにより、受光素子の製造過程においてGeが容易に酸化されるのを防ぎ、且つGeの表面及び側壁のファセット部を介したリーク電流を抑制することが出来、暗電流の低い受光素子が作製可能となる。

【0040】

従って、図1に示す構造を作製することによって、Si保護膜中の不純物の活性化率に捉われることなくNiGe形成温度と同程度の低温において低コンタクト抵抗を実現出来、且つSi保護膜の効果により暗電流を低減した受光素子を実現出来る。

【0041】

次に、図1A～図1J、図2A～図2J、図3A～図3Jを用いて、本実施例における半導体装置の具体的な製造方法について、詳細に説明する。尚、図1A～図1Jは光の入射方向に対して垂直な断面の構造であり、図2A～図2Jは光の入射方向に対して平行な方向の断面構造を示し、図3A～図3Jは平面図である。図3A～図3Jに示したA-A'線及びB-B'線で断面を見た図がそれぞれ図1A～図1J、図2A～図2Jに対応し

、各図の下方にはそれぞれA-A'及びB-B'を付記してある。

【0042】

図1A、図2A、図3Aは受光素子作製前のSOI(Silicon on Insulator)基板であり、Si基板1上及び裏面に約1~3 μm の膜厚を有するそれぞれ埋め込みSiO₂層3及び裏面SiO₂層2が形成されており、埋め込みSiO₂層3上にSOI層4約200nmが形成されている。ここで、SOI層4は光導波路にもなる為、SOI層4の膜厚及び埋め込みSiO₂膜3の膜厚は光を効率的に閉じ込められるように光の波長に応じて設計する。

【0043】

次に、レジストを用いてSOI層4上にパターニングを行い、ウェットエッチングまたはドライエッチングによってSOI層4を加工し、図1B、図2B、図3Bの構造を得る。

【0044】

次いで、レジストを用いたパターニングによりSOI層4上の一部領域を開口し、上記領域のみに高濃度のp型不純物をイオン注入し、p型Si電極5を形成する。更に再度レジストを用いたパターニングを施す事により受光部の下部領域に低濃度のp型不純物をイオン注入し、低濃度p型Si領域6を形成し、図1C、図2C、図3Cの構造を得る。ここで、p型不純物にはIII族の元素を用いる。本実施例ではボロン(B)のイオン注入を行ったが、二フッ化ボロン(BF₂)をイオン注入しても良い。上記高濃度p型Si電極5中へのイオン注入量は、上記電極5中の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 程度もしくはそれ以上とすれば低抵抗のコンタクトを得ることが可能となる。

【0045】

低濃度p型Si領域6中へのイオン注入量は、下記に記すように上限及び下限が存在する為、受光素子の特性に応じた設計が必要となる。上記Si領域6のシート抵抗は、受光素子の高速特性に影響する為、目標とする受光素子の高速性を達成する為に十分な程低く設定する必要がある、それに応じてイオン注入量の下限を設定する。但し、不純物濃度が高くなり過ぎると、Ge成膜前にp型Si領域6表面のダングリングボンドをフッ酸により水素終端することが出来なくなる為、Geの結晶性が劣化する。従って、十分に低いシート抵抗を実現可能で、且つ良好なGeの結晶性を確保出来る範囲にイオン注入量を設定する。イオン注入後は、1000℃程度の温度で約1秒~10秒程度のアニールを施すことで不純物の活性化を行う。

【0046】

次いで、全面にSiO₂膜7を堆積する。更にレジストを用いて受光部形成領域をパターニングし、ウェットエッチングまたはドライエッチングによって受光部形成領域を開口して図1D、図2D、図3Dの構造を得る。

【0047】

上記受光部形成領域に露出した低不純物濃度p型Si層6上にゲルマニウム受光層8を選択的に形成する。上記Ge層8の形成は、上記低不純物濃度p型Si層6表面をフッ化水素酸(HF)水溶液によって洗浄し、表面のダングリングボンドを水素終端させた後、ガスソース分子線エピタキシー(Molecular Beam Epitaxy:MBE)法や、化学気相成長(Chemical Vapor Deposition:CVD)法等を用いたエピタキシャル成長により行う。Geの原料ガスにはモノゲルマン(GeH₄)を用いる。成膜時の温度及び圧力を調整することで、Geを上記低不純物濃度p型Si層6のみに選択的に成膜することが出来る。

【0048】

本実施例では成長圧力を5 Torr~80 Torr、成長温度を550℃~700℃に設定することで、1 μm の膜厚を有するGeを上記低不純物濃度p型Si層6のみに選択的に成膜することを確認した。上記選択成長の際、Ge層8は(111)面を有する側壁(ファセット)を形成する。成膜条件を調整することにより、上記ファセット上にもGeの成膜を促すことが可能であり、この場合、Ge層8はSiO₂膜7上に延びた形状を有する。ファセットの下部端をp型Si層6から分離することで、リーク電流の更なる低減

10

20

30

40

50

が可能となる。上記Ge層8の成膜の際、Ge中には意図的な不純物の添加を行わない。光吸収層となるGe層8はPINダイオードに対して逆方向の電圧を印加した際に十分空乏化する必要がある為、Ge中のn型及びp型不純物濃度を共に $1 \times 10^{18} \text{ cm}^{-3}$ 以下にすることが望ましい。Ge層8の膜厚は受光素子の目標特性を加味して500nmから1 μm 程度の範囲で調整すると良い。即ち、光吸収効率が高い受光素子が求められる際はGe層8の膜厚を厚くして光吸収領域を広げることが望ましい。

【0049】

一方、素子の高速化が求められる場合は、電子及び正孔がn型及びp型電極に到達するまでのキャリアドリフト時間を短くする為、Ge層8の膜厚を薄く設定すると良い。上記Ge層8の結晶性は、受光素子の特性に大きく影響する為、良好な結晶性を得る為の成膜手法にも留意する必要がある。Geの格子定数はSiに比べ約4%大きい為、成膜時にGeは下地Si層から圧縮性の応力を受ける。受光素子に必要な500nm以上のGe層を成膜する際は、上記応力に起因した歪が緩和し、それに伴ってGe層内には貫通転位等の結晶欠陥が生じる。上記結晶欠陥の密度を低減する為、Ge層8の成膜は例えば下記の工程に準じて行うと良い。

【0050】

まず、Geを350℃程度の低温で約50nmエピタキシャル成長し、次いで所望の成長温度に上昇させた後、Geを成膜する。低温で成膜したGe層は結晶に不完全性を有している為、歪緩和の際に発生する欠陥は上記低温成膜層内に優先的に発生し、上部の高温成長層の結晶性は良好に保たれる。更に、Ge層8の成膜後に800℃～900℃程度の熱処理を1分～10分行うことでGe層8内に存在する欠陥が修復され、結晶性を回復させることが出来る。上記Ge層8を成膜後、Ge層8を覆うように単結晶Si保護膜9をGe層8と同様にエピタキシャル成長により成膜する。Siの原料ガスにはモノシラン(SiH_4)またはジシラン(Si_2H_6)、またはジクロロシラン(SiH_2Cl_2)を用いる。上記Si保護膜9の成膜はGe層8上のみを選択成長する条件で行う。上記Si保護膜9の膜厚は5～30nmに設定することで、リーク電流の抑制が可能となる。上記Si保護膜9の形成を経て、図1E、図2E、図3Eに示す構造を得る。

【0051】

上記Ge層8及びSi保護膜9上にレジストを用いてパターンニングを行い、Ge層8の上部及びSi保護膜9の表面にn型不純物をイオン注入し、n型Ge領域10及びn型Si領域11を形成し、図1F、図2F、図3Fに示す構造を得る。イオン注入時の注入深さは、n型Ge領域10の厚さが20～100nmとなるように設定する。注入するイオンは、リン(P)または砒素(As)等のV族元素を用い、イオン注入量は $1 \times 10^{19} \text{ cm}^{-3}$ ～ $1 \times 10^{20} \text{ cm}^{-3}$ 程度となるように調整する。

【0052】

次いで、 SiO_2 膜12を成膜し、レジストを用いてGe層上部に電極領域をパターンニングし、ドライエッチングまたはウェットエッチングにより電極領域を開口して図1G、図2G、図3Gの構造を得る。

【0053】

次に、以下に示す手法により、n型Ge領域10及びn型Si領域11にそれぞれNiGe及びNiSiを形成する。まず、Niをスパッタリングにより堆積し、その後約300～400℃で約30秒程度の熱処理を施すことによりn型Ge領域10及びn型Si領域11内にそれぞれNiGe及びNiSiが形成される。上記NiGeの形成時にNiGeとGeの界面にはn型不純物が偏析する。更にNiGe形成時の熱処理によって上記不純物は活性化する為、NiGeとGeの界面には高濃度の不純物領域が形成される。熱処理後、塩酸(HCl)と過酸化水素水(H_2O_2)の混合水溶液または硫酸(H_2SO_4)と H_2O_2 の混合水溶液にて未反応のNiを除去することにより SiO_2 層12の開口部内のみNiGe層13及びNiSi層14が選択的に形成された図1H、図2H、図3Hに示す構造を得る。ここで、NiGe層13の膜厚は約20～50nmとすることが望ましい。この為には、上記NiGe及びNiSi形成工程における熱処理で、Niがn

10

20

30

40

50

型 Si 領域 11 を突き抜けて n 型 Ge 領域 10 に到達する必要がある、それを見越した Ni のスパッタリング膜厚を設定する。本実施例では Ni のスパッタリング膜厚を 20 ~ 40 nm とすることで、所望の膜厚の Ni Ge 層 13 を得ることが出来た。

【0054】

次に SiO₂ 膜 12 にレジストを用いてパターニングを施した後にウェットエッチングまたはドライエッチングを行い、高不純物濃度 p 型 Si 電極領域 5 上に開口を形成し、図 1 I、図 2 I、図 3 I に示す構造を得る。

【0055】

最後に TiN 層 15 と Al 層 16 の積層金属膜を堆積し、レジストを用いてパターニングを施した後にウェットエッチングまたはドライエッチングを行い、電極を形成して図 1 J、図 2 J、図 3 J に示す構造を得る。

【0056】

上述したように、本実施例によれば、Si 保護膜 11 によりリーク電流を抑制し、且つ Ni Ge 層 13 と Ni Si 層 14 の積層膜を形成することで、Si 保護膜 11 中の不純物が十分に活性化されない温度領域である約 300 °C ~ 400 °C の低温で低抵抗のコンタクト抵抗が実現された受光素子を作製することが可能になる。

【0057】

本実施例では、光吸収層に Ge、保護膜に Si を用いたが、共に Si との混晶であるシリコン・ゲルマニウム (Si Ge) を用いても良い。光吸収層には Si を結晶に多少含ませることで、Si 基板との格子不整合量を軽減することが出来、また保護膜には Ge を結晶に多少含ませることで光吸収層との格子不整合量を軽減することが出来る為、共に結晶欠陥密度低減の観点で多少有利となる。この場合、光吸収層の Ge の組成比は 70 % ~ 90 % とすると長波長の光通信でも感度を保つことが出来、好適である。

【0058】

また、本実施例では絶縁膜として SiO₂ 膜を用いたが、他の絶縁膜を使用しても良い。さらに、本実施例では、受光素子下層を p 型 Si、上層を n 型 Ge としたが、受光素子下層を n 型 Si、上層を p 型 Ge としてもなんら問題はない。

【実施例 2】

【0059】

図 8 は本発明に係る半導体受光装置の第 2 の実施例を示す断面図である。図 8 は図 1 同様、光の進行方向に対して垂直な面からの断面図を示している。本実施例は、n 型 Ge 層 209 がエピタキシャル成長により形成されており、且つ Si 保護膜 210 には n 型 Si 領域が存在しないことを特徴とする。n 型 Ge 層 209 をエピタキシャル層とすることで、光吸収層である Ge 層 208 と n 型 Ge 層 209 の間の不純物濃度変化を階段状に急峻となり、空乏層端を常に Ge 層 208 と n 型 Ge 層 209 の界面に固定することが出来る。この為、n 型 Ge 層中の不純物濃度が深さ方向に向かって傾斜状に減少するイオン注入時に比べて、より厳密な空乏層幅の制御が可能となり、目標とする受光素子性能の設計が容易になるという利点を有している。

【0060】

更に本実施例は、Si 保護膜中の不純物濃度に依らず低コンタクト抵抗を得られるという本発明の特徴を活かし、Si 保護膜 210 中へのイオン注入を行わない構造を有している。この為、イオン注入時に必要なパターニングが不要となり、上記パターニング時のマスクの合わせずれを見込んだサイズマージンを取る必要が無い。即ち、Ni Si 層 213 の基板に水平方向のサイズに対する Ge 層 208 のサイズ比を、イオン注入時に比べて縮小することが出来、より小型の受光素子が作製可能である。

【0061】

本実施例における受光素子の製造方法を、実施例 1 との相違点に特化して以下に説明する。SOI 層 204 にパターニング及びイオン注入を行った後、SiO₂ 膜 207 を堆積して開口部を形成し、開口部内に露出した低濃度 p 型 Si 層 206 上に Ge 光吸収層 20

10

20

30

40

50

8とn型Ge層209を上記SiO₂層207に対して選択的にエピタキシャル成長により成膜する。n型Ge層209の成膜は、V族元素を有する原料ガスをGeの原料ガスに添加して行う。本実施例ではホスフィン(PH₃)またはアルシン(AsH₃)をGeH₄に添加することでn型不純物のドーピングを行った。ガスの添加量は、n型Ge層209中の不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ 程度になるように調整した。ここで、上記Ge層208とn型Ge層209の成膜は(111)ファセット面上に極力成長しない条件で行う。一般的に、成長温度が高い程ファセット上への成長速度は低い。上記成膜条件を適用することにより、n型Ge層209をGe層208の上面即ち(100)面上のみに形成することが出来、図9Aに示す構造を得る。

【0062】

次に、n型Ge層209及びGe層208上にSi保護膜210をSiO₂膜207に対して選択的にエピタキシャル成長により成膜する。上記Si保護膜210は、n型Ge層209及びGe層208のファセット上にも成長する条件で成膜する。Si保護膜中への不純物のドーピングは行わず、Si保護膜中の不純物濃度を約 $1 \times 10^{18} \text{ cm}^{-3}$ 程度以下としている。上記Si保護膜210の成膜後、図9Bの構造を得る。

【0063】

この後、実施例1の図1G以降の工程を行うことにより、図8に示す受光素子構造を製造することが出来る。

【0064】

本実施例では、Ge層208とn型Ge層209の成膜を、いずれもファセット上にGeが成長しない条件にて行っているが、Ge層208の成膜をファセット上にもGeが成長する条件で行い、n型Ge層209の成膜のみをファセット上にGeが成長しない条件で行っても、本実施例と同等の効果を得ることが出来る。

【実施例3】

【0065】

図10は本発明に係る半導体受光装置の第3の実施例を示す断面図である。図10は図1同様、光の進行方向に対して垂直な面からの断面図を示している。本実施例は、Ge光吸収層308とSi保護膜309を覆うSiO₂膜310及び315が平坦化されていることを特徴とするものである。

【0066】

選択成長したGe光吸収層が持つ突起形状は、その後の受光素子製造工程においてプロセス上の制限をもたらす可能性がある。例えば、プラズマCVDにより成膜したSiO₂層は膜厚の等方性が悪い為、突起形状に対しては側壁を覆う膜厚が十分に確保出来ない可能性がある。また、金属電極を堆積した後にドライエッチング等でパターニングした際、突起形状の側壁に上記金属が残ってしまう可能性も考えられる。

【0067】

これらの懸念を払しょくする為に、上記プラズマCVDの成膜条件、或いは上記ドライエッチング条件の最適化が求められるが、そのことによりプロセス条件が制限されるという課題がある。本実施例ではGe光吸収層308とSi保護膜309がSiO₂膜310及び315によって埋め込まれている為、上記プロセス条件の制限は緩和される。

【0068】

本実施例における受光素子の製造方法を、実施例1との相違点に特化して以下に説明する。

【0069】

Ge光吸収層308とSi保護膜309の選択成長を行った後、SiO₂膜310を堆積し、図11Aに示す構造を得る。上記SiO₂膜310はGe層308とSi保護膜309を合わせた膜厚より厚く設計すると良い。

【0070】

次いで、化学機械的研磨(Chemical Mechanical Polishing)により、Si保護膜309が露出するまでSiO₂膜310を研磨し、図11Bの構造を得る。

10

20

30

40

50

【0071】

その後、Ge層308及びSi保護膜309にn型不純物をイオン注入してn型Ge領域311とn型Si領域312を形成し、図11Cに示す構造を得る。本実施例ではSi保護膜309のファセット面は全てSiO₂膜310によって覆われている為、イオン注入時にレジストによるパターニングを行わずともGe層308とSi保護膜309の上部表面領域のみに選択的にイオン注入を行うことが可能である。即ち、実施例2同様、パターニング時のマスクの合わせずれを見込んだサイズマージンを取る必要が無く、より小型の受光素子が作製可能である。

【0072】

図11Cの構造上にNiGe及びNiSi形成プロセスを施すことにより、SiO₂膜310上に露出したn型Si領域312上の全面にNiGe層313とNiSi層314の積層膜が形成され、図11Dに示す構造を得る。

【0073】

次いでSiO₂膜315を堆積した後に電極部を開口し、TiN層316とAl層317の積層金属膜を堆積してパターニングを行い、図10の構造を得ることが出来る。

【0074】

本実施例では、n型Ge層311の上部表面上全てを金属化合物であるNiGe層313とNiSi層314の積層膜とすることで、金属電極の開口部のみにNiGe及びNiSiを形成する場合に比べ、n型領域上部のシート抵抗を低減することが可能である。上記シート抵抗の低減は、n型Ge層311に入った電子がTiN層316に到達するまでに受ける電氣的な抵抗が下がることを意味しており、これにより受光素子の高速性が向上する。

【0075】

以上述べたように、本実施例は、Ge光吸収層308の突起形状がもたらす製造工程上の制限を緩和する効果を有すると共に、素子の小型化及び更なる低抵抗化が可能であるという特徴を有する。

【0076】

本実施例では、素子の平坦化をCMP研磨によって行ったが、SiO₂膜310を堆積した後に表面全面をドライエッチングによりエッチバックしても良い。この場合、エッチング後のSiO₂膜310に多少の凹凸が生じるが、本実施例と同一の構造及び効果を得ることが出来る。上記エッチバックを行う製造工程は、CMP研磨に比べて工程が容易であるという利点を有している。

【実施例4】

【0077】

本実施例では、Siからなる光導波路とGe光吸収層がほぼ同一高さに存在し、端面にて結合するButt-Joint構造を用いた受光素子を開示する。

【0078】

図12～図13は本発明に係る半導体受光装置の第4の実施例を示す断面図である。図12は、光の進行方向に対して垂直な面からの断面図であり、図13は光の進行方向に対して平行な面からみた断面図である。

【0079】

本実施例では、Ge光吸収層408及びSi保護膜409がSiの光導波路404中に埋め込まれた構造を有することの特徴としている。上記構造、即ちButt-Joint構造を有することにより、光が効率的にGe光吸収層408に入射される為、光の損失が抑制された導波路結合型の受光素子の製造が可能になる。

【0080】

また、本実施例においては、Ge光吸収層408周辺のSOI層404もSi保護膜としての役割を果たしている為、Ge光吸収層408は実質的にその周辺部全てをSiによる保護膜により覆われているとみなすことが出来る。

【0081】

10

20

30

40

50

本実施例における受光素子の製造方法を、図14A～図14E及び図15A～図15Eに示す。図14A～図14Eは光の入射方向に対して垂直な断面の構造であり、図15A～図15Eは光の入射方向に対して平行な方向の断面構造を示している。ここでは実施例1との相違点に特化して説明する。

【0082】

SOI基板を用い、SOI層404をパターニングすることにより導波路及び受光素子の台座を形成し、レジストによりパターニングされた領域にイオン注入を行い、高不純物濃度p型Si電極層405及び低不純物濃度p型Si層406を形成して図14A、図15Aに示す構造を得る。ここで、上記低不純物濃度p型Si層406の形成は、不純物濃度がSOI層404の下部領域にピークを持つようにイオン注入エネルギーを設定して行う。

10

【0083】

次に、SiO₂膜407を成膜し、SOI層404の一部表面上を開口して図14B及び図15Bに示す構造を得る。

【0084】

次いで、ドライエッチングまたはウェットエッチングによって、上記開口部に露出したSOI層404を、低不純物濃度p型Si層406が残るように選択的に除去し、図14C及び図15Cに示す構造を得る。ドライエッチングを用いた場合は、エッチング時間を制御することによって低不純物濃度p型Si層406表面が露出した段階でエッチングを停止する。ドライエッチング適用時は、SOI層404に生じた側壁は基板に対してほぼ垂直の角度を有する。光導波路から受光素子へ入射される光の進行方向をSOI層404の[110]方向とした場合、上記側壁表面は(−110)面となる。ウェットエッチングを用いる場合は、アルカリ水溶液によってSOI層404を除去する。アルカリ水溶液を用いた場合のp型Si層のエッチング速度は、不純物を添加していないSi層に比べて遅い為、上記ウェットエッチングを用いると低濃度p型Si層406を残してSOI層404を選択的にエッチング除去することが可能になる。上記エッチングを行う際に用いるアルカリ水溶液の例として、アンモニア水溶液(NH₄OH)、水酸化カリウム水溶液(KOH)、ヒドラジン-水和物水溶液(H₂NNH₂·H₂O)、テトラメチルアンモニウムハイドロオキシド(TMAH：(CH₃)₄NOH)等がある。本実施例ではTMAHを用いたウェットエッチングを行い、低不純物濃度p型Si層406に対してSOI層404を選択的にエッチング除去することを確認した。また、本実施例では(100)面を表面とするSOI層404を用い、光導波路から受光素子へ入射される光の進行方向をSOI層404の[110]方向とした。この場合、SOI層404に形成される側壁は(111)面を有するファセットであることを確認した。

20

30

【0085】

次に、SOI層404を一部除去した開口領域に、Ge光吸収層408及びSi保護膜409を連続してエピタキシャル成長により成膜する。本成長も他の実施例と同様、SiO₂膜407に対して選択的に成膜する条件にて行う。本実施例では(100)面を有する低濃度p型Si層406上に上記選択成長を行っている。SOI層404の開口部に形成された側壁は上述のように(−110)面または(111)面である。一般的な成膜条件下では、(100)面におけるGeまたはSiの成長速度は、(−110)面または(111)面における成長速度に比べて速い為、Ge光吸収層408及びSi保護膜409は、SOI層404内に形成された開口を埋めるように成膜する。成長条件と成膜時間を調整することにより、平坦な表面を有するGe光吸収層408とSi保護膜409を形成し、且つSi保護膜409の上部表面とSiO₂膜407の下面の高さをほぼ等しくすることが可能となる。上記成膜を行うことにより、図14D、図15Dの構造を得ることが出来る。尚、本実施例ではSOI層404表面を(100)面、SOI層404の開口部に形成された側壁を(−110)面または(111)面としたが、基板に垂直方向の成長速度がSOI層404の開口部に形成された側壁上の成長速度より速ければ、他の面方位を用いても良い。

40

50

【0086】

Ge光吸収層408及びSi保護膜409の成膜後、SiO₂膜407の開口部内にn型不純物のイオン注入を行い、n型Ge層410及びn型Si層411を形成し、図14E、図15Eに示す構造を得る。上記イオン注入はレジストマスクを用いずに行うことが出来る為、パターニング時のマスクの合わせずれを見込んだサイズマージンを取る必要が無く、受光素子の小型化が可能である。

【0087】

図14E、図15Eの構造に、実施例1の図1G～図1J、図2G～図2Jで示した工程を行うことで、図12及び図13の受光素子構造を得ることが出来る。

【0088】

尚、本実施例ではSiO₂膜407上に更にSiO₂膜412を堆積し、上記SiO₂膜412上に金属電極415及び416の開口領域を形成しているが、SiO₂膜407の開口領域に直接NiGe層413、NiSi層414、さらにTiN層415及びAl層416を堆積させても良い。この場合、製造工程数の削減が可能となる。

【実施例5】

【0089】

図16、図17は、本発明に係る半導体受光装置の第5の実施例を示す断面図である。図16は、光の進行方向に対して垂直な面からの断面図であり、図17は光の進行方向に対して平行な面からみた断面図である。

【0090】

本実施例は、光導波路を形成するSOI層504上にさらにSi層506が成膜され、上記SOI層504とSi層506の積層膜にGe光吸収層510及びSi保護膜511が埋め込まれた構造を有することを特徴とする。

【0091】

本実施例では、光損失を抑えるButt-Joint構造を有したまま、光導波路のSOI層504の膜厚と光吸収層であるGe層510の膜厚をそれぞれ別々に設計することが可能な構造を提供している。即ち、Butt-Joint構造を実現する為に光導波路であるSOI層中にGe光吸収層を形成した場合は光導波路と光吸収層をほぼ同じ膜厚としなくてはならないという制約が生じる。

【0092】

それに対し、本実施例では光導波路領域は効率的に光を閉じ込めることが出来るようにSOI層504の膜厚を設計し、受光素子領域では光を効率的に電流に変換出来るようにGe光吸収層510の膜厚をSOI層504とは独立に設計することが可能となる。

【0093】

本実施例における受光素子の製造方法を、実施例4と異なる部分に特化して以下に開示する。図18A～図18C及び図19A～図19Cは本実施例における受光素子の製造方法を説明する図であり、図18A～図18Cは光の入射方向に対して垂直な断面の構造であり、図19A～図19Cは光の入射方向に対して平行な方向の断面構造を示している。

SOI基板を用い、上部SOI層504を導波路形状及び受光素子の下地形状に加工し、図18A、図19Aの構造を得る。

【0094】

次いで、SiO₂膜505を堆積した後、レジストを用いてパターニングした後、ドライエッチングまたはウェットエッチングを用いて受光素子領域を開口し、図18B、図19Bの構造を得る。

【0095】

上記開口部にSi層506を選択エピタキシャル成長により成膜し、図18C、図19Cに示した構造を得る。上記Si層506の膜厚は、Ge光吸収層の膜厚に応じて設計する。

【0096】

図18C、図19Cの構造上に、実施例5の図14A～図14Eと図15A～図15E

10

20

30

40

50

に開示した製造工程を行うことにより、図 16、図 17 に示した受光素子構造を得ることが出来る。

【実施例 6】

【0097】

本実施例では、基板の上部表面から入射した光を電流変換する、面受光型受光素子を開示する。

【0098】

図 20、及び図 21 は本発明に係る半導体受光装置の第 6 の実施例を示す断面構造及び平面図である。図 20 は図 21 に示した平面図の A-A' 線分の断面に対応する。

【0099】

本実施例では、Ge 光吸収層 606 上の金属電極 613 及び 614 が上記光吸収層の周辺部を取り囲むように配置され、中心部で SiO₂ 膜 610 が露出した構造を有しており、基板表面から光を受光出来る構造を有している。この為、デバイス表面に入射した光を電流変換する用途に使用することが出来る。

【0100】

本実施例では、Ge 光吸収層 606 上の開口領域を広くすることで受光感度が向上する為、素子面積当りの受光感度を増大する為には、Ge 光吸収層 606 上の金属電極 613 及び 614 の領域を狭くすることが望ましい。この場合、n 型 Ge 領域 608 と n 型 Si 領域 609 の基板に水平方向への不純物拡散は極力少なくする必要がある為、NiGe 層 611 と NiSi 層 612 の積層構造を利用して低温プロセスにて低抵抗のコンタクト抵抗を得ることが出来る本発明は本実施例に適している。

【0101】

本実施例における受光素子の製造方法は、実施例 1 とほぼ同一である。但し、本実施例では光導波路と受光素子を結合する必要性が無い為、基板には通常の Si 基板 601 を用いた構造を開示している。この場合、Si 基板 601 に SiO₂ が部分的に埋め込まれた構造である素子分離領域即ち STI (Shallow Trench Isolation) 602 を形成し、上記素子分離領域 602 で囲まれた領域に低濃度 p 型 Si 層 604 及び高濃度 p 型電極層 603 を形成している。上記素子分離領域は部分的に Si を酸化する LOCO S (Local Oxidation of Silicon) であっても良い。但し、本実施例は、使用する基板を Si 基板に限定するものではなく、実施例 1～5 で示したような SOI 基板を用いても良い。

【実施例 7】

【0102】

本実施例では、基板に水平方向に p 型電極と光吸収層と n 型電極が配列した、横型 pin 受光素子を開示する。

【0103】

図 22 は本発明に係る半導体受光装置の第 7 の実施例を示す、光の進行方向に対して垂直な面における断面図である。

【0104】

本実施例における受光素子は、光導波路に Ge 光吸収層 705 が閉じ込められた Butt-Joint 構造を有しており、且つ n 型 Si 領域 707、n 型 Ge 領域 708、n 型 Si 層 709 からなる n 型電極領域と p 型 Si 領域 710、p 型 Ge 領域 711、p 型 Si 層 712 からなる p 型電極領域が基板に対して水平方向に配列した構造を有している。

【0105】

本実施例では、Ge 光吸収層 705 を厚膜化することで光吸収を増大することが出来、同時に n 型領域と p 型領域の距離を縮小することで Ge 光吸収層 705 内における電子と正孔の走行時間を短縮することが可能となる。即ち受光効率と高速性能を同時に向上することが可能な受光素子を実現する。

【0106】

本実施例における受光素子の製造方法を、実施例 4 と異なる部分に特化して以下に開示する。図 23A、図 23B は本実施例における受光素子の製造方法を説明する図であり、

10

20

30

40

50

光の入射方向に対して垂直な断面構造を示している。

【0107】

SOI基板を用い、SOI層704をパターニングすることにより導波路及び受光素子の台座を形成し、更に実施例4の図14B～図14Dに示した製造工程を行い、その後SOI層704上のSiO₂膜をウェットエッチング等により除去して図23Aの構造を得る。

【0108】

次いで、レジストを用いてn型電極領域とp型電極領域を別々にパターニングし、それぞれn型不純物とp型不純物をイオン注入して図23Bの構造を得る。イオン注入は、不純物濃度がSOI層の深さ方向においてほぼ一樣になるようにエネルギーを調整して行う。

10

【0109】

図23Bの構造にSiO₂膜713の堆積、金属電極形成領域の開口、上記領域内へのNiGe層714及びNiSi層715の形成、TiN層716とAl層717の電極形成を行って図22に示す受光素子構造を得る。

【0110】

本実施例は、NiGe層714近傍以外の電極領域を広範囲で活性化する必要がある為、n型不純物とp型不純物のイオン注入後に、不純物の活性化アニールを行うと良い。この場合、n型Ge領域708とp型Ge領域711が活性化すれば良く、アニール温度は約500℃程度であれば良い。

20

【0111】

本実施例では、受光素子の高速化の観点からn型電極領域とp型電極領域の間隔を狭くすることが望ましく、この為にはn型Ge領域708とGe光吸収層705、及びp型Ge領域711間の不純物の濃度変化を出来得る限り階段状にする必要がある。上記観点を鑑みると、低温プロセスにて低抵抗のコンタクト抵抗を得ることが出来る本発明は本実施例に適している。

【0112】

本実施例では、Butt-Joint構造を用いた例を開示しているが、実施例1のように導波路であるSOI層上にGe光吸収層を形成し、上記Ge光吸収層にn型電極領域とp型電極領域を基板に水平方向に配列した構造を有していても良い。

30

【実施例8】

【0113】

本実施例では、Ge層を発光層とする発光素子の第1の実施例を開示する。

図24と図25に本発明に係る半導体発光装置の第1の実施例を示す。図24と図25はそれぞれ互いに垂直方向の断面図を示している。

【0114】

埋め込みSiO₂膜803と裏面SiO₂膜802をそれぞれ上下に有するSi基板801上に5nm程度の薄膜Ge層809がパターニングされ、上記薄膜Ge層809上にはn型Geからなる発光層813とn型Ge層815bとp型Ge層817bが間隔をおいて形成されている。上記発光層813とn型Ge層815b及びp型Ge層817bはそれぞれ高抵抗Si層814、n型Si層816、p型Si層818で覆われており、更に上記発光層813と上記n型Ge層815b、及び上記発光層813と上記p型Ge層817bを接続する薄膜Ge層809の上部はSi保護膜811により覆われている形態を有する。

40

【0115】

更にn型Ge層815bとp型Ge層817bの上部には、共にNiGe層821とNiSi層822の積層膜及びTiN層823とAl層824からなる金属電極を有する構造とする。

【0116】

上記n型領域にマイナス、上記p型領域にプラスの順方向電圧を印加することにより、

50

それぞれn型Ge層815bとp型Ge層817bからn型Ge発光層813に電子及び正孔が注入され、n型Ge層813内で再結合することにより発光する機構を有する。上記n型Ge層815b及びp型Ge層817bとn型Ge層813を接続する薄膜Ge層809は、いずれも薄膜Ge層809よりも大きな禁制帯幅を有する埋め込みSiO₂膜803とSi保護膜811でそれぞれ下面と上面を囲まれており、且つ薄膜Ge層809の膜厚は約5nmと薄い為、Ge層809の禁制帯幅は量子効果により増大する。

【0117】

即ち、薄膜Ge層809の禁制帯幅はn型Ge層813に比べて高くなり、上記n型Ge層813に注入された電子及び正孔に対するエネルギー障壁が形成される。この為、電子と正孔を上記n型Ge層813中に有効に閉じ込めることが出来、発光性の再結合確率を増大することが出来る。

10

【0118】

また、図25に示すように、パターニングされたSOI層804を発光波長の1/2の整数倍の間隔で配列することにより、分布ブラッグ反射型(DBR: Distributed Bragg Reflector)のミラー構造を形成すると、Ge発光層813から発せられた光はSiとSiO₂の屈折率差を利用した上記ミラーにより効率的に反射され、Ge発光層813に再入射する。これにより光の誘導放出による光の増幅を行うことが可能になる。

【0119】

本実施例では、n型Ge発光層813及び薄膜Ge層809は高抵抗のSi保護膜814及び811により表面のダングリングボンドが終端されている為、n型Ge領域815bとp型Ge領域817b間でのリーク電流は抑制され、且つNiGe層821とNiSi層822の積層構造を採用することで、従来より低温の製造プロセスにて低抵抗のコンタクトが実現された発光素子が作製可能となる。

20

【0120】

以下、図26A～図26Hに示す断面図、図27A～図27Hに示す断面図、図28A～図28Hに示す平面図を用いて本実施例における発光素子の製造方法を説明する。図26A～図26Hと図27A～図27Hは、図28A～図28HのそれぞれA-A'線、B-B'線における断面図に対応する。

【0121】

SOI基板を用い、SOI層804にレジストを用いたパターニングを施して、ドライエッチングにより加工し、図26A、図27A、図28Aの構造を得る。この際、図27Aに示すDBRミラー構造は、パターン周期が発光波長の1/2の整数倍になるように設計する。

30

【0122】

次いで、SiO₂膜805及びSi₃N₄膜806を連続して堆積し、発光層形成領域をレジストパターニング後のドライエッチングまたはウェットエッチングにより開口し、SOI層804を露出させる。好ましいエッチングの一例としては、SiO₂膜805をエッチングストップとしてSi₃N₄膜806をドライエッチングにより除去し、露出したSiO₂膜805をHF水溶液にてウェットエッチングすると良い。

【0123】

次にレジスト除去後に全体を酸化することにより上記開口部内のSOI層804のみを酸化する。酸化膜厚は、上記SOI層804が所望の膜厚となるように設定する。例えば、本実施例ではSOI層804を20nmの膜厚とする為、360nmの酸化を行い、SiO₂膜807を得た。SiO₂膜807の形成方法は、上記酸化方法に限定される必要は無く、CVD法を用いた成膜により形成してももちろん構わない。上記工程を経て、図26B、図27B、図28Bの構造を得る。

40

【0124】

次に、SiO₂膜807をウェットエッチングにより除去し、露出したSOI層804上にSiGe層808をエピタキシャル成長により、Si₃N₄膜に対して選択的に成膜し、図26C、図27C、図28Cの構造を得る。本実施例においては、SiGe層80

50

8 中の Ge の組成比は 20% とし、膜厚は 15 nm とした。

【0125】

次いで、構造全体を酸化することにより、SiGe 層 808 中の Si のみが選択的に酸化され、Ge 原子は SiGe 層 808 の下部領域に移動して濃縮する、所謂、酸化濃縮現象を利用して薄膜 Ge 層 809 を形成し、図 26D、図 27D、図 28D の構造を得る。本実施例では、44 nm の酸化を行い SiO₂ 膜 810 を得ると共に、3 nm の単結晶薄膜 Ge 層 809 を得た。

【0126】

上記構造から、SiO₂ 膜 810 を HF 水溶液を用いたウェットエッチングにより除去し、更に Si₃N₄ 膜 806 をドライエッチングまたはウェットエッチングにより除去する。Si₃N₄ のエッチングは、ドライエッチングを用いる場合は薄膜 Ge 層 809 形成領域をレジストにより保護して行い、ウェットエッチングを用いる場合は、160℃ 程度の燐酸水溶液により行う。上記工程を経て、露出した薄膜 Ge 層 809 上に、エピタキシャル成長により Si 保護膜 811 を SiO₂ 膜 803 及び 805 に対して選択的に成膜し、図 26E、図 27E、図 28E の構造を得る。本実施例では、Si 保護膜 811 の膜厚は約 10 nm ~ 20 nm とした。

【0127】

次に、SiO₂ 膜 812 を堆積し、発光層と p 型電極及び n 型電極を分離するように SiO₂ 膜 812 上にパターニングを行い、SiO₂ 膜 812 を一部エッチング除去する。次いで、上記 SiO₂ 膜 812 をマスクとして、Si 保護膜 811 をドライエッチングまたはウェットエッチングを用いて選択的にエッチング除去し、薄膜 Ge 層 809 を露出させ、図 26F、図 27F、図 28F の構造を得る。上記 Si 保護膜 811 のエッチングは、例えばアルカリ水溶液を用いたエッチングを行うと良い。エッチング液としては、アンモニア水溶液 (NH₄OH)、水酸化カリウム水溶液 (KOH)、ヒドラジン-水和物水溶液 (H₂NNH₂·H₂O)、テトラメチルアンモニウムハイドロオキシド (TMAH : (CH₃)₄NOH) が挙げられる。この場合、Si 保護膜 811 のエッチングレートは薄膜 Ge 層 809 に比べて約 10 倍以上速くすることが出来、薄膜 Ge 層 809 をストッパとした Si 保護膜 811 の選択エッチングが可能となる。上記選択エッチングを用いた場合、Si 保護膜 811 の側壁には (111) 面を有するファセットが出現する。

【0128】

次に、エピタキシャル成長を行い、Ge 層 813 と第二の Si 保護膜 814 を露出した薄膜 Ge 層 809 上に選択的に成膜し、図 26G、図 27G、図 28G の構造を得る。ここで、Ge 層 813 中央部の発光領域は、発光効率を増大させる為に、n 型不純物をドーピングしてエピタキシャル成長すると良い。上記不純物は P または As とし、ドーピング濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 程度とする。これにより、Ge の伝導体の L 点から Γ 点に電子を効率的に導入して電子と正孔の直接遷移型の再結合確率を増大させることが出来る。ここで、上記 n 型不純物のドーピングは、イオン注入によって行っても良い。

【0129】

次いで、レジストを用いてパターニングした別々の領域に n 型不純物と p 型不純物をそれぞれイオン注入により導入し、n 型 Ge 薄膜 815a、n 型 Ge 層 815b、n 型 Si 膜 816 からなる n 型電極領域と p 型 Ge 薄膜 817a、p 型 Ge 層 817b、p 型 Si 膜 818 からなる p 型電極領域を形成し、図 26H、図 27H、図 28H の構造を得る。ここで、n 型不純物としては P または As、p 型不純物としては B または BF₂ を用いると良い。n 型不純物及び p 型不純物は、それぞれ n 型 Ge 層 815b と p 型 Ge 層 817b 内の不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ 程度で且つ深さ方向にほぼ一定の濃度となるよう、イオン注入条件を設定する。イオン注入後は不純物活性化の為にアニールを行う。本発明では n 型 Si 膜 816 及び p 型 Si 膜 818 の活性化率に関らず低コンタクト抵抗を得ることが出来る為、ここでは n 型 Ge 層 815b と p 型 Ge 層 817b 中の不純物のみが活性化する温度でアニールを行えば良く、本実施例では上記温度を 500℃ 程度に設定した。

10

20

30

40

50

【0130】

上記構造上に、 SiO_2 膜 819 と Si_3N_4 膜 820 を連続して堆積し、金属電極形成領域を開口後、 NiGe 層 821 及び NiSi 層 822 を選択的に形成し、 TiN 層 823 及び Al 層 824 を堆積及び加工して図 24 と図 25 に示す発光素子構造を得る。

【0131】

ここで、上記 Si_3N_4 膜 820 は Ge 発光層 813 に、基板に平行方向に引っ張り性の応力を印加する目的で堆積している。上記応力の印加により、 Ge の伝導体の Γ 点のエネルギーを低下することが出来、直接遷移型の再結合確率を増大することが出来る。本実施例では、約 200 nm の Si_3N_4 を堆積することで、約 1 GPa の応力を印加することが出来、発光効率の増大を確認した。

10

【実施例 9】

【0132】

本実施例では、 Ge 層を発光層とする発光素子の第 2 の実施例を開示する。

図 29 と図 30 に本発明に係る半導体発光装置の第 2 の実施例を示す。図 29 と図 30 はそれぞれ互いに垂直方向の断面図を示している。

【0133】

図 29 に示すように、埋め込み SiO_2 膜 903 と裏面 SiO_2 膜 902 をそれぞれ上下に有する Si 基板 901 上に Ge 発光層 907 と Si 保護膜 910 が形成された構造を基本とする。上記 Ge 発光層 907 には高不純物濃度の n 型 Ge 領域 913 と NiGe 層 919、更に NiSi 層 918 が基板に水平方向に順次配列しており、上記 n 型 Ge 領域 913 上部も n 型 Si 領域 914 と NiSi 層 920 が水平方向に配列した構造を有している。

20

【0134】

同様に、上記 Ge 発光層 907 に高不純物濃度の p 型 Ge 領域 916 と NiGe 層 919、更に NiSi 層 918 が基板に水平方向に順次配列しており、上記 p 型 Ge 領域 916 上部も p 型 Si 領域 917 と NiSi 層 920 が水平方向に配列した構造を成す。

【0135】

TiN 層 923 と Al 層 924 の積層構造からなる金属電極は、上記 n 型領域、 p 型領域共に NiSi 層 918 と接続している。本発明における NiGe 層 919 と NiSi 層 918 の積層技術を適用することにより、低温プロセスにて上記発光素子を作製することが出来る為、 Ge 発光層 907 と n 型 Ge 領域 913 間、及び Ge 発光層 907 と p 型 Ge 領域 916 間の不純物濃度変化を階段状に急峻とすることが出来、 Ge 発光層 907 中への効率的な電子・正孔の注入が可能になる。

30

【0136】

更に、図 30 に示すように、上記 Ge 発光層 907 をパターニングして基板に水平方向の Ge 膜厚を 5 nm 程度に薄膜化することで、量子効果により Ge 中の電子及び正孔の状態密度を増加させ、発光効率の増大が可能な構造を有している。また、上記薄膜 Ge 層 907 を周期的に配列し、更に上記薄膜 Ge 層 907 間の間隔を発光波長の $1/2$ の整数倍とすることで DBR ミラー構造を形成している。 Ge 発光層 907 から発せられた光が効率的に反射されて Ge 発光層 907 に戻る構造とすることで、光の誘導放出による光の増幅を行うことを可能にしている。

40

【0137】

以下、図 31 A ~ 図 31 H に示す断面図、図 32 A ~ 図 32 H に示す断面図、図 33 A ~ 図 33 H に示す平面図を用いて本実施例における発光素子の製造方法を説明する。図 31 A ~ 図 31 H は、図 33 A ~ 図 33 H の A - A' 線における断面図にそれぞれ対応し、図 32 A ~ 図 32 H は、図 33 A ~ 図 33 H の B - B' 線における断面図にそれぞれ対応する。

【0138】

SOI 基板を用い、 SOI 層 904 上に SiO_2 層 905 を堆積し、上記 SiO_2 層 905 上にレジストを用いたパターニングを施して、ドライエッチングにより SiO_2 層 9

50

05とSOI層904を加工し、図31A、図32A、図33Aの構造を得る。この際、図32Aに示すDBRミラー構造は、パターン周期が発光波長の $1/2$ の整数倍になるように設計する。上記SOI層904の、基板に水平方向の幅は約30nmとした。

【0139】

次いで、上記SOI層904の側壁に、10%のGe組成を有するSiGe層906をエピタキシャル成長によりSiO₂層903及び905に対して選択的に成膜し、図31B、図32B、図33Bの構造を得る。本実施例では、上記SiGe層906の膜厚を15nmとした。

【0140】

次に全体を酸化することにより、SiGe層906及び上記SiGe層906で側壁を覆われたSOI層904が濃縮酸化を起こし、GeがSOI層904中心部に向かって凝縮し、SiO₂層908で覆われた単結晶の薄膜Ge層907を形成する。上記工程を経て、図31C、図32C、図33Cの構造を得る。図31Cに示す、DBRミラーの配列方向に垂直で薄膜Ge層907を含む断面では、Ge層907がSOI層904に側壁を挟まれた構造となる。

【0141】

また、図32Cに示すDBRミラーの配列方向の断面のDBR構造以外の部分では、SOI層904にGeが拡散したSiGe領域909が同時に形成される。上記酸化は、SiO₂層908の膜厚が28nmとなるように調整した場合、薄膜Ge層907の基板に水平方向の膜厚は約4nmとなる。

【0142】

次に、SiO₂層908をHF水溶液を用いたウェットエッチングにより除去し、薄膜Ge層907上にSi保護膜910をSiO₂層903に対して選択的にエピタキシャル成長により成膜し、図31D、図32D、図33Dの構造を得る。上記Si保護膜910の膜厚は10～20nmに設定すると良い。

【0143】

上記構造上に、レジストを用いたパターンニングを行い、SiGe領域909と、Si保護膜910及びSOI層904の一部領域をSiO₂層903をエッチングストップとするドライエッチングにより除去し、図31E、図32E、図33Eの構造を得る。

【0144】

更に、全体にSiO₂膜911を堆積して、レジストを用いたパターンニングを行い、SiO₂膜911をウェットエッチングまたはドライエッチングにより除去することにより、図31F、図32F、図33Fに示す構造を得る。ここで、上記パターンニングは、DBRミラーの配列方向に垂直な方向にはGe層907の側壁を覆うSOI層904が残るように行い、且つDBRミラーの配列方向に平行な方向にはDBR部分がSiO₂膜911に覆われるように行う。また、上記エッチングは、SOI層904のエッチング途中で停止するよう、エッチング時間を調整する。

【0145】

次に、DBRミラーの配列方向に垂直な方向において、Ge層907の両側の側壁及びSOI層904が、それぞれn型とp型にドーピングされるようにパターンニングを行い、n型不純物とp型不純物をイオン注入により導入する。上記イオン注入を経て、n型Ge領域913、n型Si膜914、n型Si領域912、及びp型Ge領域916、p型Si膜917、p型Si領域915が形成され、図31G、図32G、図33Gに示す構造を得る。ここで、n型不純物としてはPまたはAs、p型不純物としてはBまたはBF₂を用いると良い。n型不純物及びp型不純物は、それぞれn型Ge層913とp型Ge層916内の不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ 程度で且つ深さ方向にほぼ一定の濃度となるよう、イオン注入条件を設定する。イオン注入後は不純物活性化の為にアニールを行う。本発明ではn型Si膜914とn型Si領域912、及びp型Si膜917とp型Si領域915の活性化率に関らず低コンタクト抵抗を得ることが出来る為、ここではn型Ge層913とp型Ge層916中の不純物のみが活性化する温度でアニールを行えば良

10

20

30

40

50

く、本実施例では上記温度を500℃程度に設定した。

【0146】

次いで、NiGe及びNiSiの形成プロセスを行うことで、SiO₂膜911とSiO₂層903で覆われていない領域にNiGe層919及びNiSi層918とNiSi膜920を選択的に形成し、図31H、図32H、図33Hに示す構造を得る。ここで、NiGe層919の基板に水平方向の膜厚は約20～50nmとすることが望ましい。この為には、上記NiGe及びNiSi形成工程における熱処理で、Niがn型Si領域912及びp型Si領域916を突き抜けてそれぞれn型Ge領域913及びp型Ge領域916に到達する必要がある、それを見越したNiのスパッタリング膜厚を設定する。本実施例ではNiのスパッタリング膜厚を20～40nmとすることで、所望の膜厚のNiGe層919を得ることが出来た。

10

【0147】

上記構造上に、SiO₂膜921とSi₃N₄膜922を連続して堆積し、それぞれn型Ge領域913とp型Ge領域916と電氣的に接続するNiSi層918上の二か所に金属電極形成領域を開口後、TiN層923とAl層924の積層構造からなる金属電極を形成して図29及び図30に示す発光素子構造を得る。

【0148】

ここで、上記Si₃N₄膜922はGe発光層907に、基板に平行方向に引っ張り性の応力を印加する目的で堆積している。上記応力の印加により、Geの伝導体のΓ点のエネルギーを低下することが出来、直接遷移型の再結合確率を増大することが出来る。

20

【実施例10】

【0149】

本実施例では、これまでの実施例で開示したGe受光素子及びGe発光素子を、Siを用いた光導波路及び光変調器と共にSi基板上に集積し、更に各素子の電極にLSIを接続して、LSIに搭載した回路により各光素子を駆動する、光・電子集積チップの例を開示する。

【0150】

図34に本実施例の概略図を示す。

SOI基板1001上に、実施例1～実施例7に示したいずれかのGe受光素子1002と、Siからなる光変調器1003と、実施例8～実施例9で開示したいずれかのGe発光素子1004が形成され、それぞれがSOI層からなる光導波路1005で結合されている。上記光導波路1005には光ファイバ1006が結合しており、SOI基板1001外部との光信号の送受信が可能な構造を成している。

30

【0151】

また、上記SOI基板1001上には、LSIチップ1008が搭載されている。上記LSIチップ1008はGe受光素子1002と光変調器1003、更にGe発光素子1004上の金属電極1007と接続されており、Ge発光素子1004と光変調器1003を駆動するドライバ回路、及びGe受光素子1002の信号を受ける増幅回路等が組み込まれている。図34に示す金属電極1007は、LSI1008とGe発光素子1004などの間には層間膜（図示せず）が介在し、該層間膜に孔を開け、その孔に埋め込んだ導電体材料で構成されている。また、LSI1008とGe発光素子1004とを接続する2本の金属電極1007は並行して描かれているが、図の手前側と向い側とが重なって2本あることが識別できなくなることを避けるために、敢えてずらして描いている。他の素子と接続される金属電極1007に関しても同様である。

40

【0152】

本実施例は、成熟した微細化技術を有し、且つ汎用性に優れるSiのLSIを光の送受信が可能なSi基板に集積することで、大容量の情報通信を可能にする光通信機器の小型化及び低価格化を実現可能である。また、情報量の増加とともに増大する消費電力が問題となっている、サーバ等の大容量の情報機器のボード間通信等に適用することにより、大幅な低消費電力化が可能となる。

50

【0153】

尚、図34で示した実施例はあくまで概略図であり、図34に示す素子間の結合、光ファイバとの結合等は、本実施例を適用するシステム等に応じて広範な自由度を以て適宜設計可能なものとする。また、本実施例ではGe受光素子1002とGe発光素子1004を同時にSOI基板上1001に搭載しているが、Ge受光素子1002のみをSOI基板上1001に搭載し、発光素子は化合物半導体のレーザ等を用いても良い。

【符号の説明】

【0154】

1…シリコン基板、2…二酸化シリコン層、3…二酸化シリコン層、4…単結晶シリコン層、5…高不純物濃度p型単結晶シリコン領域、6…低不純物濃度p型単結晶シリコン領域、7…二酸化シリコン層、8…単結晶ゲルマニウム層、9…単結晶シリコン保護膜、10…n型単結晶ゲルマニウム領域、11…n型単結晶シリコン領域、12…二酸化シリコン層、13…ニッケル・ジャーマニウム層、14…ニッケル・シリサイド層、15…窒化チタン層、16…アルミニウム層、

101…シリコン基板、102…二酸化シリコン層、103…単結晶シリコン層、104…単結晶ゲルマニウム層、105…n型単結晶ゲルマニウム層、106…p型単結晶シリコン領域、107…二酸化シリコン層、108…金属電極、111…シリコン基板、112…二酸化シリコン層、113…単結晶シリコン層、114…単結晶ゲルマニウム層、115…p型単結晶シリコン領域、116…n型単結晶シリコン領域、117…二酸化シリコン層、118…シリコン窒化膜、119…窒化チタン層、120…アルミニウム層、121…シリコン基板、122…単結晶ゲルマニウム層、123…アモルファスシリコン層、124…n型単結晶ゲルマニウム領域、125…n型アモルファスシリコン領域、126…p型単結晶シリコン領域、127…シリコン窒化膜、128…金属層、

201…シリコン基板、202…二酸化シリコン層、203…二酸化シリコン層、204…単結晶シリコン層、205…高濃度p型単結晶シリコン領域、206…低濃度p型単結晶シリコン領域、207…二酸化シリコン層、208…単結晶ゲルマニウム層、209…n型単結晶ゲルマニウム層、210…単結晶シリコン保護膜、211…二酸化シリコン層、212…ニッケル・ジャーマニウム層、213…ニッケル・シリサイド層、214…窒化チタン層、215…アルミニウム層、

301…シリコン基板、302…二酸化シリコン層、303…二酸化シリコン層、304…単結晶シリコン層、305…高濃度p型単結晶シリコン領域、306…低濃度p型単結晶シリコン領域、307…二酸化シリコン層、308…単結晶ゲルマニウム層、309…単結晶シリコン保護膜、310…二酸化シリコン層、311…n型単結晶ゲルマニウム領域、312…n型単結晶シリコン領域、313…ニッケル・ジャーマニウム層、314…ニッケル・シリサイド層、315…二酸化シリコン層、316…窒化チタン層、317…アルミニウム層、

401…シリコン基板、402…二酸化シリコン層、403…二酸化シリコン層、404…単結晶シリコン層、405…高濃度p型単結晶シリコン領域、406…低濃度p型単結晶シリコン領域、407…二酸化シリコン層、408…単結晶ゲルマニウム層、409…単結晶シリコン保護膜、410…n型単結晶ゲルマニウム領域、411…n型単結晶シリコン領域、412…二酸化シリコン層、413…ニッケル・ジャーマニウム層、414…ニッケル・シリサイド層、415…窒化チタン層、416…アルミニウム層、

501…シリコン基板、502…二酸化シリコン層、503…二酸化シリコン層、504…単結晶シリコン層、505…二酸化シリコン層、506…単結晶シリコン層、507a…高濃度p型単結晶シリコン領域、507b…高濃度p型単結晶シリコン領域、508…低濃度p型単結晶シリコン領域、509…二酸化シリコン層、510…単結晶ゲルマニウム層、511…単結晶シリコン保護膜、512…n型単結晶ゲルマニウム領域、513…n型単結晶シリコン領域、514…二酸化シリコン層、515…ニッケル・ジャーマニウム層、516…ニッケル・シリサイド層、517…窒化チタン層、518…アルミニウム層、

10

20

30

40

50

601…シリコン基板、602…埋め込み二酸化シリコン領域、603…高濃度p型単結晶シリコン領域、604…低濃度p型単結晶シリコン領域、605…二酸化シリコン層、

606…単結晶ゲルマニウム層、607…単結晶シリコン保護膜、608…n型単結晶ゲルマニウム領域、609…n型単結晶シリコン領域、610…二酸化シリコン層、611…ニッケル・ジャーマニウム層、612…ニッケル・シリサイド層、613…窒化チタン層、614…アルミニウム層、

701…シリコン基板、702…二酸化シリコン層、703…二酸化シリコン層、704…単結晶シリコン層、705…単結晶ゲルマニウム層、706…単結晶シリコン保護膜、707…n型単結晶シリコン領域、708…n型単結晶ゲルマニウム領域、709…n型単結晶シリコン領域、710…p型単結晶シリコン領域、711…p型単結晶ゲルマニウム領域、712…p型単結晶シリコン領域、713…二酸化シリコン層、714…ニッケル・ジャーマニウム層、715…ニッケル・シリサイド層、716…窒化チタン層、717…アルミニウム層、

801…シリコン基板、802…二酸化シリコン層、803…二酸化シリコン層、804…単結晶シリコン層、805…二酸化シリコン層、806…シリコン窒化膜、807…二酸化シリコン層、808…単結晶シリコン・ゲルマニウム層、809…単結晶ゲルマニウム層、810…二酸化シリコン層、811…単結晶シリコン保護膜、812…二酸化シリコン層、813…単結晶ゲルマニウム層、814…単結晶シリコン保護膜、815a…n型単結晶ゲルマニウム領域、815b…n型単結晶ゲルマニウム領域、816…n型単結晶シリコン領域、817a…p型単結晶ゲルマニウム領域、817b…p型単結晶ゲルマニウム領域、818…p型単結晶シリコン領域、819…二酸化シリコン層、820…シリコン窒化膜、821…ニッケル・ジャーマニウム層、822…ニッケル・シリサイド層、823…窒化チタン層、824…アルミニウム層、

901…シリコン基板、902…二酸化シリコン層、903…二酸化シリコン層、904…単結晶シリコン層(SOI層)、905…二酸化シリコン層、906…単結晶シリコン・ゲルマニウム層、907…単結晶ゲルマニウム領域、908…二酸化シリコン層、909…単結晶シリコン・ゲルマニウム領域、910…単結晶シリコン保護膜、911…二酸化シリコン層、912…n型単結晶シリコン領域、913…n型単結晶ゲルマニウム領域、914…n型単結晶シリコン領域、915…p型単結晶シリコン領域、916…p型単結晶ゲルマニウム領域、917…p型単結晶シリコン領域、918…ニッケル・シリサイド層、919…ニッケル・ジャーマニウム層、920…ニッケル・シリサイド層、921…二酸化シリコン層、922…シリコン窒化膜、923…窒化チタン層、924…アルミニウム層、

1001…SOI(Silicon on Insulator)基板、1002…ゲルマニウム受光素子、1003…シリコン光変調器、1004…ゲルマニウム発光素子、1005…シリコン光導波路、1006…光ファイバ、1007…金属電極、1008…LSIチップ。

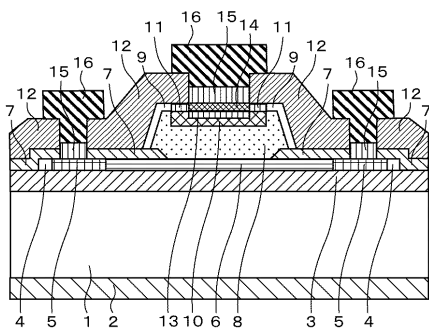
10

20

30

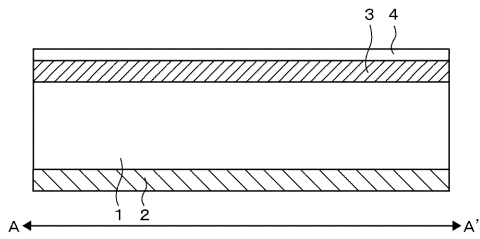
【図 1】

図 1



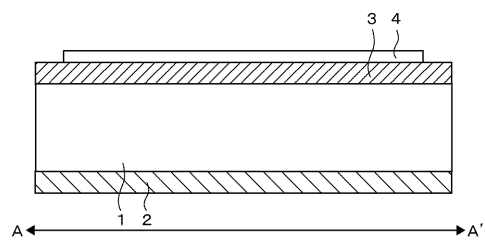
【図 1 A】

図 1 A



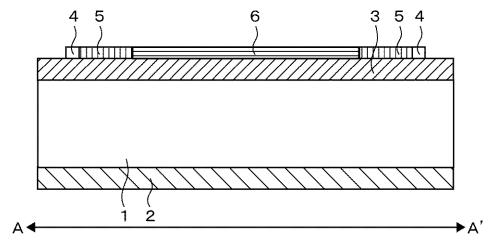
【図 1 B】

図 1 B



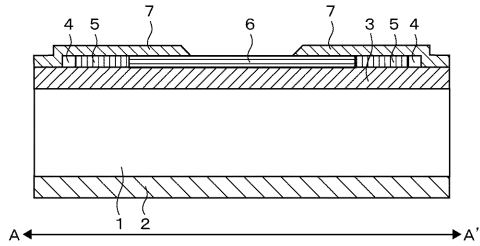
【図 1 C】

図 1 C



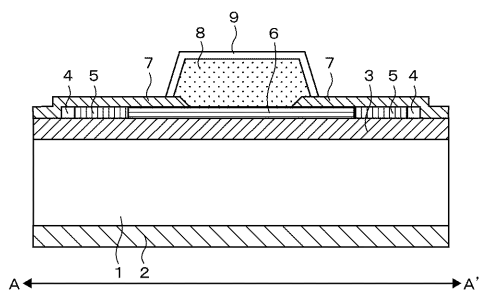
【図 1 D】

図 1 D



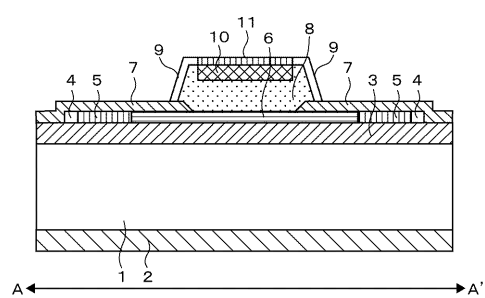
【図 1 E】

図 1 E



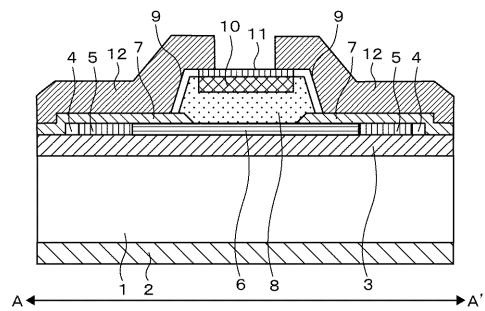
【図 1 F】

図 1 F



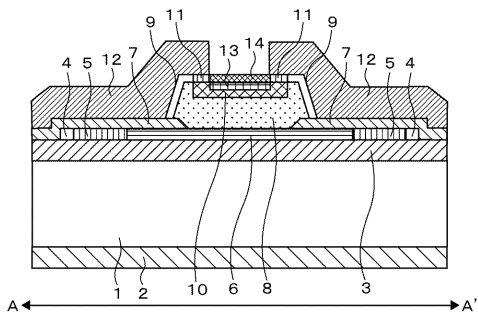
【図 1 G】

図 1 G



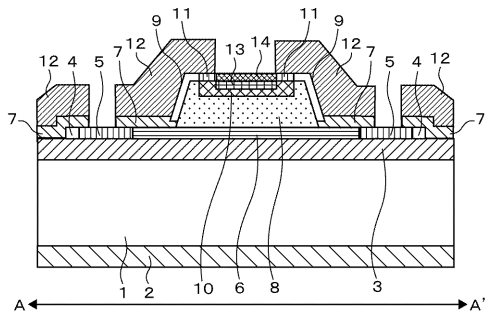
【図 1 H】

図 1 H



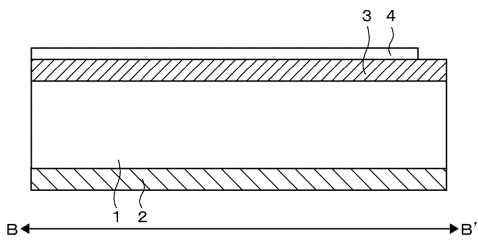
【図 1 I】

図 1 I



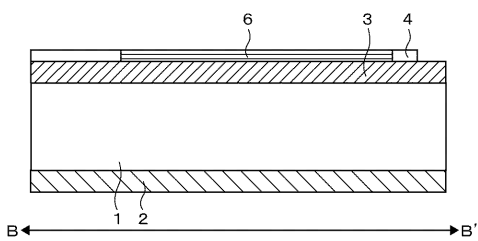
【図 2 B】

図 2 B



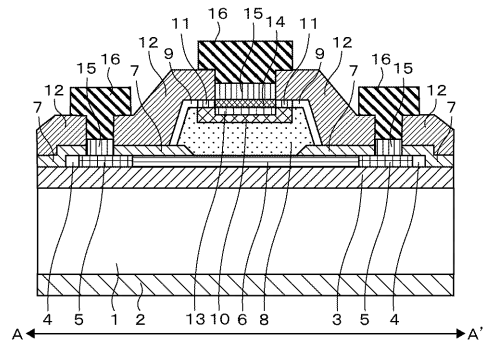
【図 2 C】

図 2 C



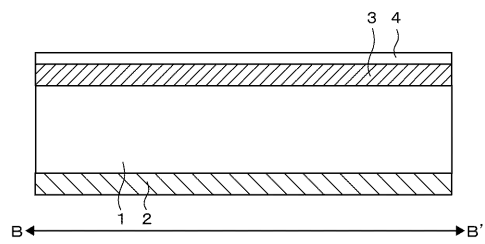
【図 1 J】

図 1 J



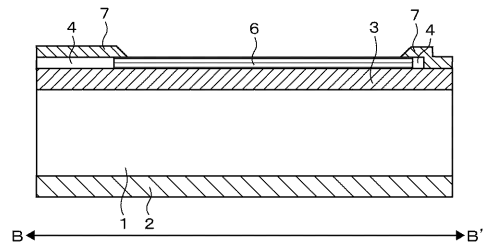
【図 2 A】

図 2 A



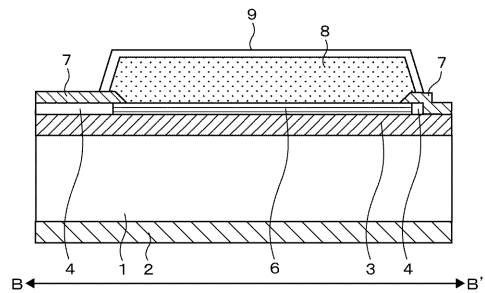
【図 2 D】

図 2 D



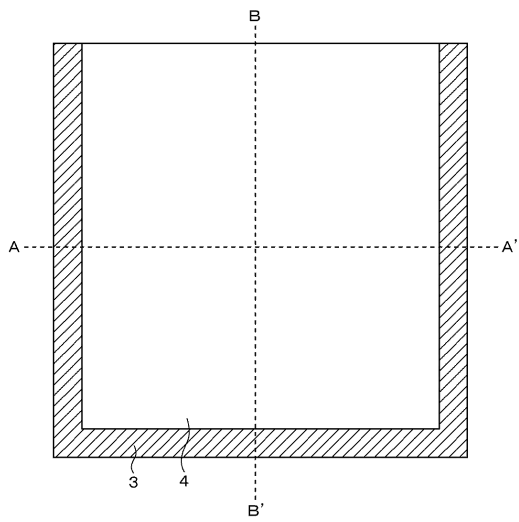
【図 2 E】

図 2 E



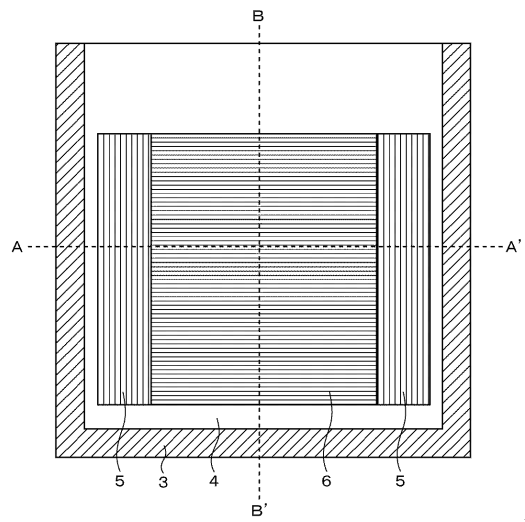
【図 3 B】

図 3 B



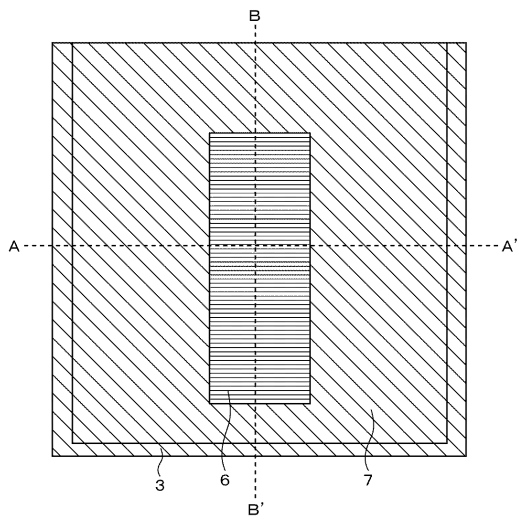
【図 3 C】

図 3 C



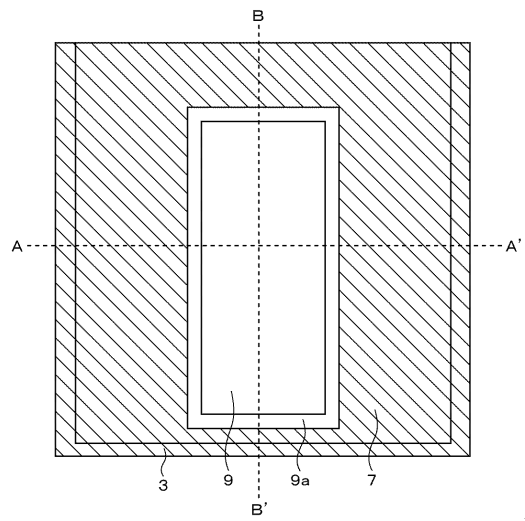
【図 3 D】

図 3 D



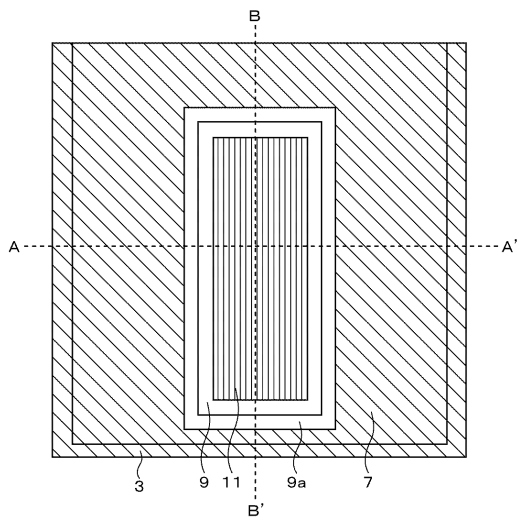
【図 3 E】

図 3 E



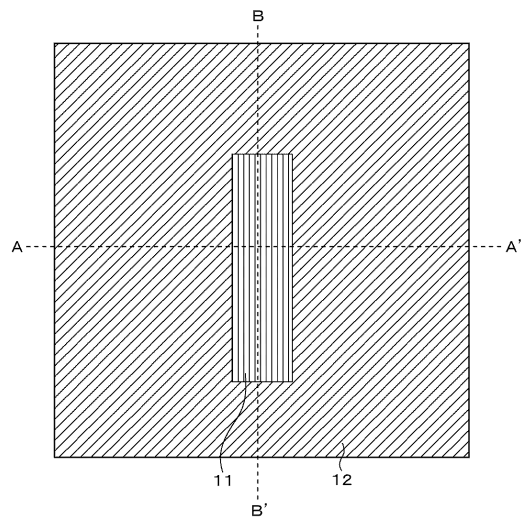
【図 3 F】

図 3 F



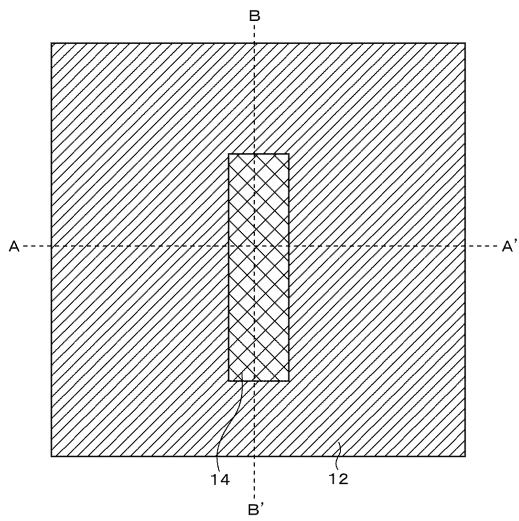
【図 3 G】

図 3 G



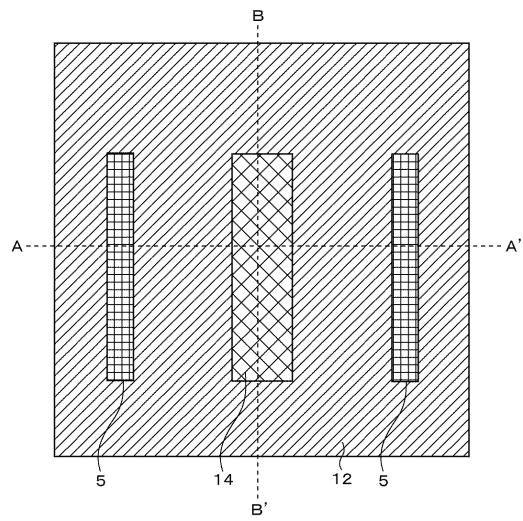
【図 3 H】

図 3 H



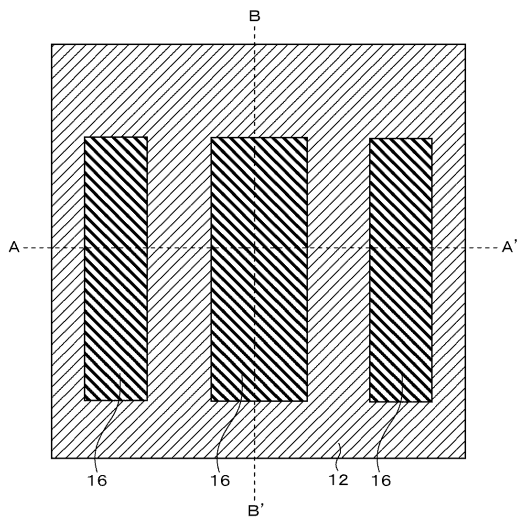
【図 3 I】

図 3 I



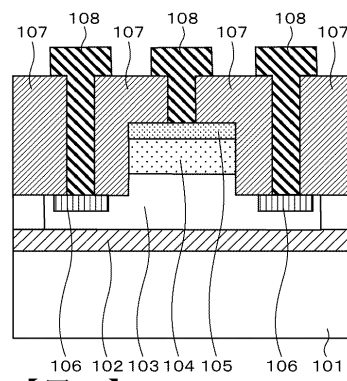
【図 3 J】

図 3 J



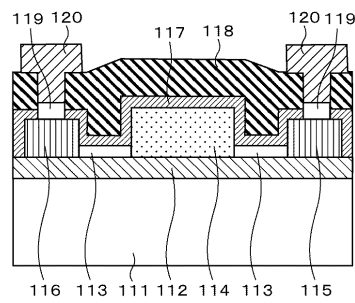
【図 4】

図 4



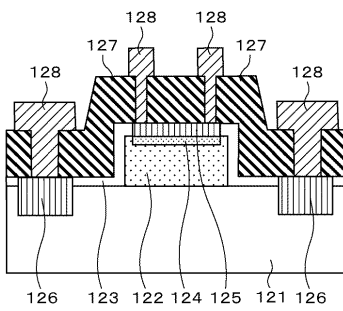
【図 5】

図 5



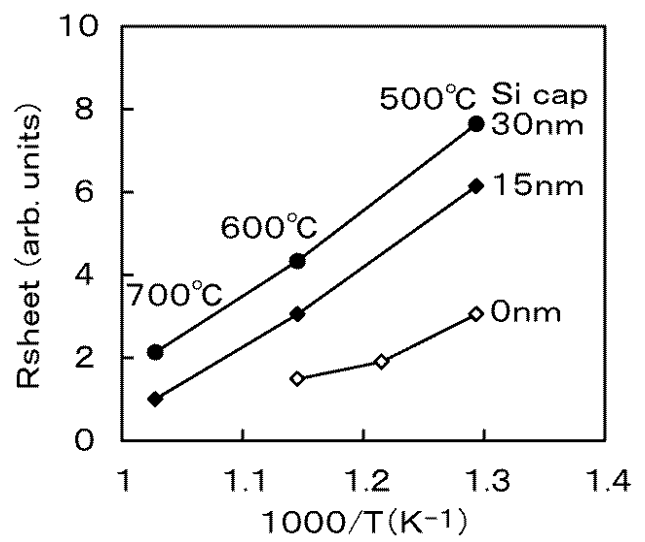
【図 6】

図 6



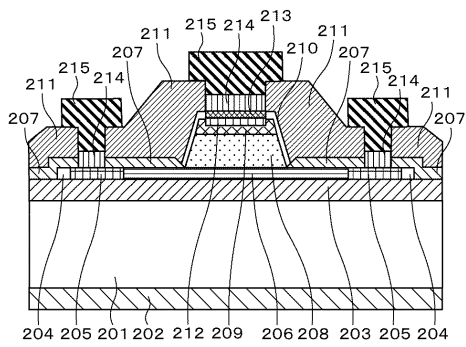
【図 7】

図 7



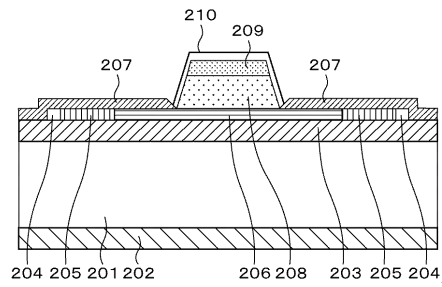
【図 8】

図 8



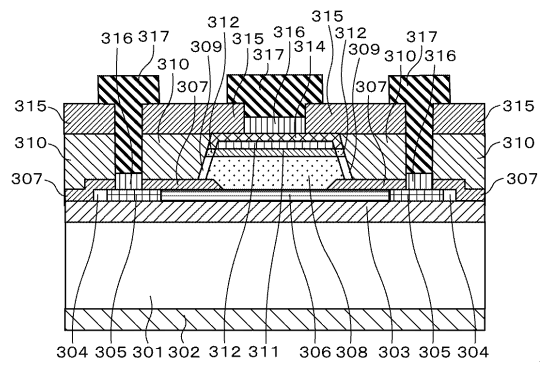
【図 9 B】

図 9 B



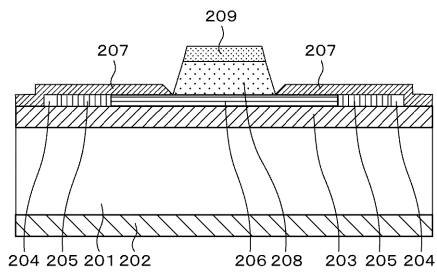
【図 10】

図 10



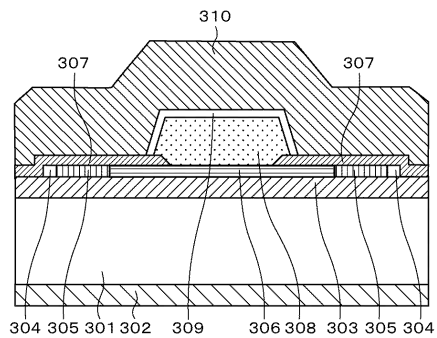
【図 9 A】

図 9 A



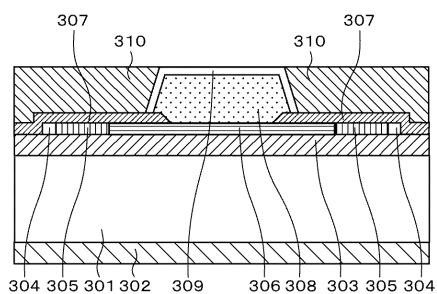
【図 11 A】

図 11 A



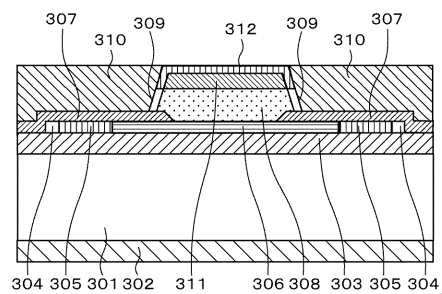
【図 11 B】

図 11 B



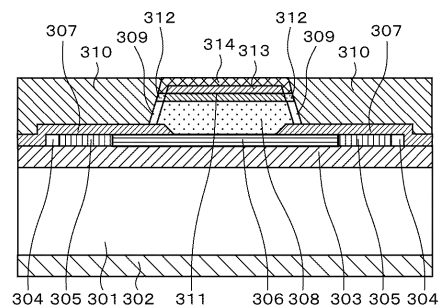
【図 11 C】

図 11 C



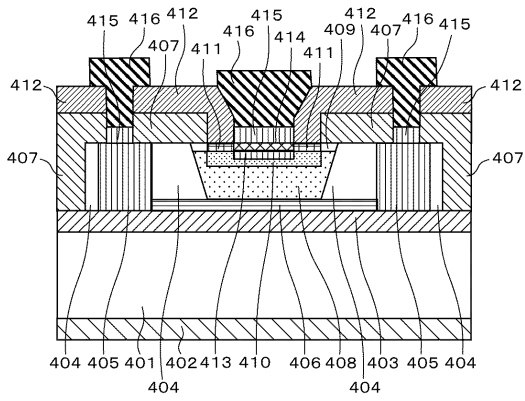
【図 11 D】

図 11 D



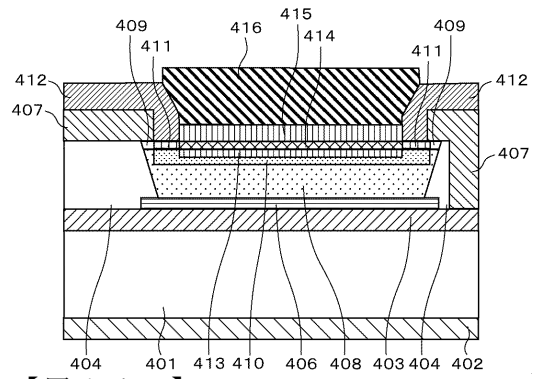
【図 1 2】

図 1 2



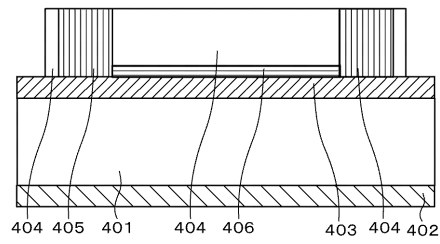
【図 1 3】

図 1 3



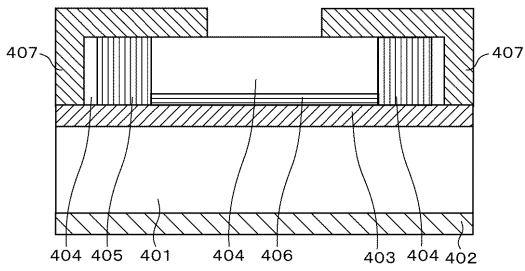
【図 1 4 A】

図 1 4 A



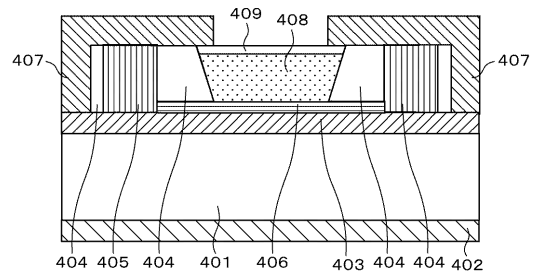
【図 1 4 B】

図 1 4 B



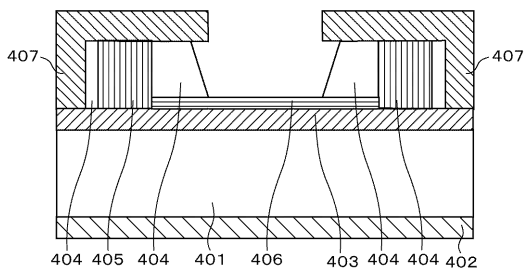
【図 1 4 D】

図 1 4 D



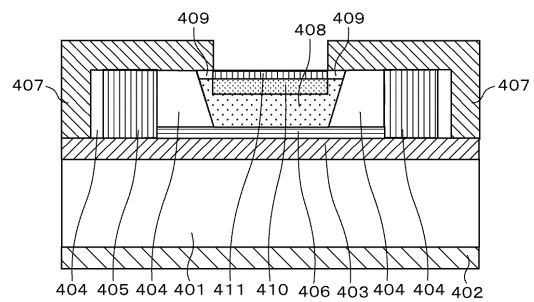
【図 1 4 C】

図 1 4 C



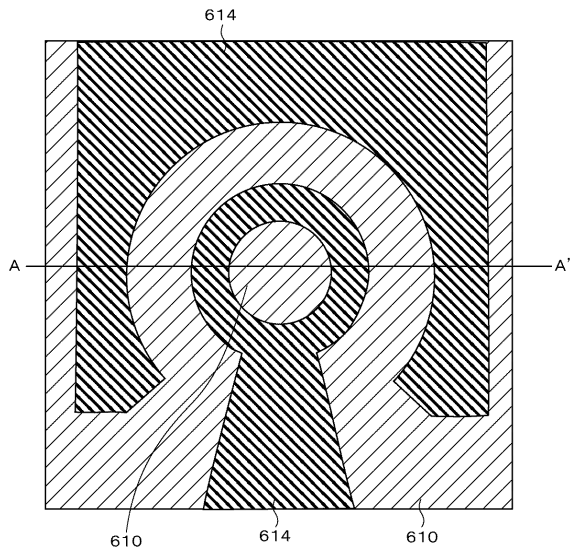
【図 1 4 E】

図 1 4 E



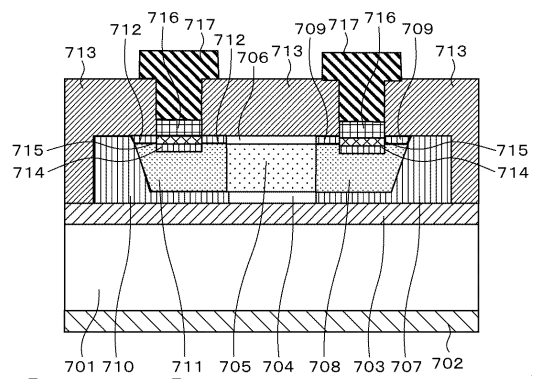
【図 2 1】

図 2 1



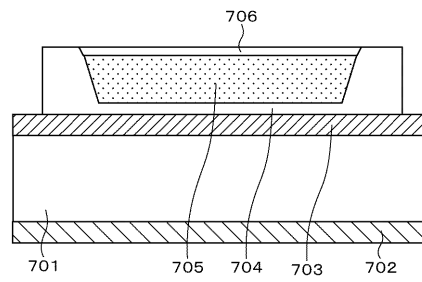
【図 2 2】

図 2 2



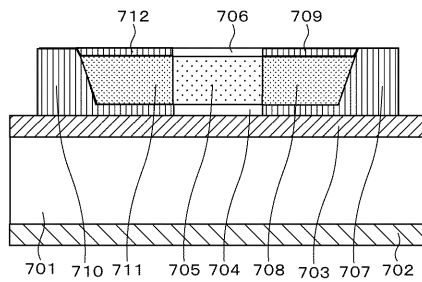
【図 2 3 A】

図 2 3 A



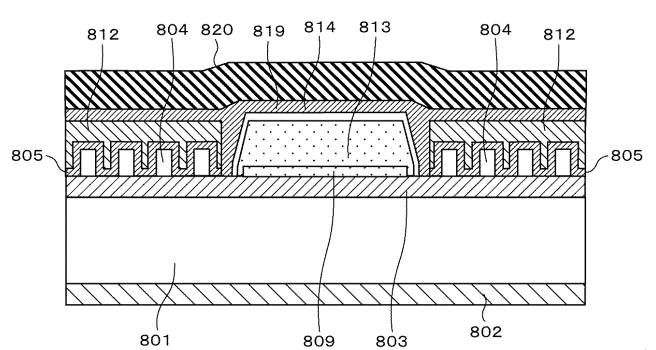
【図 2 3 B】

図 2 3 B



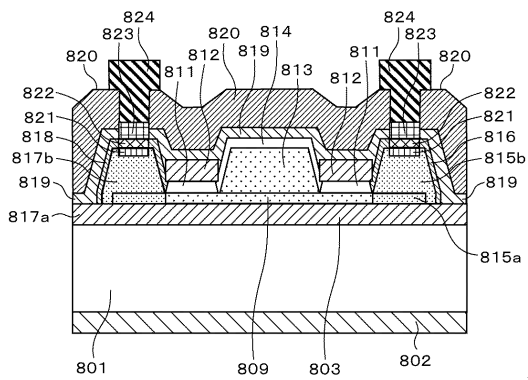
【図 2 5】

図 2 5



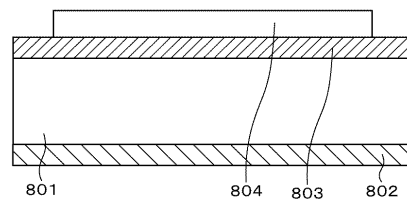
【図 2 4】

図 2 4



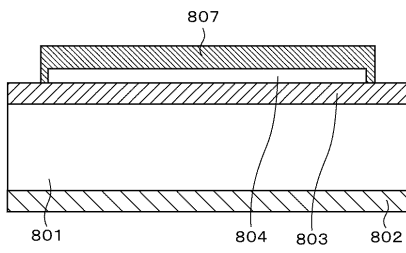
【図 2 6 A】

図 2 6 A



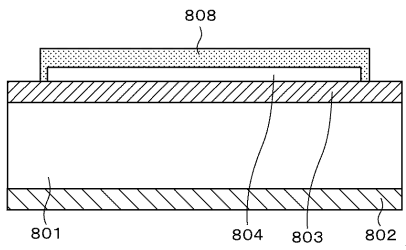
【図 2 6 B】

図 2 6 B



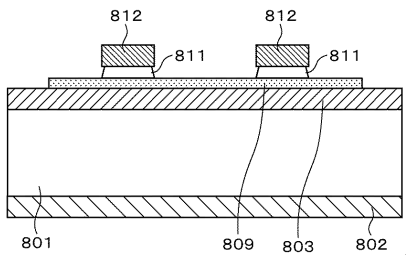
【図 2 6 C】

図 2 6 C



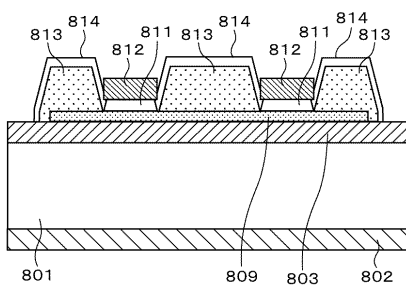
【図 2 6 F】

図 2 6 F



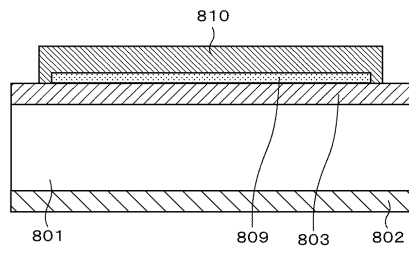
【図 2 6 G】

図 2 6 G



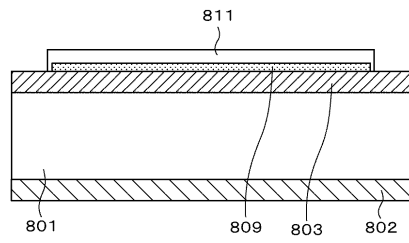
【図 2 6 D】

図 2 6 D



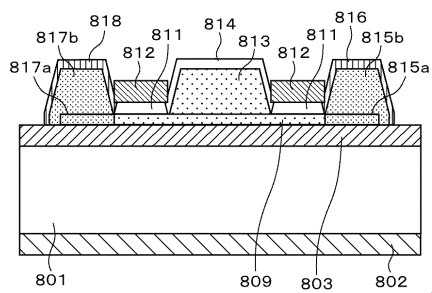
【図 2 6 E】

図 2 6 E



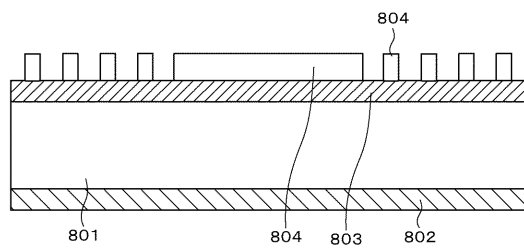
【図 2 6 H】

図 2 6 H



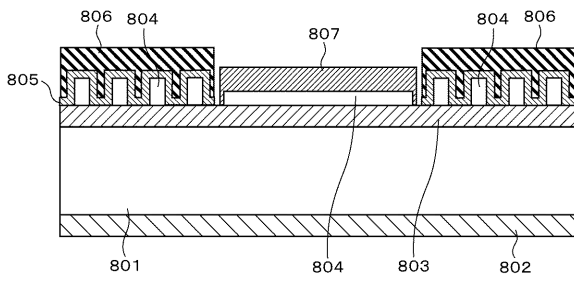
【図 2 7 A】

図 2 7 A



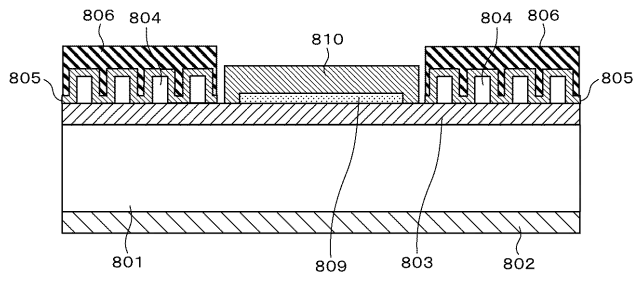
【図 27 B】

図 27 B



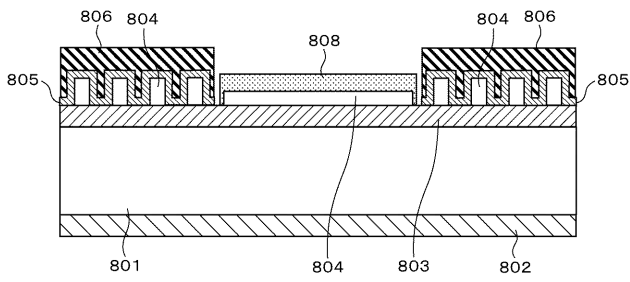
【図 27 D】

図 27 D



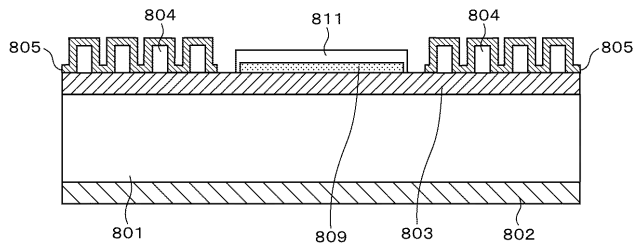
【図 27 C】

図 27 C



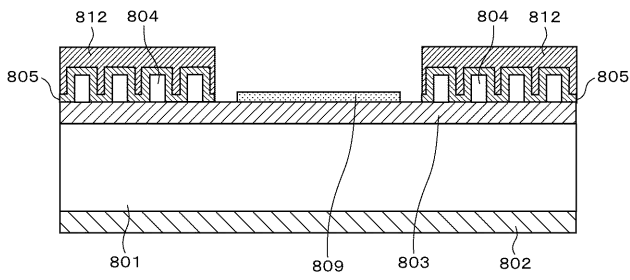
【図 27 E】

図 27 E



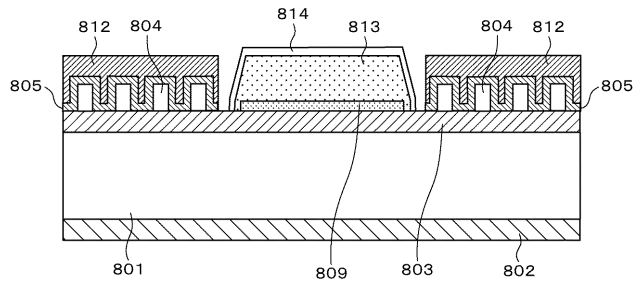
【図 27 F】

図 27 F



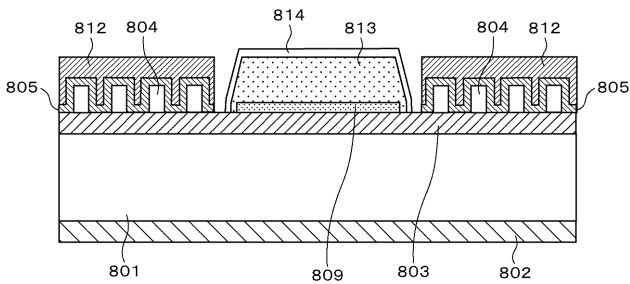
【図 27 H】

図 27 H



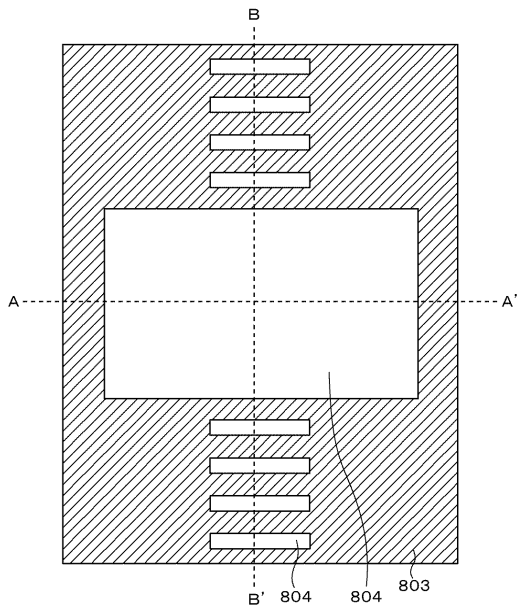
【図 27 G】

図 27 G



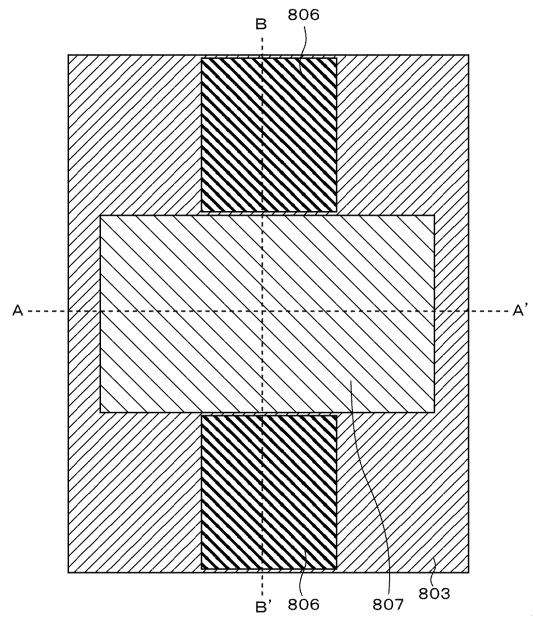
【図 28 A】

図 28 A



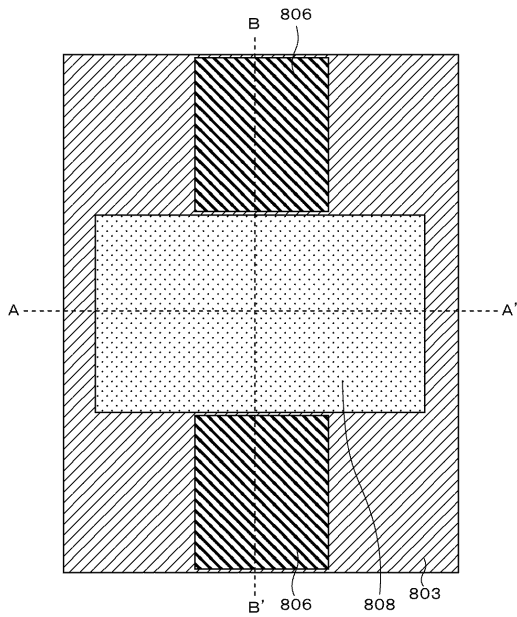
【図 28 B】

図 28 B



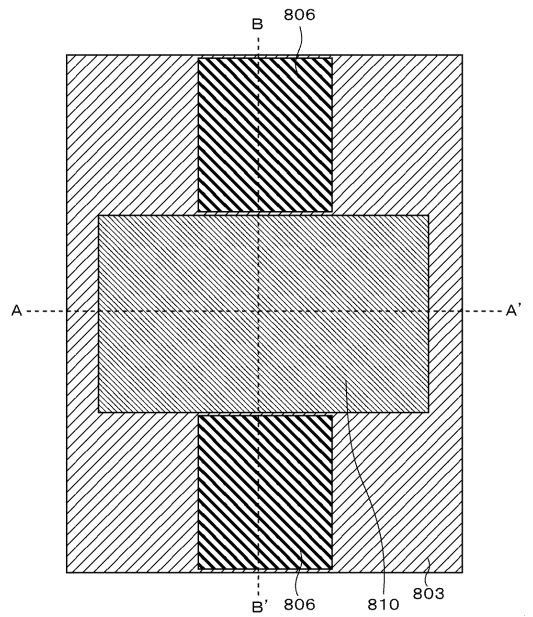
【図 28 C】

図 28 C



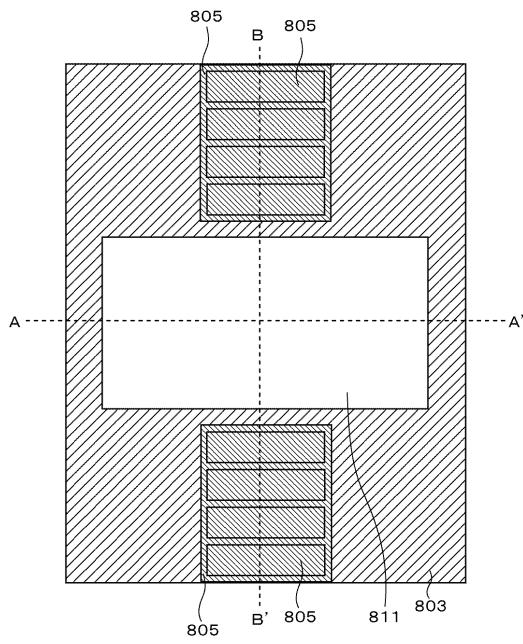
【図 28 D】

図 28 D



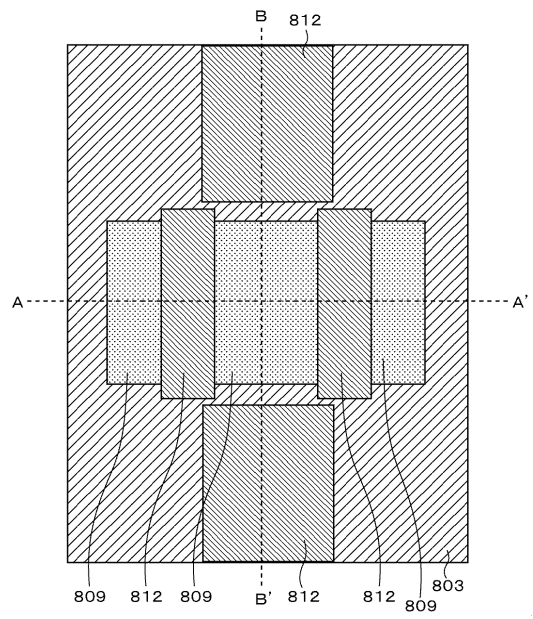
【図 28 E】

図 28 E



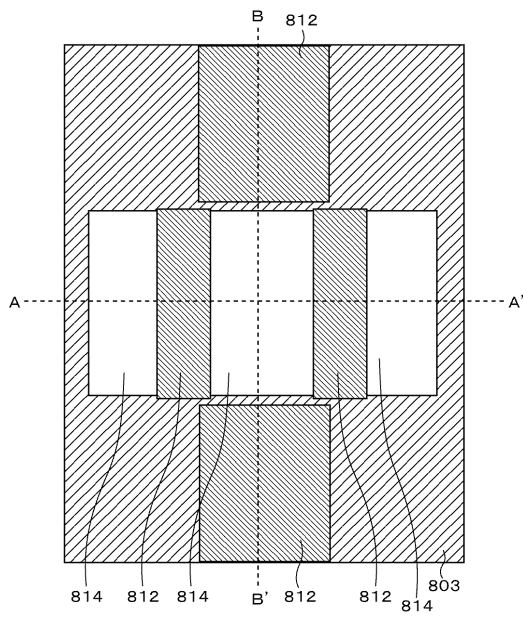
【図 28 F】

図 28 F



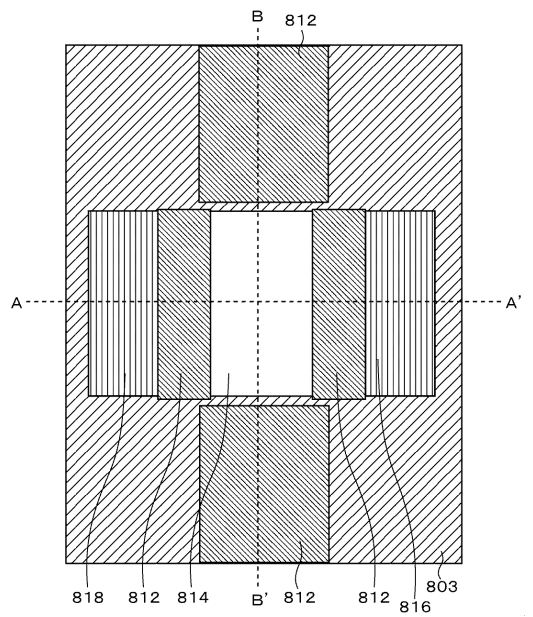
【図 28 G】

図 28 G



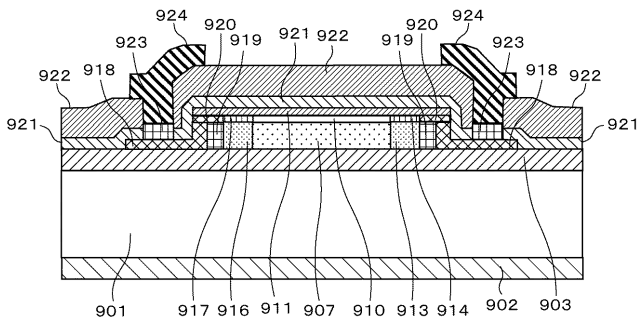
【図 28 H】

図 28 H



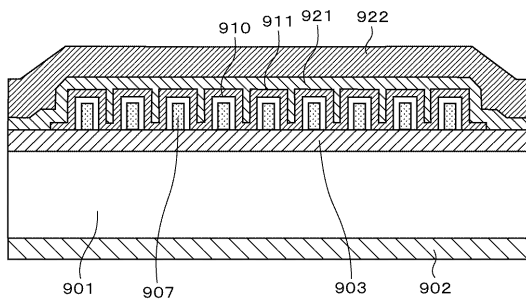
【図 29】

図 29



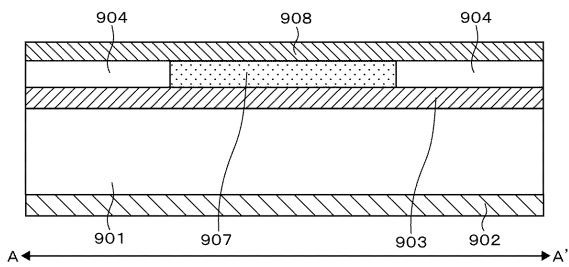
【図 30】

図 30



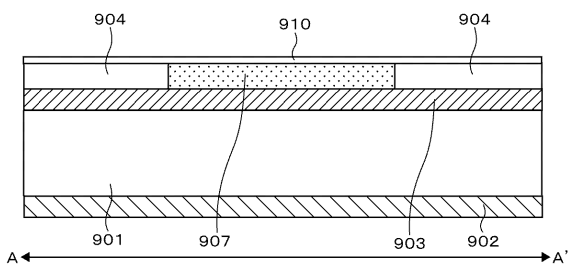
【図 31 C】

図 31 C



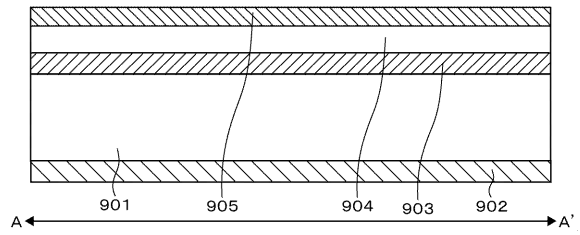
【図 31 D】

図 31 D



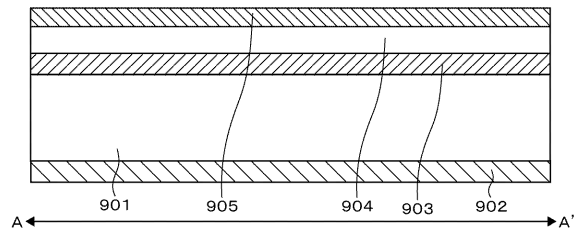
【図 31 A】

図 31 A



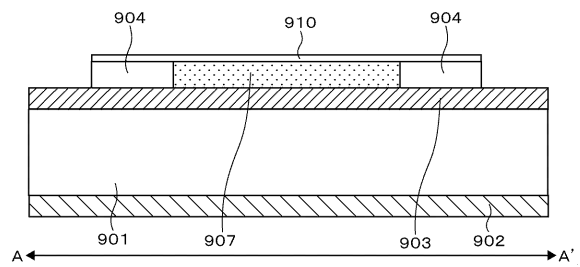
【図 31 B】

図 31 B



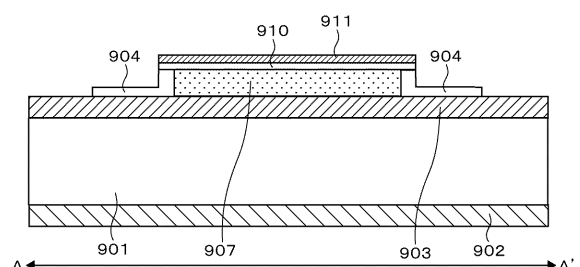
【図 31 E】

図 31 E



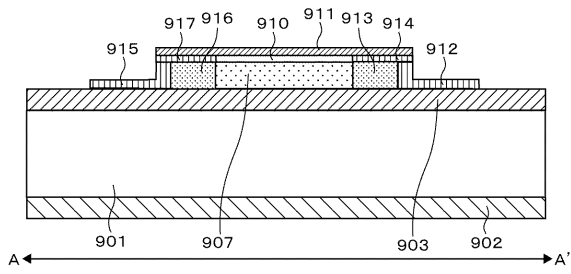
【図 31 F】

図 31 F



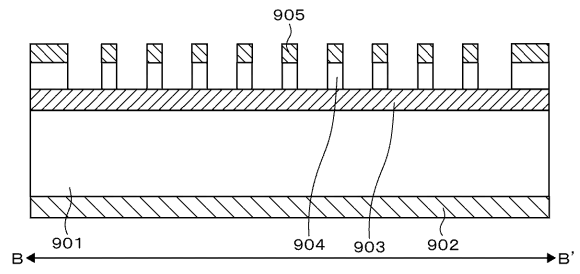
【図 3 1 G】

図 3 1 G



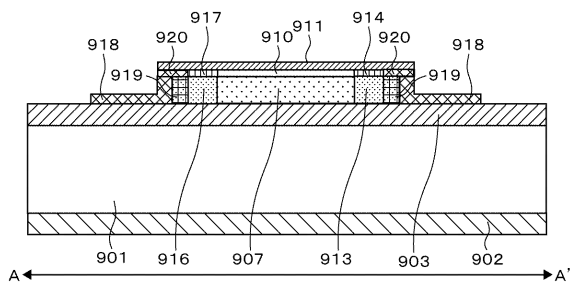
【図 3 2 A】

図 3 2 A



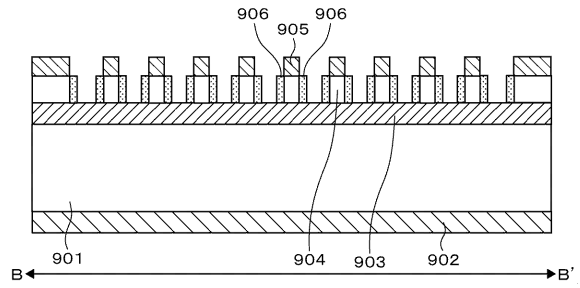
【図 3 1 H】

図 3 1 H



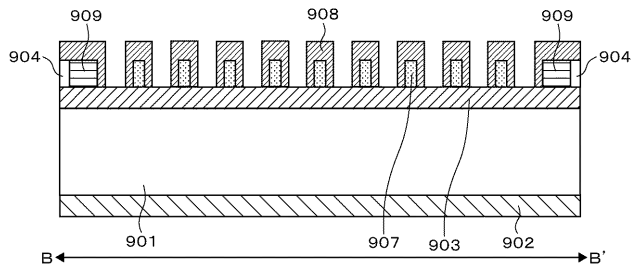
【図 3 2 B】

図 3 2 B



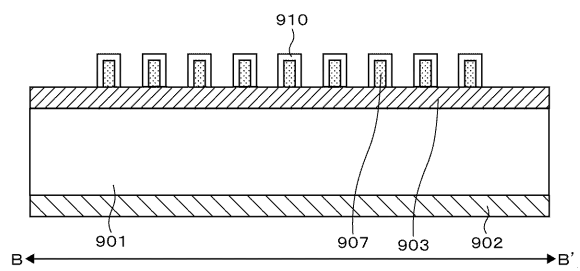
【図 3 2 C】

図 3 2 C



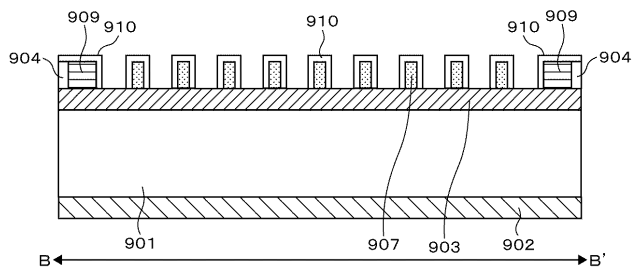
【図 3 2 E】

図 3 2 E



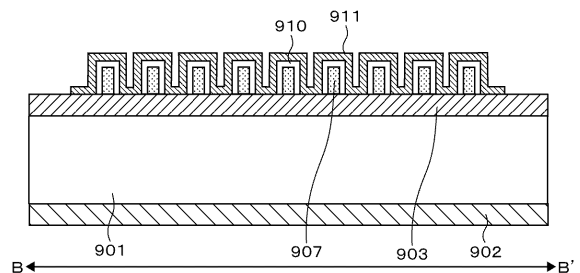
【図 3 2 D】

図 3 2 D



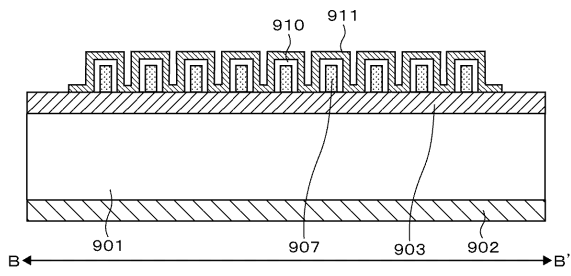
【図 3 2 F】

図 3 2 F



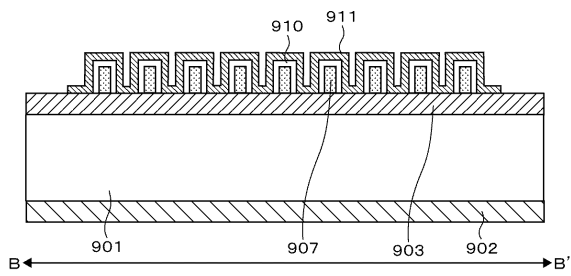
【図 3 2 G】

図 3 2 G



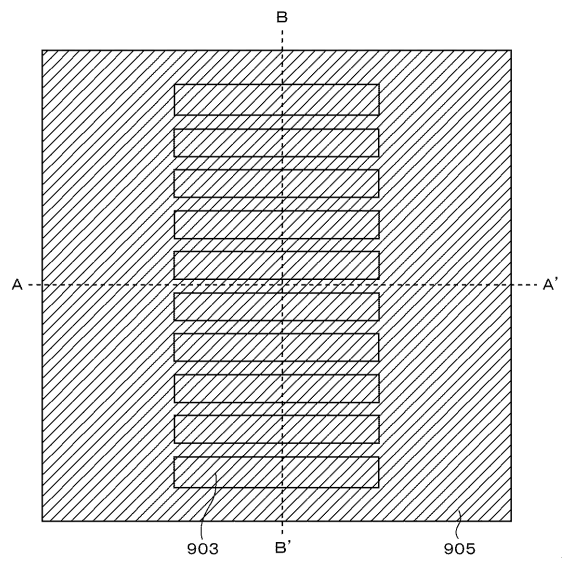
【図 3 2 H】

図 3 2 H



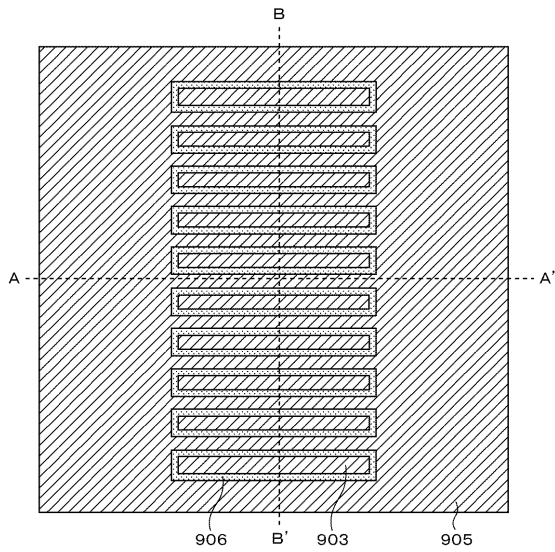
【図 3 3 A】

図 3 3 A



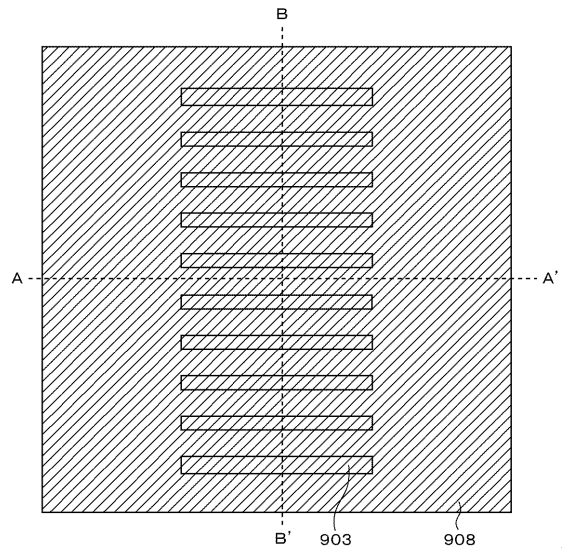
【図 3 3 B】

図 3 3 B



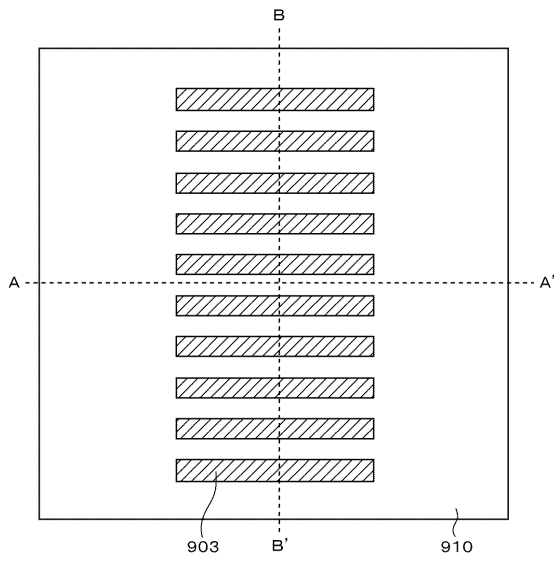
【図 3 3 C】

図 3 3 C



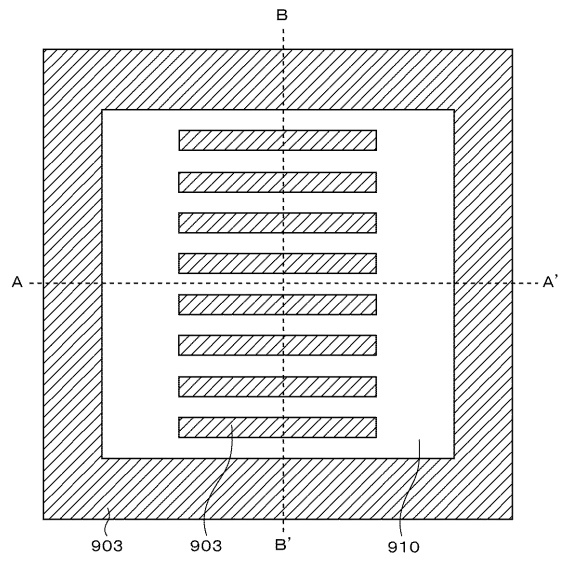
【図 3 3 D】

図 3 3 D



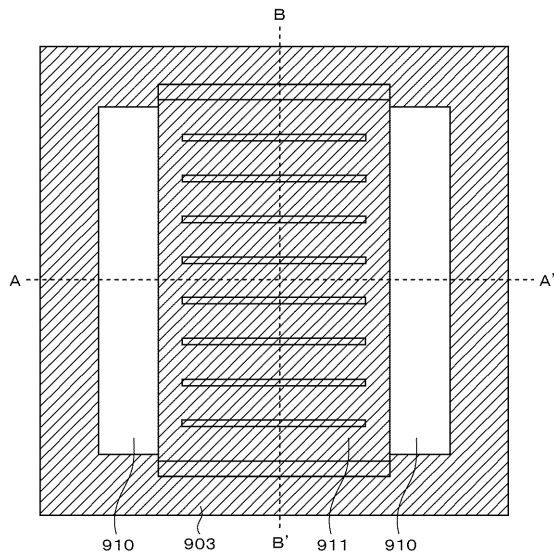
【図 3 3 E】

図 3 3 E



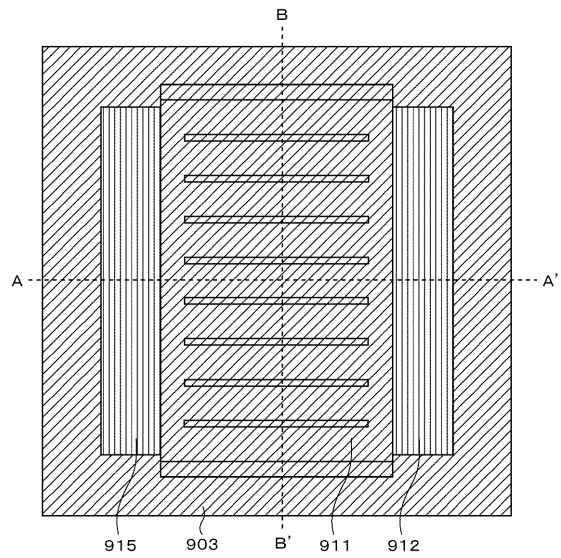
【図 3 3 F】

図 3 3 F



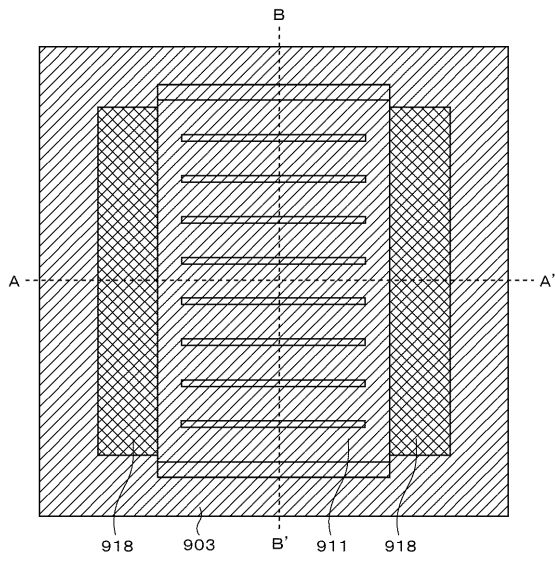
【図 3 3 G】

図 3 3 G



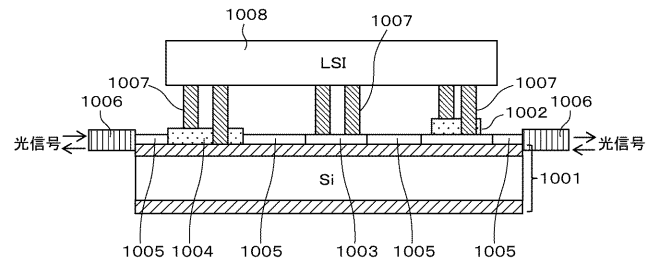
【図 3 3 H】

図 3 3 H



【図 3 4】

図 3 4



フロントページの続き

Fターム(参考) 5F049 MA04 MB03 MB12 NA03 NA14 NB01 PA03 PA07 PA10 PA11
PA14 PA18 QA08 QA20 SE05 SE09 SE12 SE20 SS03 SS08
SS09 SZ13
5F141 AA24 CA02 CA10 CA12 CA33 CA65 CA84 CA93 CA98 CB15
CB36