

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2013-510367

(P2013-510367A)

(43) 公表日 平成25年3月21日 (2013.3.21)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 17/50 (2006.01)	G06F 17/50	656Z 5B046
H01L 21/822 (2006.01)	G06F 17/50	652A 5F038
H01L 27/04 (2006.01)	H01L 27/04	L 5F064
H01L 21/82 (2006.01)	H01L 21/82	C
	H01L 27/04	H

審査請求 有 予備審査請求 有 (全 25 頁)

(21) 出願番号 特願2012-537870 (P2012-537870)
 (86) (22) 出願日 平成22年7月15日 (2010.7.15)
 (85) 翻訳文提出日 平成24年7月6日 (2012.7.6)
 (86) 国際出願番号 PCT/US2010/042127
 (87) 国際公開番号 W02011/056270
 (87) 国際公開日 平成23年5月12日 (2011.5.12)
 (31) 優先権主張番号 12/615, 173
 (32) 優先日 平成21年11月9日 (2009.11.9)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591025439
 ザイリンクス インコーポレイテッド
 X I L I N X I N C O R P O R A T E D
 アメリカ合衆国 カリフォルニア州 95
 124-3400 サン ホセ ロジック
 ドライブ 2100
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 キレーフ, ワシリー
 アメリカ合衆国、95124 カリフォル
 ニア州、サン・ノゼ、ロジック・ドライブ
 、2100

最終頁に続く

(54) 【発明の名称】 T-コイル回路網設計を生成する方法およびT-コイル回路網

(57) 【要約】

T-コイル回路網を備える回路設計を生成する方法の1つの実施形態は、インダクタのインダクタンスおよびT-コイル回路網の寄生ブリッジ容量を決定するステップ(305-340)を含み得る。寄生ブリッジ容量は、T-コイル回路網の出力に結合された負荷の寄生容量に依存する負荷容量基準と比較され得る(345, 355)。T-コイル回路網の出力に結合された回路設計の静電放電(ESD)保護の量、または、T-コイル回路網のインダクタのパラメータが、寄生ブリッジ容量と負荷容量基準との比較に従って、選択的に調整され得る(350, 360)。インダクタのインダクタンスと、静電放電保護の量と、インダクタの巻線の幅とを特定可能な回路設計が出力され得る(365)。

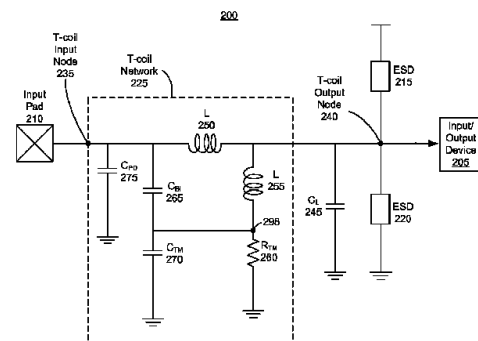


FIG. 2

【特許請求の範囲】

【請求項 1】

プロセッサとメモリとを備えるシステムの内部において、T - コイル回路網を備える回路設計を生成する方法であって、

インダクタのインダクタンスおよび前記 T - コイル回路網の寄生ブリッジ容量を決定するステップと、

前記寄生ブリッジ容量を、前記 T - コイル回路網の出力に結合された負荷の寄生容量に依存する負荷容量基準と比較するステップと、

前記プロセッサによって、前記 T - コイル回路網の前記出力に結合された前記回路設計の静電放電保護の量、または、前記 T - コイル回路網の前記インダクタのパラメータを、
前記寄生ブリッジ容量と前記負荷容量基準との前記比較に従って、選択的に調整するステップと、

前記回路設計を出力するステップとを備え、前記回路設計は、前記インダクタのインダクタンスと、前記静電放電保護の量と、前記インダクタの巻線の幅とを備える、方法。

【請求項 2】

前記選択的に調整するステップは、

前記寄生ブリッジ容量の比率を、前記 T - コイルの入力ノードにおける物理的キャパシタを含まない前記負荷容量基準で調整するステップを備える、請求項 1 に記載の方法。

【請求項 3】

前記寄生ブリッジ容量を決定するステップは、前記 T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量と、前記 T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、前記インダクタの、 C_{BI} で示される巻線間容量とに従って、前記寄生ブリッジ容量を決定するステップを備える、請求項 1 または 2 に記載の方法。

【請求項 4】

前記寄生ブリッジ容量を、

$$C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$$

に従って算出するステップをさらに備え、 C_B は、前記寄生ブリッジ容量を示す、請求項 1 ~ 3 のいずれか 1 項に記載の方法。

【請求項 5】

前記選択的に調整するステップは、

前記ブリッジ容量が前記負荷容量基準未満である場合に、前記インダクタの前記巻線の幅を増加させるステップを備える、請求項 1 , 3 , 4 のいずれか 1 項に記載の方法。

【請求項 6】

前記選択的に調整するステップは、

前記ブリッジ容量が前記負荷容量基準を超える場合に、前記静電放電保護の量を増加させるステップを備える、請求項 1 , 3 , 4 のいずれか 1 項に記載の方法。

【請求項 7】

インダクタのインダクタンスおよび前記 T - コイル回路網の寄生ブリッジ容量を決定するステップは、

前記 T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量の初期値と、前記 T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量の初期値と、前記負荷の前記寄生容量の初期値とを決定するステップと、

前記インダクタの初期値を評価するステップと、

前記インダクタの前記初期値に従って、前記インダクタの、 C_{BI} で示される巻線間容量の初期値を決定するステップと、

C_B で示される寄生ブリッジ容量の初期値を決定するステップとを備え、前記寄生ブリッジ容量は、 C_{TM} , C_{PD} , C_{BI} の各々に依存する、請求項 1 , 2 , 4 , 5 , 6 のいずれか 1 項に記載の方法。

【請求項 8】

前記負荷容量基準を、前記負荷の前記寄生容量の $1 / 1.2$ に選択するステップをさらに

備える、請求項 1 ~ 7 のいずれか 1 項に記載の方法。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の方法を実現するためのコンピュータプログラムを備える、コンピュータプログラム製品。

【請求項 10】

T - コイル回路網を含む回路設計を生成するためのシステムであって、
プログラムコードを記憶するメモリと、
前記メモリに結合されて、前記プログラムコードを実行すると、複数のステップを実行するように構成されたプロセッサとを備え、前記複数のステップは、
インダクタのインダクタンスおよび前記 T - コイル回路網の寄生ブリッジ容量を決定するステップと、

前記寄生ブリッジ容量を、前記 T - コイル回路網の出力に結合された負荷の寄生容量に依存する負荷容量基準と比較するステップと、

前記 T - コイル回路網の前記出力に結合された前記回路設計の静電放電保護の量、または、前記 T - コイル回路網の前記インダクタのパラメータを、前記寄生ブリッジ容量と前記負荷容量基準との前記比較に従って、選択的に調整するステップと、

前記回路設計を出力するステップとを備え、前記回路設計は、前記インダクタのインダクタンスと、前記静電放電保護の量と、前記インダクタの巻線の幅とを備える、システム。

【請求項 11】

前記選択的に調整するステップは、
前記寄生ブリッジ容量の比率を、前記 T - コイルの入力ノードにおける物理的キャパシタを含まない前記負荷容量基準で調整するステップを備える、請求項 10 に記載のシステム。

【請求項 12】

前記寄生ブリッジ容量を決定するステップは、前記 T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量と、前記 T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、前記インダクタの、 C_{BI} で示される巻線間容量とに従って、前記寄生ブリッジ容量を決定するステップを備える、請求項 10 または 11 に記載のシステム。

【請求項 13】

前記寄生ブリッジ容量を、
$$C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$$
に従って算出するステップをさらに備え、 C_B は、前記寄生ブリッジ容量を示す、請求項 10 ~ 12 のいずれか 1 項に記載のシステム。

【請求項 14】

前記選択的に調整するステップは、
前記ブリッジ容量が前記負荷容量基準未満である場合に、前記インダクタの前記巻線の幅を増加させるステップを備える、請求項 10 , 12 , 13 のいずれか 1 項に記載のシステム。

【請求項 15】

前記選択的に調整するステップは、
前記ブリッジ容量が前記負荷容量基準を超える場合に、前記静電放電保護の量を増加させるステップを備える、請求項 10 , 12 , 13 のいずれか 1 項に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

この明細書内に開示された 1 以上の実施形態は集積回路装置 (IC) に関する。より特定のには、1 以上の実施形態は、IC の高周波数の入力または出力で用いるための T - コ

10

20

30

40

50

イル回路網を備える回路の設計に関する。

【背景技術】

【0002】

集積回路装置（ＩＣ）に与えられる入力または出力（以後「入出力」と呼ぶ）信号の周波数は、長い期間をかけて確実に増加してきた。入出力信号の周波数が無線周波数（ＲＦ）領域に達してギガヘルツ領域に近づくにつれて、入出力ノードにおける複素インピーダンスがしばしば生じる。ＩＣ入出力ノードの複素インピーダンスは、入出力信号のソースとＩＣの入出力ノードとの間にインピーダンス整合の問題を生じさせ得る。インピーダンスの不整合は、一般的なＩＣでなくとも、入出力ノードの性能を低下させ得る。

【0003】

10

複素インピーダンスは、ＩＣの入出力ノードに結合される素子に関連する多数の小さな容量およびインダクタンスの関数である。これら小さな容量およびインダクタンスは、ゲート容量、配線に関連するインダクタンスおよび容量、パッケージのボンディングワイヤのインダクタンス、入出力パッドに関連する容量、静電放電構造に関連する容量などを含み得る。

【0004】

入出力信号のソースとＩＣの入出力ノードとの間のインピーダンス不整合は、入出力信号の電力のうちのある割合が、入出力ノードから入出力信号のソースへと反射して戻るため、入出力ノードへの信号電力の非効率的な伝達をもたらす。さらに、小さなインダクタンスおよび容量が、高周波数においてより重要となるために、インピーダンス不整合は入出力ノードの帯域における減少をもたらす。

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

信号電力の損失を避けるために、ＲＦシステムは、純粋な抵抗性インピーダンスを各々のＲＦ入出力およびＲＦ出力において生成することを目指している。ＩＣ入出力ノードにおける複素インピーダンスを弱めるために、複素インピーダンスを相殺することを求める整合回路が、ＩＣの入出力ノードにおいて実現可能である。整合回路がない場合、多くのＩＣ入出力は、所望の入出力信号の周波数範囲よりもかなり低い最大動作周波数で帯域制限されるであろう。

30

【課題を解決するための手段】

【0006】

概要

この明細書の中で開示される１以上の実施の形態は、集積回路装置（ＩＣ）に関し、より特定的には、ＩＣの高周波入出力で用いるためのＴ－コイル回路網を備える回路を設計することに関し得る。１つの実施形態は、プロセッサとメモリとを備えるシステムを用いて、Ｔ－コイル回路網を備える回路設計を生成する方法を含み得る。方法は、インダクタのインダクタンスおよびＴ－コイル回路網の寄生ブリッジ容量を決定するステップと、寄生ブリッジ容量を、Ｔ－コイル回路網の出力に結合された負荷の寄生容量に依存する負荷容量基準と比較するステップとを含み得る。Ｔ－コイル回路網の出力に結合された回路設計の静電放電（ＥＳＤ）保護の量、および／またはＴ－コイル回路網のインダクタのパラメータが、その比較に従って選択的に調整され得る。インダクタのインダクタンスを特定し得る回路設計、ＥＳＤ保護の量、および／またはインダクタの巻線の幅が出力され得る。

40

【0007】

この方法において、選択的に調整するステップは、寄生ブリッジ容量の比率を、Ｔ－コイルの入力ノードにおける物理的キャパシタを含まない負荷容量基準で調整するステップを含み得る。寄生ブリッジ容量を決定するステップは、Ｔ－コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量と、Ｔ－コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、インダクタの、 C_{BI} で示される巻線間容量とに従って、寄生ブ

50

リッジ容量を決定するステップを備え得る。

【 0 0 0 8 】

この方法は、さらに、 $C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$ に従って寄生ブリッジ容量を算出するステップを含み、 C_B は寄生ブリッジ容量である。選択的に調整するステップは、ブリッジ容量が負荷容量基準未満である場合に、インダクタの巻線の幅を増加させるステップを備え得る。選択的に調整するステップは、ブリッジ容量が負荷容量基準を超える場合に、静電放電保護の量を増加させるステップを備え得る。インダクタのインダクタンスおよびT - コイル回路網の寄生ブリッジ容量を決定するステップは、T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量の初期値と、T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量の初期値と、負荷の寄生容量の初期値とを決定するステップ；インダクタの初期値を評価するステップ；インダクタの初期値に従って、インダクタの、 C_{BI} で示される巻線間容量の初期値を決定するステップ；および C_B で示される寄生ブリッジ容量の初期値を決定するステップを備え得るが、寄生ブリッジ容量は、 C_{TM} 、 C_{PD} 、 C_{BI} の各々に依存する。

10

【 0 0 0 9 】

この方法は、さらに、寄生ブリッジ容量の初期値を用いてインダクタの更新値を算出するステップ；インダクタの更新値を用いて、インダクタの巻線間容量の更新値を決定するステップ；および巻線間容量の更新値に従って寄生ブリッジ容量の更新値を算出するステップを備え得る。加えて、方法は、負荷容量基準を、負荷の寄生容量の1 / 12に選択するステップをさらに備え得る。

20

【 0 0 1 0 】

別の実施の形態は、T - コイル回路網を備える回路設計を生成するためのシステムを含み得る。システムは、プログラムコードを記憶するメモリと、メモリに結合されて、プログラムコードを実行すると、複数の動作を実行するように構成されたプロセッサとを含み得る。動作は、インダクタのインダクタンスおよびT - コイル回路網の寄生ブリッジ容量を決定するステップと、寄生ブリッジ容量を、T - コイル回路網の出力に結合された負荷の寄生容量に依存する負荷容量基準と比較するステップとを含み得る。プロセッサは、さらに、T - コイル回路網の出力に結合された回路設計のESD保護の量、またはT - コイル回路網のインダクタのパラメータを、寄生ブリッジ容量と負荷容量基準との比較に従って選択的に調整するように構成され得る。プロセッサは、回路設計を出力し得る。回路設計は、インダクタのインダクタンス、ESD保護の量、およびインダクタの巻線の幅を特定し得る。

30

【 0 0 1 1 】

このシステムにおいて、選択的に調整するステップは、寄生ブリッジ容量の比率を、T - コイルの入力ノードにおける物理的キャパシタを含まない負荷容量基準で調整するステップを含み得る。寄生ブリッジ容量を決定するステップは、T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量と、T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、インダクタの、 C_{BI} で示される巻線間容量とに従って、寄生ブリッジ容量を決定するステップを備える。システムは、 $C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$ に従って寄生ブリッジ容量を算出するステップをさらに含み得るが、 C_B は、寄生ブリッジ容量を示す。選択的に調整するステップは、ブリッジ容量が負荷容量基準未満である場合に、インダクタの巻線の幅を増加させるステップを備え得る。選択的に調整するステップは、ブリッジ容量が負荷容量基準を超える場合に、静電放電保護の量を増加させるステップを備え得る。

40

【 0 0 1 2 】

別の実施の形態は、プロセッサとメモリとを備えるシステムによって使用可能なデータ記憶媒体を含む装置を含み得る。データ記憶媒体は、システムによって実行されるときに、実行可能な動作をシステムに実行させるプログラムコードを保存し得る。実行可能な動作は、インダクタのインダクタンスおよびT - コイル回路網の寄生ブリッジ容量を決定するステップを含み得るとともに、寄生ブリッジ容量を、T - コイル回路網の出力に結合さ

50

れた負荷の寄生容量に依存する負荷容量基準と比較するステップを含み得る。実行可能な動作は、さらに、T - コイル回路網の出力に結合された回路設計のESD保護の量、または、T - コイル回路網のインダクタのパラメータを、寄生ブリッジ容量と負荷容量基準との比較に従って、選択的に調整するステップを含み得る。加えて、実行可能な動作は、回路設計を出力するステップをさらに含み得る。回路設計は、インダクタのインダクタンス、ESD保護の量、およびインダクタの巻線の幅を含み得る。

【0013】

この装置において、選択的に調整するステップは、寄生ブリッジ容量の比率を、T - コイルの入力ノードにおける物理的キャパシタを含まない負荷容量基準で調整するステップを含み得る。寄生ブリッジ容量を決定するステップは、T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量と、T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、インダクタの、 C_{BI} で示される巻線間容量とに従って、寄生ブリッジ容量を決定するステップを備え得る。システムは、 $C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$ に従って、寄生ブリッジ容量を算出するステップを含む、実行可能な動作を実行し得るが、 C_B は寄生ブリッジ容量を示す。選択的に調整するステップは、ブリッジ容量が負荷容量基準未満である場合に、インダクタの巻線の幅を増加させるステップ；およびブリッジ容量が負荷容量基準を超える場合に、静電放電保護の量を増加させるステップを備え得る。

【図面の簡単な説明】

【0014】

【図1】1つの実施の形態に従う、集積回路装置(IC)内の実現例のためのT - コイル回路網を設計するためのシステムを示すブロック図である。

【図2】別の実施の形態に従う、T - コイル回路網を備える例示的な回路を示した回路図である。

【図3】別の実施の形態に従う、ICのためのT - コイル回路網を設計する方法を示したフローチャートである。

【発明を実施するための形態】

【0015】

図面の詳細な説明

明細書は、新規と見なされる1以上の実施の形態の特徴を定義する特許請求の範囲で結論付けられるが、その実施の形態は、図面とともに明細書を考慮することによってよりよく理解されるであろう。要求されるように、本明細書では詳細な実施の形態が開示される。しかしながら、開示された実施の形態は、発明の構成の単なる例であって、さまざまな他の形態で実現可能である。したがって、本明細書で開示された具体的な構造上および機能上の詳細は、限定するものと解釈されるべきではなく、単に、特許請求の範囲の基礎、および、本発明の構成が仮想的に、任意の適切に詳細な構造でさまざまに採用されることを当業者に教示するための代表的な基礎として解釈されるべきである。さらに、本明細書で用いられる用語および文言は、制限することを意図するものではなく、1以上の実施の形態の理解できる説明を提供することを意図するものである。

【0016】

この明細書内に開示される1以上の実施の形態は、半導体集積回路装置(IC)に関する。より特定的には、1以上の実施の形態は、ICの入出力ノードで用いるためのT - コイル回路網を設計することに関する。この明細書内に開示された発明の構成に従うと、T - コイル回路網設計技術は、従来の設計技術では見落とされる容量を考慮することを提供する。1以上の実施の形態は、さらに、T - コイル設計の局面を、より多くの静電放電(ESD)素子を追加すること、および/またはT - コイル回路網のインダクタのコイルの幅のような、T - コイル回路網のインダクタのパラメータを変更することによって変更して、異なる容量の量を釣り合わせる。両方のアプローチは、T - コイル回路網の帯域を最大化して歪みを最小化するのに役立つだけでなく、ICの入出力ノードに設けられるESD保護を増加させる機能を果たす。

【 0 0 1 7 】

図 1 は、1 つの実施の形態に従う、I C 内の実現例のための T - コイル回路網を設計するためのシステム 1 0 0 を示すブロック図である。1 つの局面において、システム 1 0 0 は、I C 内での実体化のための 1 つ以上の T - コイル回路網設計を生成可能である。

【 0 0 1 8 】

図 1 に図示されるように、システム 1 0 0 は、システムバス 1 1 5 を通じてメモリ素子 1 1 0 に結合される少なくとも 1 つのプロセッサ 1 0 5 を含み得る。したがって、システム 1 0 0 は、メモリ素子 1 1 0 内にプログラムコードを記憶することができる。プロセッサ 1 0 5 は、システムバス 1 1 5 を介してメモリ素子 1 1 0 からアクセスされたプログラムコードを実行する。1 つの局面において、たとえば、システム 1 0 0 は、プログラムコードを記憶および / または実行するのに適しているコンピュータとして実現可能である。しかしながら、システム 1 0 0 は、この明細書内で説明される機能を実行することが可能な、プロセッサおよびメモリを備える任意のシステムの形態で実現可能であるということが理解されるべきである。

【 0 0 1 9 】

メモリ素子 1 1 0 は、たとえば、ローカルメモリ 1 2 0 および 1 以上のバルク記憶装置 1 2 5 のような 1 つ以上の物理記憶装置を含み得る。ローカルメモリ 1 2 0 は、プログラムコードの実際の実行の間に一般的に用いられる、ランダムアクセスメモリまたは他の非永続型のメモリ素子と呼ばれる。バルク記憶装置 1 2 5 は、ハードドライブまたは他の永続型データ記憶装置として実現可能である。システム 1 0 0 は、また、1 以上のキャッシュメモリ (図示せず) を含み得るが、そのキャッシュメモリは、実行の間にバルク記憶装置 1 2 5 から読出される必要があるプログラムコードの読出回数を減少させるために、少なくともいくつかのプログラムコードの一時的な記憶を提供する。

【 0 0 2 0 】

入出力 (I / O) 装置、たとえばキーボード 1 3 0、ディスプレイ 1 3 5 およびポインティング装置 (図示せず) が任意選択的にシステム 1 0 0 に結合可能である。I / O 装置は、システム 1 0 0 に直接的に、または介在する I / O コントローラを通じてのいずれかによりシステム 1 0 0 に結合可能である。ネットワークアダプタもまたシステム 1 0 0 に結合可能であり、システム 1 0 0 が介在するプライベートネットワークまたは公共ネットワークを通じて他のシステム、コンピュータシステム、リモートプリンタ、および / またはリモート記憶装置に結合されることを可能にする。モデム、ケーブルモデムおよびイーサネット (登録商標) カードが、システム 1 0 0 で用いられることが可能な異なる種類のネットワークアダプタの例である。

【 0 0 2 1 】

メモリ素子 1 1 0 は、回路設計モジュール 1 4 0 を含み得る。回路設計モジュール 1 4 0 は、実行可能なプログラムコードの形態で実現されるが、システム 1 0 0 によって実行可能である。回路設計モジュール 1 4 0 は、T - コイル回路網を備える回路の設計仕様を受けることができる。回路設計モジュール 1 4 0 は、さらに、1 以上の要素、回路設計の局面、および / またはそのような回路設計に含まれる T - コイル回路網に対する抽出された要素の値を決定および / または取得する (たとえば読出す) ことができるが、その要素の値はメモリ素子 1 1 0 の中に記憶される。T - コイル回路網は、一般的に 2 つのインダクタを含み、それら 2 つのインダクタは直列に入出力負荷に結合され、入出力負荷はその 2 つのインダクタの間の結合点において T - コイル回路網に結合される。T - コイル回路網は、I C 入出力における容量性負荷に関連する複素インピーダンスを減少または相殺することができる。I C の入出力ノードにおける T - コイル回路網の実現例は、入出力ノードの帯域を増加させることができる。この改善は、たとえば、リターンロスの低減、ビットエラーレートの減少、またはパワーゲインの増加によって入出力ノードのよりよい R F システム性能をもたらす。

【 0 0 2 2 】

設計仕様および抽出された要素の値を用いて、回路設計モジュール 1 4 0 は、 C_B とし

10

20

30

40

50

て示される、T - コイル回路網内の2つのインダクタの間の全ブリッジ容量の第1の推定値を決定することができる。回路設計モジュール140は、 L_1 および L_2 として示される、T - コイル回路網内の2つのインダクタの各々の値を、 C_B の第1の値と、 $C_L/12$ として示される、T - コイル回路網の出力ノードにおいて見た負荷容量基準とのうちの大きい方を用いて算出することができる。回路設計モジュール140は、 L_1 および L_2 の値を用いて導かれた巻線間容量を用いて C_B の第2の値を決定することができる。

【0023】

回路設計モジュール140は、 C_B の値を、 C_L の値に依存する基準、たとえば負荷容量基準と比較して、 C_B の値または C_L の値のいずれかを、それら2つの値が等しくなるか、またはほぼ等しくなる(たとえば互いに所定の範囲または許容度内に入る)まで増加させる。たとえば、 L_1 および L_2 の巻線間容量を増加することによって、 C_B を増加させることができる。たとえば、T - コイル回路網の出力ノードに印加されるESD保護の量を増加させることによって、 C_L を増加することができる。

10

【0024】

C_B 、 C_L 、 L_1 および L_2 の値のような結果としてのパラメータ、用いられるESD保護の量、および、たとえばインダクタの巻線の幅のようなインダクタ L_1 および L_2 に関する他のパラメータが、回路設計145から出力されあるいはその中に含まれるとともに、メモリ素子110内に記憶されることができる。本明細書で用いられるように、「出力している(outputting)」および/または「出力する(output)」は、メモリ素子110内に記憶すること、たとえば、メモリ素子110内に記憶されるファイルを書込むこと、ディスプレイ135または他の周辺出力装置に書込むこと、音での通知を行なうこと、他のシステムに送信または転送すること、エクスポートすることなどを意味することができる。

20

【0025】

図2は、他の実施の形態に従うT - コイル回路網を備える例示的な回路200を示す回路図である。回路200は、ICの入出力ノードを示している。示されるように、T - コイル回路網は、ICの入出力に入出力信号を与えるソースの出力のインピーダンスで、ICの入出力ノードのインピーダンスの整合を改善するように実現されてきた。回路200は、入出力装置205と、入出力パッド210と、ESD素子215および220と、T - コイル回路網225とを含み得る。

【0026】

30

入出力素子205は、外部の高周波信号を入出力として受けるように構成された、IC内の任意の入出力素子であり得る。入出力素子205は、IC内の追加の入出力回路に結合可能である。追加の入出力回路は、入出力パッド210を介して受信された入出力信号を処理するための入出力素子205に結合可能な、追加の素子または回路を表わす。

【0027】

入出力信号は入出力パッド210に与えられる。入出力信号は、無線周波数(RF)入出力信号であり、たとえば高速デジタル信号であり得る。入出力パッド210は、IC製造プロセス内で適用可能な任意のパッド構造であり得て、ICの外部の信号をICの内部回路に与えることができる。入出力パッド210は、T - コイル入出力ノード(入出力ノード)235においてT - コイル回路網225に結合される。入出力パッド210は、入出力信号を入出力素子205に結合させる信号経路の一部であり得る。

40

【0028】

ESD素子215および220はT - コイル出力ノード(出力ノード)240に結合される。出力ノード240は、入出力素子205に信号を与える。図2において、ESD素子215および220はESDダイオードとして実現される。しかしながら、ESD素子215および220は、IC製造プロセス内において、ESD事象からの保護を入出力素子205に与えることが可能な任意の素子であり得る。たとえば、ESD素子215および220は、ダイオードであり得るが、ESD素子215および220は、ダイオードのみに限定されるものではない。

【0029】

50

T - コイル回路網 225 は、L 250 および L 255 として示される 2 つのインダクタと、 $R_{TM} 260$ として示される終端抵抗とを含み得る。T - コイル回路網 225 は、複数の寄生容量を含み得る。寄生容量は、現実の回路要素ではないが、図 2 においては、 $C_L 245$ 、 $C_{BI} 265$ 、 $C_{TM} 270$ および $C_{PD} 275$ として表わされている。

【0030】

$C_L 245$ は、出力ノード 240、すなわち、入出力素子 205 の入出力ノードに現れる寄生容量の和を示す。したがって、 $C_L 245$ は、T - コイル回路網 225 から見た負荷容量を表わす。 $C_L 245$ は、出力ノード 240 に結合される素子に関連するさまざまな寄生容量を含み得る。たとえば、 $C_L 245$ は、入出力素子 205 に関連付けられるゲート容量、出力ノード 240 に素子を結合させる配線に関連付けられる容量、ESD 素子 215 および 220 に関連付けられる容量などを含み得る。 $C_L 245$ は、IC および IC パッケージに関連付けられるさまざまな寄生インダクタおよび寄生容量とともに、高周波入出力信号を入出力素子 205 に与えるソースに対して複素インピーダンスを生成し得る。

【0031】

$C_{BI} 265$ はインダクタ L 250 および L 255 に関連付けられる巻線間容量を表わす。この明細書内で用いられるように、「巻線間容量」は、接近して配置されたインダクタの巻線の間の容量性結合によって生じる寄生容量を指す。巻線間容量は、インダクタの巻線の幅が増大するにつれて増大する。それに対して、巻線間容量は、巻線の幅が減少するに従って減少する。すなわち、 $C_{BI} 265$ の値は、L 250 および L 255 の各々の巻線の幅が増大するにつれて増大する。 $C_{BI} 265$ の値は、L 250 および L 255 の各々の巻線の幅が減少するにつれて減少する。L 250、L 255 の値は一致しているので、 C_{BI} の値は、場合によっては、L 250 および L 255 の一方または両方の幅に従って増大または減少するということができる。

【0032】

インダクタの巻線の幅は、インダクタおよび T - コイル回路網の変更されるべき 1 つのパラメータとして挙げられているが、インダクタの経路に関する他のパラメータも、同様に、変更され得て、インダクタ L 250 および L 255 の巻線間容量 $C_{BI} 265$ における変化の効果をもたらすということが理解されるべきである。たとえば、インダクタ L 250 および 255 の巻線間の間隔、たとえば距離が変更され得る。別の例において、接地された金属シールドが T - コイルの真下に配置され得る。シールドの局面がさらに変更され得て巻線間容量 C_{BI} に影響を与える。

【0033】

$C_{TM} 270$ は、終端抵抗 $R_{TM} 260$ と関連付けられたさまざまな容量を表わし得る。たとえば $C_{TM} 270$ は、IC の下地基板層の上に $R_{TM} 260$ を実現するために用いられるポリシリコン層の間の容量性結合によって生成された寄生容量を表わし得る。 $C_{PD} 275$ は、入出力パッド 210 に関連付けられたさまざまな容量を表わし得る。たとえば、 $C_{PD} 275$ は、入出力パッド 210 を実現するために用いられる金属層と、IC の下地基板層との間の容量性結合によって生成される寄生容量を表わし得る。

【0034】

寄生容量 $C_{BI} 265$ 、 $C_{TM} 270$ および $C_{PD} 275$ は、集合的に、T - コイル回路網 225 のブリッジ容量と呼ばれ得る。1 つの実施の形態において、 C_B として示されるブリッジ容量は、概して、 $C_{PD} 275$ と $C_{TM} 270$ との直列の結果の量と $C_{BI} 265$ との並列を考慮することによって決定され得る。この関係は、 $C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$ という式で書き直すことができる。明確さの目的のため、図 2 の参照符号は、書き直された式から排除されている。

【0035】

入出力ノードにおいて実現された場合、T - コイル回路網 225 は、入出力素子 205 と関連付けられる複素インピーダンスを相殺することができるとともに、高周波入出力信号を生成して入出力素子 205 を駆動するソースに、主として抵抗性のインピーダンスを

10

20

30

40

50

与えることができる。典型的には、RFシステムの入出力ノードは、50オームの整合特性インピーダンスを有するように設計される。したがって、ソース抵抗 (R_{source}) および $R_{TM} 260$ の各々は、ほぼ50オームの特性インピーダンスで実現可能である。T-コイル回路網 225は、適切に実現された場合には、入出力信号を生成するソースの出力から見た複素インピーダンスを相殺するという効果を有し得て、その結果、このソースから見て、ICの入出力ノードは、 $R_{TM} 260$ にほぼ等しいソース抵抗 (R_{source}) を有する、純粋な抵抗性となる。

【0036】

従来のT-コイル回路網設計技術は、 C_{BI} を評価して、 C_{BI} がキャンセル方程式によって要求されるよりも小さいかどうかを決定し、その評価に基づいて、物理的キャパシタ C_{BL} を付加して相殺の要求を満たすというものである。より特定的には、 C_{BI} の評価に基づいて、従来のT-コイル回路網設計技術は、物理的キャパシタ C_{BL} を取入れるが、その物理的容量は入出力ノード 235 およびノード 298 と結合されるであろう。そのような技術は、入出力信号を生成するソースが適切に駆動可能な許容値へと、 $C_L 245$ を減少することを要求するものである。 $C_L 245$ に影響を与える他の考慮は、たとえば、望まれるESD保護の量およびICの入出力ノードにおける帯域の最大許容損失である。すなわち、処理は、理想的な仮定より小さいところから始まる。 $L 250$ および $L 255$ の値は $C_L 245$ の関数として算出される。 k の値は、 $L 250$ と $L 255$ との間の相互インダクタンスであるが、 0.5 ± 0.1 に設定される。次に $C_{BI} 265$ は $L 250$ および $L 255$ を以前に算出された値に設定して、電磁 (EM) シミュレーションを用いて抽出される。 $C_B = C_{BI} + C_{BL}$ の関係を用いて、 C_{BL} は、 $C_B = C_L / 12$ となるまで増大し得て、帯域を最大化させる。

【0037】

上記のような従来のT-コイル回路設計技術は、図2においてモデル化された、 $C_{TM} 270$ および $C_{PD} 275$ によって生成されるループバック容量を考慮していない。従来のT-コイル回路網設計技術から、 $C_{TM} 270$ および $C_{PD} 275$ を排除し、あるいは無くすことは、T-コイル回路網と、入出力信号を生成するソースとの不正確なインピーダンス整合をもたらす。従来のT-コイル回路網設計技術の範囲内では、ブリッジ容量 C_B は、したがって、 $C_B = C_{BI} + C_{BL}$ として定義される。従来のT-コイル回路網設計技術は、さらに、 $C_L 245$ の値に従って、 $L 250$ および $L 255$ の値と、 $L 250$ および $L 255$ のパラメータとを決定する。 $C_B = C_L / 12$ でICの入出力ノードの帯域を最大化するという条件を達成するために、上述のように、物理的キャパシタ C_{BL} が典型的に含まれる。

【0038】

この明細書内に開示された発明の構成に従うと、 C_B および $C_L / 12$ が比較されて、インダクタを設計することができる。ループバック容量 $C_{PD} 275$ および $C_{TM} 270$ は、その設計技術においてモデル化されるとともに含まれる。 $C_{TM} 270$ および $C_{PD} 275$ は、計算によって決定され得るが、その計算はシリコンデータ、レイアウトデータベースから抽出された二次元または三次元のEMシミュレーション、または $R_{TM} 260$ および入出力パッド 210に関連付けられた寄生容量を導出する任意の他の方法に基づく。そのような技術を用いることにより、インダクタ $L 250$ および $L 255$ のための $C_{BI} 265$ の初期評価がなされ得る。たとえば、 $C_{BI} 265$ は、インダクタ $L 250$ および $L 255$ の値を用いて初めに評価され得るが、その値はICの入出力ノードに対する所望の帯域を与える。本明細書に開示される1つ以上の実施の形態に従う、T-コイル回路網の設計に関するさらなる詳細が、図3を参照して与えられる。

【0039】

図3は、別の実施の形態に従う、IC内の使用のためのT-コイル回路網を設計する方法 300を示すフローチャートである。方法 300は、図1を参照して記述されたようなシステムを用いて実現され得る。概して、方法 300は、IC入出力ノードにおける帯域およびESD性能を増大させるためのT-コイル回路網設計の方法を記述する。そのよう

に行なう際に、方法 300 は、図 2 を参照してモデル化されるとともに記述された回路デザインを利用する。

【0040】

ステップ 305 において開始されると、システムは終端抵抗の寄生容量 C_{TM} と、入出力ノードのパッドの寄生容量 C_{PD} と、負荷容量 C_L との値を決定する。この情報は、たとえばデータベースから得ることができ、パッド、T - コイル抵抗および入出力素子の容量の特性は既知である。それらの値は、たとえば、先立つシミュレーション、または同じ製造プロセスを用いて先に実現された IC の、測定された特性から決定可能または決定されたものであるだろう。

【0041】

ステップ 310 において、システムは、T - コイル回路網の各々のインダクタを表わす L の値を評価し得る。まず、 L の値は、さまざまな要因に基づいて評価され得るが、その要因とは、たとえば IC の入出力の所望の帯域、用いられる ESD 素子の数および種類に関する ESD 保護の量などである。ステップ 315 において、インダクタの物理的記述が生成され得る。インダクタの物理的記述は、図 2 を参照して説明されるようにモデル化され得るとともに、インダクタのさまざまなパラメータの各々の物理的モデルを含み得る。インダクタの物理的記述は、ステップ 310 において決定された L の値を用いて決定可能である。たとえば、ステップ 310 において決定された L の初期値が与えられると、システムは自動的にインダクタの物理的記述を生成可能であるが、その物理的記述は、EM シミュレーションを実行するための EM シミュレータを用いて、ステップ 310 において決定された L の初期値を与えることが見込まれるものである。生成された物理的記述は、たとえば、これに限定されないが、各々のインダクタの巻線の数、巻線の初期の幅、 k の値などを特定し得る。これらのパラメータは、インダクタンス L の初期決定された値に基づいて決定可能である。

【0042】

ステップ 320 において、システムは、巻線間容量 C_{B1} の初期値を決定し得る。 C_{B1} として示される C_{B1} の初期値は、ステップ 315 において記述される T - コイル回路網の回路設計に従って決定され得るが、ステップ 310 からの L の評価値は、図 2 を参照して説明されるような、T - コイル回路網の物理的レイアウトを特定する回路設計に挿入される。1 つの実施形態において、 C_{B1} として示される C_{B1} の初期値は、EM シミュレータによって決定され得るとともに EM シミュレーションから抽出され得る。EM シミュレーションは、システムまたは別の電気自動設計ツールによって実行可能であり、システムに提供可能である。1 つの局面において、ステップ 315 および 320 を参照して説明される EM シミュレーションは、1 つの（たとえば単一の）EM シミュレーションであり得るが、そのシミュレーションから、インダクタのパラメータおよび C_{B1} の初期値が決定される。

【0043】

ステップ 325 において、ステップ 320 において決定された巻線間容量 C_{B1} を用いて、 C_{B1} として示される C_B の初期値が決定される。図 2 を参照して示されるように、 $C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{B1}$ である。ステップ 330 において、システムは、ステップ 325 において決定された C_{B1} の値を用いて、T - コイル回路網のインダクタのための L の目標値を算出し得る。 L の目標値は、 $L = 4 \times (C_{max} \times R_{TM}^2)$ との式を用いて決定され得るが、ここで C_{max} は C_B または $C_L / 12$ の値のうちのいずれか大きい方を表わす。この例において、 C_B は、 C_{B1} で置換可能である。 C_L の値は、ステップ 305 において決定された値であり得る。

【0044】

ステップ 330 において算出された L の目標値を用いて、ステップ 335 において、システムは、 C_{B12} として示される C_{B1} の更新値を決定し得る。1 つの実施形態において、 C_{B12} の値は、三次元 EM シミュレータを用いて算出され得るが、シミュレータは T - コイル回路網の物理的レイアウトを特定する回路設計上で動作し、その T - コイル回路網は

10

20

30

40

50

ステップ 330 において決定された L の値を取込む。L の目標値が用いられるので、T - コイル回路網の物理的モデル中のインダクタの 1 以上の他のパラメータが、システムによって、たとえば自動的に、あるいはそのような更新パラメータを特定するユーザの入出力に応答して、変更および / または更新されて、ステップ 330 において算出された L の目標値を与える、ということが理解されるべきである。ステップ 340 において、システムは、 C_{B2} として示される C_B の更新値を決定し得る。 C_{B2} は、以前に示した $C_{B2} = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{B1}$ との式に従って決定可能であり、 C_{B1} に代えて C_{B12} が用いられる。

【0045】

ステップ 345 において、システムは、 C_B の最新値、たとえば C_{B2} を負荷容量基準と比較し得る。1 つの実施の形態において、負荷容量基準は、 $C_L / 12$ として定義され得る。したがって、 C_B の最新値、たとえば C_{B2} は、 $C_L / 12$ と比較され得て、 C_B が負荷容量基準未満であるかどうか決定される。 C_B の値が $C_L / 12$ の値未満である場合、方法 300 は、ステップ 350 へと進むことができる。ステップ 350 において、インダクタの 1 以上のパラメータが調整され得る。たとえば示されるように、回路設計の物理的レイアウトにおいて特定される、T - コイル回路網内のインダクタの巻線が、 C_B の値を変更するために調整され得る。より特定的には、T - コイル回路網のインダクタの巻線の幅が増加し得る。T - コイル回路網のインダクタの巻線の幅を増加させることは、 C_{B1} の巻線間容量を増加させるが、それはしたがって C_B の値を増加させる。T - コイル回路網のインダクタの巻線の幅を増加させることは、また、インダクタ L を通じた直列抵抗を減少させるが、それは T - コイル回路網の ESD 性能を増大させる。したがって、ステップ 350 の後で、方法 300 はステップ 335 に戻って処理を継続することができる。

【0046】

C_B の値が負荷容量基準（この場合は $C_L / 12$ ）以上である場合、方法 300 はステップ 355 に進むことができる。 C_L の値を 12 で割った値（たとえば負荷容量基準）が C_{B2} と等しい場合に、回路設計によって特定された T - コイル回路網を利用する入出力ノードの帯域が最大化されるということが理解されるべきである。より特定的には、均一時間遅延応答の帯域が最大化される。

【0047】

ステップ 355 において、システムは負荷容量基準 $C_L / 12$ の値が C_B の値に等しいかどうかを決定し得る。 $C_L / 12$ の値が C_B の値に等しい場合、方法 300 はステップ 365 に進むことができ、したがって均一時間遅延応答の帯域が最大化される。均一時間遅延応答を最大化することは、受信したデジタル信号の歪みを効果的に最小化する。 $C_L / 12$ の値が C_B の値と等しくない場合、たとえば C_B の値が $C_L / 12$ の値より大きい場合、方法 300 はステップ 360 に進むことができる。ステップ 360 において、IC の入出力ノードに与えられた ESD 保護の量が増加し得る。T - コイル回路網の物理的レイアウトを特定する回路設計が更新され得て、増大した ESD 保護を含む。たとえば、多数の ESD 素子が増加するか、または T - コイル回路網の出力における ESD 素子のサイズが増大し得る。述べられたような、ESD 保護の量を増大させることは寄生容量 C_L を増大させる。方法 300 は繰返し可能であり、したがって、ステップ 355 において決定されるように、 $C_L / 12$ が C_B の値と等しくなる、または、ある所定の許容度または範囲内においてほぼ等しくなるまで C_L が増大し続ける。

【0048】

ステップ 365 において、回路設計が出力され得る。回路設計は、T - コイル回路網の物理的レイアウトを特定し得るが、したがって、インダクタの値、インダクタの巻線の幅、負荷容量、寄生ブリッジ容量、ESD 保護の量などを含むがこれらに限定されないパラメータを特定し得る。

【0049】

この明細書の中で開示された 1 以上の実施の形態は、IC の入出力ノードでの使用のための T - コイル回路網の設計に関する。1 以上の実施の形態は、T - コイル回路網のプリ

ツジ容量を決定するための、より正確なモデルと処理とを与える。本明細書において開示される T - コイル回路網設計処理は、本質的に繰返されるものであり、T - コイル回路網のインダクタのループ幅を変化させる、および / または、IC の入出力ノードに与えられる ESD 保護を増大させることによって、T - コイル回路網の帯域を最大化することを求めるものである。本明細書に開示された 1 つ以上の実施の形態は、従来の T - コイル回路網設計技術が行なうように、帯域を最大化するために物理的キャパシタ C_{BL} を含むということを必要とするものではない。

【0050】

さらに、この明細書の中で開示された 1 以上の実施の形態は、設計 / 最適化の実行または技術の一部として、あるいはその中で用いられ得るものであり、T - コイル回路網の性能を最大化するための助言を与えるものである。1 つ以上のステップが、手動で実行可能であるとともに入出力としてシステムに与えられることができる。たとえば、シミュレーションの使用に代えて、回路設計者がテスト IC を製造することができる、そのテスト IC から、寄生容量の値および / または T - コイル回路網の他のパラメータを決定することができる。回路設計者は、この明細書の中で述べられたような値の調整の多数の繰返しと、シミュレーションに代わるさらなるテスト IC の作製を通じて、インダクタおよび / または T - コイル回路網を最適化することを継続できる。

10

【0051】

図におけるフローチャートは、1 以上の実施の形態に従う、システム、方法およびコンピュータプログラム製品の、可能な実現のアーキテクチャ、機能および動作を示す。この点において、フローチャートにおける各々のブロックは、モジュール、セグメントまたはコードの一部を表わし得るが、それらは具体化された論理機能を実現する実行可能なプログラムコードの 1 つ以上の部分を備える。

20

【0052】

いくつかの代わりの実現例において、ブロックに示された機能は、図に示された順番と異なる順番で行なわれ得るということが理解されるべきである。たとえば、連続的に示されている 2 つのブロックが、実際には、実質的に同時に実行され可能であり、あるいは、複数のブロックが、含まれる機能に依存して、逆の順番で実行されることも可能である。また、フローチャートで示す各々のブロック、およびフローチャートで示す複数のブロックの組合せは、特定の機能または動作を実行する、特定目的のハードウェアベースのシステム、あるいは特定の目的のハードウェアおよび実行可能な指示の組合せによって実行可能であるということも理解されるべきである。

30

【0053】

1 つ以上の実施形態は、ハードウェア、または、ハードウェアおよびソフトウェアの組合せにおいて実現可能である。1 つ以上の実施形態は、1 つのシステムに集中した方式、あるいは異なる要素がいくつかの相互接続されたシステムに広がる分散方式において実現可能である。任意の種類のデータ処理システムまたは本明細書で説明された方法を実行するように適合された他の装置が適している。

【0054】

1 つ以上の実施形態は、さらに、コンピュータプログラム製品のような装置に実装可能であるが、コンピュータプログラム製品は、本明細書において開示された方法の実行を可能にするすべての特徴を備える。装置は、データ記憶媒体を含み得るが、データ記憶媒体は、たとえばコンピュータ利用可能またはコンピュータ読取可能な媒体であり、メモリおよびプロセッサを備えるシステムにおいてロードされて実行されたときに、システムに、本明細書において開示された機能を実行させるプログラムコードを記憶する。データ記憶媒体の例は、これらに限定されないが、光学媒体、磁気媒体、磁気光学媒体、ランダムアクセスメモリまたはハードディスクのようなコンピュータメモリなどを含み得る。

40

【0055】

「コンピュータプログラム」、「ソフトウェア」、「アプリケーション」、「コンピュータ利用可能なプログラムコード」、「プログラムコード」、「実行可能なコード」、そ

50

れらの変形および／または組合せは、この文脈において、任意の言語、コードまたは記述において、情報処理能力を有するシステムに、特定の機能を実行させることを意図する一連の指示の任意の表現を意味し、特定の機能は、直接的に、または、以下の一方あるいは両方の後に実行される：a) 別の言語、コードまたは記述への変換；b) 異なるものの形態への再生。たとえば、プログラムコードは、サブルーチン、機能、プロシージャ、オブジェクト方法、オブジェクト実現、実行可能なアプリケーション、アプレット、サーブレット、ソースコード、オブジェクトコード、シェアドライブラリ／ダイナミックロードライブラリ、および／またはコンピュータシステムにおいて実行するために設計された他の指示のシーケンスを含み得るがこれらに限定されない。

【0056】

10

本明細書に用いられる「1つの」(「a」, 「an」)との用語は、1以上として定義される。本明細書において用いられる「複数」との用語は、2以上として定義される。本明細書において用いられる「他の」との用語は、少なくとも2番目あるいはそれ以上として定義される。本明細書において用いられる「含む(including)」および／または「有する(having)」との用語は、「備える(comprising)」すなわち開放的記載として用いられる。本明細書において用いられる「結合される(coupled)」との用語は、接続として定義されるが、介在する要素なく直接的であるか、1以上の介在する要素によって間接的であるかは、指定されない限りはどちらも含む。2つの要素は、また、機械的に、電氣的に、あるいは通信チャネル、経路、ネットワークまたはシステムを通じて通信可能に結合され得る。

20

【0057】

本明細書において開示された1以上の実施の形態は、その精神または本質的な属性を逸脱することなく他の形態で実施され得る。したがって、本発明の実施の形態の範囲を示すように、以上の明細書ではなく、以下に続く特許請求の範囲を参照すべきである。

【図 1】

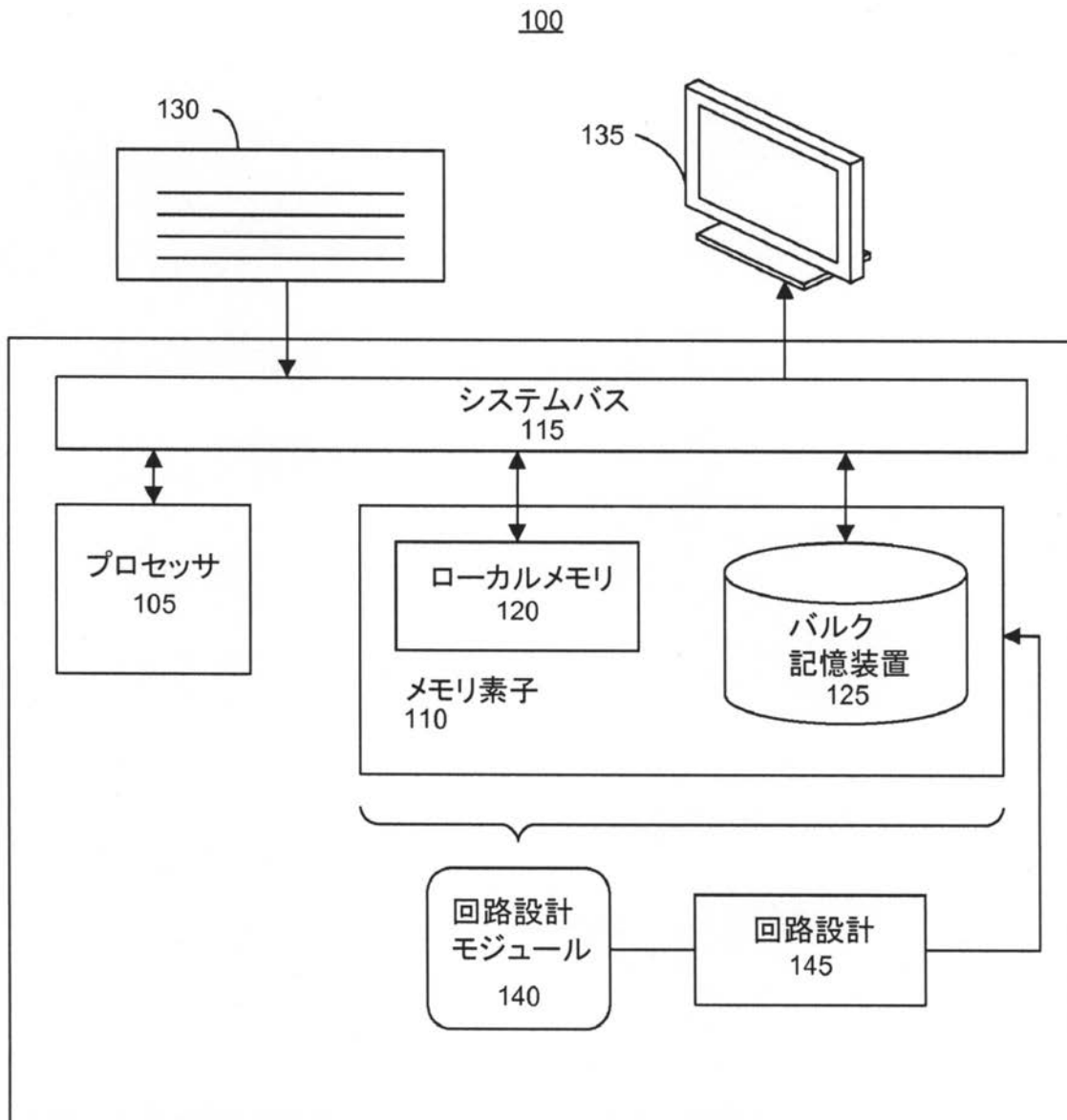


FIG. 1

【図 2】

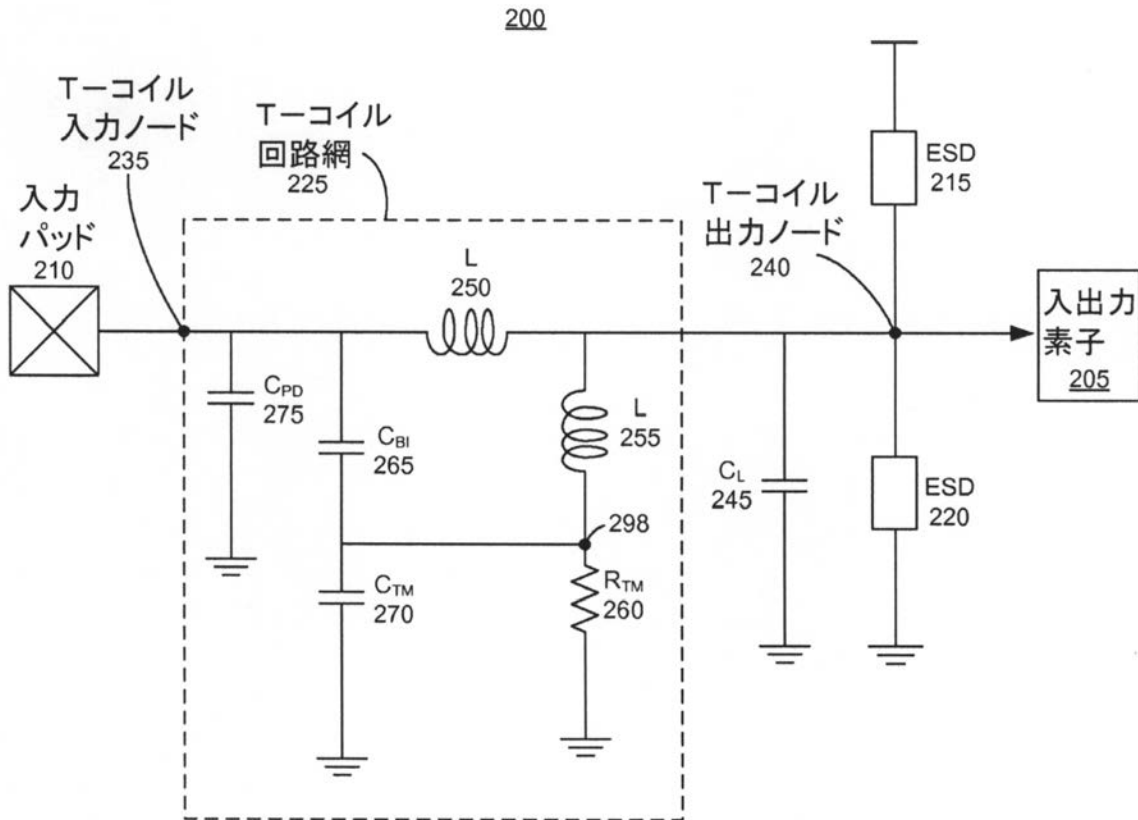


FIG. 2

【図 3】

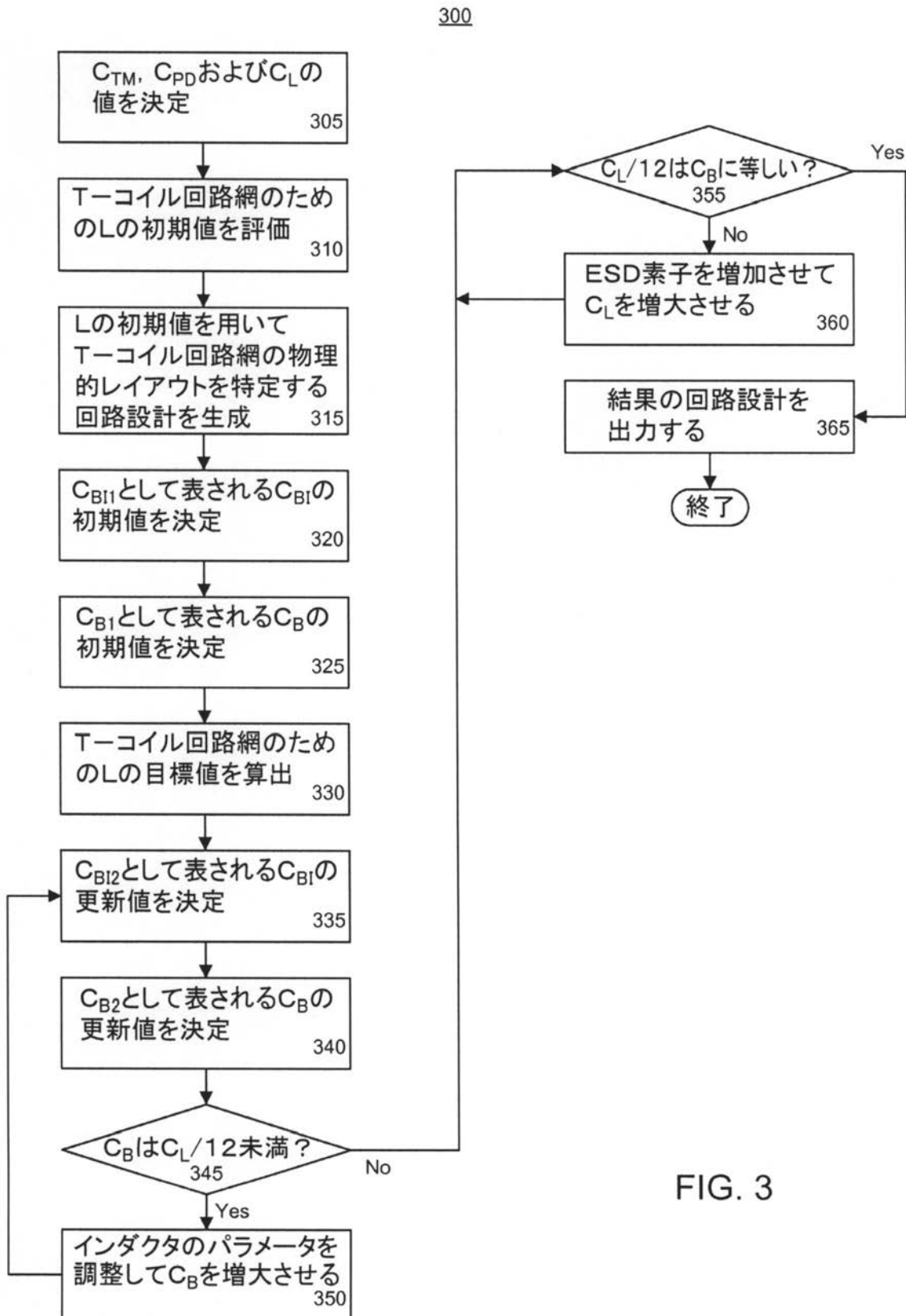


FIG. 3

【手続補正書】

【提出日】平成23年11月30日(2011.11.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

コンピュータで実現される、T - コイル回路網を備える回路設計を生成する方法であって、

複数のインダクタのインダクタンスおよび前記 T - コイル回路網の寄生ブリッジ容量を決定するステップを備え、

前記寄生ブリッジ容量を決定するステップは、前記 T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量と、前記 T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、前記複数のインダクタの、 C_{BI} で示される巻線間容量とに従って、前記寄生ブリッジ容量を決定するステップを含み、

前記方法は、

前記寄生ブリッジ容量を、前記 T - コイル回路網の出力に結合された負荷の寄生容量に依存する負荷容量基準と比較するステップと、

前記 T - コイル回路網の前記出力に結合された前記回路設計の静電放電保護の量、または、前記 T - コイル回路網の前記複数のインダクタのパラメータを、前記寄生ブリッジ容量と前記負荷容量基準との前記比較に従って、選択的に調整するステップと、

前記回路設計を出力するステップとを備え、前記回路設計は、前記複数のインダクタのインダクタンスと、前記静電放電保護の量と、前記複数のインダクタの巻線の幅とをさらに備える、方法。

【請求項 2】

前記選択的に調整するステップは、

前記寄生ブリッジ容量の比率を、前記 T - コイルの入力ノードにおける物理的キャパシタを含まない前記負荷容量基準で調整するステップを備える、請求項 1 に記載の方法。

【請求項 3】

前記寄生ブリッジ容量を、

$$C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$$

に従って算出するステップをさらに備え、 C_B は、前記寄生ブリッジ容量を示す、請求項 1 または 2 に記載の方法。

【請求項 4】

前記選択的に調整するステップは、

前記ブリッジ容量が前記負荷容量基準未満である場合に、前記複数のインダクタの前記巻線の幅を増加させるステップを備える、請求項 1 または 3 に記載の方法。

【請求項 5】

前記選択的に調整するステップは、

前記ブリッジ容量が前記負荷容量基準を超える場合に、前記静電放電保護の量を増加させるステップを備える、請求項 1 または 3 に記載の方法。

【請求項 6】

前記負荷容量基準を、前記負荷の前記寄生容量の $1 / 1.2$ に選択するステップをさらに備える、請求項 1 ~ 5 のいずれか 1 項に記載の方法。

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の方法を実現するためのコンピュータプログラムを備える、コンピュータプログラム製品。

【請求項 8】

T - コイル回路網を含む回路設計を生成するためのシステムであって、

プログラムコードを記憶するメモリと、

前記メモリに結合されて、前記プログラムコードを実行すると、複数のステップを実行するように構成されたプロセッサとを備え、前記複数のステップは、

インダクタのインダクタンスおよび前記 T - コイル回路網の寄生ブリッジ容量を決定するステップを備え、

前記寄生ブリッジ容量を決定するステップは、前記 T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量と、前記 T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、前記インダクタの、 C_{BI} で示される巻線間容量とに従って、前記寄生ブリッジ容量を決定するステップを含み、

前記複数のステップは、

前記寄生ブリッジ容量を、前記 T - コイル回路網の出力に結合された負荷の寄生容量に依存する負荷容量基準と比較するステップと、

前記 T - コイル回路網の前記出力に結合された前記回路設計の静電放電保護の量、または、前記 T - コイル回路網の前記インダクタのパラメータを、前記寄生ブリッジ容量と前記負荷容量基準との前記比較に従って、選択的に調整するステップと、

前記回路設計を出力するステップとを備え、前記回路設計は、前記インダクタのインダクタンスと、前記静電放電保護の量と、前記インダクタの巻線の幅とをさらに備える、システム。

【請求項 9】

前記選択的に調整するステップは、

前記寄生ブリッジ容量の比率を、前記 T - コイルの入力ノードにおける物理的キャパシタを含まない前記負荷容量基準で調整するステップを備える、請求項 8 に記載のシステム。

【請求項 10】

前記寄生ブリッジ容量を、

$$C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$$

に従って算出するステップをさらに備え、 C_B は、前記寄生ブリッジ容量を示す、請求項 8 または 9 に記載のシステム。

【請求項 11】

前記選択的に調整するステップは、

前記ブリッジ容量が前記負荷容量基準未満である場合に、前記インダクタの前記巻線の幅を増加させるステップを備える、請求項 8 または 10 に記載のシステム。

【請求項 12】

前記選択的に調整するステップは、

前記ブリッジ容量が前記負荷容量基準を超える場合に、前記静電放電保護の量を増加させるステップを備える、請求項 8 または 10 に記載のシステム。

【手続補正書】

【提出日】平成24年7月6日(2012.7.6)

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

コンピュータで実現される、T - コイル回路網を備える回路設計を生成する方法であって、

複数のインダクタのインダクタンスおよび前記 T - コイル回路網の寄生ブリッジ容量を決定するステップを備え、

前記寄生ブリッジ容量を決定するステップは、前記 T - コイル回路網内の終端抵抗の、 C_{TM} で示される寄生容量と、前記 T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、前記複数のインダクタの、 C_{BI} で示される巻線間容量とに従って、前記寄生ブリッジ容量を決定するステップを含み、

前記方法は、

前記寄生ブリッジ容量を、前記 T - コイル回路網の出力に結合された負荷の寄生容量に

依存する負荷容量基準と比較するステップと、

前記 T - コイル回路網の前記出力に結合された前記回路設計の静電放電保護の量、または、前記 T - コイル回路網の前記複数のインダクタのパラメータを、前記寄生ブリッジ容量と前記負荷容量基準との前記比較に従って、選択的に調整するステップと、

前記回路設計を出力するステップとを備え、前記回路設計は、前記複数のインダクタのインダクタンスと、前記静電放電保護の量と、前記複数のインダクタの巻線の幅とをさらに備える、方法。

【請求項 2】

前記選択的に調整するステップは、

前記寄生ブリッジ容量の比率を、前記 T - コイルの入力ノードにおける物理的キャパシタを含まない前記負荷容量基準で調整するステップを備える、請求項 1 に記載の方法。

【請求項 3】

前記寄生ブリッジ容量を、

$$C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BI}$$

に従って算出するステップをさらに備え、 C_B は、前記寄生ブリッジ容量を示す、請求項 1 または 2 に記載の方法。

【請求項 4】

前記選択的に調整するステップは、

前記ブリッジ容量が前記負荷容量基準未満である場合に、前記複数のインダクタの前記巻線の幅を増加させるステップを備える、請求項 1 または 3 に記載の方法。

【請求項 5】

前記選択的に調整するステップは、

前記ブリッジ容量が前記負荷容量基準を超える場合に、前記静電放電保護の量を増加させるステップを備える、請求項 1 または 3 に記載の方法。

【請求項 6】

前記負荷容量基準を、前記負荷の前記寄生容量の $1 / 12$ に選択するステップをさらに備える、請求項 1 ~ 5 のいずれか 1 項に記載の方法。

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の方法を実現するためのコンピュータプログラムを備える、コンピュータプログラム製品。

【請求項 8】

請求項 1 ~ 6 のいずれか 1 項に記載の方法によって作成される、回路。

【請求項 9】

請求項 1 ~ 6 のいずれか 1 項に記載の方法によって生成される T - コイル回路網であって、前記 T - コイル回路網は、

前記複数のインダクタのうちの第 1 のインダクタと、

前記第 1 のインダクタに結合された、前記複数のインダクタのうちの第 2 のインダクタと、

前記第 2 のインダクタに結合された終端抵抗とを備える、T - コイル回路網。

【請求項 10】

T - コイル回路網であって、

第 1 のインダクタと、

前記第 1 のインダクタに結合された第 2 のインダクタと、

前記第 2 のインダクタに結合された終端抵抗とを備え、

前記第 1 のインダクタと前記第 2 のインダクタとのパラメータは、寄生ブリッジ容量と、前記 T - コイル回路網の出力に結合された負荷の寄生容量に依存する負荷容量基準との比較に基づき、前記比較に基づいて、前記第 1 のインダクタと前記第 2 のインダクタとの前記パラメータが調整され、または、前記 T - コイル回路網の前記出力に結合された静電放電保護の量が調整され、

前記寄生ブリッジ容量は、前記 T - コイル回路網内の前記終端抵抗の、 C_{TM} で示される

寄生容量と、前記 T - コイル回路網の入力に結合される入出力パッドの、 C_{PD} で示される寄生容量と、前記第 1 および第 2 のインダクタの、 C_{BL} で示される巻線間容量とに従って決定される、T - コイル回路網。

【請求項 1 1】

前記寄生ブリッジ容量は、

$$C_B = [(C_{TM} \times C_{PD}) / (C_{TM} + C_{PD})] + C_{BL}$$

に従って算出され、 C_B は、前記寄生ブリッジ容量を示す、請求項 1 0 に記載の T - コイル回路網。

【請求項 1 2】

前記終端抵抗は、ほぼ 5 0 オームの抵抗値を有する、請求項 1 0 または 1 1 に記載の T - コイル回路網。

【請求項 1 3】

前記負荷容量基準は、前記寄生ブリッジ容量の 1 / 1 2 である、請求項 1 0 ~ 1 2 のいずれか 1 項に記載の T - コイル回路網。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2010/042127

A. CLASSIFICATION OF SUBJECT MATTER

INV. G06F17/50
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GALAL S ET AL: "Broadband esd protection circuits in cmos technology" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US LNKD-DOI:10.1109/JSSC.2003.818568, vol. 38, no. 12, 1 December 2003 (2003-12-01), pages 2334-2340, XP011104275 ISSN: 0018-9200 page 2335 - page 2336 figure 3 ----- -/-	1,2,5,6, 8-11,14, 15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

30 September 2010

Date of mailing of the international search report

07/10/2010

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040.
Fax: (+31-70) 340-3016

Authorized officer

Alonso Nogueiro, L

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2010/042127

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SELM I L ET AL: "SMALL-SIGNAL MMIC AMPLIFIERS WITH BRIDGED T-COIL MATCHING NETWORKS" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US LNKD-DOI:10.1109/4.142607, vol. 27, no. 7, 1 July 1992 (1992-07-01), pages 1093-1096, XP000304447 ISSN: 0018-9200 page 1093 - page 1095 figure 1	1,2,5,6,8-11,14,15
A	BO-JR HUANG ET AL: "Design and Analysis for a 60-GHz Low-Noise Amplifier With RF ESD Protection" IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 57, no. 2, 1 February 2009 (2009-02-01), pages 298-305, XP011249725 ISSN: 0018-9480 page 299 - page 300	1-15
A	US 2009/039916 A1 (BUCHMANN PETER [CH] ET AL) 12 February 2009 (2009-02-12) paragraph [0017] - paragraph [0019]	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2010/042127

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009039916 A1	12-02-2009	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 カーブ, ジェームズ

アメリカ合衆国、 9 5 1 2 4 カリフォルニア州、 サン・ノゼ、 ロジック・ドライブ、 2 1 0 0

(72)発明者 トラン, トアン・ディ

アメリカ合衆国、 9 5 1 2 4 カリフォルニア州、 サン・ノゼ、 ロジック・ドライブ、 2 1 0 0

Fターム(参考) 5B046 AA08 BA03

5F038 AZ04 AZ06 BE08 BH05 BH13 CD13 EZ09 EZ10 EZ20

5F064 BB35 CC21 CC22 CC23 CC30 HH02 HH06 HH07 HH09 HH10

HH11