



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0067595
(43) 공개일자 2016년06월14일

(51) 국제특허분류(Int. Cl.)
G06F 1/32 (2006.01) G06F 1/26 (2006.01)
(21) 출원번호 10-2014-0173175
(22) 출원일자 2014년12월04일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
정효상
경기도 수원시 영통구 센트럴파크로 100, 6405동
2202호 (이의동, 광고 센트럴타운 오피스카운티)
주상욱
경기도 화성시 동탄반석로 172, 103동 364호 (반
송동, 동탄 파라곤)
허정훈
경기도 수원시 권선구 동수원로145번길 74, 103동
801호 (권선동, 수원아이파크시티1단지)
(74) 대리인
특허법인가산

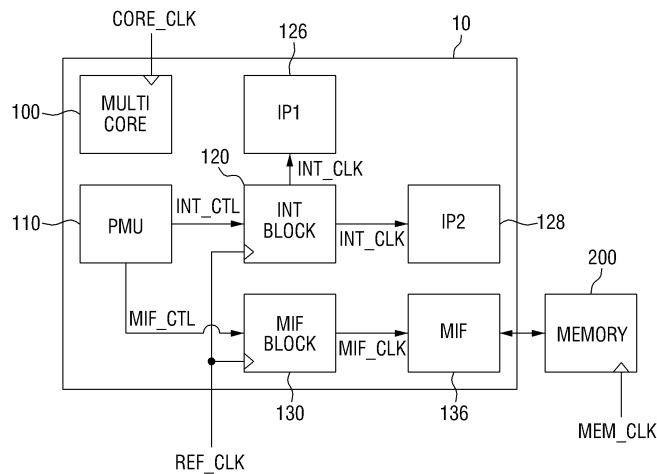
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치의 동작 방법

(57) 요약

반도체 장치의 동작 방법이 제공된다. 반도체 동작 방법은, 시스템 온 칩(System On Chip) 상의 하나 이상의 IP에 제1 클럭을 제공하고, 상기 시스템 온 칩 상에 구비된 제1 코어 및 제2 코어의 상태를 검사하고, 상기 제1 코어 및 상기 제2 코어가 모두 아이들(idle) 상태인 경우, 상기 하나 이상의 IP에 상기 제1 클럭과 다른 클럭 레이트(clock rate)를 갖는 제2 클럭을 제공하는 것을 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

시스템 온 칩(System On Chip) 상의 하나 이상의 IP에 제1 클럭을 제공하고,
 상기 시스템 온 칩 상에 구비된 제1 코어 및 제2 코어의 상태를 검사하고,
 상기 제1 코어 및 상기 제2 코어가 모두 아이들(idle) 상태인 경우, 상기 하나 이상의 IP에 상기 제1 클럭과 다른 클럭 레이트(clock rate)를 갖는 제2 클럭을 제공하는 것을 포함하는 반도체 장치의 동작 방법.

청구항 2

제1항에 있어서,
 상기 하나 이상의 IP에 상기 제1 클럭과 다른 클럭 레이트를 갖는 제2 클럭을 제공하는 것은,
 상기 하나 이상의 IP에 상기 제1 클럭보다 낮은 클럭 레이트를 갖는 제2 클럭을 제공하는 것을 포함하는 반도체 장치의 동작 방법.

청구항 3

제1항에 있어서,
 상기 시스템 온 칩을 구동하기 위한 기준 클럭을 수신하여 상기 기준 클럭으로부터 상기 제1 클럭을 생성하는 것을 더 포함하고,
 상기 하나 이상의 IP에 상기 제1 클럭과 다른 클럭 레이트를 갖는 제2 클럭을 제공하는 것은,
 상기 하나 이상의 IP에 상기 기준 클럭과 동일한 클럭 레이트를 갖는 제2 클럭을 제공하는 것을 포함하는 반도체 장치의 동작 방법.

청구항 4

제1항에 있어서,
 상기 하나 이상의 IP에 상기 제2 클럭을 제공하는 동안, 상기 하나 이상의 IP는 파워 오프(power off)되지 않는 반도체 장치의 동작 방법.

청구항 5

제1항에 있어서,
 상기 하나 이상의 IP에 상기 제2 클럭을 제공하는 동안, 상기 제1 코어 및 상기 제2 코어 중 적어도 하나가 아이들 상태를 벗어난 경우, 상기 하나 이상의 IP에 상기 제1 클럭을 제공하는 것을 더 포함하는 반도체 장치의 동작 방법.

청구항 6

제1항에 있어서,
 상기 시스템 온 칩 상의 하나 이상의 메모리 인터페이스에 제3 클럭을 제공하고,
 상기 제1 코어 및 상기 제2 코어가 모두 아이들 상태인 경우, 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭과 다른 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함하는 반도체 장치의 동작 방법.

청구항 7

제6항에 있어서,

상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭과 다른 클럭 레이트를 갖는 제4 클럭을 제공하는 것은, 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭보다 낮은 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함하는 반도체 장치의 동작 방법.

청구항 8

제6항에 있어서,

상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭과 다른 클럭 레이트를 갖는 제4 클럭을 제공하는 것은, 상기 하나 이상의 메모리 인터페이스에 상기 제2 클럭과 동일한 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함하는 반도체 장치의 동작 방법.

청구항 9

시스템 온 칩(System On Chip) 상의 제1 IP 및 제2 IP에 각각 제1 클럭 및 제2 클럭을 제공하고, 상기 시스템 온 칩 상에 구비된 복수의 코어가 아이들(idle) 상태인 경우, 상기 제1 IP에 제3 클럭을 제공하고, 상기 제2 IP에 제4 클럭을 제공하는 것을 포함하고, 상기 제3 클럭과 상기 제4 클럭의 클럭 레이트(clock rate)는 서로 다른 반도체 장치의 동작 방법.

청구항 10

시스템 온 칩(System On Chip)을 구동하기 위한 기준 클럭을 수신하고, 상기 기준 클럭으로부터 상기 시스템 온 칩 상의 IP 및 메모리 인터페이스에 공급하기 위한 제1 클럭 및 제2 클럭을 생성하고, 상기 시스템 온 칩 상에 구비된 제1 코어 및 제2 코어가 모두 아이들(idle) 상태인 경우, 상기 제1 클럭 및 상기 제2 클럭을 상기 기준 클럭으로 변환하는 것을 포함하는 반도체 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 동작 방법에 관한 것이다.

배경 기술

[0002] 모바일 시스템 온 칩(System On Chip)이 사용되는 모바일 기기 또는 휴대용 기기의 배터리 사용 시간은 모바일 시스템 온 칩에서 소모하는 전력과 밀접한 관계를 갖는다. 특히 모바일 시스템 온 칩이 완전히 파워 오프(power off)되지 않고 파워 온(power on)된 상태에서 대기하는 경우, 모바일 시스템 온 칩이 소모하는 대기 전력을 최소화하기 위한 방안이 요구된다.

[0003] 일본 공개 특허 제2000-347762호는 저소비 전력 모드의 설정이 가능한 마이크로 컴퓨터를 개시하고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하려는 과제는 모바일 시스템 온 칩(System On Chip)의 대기 전력을 최소화하기 위한 반도체 장치의 동작 방법을 제공하는 것이다.

[0005] 본 발명이 해결하려는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법은, 시스템 온 칩(System On Chip) 상의 하나 이상의 IP에 제1 클럭을 제공하고, 시스템 온 칩 상에 구비된 제1 코어 및 제2 코어의 상태를

검사하고, 제1 코어 및 제2 코어가 모두 아이들(idle) 상태인 경우, 하나 이상의 IP에 제1 클럭과 다른 클럭 레이트(clock rate)를 갖는 제2 클럭을 제공하는 것을 포함한다.

- [0007] 상기 하나 이상의 IP에 상기 제1 클럭과 다른 클럭 레이트를 갖는 제2 클럭을 제공하는 것은, 상기 하나 이상의 IP에 상기 제1 클럭보다 낮은 클럭 레이트를 갖는 제2 클럭을 제공하는 것을 포함할 수 있다.
- [0008] 상기 반도체 장치의 동작 방법은, 상기 시스템 온 칩을 구동하기 위한 기준 클럭을 수신하여 상기 기준 클럭으로부터 상기 제1 클럭을 생성하는 것을 더 포함하고, 상기 하나 이상의 IP에 상기 제1 클럭과 다른 클럭 레이트를 갖는 제2 클럭을 제공하는 것은, 상기 하나 이상의 IP에 상기 기준 클럭과 동일한 클럭 레이트를 갖는 제2 클럭을 제공하는 것을 포함할 수 있다.
- [0009] 상기 하나 이상의 IP에 상기 제2 클럭을 제공하는 동안, 상기 하나 이상의 IP는 파워 오프(power off)되지 않을 수 있다.
- [0010] 상기 반도체 장치의 동작 방법은, 상기 하나 이상의 IP에 상기 제2 클럭을 제공하는 동안, 상기 제1 코어 및 상기 제2 코어 중 적어도 하나가 아이들 상태를 벗어난 경우, 상기 하나 이상의 IP에 상기 제1 클럭을 제공하는 것을 더 포함할 수 있다.
- [0011] 상기 시스템 온 칩 상의 하나 이상의 메모리 인터페이스에 제3 클럭을 제공하고, 상기 제1 코어 및 상기 제2 코어가 모두 아이들 상태인 경우, 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭과 다른 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함할 수 있다.
- [0012] 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭과 다른 클럭 레이트를 갖는 제4 클럭을 제공하는 것은, 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭보다 낮은 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함할 수 있다.
- [0013] 상기 반도체 장치의 동작 방법은, 상기 시스템 온 칩을 구동하기 위한 기준 클럭을 수신하여 상기 기준 클럭으로부터 상기 제3 클럭을 생성하는 것을 더 포함하고, 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭과 다른 클럭 레이트를 갖는 제4 클럭을 제공하는 것은, 상기 하나 이상의 메모리 인터페이스에 상기 기준 클럭과 동일한 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함할 수 있다.
- [0014] 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭과 다른 클럭 레이트를 갖는 제4 클럭을 제공하는 것은, 상기 하나 이상의 메모리 인터페이스에 상기 제2 클럭과 동일한 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함할 수 있다.
- [0015] 상기 하나 이상의 메모리 인터페이스에 상기 제4 클럭을 제공하는 동안, 상기 하나 이상의 메모리 인터페이스는 파워 오프(power off)되지 않을 수 있다.
- [0016] 상기 반도체 장치의 동작 방법은, 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭을 제공하는 동안, 상기 제1 코어 및 상기 제2 코어 중 적어도 하나가 아이들 상태를 벗어난 경우, 상기 하나 이상의 메모리 인터페이스에 상기 제3 클럭을 제공하는 것을 더 포함할 수 있다.
- [0017] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법은, 시스템 온 칩(System On Chip) 상의 제1 IP 및 제2 IP에 각각 제1 클럭 및 제2 클럭을 제공하고, 시스템 온 칩 상에 구비된 복수의 코어가 아이들(idle) 상태인 경우, 제1 IP에 제3 클럭을 제공하고, 제2 IP에 제4 클럭을 제공하는 것을 포함하고, 제3 클럭과 제4 클럭의 클럭 레이트(clock rate)는 서로 다르다.
- [0018] 상기 제1 IP에 제3 클럭을 제공하고, 상기 제2 IP에 제4 클럭을 제공하는 것은, 상기 복수의 코어 중 일부의 코어가 아이들 상태인 경우, 상기 제1 IP에 제3 클럭을 제공하고, 상기 제2 IP에 제4 클럭을 제공하는 것을 포함할 수 있다.
- [0019] 상기 제1 IP는 상기 복수의 코어 중 아이들 상태인 코어에 의해 제어되고, 상기 제2 IP는 상기 복수의 코어 중 아이들 상태가 아닌 코어에 의해 제어될 수 있다.
- [0020] 상기 제1 IP에 제3 클럭을 제공하고, 상기 제2 IP에 제4 클럭을 제공하는 것은, 상기 제1 IP에 상기 제1 클럭보다 낮은 클럭 레이트를 갖는 제3 클럭을 제공하고, 상기 제2 IP에 상기 제2 클럭과 동일한 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함할 수 있다.
- [0021] 상기 반도체 방법의 동작 방법은, 상기 시스템 온 칩을 구동하기 위한 기준 클럭을 수신하여 상기 기준 클럭으

로부터 상기 제1 클럭을 생성하는 것을 더 포함하고, 상기 제1 IP에 상기 제1 클럭보다 낮은 클럭 레이트를 갖는 제3 클럭을 제공하고, 상기 제2 IP에 상기 제2 클럭과 동일한 클럭 레이트를 갖는 제4 클럭을 제공하는 것은, 상기 제1 IP에 상기 기준 클럭과 동일한 클럭 레이트를 갖는 제3 클럭을 제공하고, 상기 제2 IP에 상기 제2 클럭과 동일한 클럭 레이트를 갖는 제4 클럭을 제공하는 것을 포함할 수 있다.

[0022] 상기 제1 IP에 상기 제3 클럭을 제공하고 상기 제2 IP에 상기 제4 클럭을 제공하는 동안, 상기 제1 IP는 비액티브(in-active) 상태이고 상기 제2 IP는 액티브(active) 상태일 수 있다.

[0023] 상기 과제를 해결하기 위한 본 발명의 또 다른 실시예에 따른 반도체 장치의 동작 방법은, 시스템 온 칩(System On Chip)을 구동하기 위한 기준 클럭을 수신하고, 기준 클럭으로부터 시스템 온 칩 상의 IP 및 메모리 인터페이스에 공급하기 위한 제1 클럭 및 제2 클럭을 생성하고, 시스템 온 칩 상에 구비된 제1 코어 및 제2 코어가 모두 아이들(idle) 상태인 경우, 제1 클럭 및 제2 클럭을 기준 클럭으로 변환하는 것을 포함한다.

[0024] 상기 반도체 장치의 동작 방법은, 상기 기준 클럭을 상기 시스템 온 칩 상의 상기 IP 및 상기 메모리 인터페이스에 제공하는 것을 더 포함하고, 상기 기준 클럭을 상기 IP 및 상기 메모리 인터페이스에 제공하는 동안, 상기 IP 및 상기 메모리 인터페이스는 파워 오프(power off)되지 않을 수 있다.

[0025] 상기 시스템 온 칩 상에 구비된 제1 코어 및 상기 제2 코어가 모두 아이들 상태인 경우, 상기 제1 클럭 및 상기 제2 클럭을 상기 기준 클럭으로 변환하는 것은, 상기 시스템 온 칩 상에 구비된 제1 코어 및 상기 제2 코어가 모두 아이들 상태인 경우, 상기 기준 클럭을 직접 상기 IP 및 상기 메모리 인터페이스에 제공하는 것을 포함할 수 있다.

[0026] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 개략도이다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치의 INT 블록을 설명하기 위한 개략도이다.

도 3은 본 발명의 일 실시예에 따른 반도체 장치의 MIF 블록을 설명하기 위한 개략도이다.

도 4는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 개략도이다.

도 5는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법과 연관된 INT 클럭을 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법과 연관된 MIF 클럭을 설명하기 위한 도면이다.

도 7은 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 개략도이다.

도 8은 본 발명의 또 다른 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 개략도이다.

도 9는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 순서도이다.

도 10은 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0029] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0030] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계

를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [0031] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [0032] 비록 제1, 제2 등이 다양한 소자나 구성요소들을 서술하기 위해서 사용되나, 이들 소자나 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자나 구성요소를 다른 소자나 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자나 구성요소는 본 발명의 기술적 사상 내에서 제2 소자나 구성요소 일 수도 있음은 물론이다.
- [0033] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 개략도이다.
- [0035] 도 1을 참조하면, 본 발명의 일 실시예 따른 반도체 장치는 시스템 온 칩(System On Chip)(10)을 포함한다. 본 발명의 몇몇의 실시예에서, 시스템 온 칩(10)은 모바일 SoC를 포함할 수 있다.
- [0036] 시스템 온 칩(10)은 다중 코어(100), 전력 관리 유닛(Power Management Unit, PMU)(110), INT 블록(120) 및 MIF 블록(130)을 포함한다.
- [0037] 다중 코어(10)는 코어 클럭(CORE_CLK)에 의해 동작하여 시스템 온 칩(10)을 전반적으로 제어한다. 특히, 다중 코어(10)는 복수의 코어를 포함할 수 있다. 한편, 본 발명의 몇몇의 실시예에서, 다중 코어(10)는 복수의 CPU(Central Processing Unit)를 포함하는 다중 프로세서일 수도 있다. 한편, 본 발명의 몇몇의 실시예에서, 다중 코어(10)는 GPU(Graphic Processing Unit) 또는 GPGPU(General Purpose GPU)를 포함할 수도 있다.
- [0038] 전력 관리 유닛(110)은 시스템 온 칩(10)의 전력을 관리한다. 특히, 전력 관리 유닛(110)은 후술할 INT 블록(120) 및 MIF 블록(130)을 제어함으로써 시스템 온 칩(10)의 대기 전력의 조절에 관여한다. 구체적으로, 전력 관리 유닛(110)에는 레지스터를 비롯한 저장 영역이 구비되며, INT 블록(120) 및 MIF 블록(130)을 제어하는 소프트웨어에 의해 전력 관리 유닛(110)의 저장 영역에 데이터가 쓰여질 수 있다. 전력 관리 유닛(110)은 저장 영역, 예컨대 레지스터에 대한 데이터의 기록 상태에 따라 INT 블록(120) 및 MIF 블록(130)에 제어 신호(INT_CTL, MIF_CTL)를 각각 전송할 수 있다.
- [0039] INT 블록(120)은 시스템 온 칩(10)에 구비된 다양한 IP들을 동작시키기 위한 INT 클럭(INT_CLK)을 생성한다. 구체적으로, INT 블록(120)은 시스템 온 칩(10)을 구동하기 위한 기준 클럭(REF_CLK)을 수신한다. 기준 클럭(REF_CLK)을 수신한 INT 블록(120)은 시스템 온 칩(10)에 구비된 제1 IP(126) 또는 제2 IP(128)를 동작시키기 위한 INT 클럭(INT_CLK)을 생성하고, 생성된 INT 클럭(INT_CLK)을 제1 IP(126) 또는 제2 IP(128)에 제공한다. 도 1에서는 시스템 온 칩(10)에 구비된 IP를 제1 IP(126) 및 제2 IP(128)로 도시하였지만, 그 개수가 2 개로 한정되는 것은 아니다. 제1 IP(126) 및 제2 IP(128)는 INT 블록(120)으로부터 수신한 INT 클럭(INT_CLK)에 의해 동작할 수 있다.
- [0040] MIF 블록(130)은 시스템 온 칩(10)에 구비된 하나 이상의 메모리 인터페이스(MIF)(136)를 동작시키기 위한 MIF 클럭(MIF_CLK)을 생성한다. 구체적으로, MIF 블록(130)은 시스템 온 칩(10)을 구동하기 위한 기준 클럭(REF_CLK)을 수신한다. 기준 클럭(REF_CLK)을 수신한 MIF 블록(130)은 시스템 온 칩(10)에 구비된 하나 이상의 메모리 인터페이스(136)를 동작시키기 위한 MIF 클럭(MIF_CLK)을 생성하고, 생성된 MIF 클럭(MIF_CLK)을 메모리 인터페이스(136)에 제공한다. 메모리 인터페이스(136)는 MIF 블록(130)으로부터 수신한 MIF 클럭(MIF_CLK)에 의해 동작하여, 메모리 클럭(MEM_CLK)으로 동작하는 메모리(200)와 데이터를 주고 받을 수 있다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 반도체 장치의 INT 블록을 설명하기 위한 개략도이다.

- [0042] 도 2를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 INT 블록(120)은 기준 클럭 수신부(122) 및 INT 클럭 생성부(124)를 포함한다.
- [0043] 기준 클럭 수신부(122)는 시스템 온 칩(10)을 구동하기 위한 기준 클럭(REF_CLK)을 수신한다. 본 발명의 몇몇의 실시예에서, 기준 클럭(REF_CLK)은, 예컨대, 24 MHz의 발진 클럭일 수 있으나, 이에 한정되는 것은 아니다.
- [0044] INT 클럭 생성부(124)는 기준 클럭(REF_CLK)으로부터 시스템 온 칩(10)에 구비된 다양한 IP들을 동작시키기 위한 INT 클럭(INT_CLK)을 생성한다. 본 발명의 몇몇의 실시예에서, INT 클럭(INT_CLK)의 클럭 레이트는 기준 클럭(REF_CLK)보다 높을 수 있다. 이에 따라, 예를 들어, 시스템 온 칩(10) 상의 제1 IP(126)는 기준 클럭(REF_CLK)보다 높은 클럭 레이트를 갖는 INT 클럭(INT_CLK)에 의해 동작할 수 있다.
- [0045] INT 클럭 생성부(124)는 전력 관리 유닛(110)의 제어를 받는다. 구체적으로, INT 클럭 생성부(124)는 전력 관리 유닛(110)으로부터 제어 신호(INT_CTL)를 수신한 후, 제어 신호(INT_CTL)에 따라 INT 클럭(INT_CLK)의 클럭 레이트를 결정할 수 있다. 예를 들어, 전력 관리 유닛(110)으로부터 수신된 제어 신호(INT_CTL)에 따라 INT 클럭 생성부(124)는 기준 클럭(REF_CLK)과 동일한 클럭 레이트를 갖는 INT 클럭(INT_CLK)을 생성할 수 있다.
- [0046] 도 3은 본 발명의 일 실시예에 따른 반도체 장치의 MIF 블록을 설명하기 위한 개략도이다.
- [0047] 도 3을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 MIF 블록(130)은 기준 클럭 수신부(132) 및 MIF 클럭 생성부(134)를 포함한다.
- [0048] 도 2의 기준 클럭 수신부(122)와 같이, 도 3의 기준 클럭 수신부(132)는 시스템 온 칩(10)을 구동하기 위한 기준 클럭(REF_CLK)을 수신한다.
- [0049] MIF 클럭 생성부(134)는 기준 클럭(REF_CLK)으로부터 시스템 온 칩(10)에 구비된 하나 이상의 메모리 인터페이스(136)를 동작시키기 위한 MIF 클럭(MIF_CLK)을 생성한다. 본 발명의 몇몇의 실시예에서, MIF 클럭(MIF_CLK)의 클럭 레이트는 기준 클럭(REF_CLK)보다 높을 수 있다. 이에 따라, 예를 들어, 시스템 온 칩(10) 상의 메모리 인터페이스(136)는 기준 클럭(REF_CLK)보다 높은 클럭 레이트를 갖는 MIF 클럭(MIF_CLK)에 의해 동작할 수 있다.
- [0050] MIF 클럭 생성부(134) 역시 전력 관리 유닛(110)의 제어를 받는다. 구체적으로, MIF 클럭 생성부(134)는 전력 관리 유닛(110)으로부터 제어 신호(MIF_CTL)를 수신한 후, 제어 신호(MIF_CTL)에 따라 MIF 클럭(MIF_CLK)의 클럭 레이트를 결정할 수 있다. 예를 들어, 전력 관리 유닛(110)으로부터 수신된 제어 신호(MIF_CTL)에 따라 MIF 클럭 생성부(134)는 기준 클럭(REF_CLK)의 클럭 레이트보다는 높지만 INT 클럭(INT_CLK)의 클럭 레이트보다는 낮은 MIF 클럭(MIF_CLK)을 생성할 수 있다.
- [0051] 도 4는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 개략도이다.
- [0052] 도 4를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법은 시스템 온 칩(10) 상에 구비된 복수의 코어(102, 104, 106, 108) 각각의 상태를 검사한다. 복수의 코어(102, 104, 106, 108)의 상태는 비지(busy) 상태와 아이들(idle) 상태를 포함할 수 있다. 비지 상태는 파워 온 모드이면서 연산을 수행하는 상태를 포함하고, 아이들 상태는 파워 온 모드이지만 연산을 수행하지 않고 대기하는 상태를 포함한다.
- [0053] INT 클럭 생성부(124)는, 복수의 코어(102, 104, 106, 108)가 모두 아이들 상태인 경우, 최소 INT 클럭(INT_MIN_CLK)을 생성할 수 있다. 여기서, 최소 INT 클럭(INT_MIN_CLK)은 INT 클럭(INT_CLK)에 의해 구동되는 시스템 온 칩(10) 상의 IP들이 파워 온 상태에서 최소한의 전력만을 소비하도록 하는 클럭을 의미한다. 즉, INT 클럭 생성부(124)는 복수의 코어(102, 104, 106, 108)가 모두 아이들 상태인 경우, 전력 관리 유닛(110)으로부터 수신된 제어 신호(INT_CTL)에 따라 INT 클럭(INT_CLK)의 클럭 레이트를 감소시킨 최소 INT 클럭(INT_MIN_CLK)을 생성한다.
- [0054] 본 발명의 몇몇의 실시예에서, 최소 INT 클럭(INT_MIN_CLK)은 기준 클럭(REF_CLK)과 동일한 클럭 레이트를 갖거나, 기준 클럭(REF_CLK)의 클럭 레이트보다는 높고 원래의 INT 클럭(INT_CLK)보다는 낮은 클럭 레이트를 가질 수 있다. 이와 같은 최소 INT 클럭(INT_MIN_CLK)을 시스템 온 칩(10) 상의 IP들에 제공하는 동안, 시스템 온 칩(10) 상의 IP들은 파워 오프되지 않을 수 있다.
- [0055] INT 클럭 생성부(124)와 마찬가지로, MIF 클럭 생성부(134)는 복수의 코어(102, 104, 106, 108)가 모두 아이들 상태인 경우, 최소 MIF 클럭(MIF_MIN_CLK)을 생성할 수 있다. 여기서, 최소 MIF 클럭(MIF_MIN_CLK)은 MIF 클럭(MIF_CLK)에 의해 구동되는 시스템 온 칩(10) 상의 메모리 인터페이스(136)가 파워 온 상태에서 최소한의 전력만을 소비하도록 하는 클럭을 의미한다. 즉, MIF 클럭 생성부(134)는 복수의 코어(102, 104, 106, 108)가 모두

아이들 상태인 경우, 전력 관리 유닛(110)으로부터 수신된 제어 신호(MIF_CTL)에 따라 MIF 클럭(MIF_CLK)의 클럭 레이트를 감소시킨 최소 INT 클럭(MIF_MIN_CLK)을 생성한다.

- [0056] 본 발명의 몇몇의 실시예에서, 최소 MIF 클럭(MIF_MIN_CLK)은 기준 클럭(REF_CLK)과 동일한 클럭 레이트를 갖거나, 기준 클럭(REF_CLK)의 클럭 레이트보다는 높고 원래의 MIF 클럭(MIF_CLK)보다는 낮은 클럭 레이트를 가질 수 있다. 이와 같은 최소 MIF 클럭(MIF_MIN_CLK)을 시스템 온 칩(10) 상의 메모리 인터페이스에 제공하는 동안, 시스템 온 칩(10) 상의 메모리 인터페이스는 파워 오프되지 않을 수 있다.
- [0057] 이와 같은 방식으로 시스템 온 칩(10), 특히 모바일 SoC의 대기 전력을 최소화하여, 시스템 온 칩(10)을 파워 오프시키지 않고 시스템 온 칩(10)이 사용되는 모바일 기기 또는 휴대용 기기의 배터리 효율을 증가시킬 수 있다.
- [0058] 한편, 최소 INT 클럭(INT_MIN_CLK) 또는 최소 MIF 클럭(MIF_MIN_CLK)이 기준 클럭(REF_CLK)과 동일한 클럭 레이트를 갖는 경우, 본 발명의 몇몇의 실시예에서, INT 클럭 생성부(124) 또는 MIF 클럭 생성부(134)는 기준 클럭 수신부(122, 132)에 의해 수신된 기준 클럭(REF_CLK)를 직접 시스템 온 칩(10) 상의 IP(126, 128) 또는 메모리 인터페이스(136)에 제공할 수도 있다.
- [0059] 도 5는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법과 연관된 INT 클럭을 설명하기 위한 도면이다.
- [0060] 도 5는 기준 클럭(REF_CLK), INT 클럭(INT_CLK), 제1 최소 INT 클럭(INT_MIN_CLK1) 및 제2 최소 INT 클럭(INT_MIN_CLK2)을 도시한다. 도 5에서, 전력 관리 유닛(110)으로부터 수신된 제어 신호(INT_CTL)에 따라 INT 클럭 생성부(124)에서 다운된 제1 최소 INT 클럭(INT_MIN_CLK1)은 기준 클럭(REF_CLK)과 동일한 클럭 레이트를 가질 수 있다.
- [0061] 한편, 전력 관리 유닛(110)으로부터 수신된 제어 신호(INT_CTL)에 따라 INT 클럭 생성부(124)에서 다운된 제2 최소 INT 클럭(INT_MIN_CLK2)은 기준 클럭(REF_CLK)의 클럭 레이트보다는 높지만 원래의 INT 클럭(INT_CLK)의 클럭 레이트보다는 낮은 클럭 레이트를 가질 수 있다.
- [0062] 즉, INT 클럭(INT_CLK)에 의해 구동되는 시스템 온 칩(10) 상의 IP들이 파워 온 상태에서 최소한의 전력만을 소비하도록 하는 클럭은 제1 최소 INT 클럭(INT_MIN_CLK1)이 될 수도 있지만, 제2 최소 INT 클럭(INT_MIN_CLK2)이 될 수도 있다. 시스템 온 칩(10)의 대기 전력을 최소화하기에 적절한 클럭 레이트 값은 구체적인 구현 또는 응용에 따라 달라질 수 있다.
- [0063] 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법과 연관된 MIF 클럭을 설명하기 위한 도면이다.
- [0064] 도 6은 기준 클럭(REF_CLK), MIF 클럭(MIF_CLK), 제1 최소 MIF 클럭(MIF_MIN_CLK1) 및 제2 최소 MIF 클럭(MIF_MIN_CLK2)을 도시한다. 도 6에서, 전력 관리 유닛(110)으로부터 수신된 제어 신호(MIF_CTL)에 따라 MIF 클럭 생성부(134)에서 다운된 제1 최소 MIF 클럭(MIF_MIN_CLK1)은 기준 클럭(REF_CLK)과 동일한 클럭 레이트를 가질 수 있다.
- [0065] 한편, 전력 관리 유닛(110)으로부터 수신된 제어 신호(MIF_CTL)에 따라 MIF 클럭 생성부(134)에서 다운된 제2 최소 MIF 클럭(MIF_MIN_CLK2)은 기준 클럭(REF_CLK)의 클럭 레이트보다는 높지만 원래의 MIF 클럭(MIF_CLK)의 클럭 레이트보다 낮은 클럭 레이트를 가질 수 있다.
- [0066] 즉, MIF 클럭(MIF_CLK)에 의해 구동되는 시스템 온 칩(10) 상의 메모리 인터페이스(136)가 파워 온 상태에서 최소한의 전력만을 소비하도록 하는 클럭은 제1 최소 MIF 클럭(MIF_MIN_CLK1)이 될 수도 있지만, 제2 최소 MIF 클럭(MIF_MIN_CLK2)이 될 수도 있다. 시스템 온 칩(10)의 대기 전력을 최소화하기에 적절한 클럭 레이트 값은 구체적인 구현 또는 응용에 따라 달라질 수 있다.
- [0067] 도 7은 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 개략도이다.
- [0068] 도 7을 참조하면, 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법은 시스템 온 칩(10) 상에 구비된 복수의 코어(102, 104, 106, 108) 각각의 상태를 계속 검사한다. 도 7은 제1 코어(102) 및 제2 코어(104)가 아이들 상태를 벗어나 비지 상태가 되었고, 제3 코어(106) 및 제4 코어(108)는 여전히 아이들 상태에 있는 것을 도시하고 있다.
- [0069] INT 클럭 생성부(124)는, 복수의 코어(102, 104, 106, 108) 중 적어도 하나가 아이들 상태를 벗어난 경우, 전력 관리 유닛(110)으로부터 수신된 제어 신호(INT_CTL)에 따라 다시 시스템 온 칩(10) 상의 IP들을 동작시키기 위한 클럭 레이트를 갖는 INT 클럭(INT_CLK)을 생성할 수 있다. 시스템 온 칩(10) 상의 IP들은 복원된 INT 클럭

(INT_CLK)에 의해 동작을 재개할 수 있다.

- [0070] INT 클럭 생성부(124)와 마찬가지로, MIF 클럭 생성부(134)는, 복수의 코어(102, 104, 106, 108) 중 적어도 하나가 아이들 상태를 벗어난 경우, 전력 관리 유닛(110)으로부터 수신된 제어 신호(INT_CTL)에 따라 다시 시스템 온 칩(10) 상의 메모리 인터페이스(136)을 동작시키기 위한 클럭 레이트를 갖는 MIF 클럭(MIF_CLK)을 생성할 수 있다. 시스템 온 칩(10) 상의 메모리 인터페이스(136)는 복원된 MIF 클럭(MIF_CLK)에 의해 동작을 재개할 수 있다.
- [0071] 도 8은 본 발명의 또 다른 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 개략도이다.
- [0072] 도 8을 참조하면, 본 발명의 또 다른 실시예에 따른 반도체 장치의 동작 방법은 시스템 온 칩(10) 상의 제1 IP(126) 및 제2 IP(128)에 각각 제1 클럭(INT_CLK1) 및 제2 클럭(INT_CLK2)을 제공하고, 시스템 온 칩(10) 상에 구비된 복수의 코어가 아이들(idle) 상태인 경우, 제1 IP(126)에 제3 클럭(INT_CLK3)을 제공하고, 제2 IP(128)에 제4 클럭(INT_CLK4)을 제공하는 것을 포함한다. 여기서 제3 클럭(INT_CLK3)과 제4 클럭(INT_CLK4)의 클럭 레이트는 서로 다르다.
- [0073] 본 발명의 몇몇의 실시예에서, 시스템 온 칩(10) 상에 구비된 복수의 코어 중 일부의 코어가 아이들 상태인 경우, 제1 IP(126)가 아이들 상태인 코어에 의해 제어되고, 제2 IP(128)가 아이들 상태가 아닌 코어에 의해 제어된다고 하면, 제1 IP(126)에 제3 클럭(INT_CLK3)을 제공하고, 제2 IP(128)에 제4 클럭(INT_CLK4)을 제공하는 것은 제1 IP(126)에 제1 클럭(INT_CLK1)보다 낮은 클럭 레이트를 갖는 제3 클럭(INT_CLK3)을 제공하고, 제2 IP(128)에 제2 클럭(INT_CLK2)과 동일한 클럭 레이트를 갖는 제4 클럭(INT_CLK4)을 제공하는 것을 포함할 수 있다. 다시 말해서, 복수의 코어 중 일부의 코어가 아이들 상태이고, 아이들 상태인 상기 일부의 코어에 의해 제어되는 IP들이 아이들 상태가 아닌 코어들에 의해 제어되는 IP들과 독립적인 작업을 처리하는 경우에는 상기 일부의 코어에 의해 제어되는 IP들에 제공되는 클럭만을 다운시킬 수 있다.
- [0074] 이 경우 제1 IP(126)에 제3 클럭(INT_CLK3)을 제공하고, 제2 IP(128)에 제4 클럭(INT_CLK4)을 제공하는 동안 제1 IP(126)는 파워 오프되지 않은 비액티브(in-active) 상태이고 상기 제2 IP(128)는 액티브(active) 상태가 될 수 있다.
- [0075] 도 9는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 순서도이다.
- [0076] 도 9를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법은 시스템 온 칩(10)에 구비된 모든 코어의 상태를 검사(S901)한다. 만일 모든 코어의 상태가 모두 아이들 상태가 아니라면, 즉, 어느 하나의 코어의 상태가 비지 상태라면 다시 단계 S901로 복귀(S903, N)한다. 이와 다르게, 만일 모든 코어의 상태가 모두 아이들 상태라면(S903, Y), 시스템 온 칩(10) 상의 IP들을 동작시키는 INT 클럭을 대기 전력을 최소화하기 위한 최소 클럭으로 변환(S905)한다. 또한, 시스템 온 칩(10) 상의 메모리 인터페이스(136)를 동작시키는 MIF 클럭을 대기 전력을 최소화하기 위한 최소 클럭으로 변환(S907)한다.
- [0077] 이에 따라 모든 코어의 상태가 모두 아이들 상태가 된 경우, 시스템 온 칩(10)은 대기 모드로 진입하게 되고, 이 때 소비하는 전력을 최소화할 수 있다.
- [0078] 도 10은 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 순서도이다.
- [0079] 도 10을 참조하면, 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법은 시스템 온 칩(10)에 구비된 모든 코어의 상태를 검사(S1001)한다. 만일 모든 코어의 상태가 모두 아이들 상태가 아니라면, 즉, 어느 하나의 코어의 상태가 비지 상태라면 다시 단계 S1001로 복귀(S1003, N)한다. 이와 다르게, 만일 모든 코어의 상태가 모두 아이들 상태라면(S1003, Y), 시스템 온 칩(10) 상의 제1 IP(126)를 동작시키는 INT 클럭을 제1 클럭으로 변환(S1005)한다. 한편, 시스템 온 칩(10) 상의 제2 IP(128)를 동작시키는 INT 클럭을 제2 클럭으로 변환(S1007)한다.
- [0080] 본 발명의 몇몇의 실시예에서, 제1 클럭은 제1 IP(126)의 대기 전력을 최소화하기 위한 최소 클럭이고, 제2 클럭은 제2 IP(128)를 동작시키기 위한 원래의 클럭일 수 있다. 물론, 본 발명의 몇몇의 실시예에서, 제1 클럭 및 제2 클럭은 모두 제1 IP(126) 및 제2 IP(128)의 대기 전력을 최소화하기 위한 최소 클럭일 수도 있다.
- [0081] 지금까지 설명한 본 발명의 다양한 실시예에 따라, 시스템 온 칩(10), 특히 모바일 SoC의 대기 전력을 최소화하여, 시스템 온 칩(10)을 파워 오프시키지 않고 시스템 온 칩(10)이 사용되는 모바일 기기 또는 휴대용 기기의 배터리 효율을 증가시킬 수 있다.

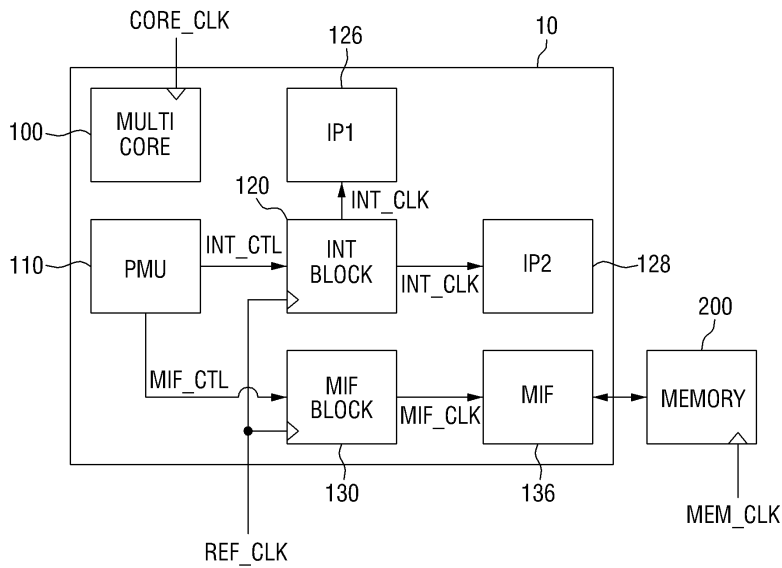
[0082] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

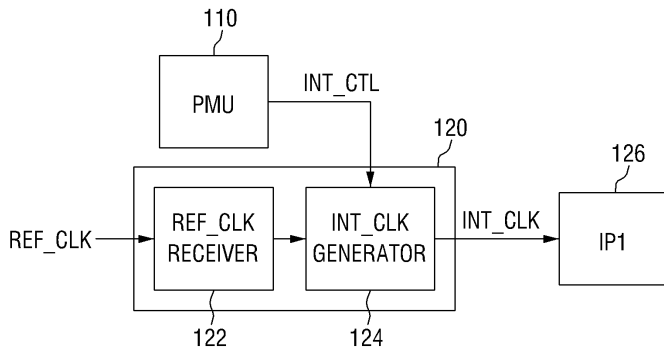
- [0083] 10: 시스템 온 칩 100: 다중 코어
 102: 제1 코어 104: 제2 코어
 106: 제3 코어 108: 제4 코어
 110: 전력 관리 유닛(PMU) 120: INT 블록
 122: 기준 클럭 수신부 124: INT 클럭 생성부
 126: 제1 IP 128: 제2 IP
 130: MIF 블록 132: 기준 클럭 수신부
 134: MIF 클럭 생성부 136: 메모리 인터페이스(MIF)
 200: 메모리

도면

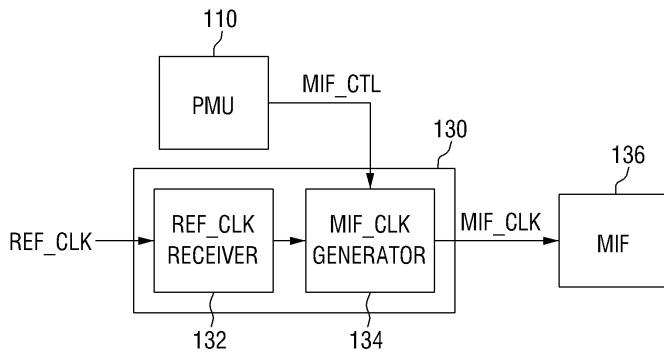
도면1



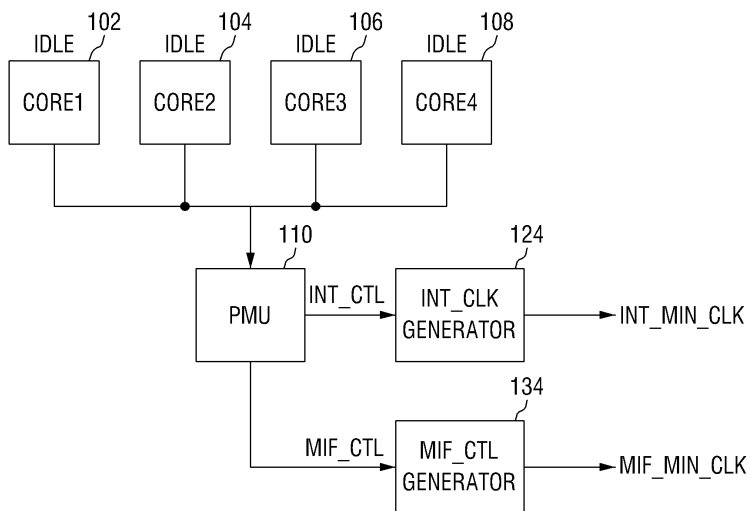
도면2



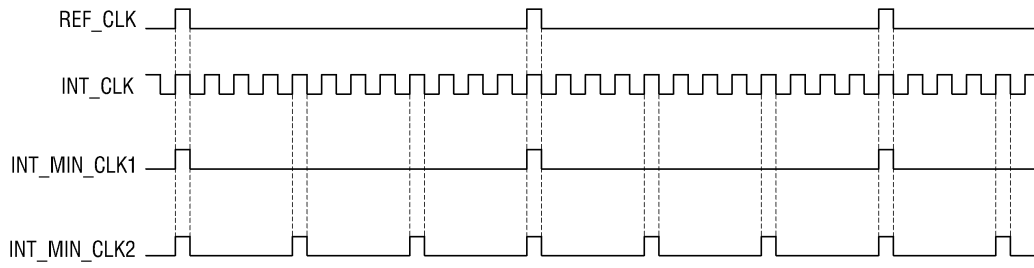
도면3



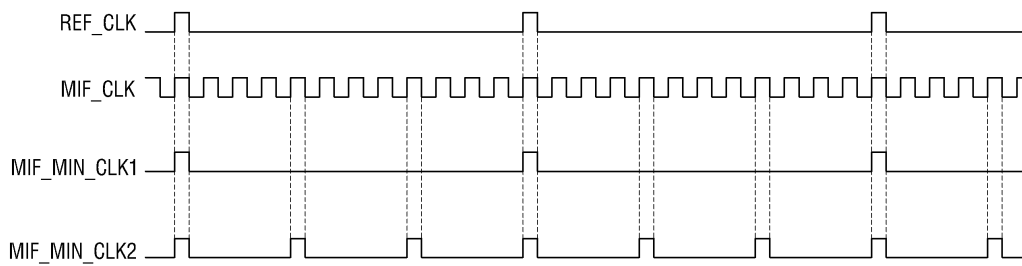
도면4



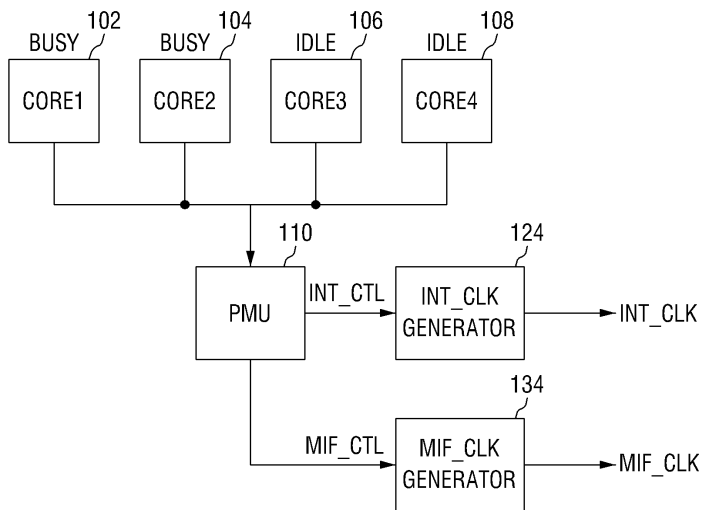
도면5



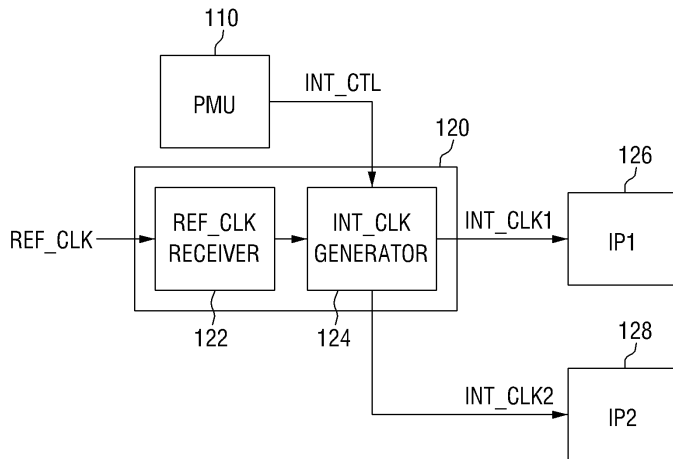
도면6



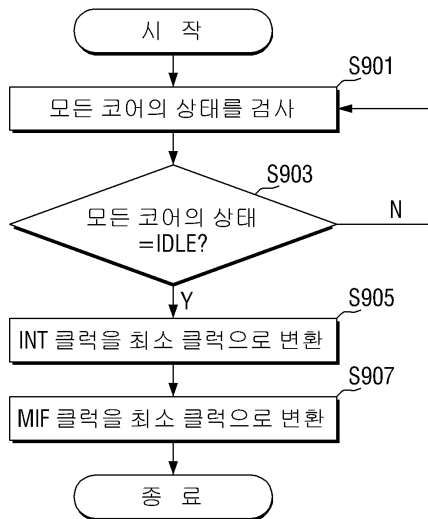
도면7



도면8



도면9



도면10

