

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4696196号
(P4696196)

(45) 発行日 平成23年6月8日(2011.6.8)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.

H03M 9/00 (2006.01)
G 11 C 19/00 (2006.01)

F 1

H03M 9/00
G 11 C 19/00B
B

請求項の数 6 (全 9 頁)

(21) 出願番号 特願2000-613079 (P2000-613079)
 (86) (22) 出願日 平成12年4月13日 (2000.4.13)
 (65) 公表番号 特表2002-542705 (P2002-542705A)
 (43) 公表日 平成14年12月10日 (2002.12.10)
 (86) 國際出願番号 PCT/EP2000/003399
 (87) 國際公開番号 WO2000/064056
 (87) 國際公開日 平成12年10月26日 (2000.10.26)
 審査請求日 平成19年4月10日 (2007.4.10)
 (31) 優先権主張番号 199 17 016.9
 (32) 優先日 平成11年4月15日 (1999.4.15)
 (33) 優先権主張国 ドイツ (DE)

前置審査

(73) 特許権者 510000633
 エスティー・エリクソン、ソシエテ、アノニム
 スイス国プラン-レ-ズアト、シュマン、デュ、シャン-デ-フィーユ、39
 (74) 代理人 100147485
 弁理士 杉村 憲司
 (72) 発明者 タウヒエン ギュンター
 オランダ国 5656 アーーー アイン
 ドーフェン プロフ ホルストラーン 6
 (72) 発明者 プログ ユルゲン
 オランダ国 5656 アーーー アイン
 ドーフェン プロフ ホルストラーン 6

審査官 北村 智彦

最終頁に続く

(54) 【発明の名称】パラレル/シリアル変換する回路装置

(57) 【特許請求の範囲】

【請求項 1】

第1シフトレジスタと、ビット単位アドレス可能な第2シフトレジスタと、ロードシフトレジスタとを具え、パラレルデータストリームをシリアルデータストリームに変換するための回路装置であつて、

前記第1シフトレジスタ内で、前記パラレルデータストリームが、外部から供給されるプロセッサクロックに基づいてビットフレームに記憶され、前記第1シフトレジスタは、前記記憶されたデータのビット単位走査によってシリアルデータストリームを供給し、当該シリアルデータストリームは、前記第2シフトレジスタの互いにパラレルに配置されたメモリセルに当てはめられ、前記第2シフトレジスタから、前記第2シフトレジスタに記憶されているデータはシリアルクロックに基づいてシリアルで読み取られ、前記第2シフトレジスタは前記シリアルデータストリームを供給し、

前記第2シフトレジスタは前記ロードシフトレジスタに割り当てられ、当該ロードシフトレジスタは、有効な記憶データを具備する前記第2シフトレジスタのメモリセルと、データで新しく書き込まれるべきメモリセルとの境界を絶えずマークするレベル指示情報を生じ

且つ、前記第1シフトレジスタにより供給された前記データの前記第2シフトレジスタへの前記記憶は、前記第2シフトレジスタの全メモリセルに存在し、前記第1シフトレジスタにより供給されたビットが、データで新しく書き込まれるべき前記第2シフトレジスタのメモリセルであつて、前記レベル指示情報に最も近く、有効なデータで書き込まれた

10

20

メモリセルに隣接するメモリセルに記憶されるようにレベル指示情報に基づいて行われる
、
ことを特徴とする回路装置。

【請求項 2】

請求項 1 に記載の回路装置において、

カウンタが設けられ、当該カウンタは、前記プロセッサクロック及びビットフレーム幅に基づいて、前記ロードシフトレジスタ及び前記第 1 シフトレジスタにシフト信号を供給し、その結果、前記レベル指示情報が前記第 2 シフトレジスタに記憶される各ビットに従って訂正され、且つ前記第 1 シフトレジスタが次のビットを供給し、

且つ、前記ロードシフトレジスタは、前記シリアルクロックを受け取り、各ビットが前記第 2 シフトレジスタからシリアルで読み取られた後に、シリアルクロックの受け取りに応じて前記レベル指示情報を訂正する、

ことを特徴とする回路装置。

【請求項 3】

請求項 2 に記載の回路装置において、

前記第 1 シフトレジスタの全メモリセルは、個々に読み取り可能であること、

各シフトプロセスに対し、前記第 1 シフトレジスタの最後のメモリセルのビットが前記第 1 メモリセルに書き込まれること、

論理ビットフレーム幅であって、当該論理ビットフレーム幅で前記回路装置は動作し、物理ビットフレーム幅であって、当該物理ビットフレーム幅でビットは前記第 1 シフトレジスタにパラレルで当てはめられ、前記物理ビットフレーム幅に従って前記第 1 シフトレジスタは物理ビットフレームを有するものである物理ビットフレーム幅と離れている論理ビットフレーム幅においては、フレーム論理回路は、前記パラレルビットの各書き込みプロセスで、前記ビットフレーム幅に従って複数のビットが記憶されるように前記論理ビットフレーム幅を前記物理ビットフレーム幅に適合させること、且つ

シフトプロセスでは、次に走査されるビットが絶えずトラッキングされ、次の走査プロセスで読み取られること
を特徴とする回路装置。

【請求項 4】

請求項 1 に記載の回路装置において、

前記第 1 シフトレジスタにより供給されるビットが記憶される前記第 2 シフトレジスタのメモリセルは、前記レベル指示情報に従ってアドレッシングされることを特徴とする回路装置。

【請求項 5】

請求項 1 に記載の回路装置において、

前記第 1 又は第 2 シフトレジスタのメモリセルがこれ以上データを取ることができないとき、前記回路装置は”レジスタフル(register-full)”信号を発生し、前記第 1 及び第 2 シフトレジスタの双方、又はいずれか一方の既定数のメモリセルが空であるとき、前記回路装置はデータ要求信号を発生することを特徴とする回路装置。

【請求項 6】

請求項 5 に記載の回路装置において、

前記プロセッサクロック及び前記データ要求信号に従って前記シリアルクロックを発生するクロック発生器を具備することを特徴とする回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パラレルデータストリームをシリアルデータストリームへ変換し、データストリームの中間記憶領域及びクロック供給に関し、シリアルデータストリームをパラレルデータストリームへ逆変換する回路装置に関する。

【0002】

10

20

30

40

50

パラレル／シリアル変換する既知の回路装置において、メモリ制御が必要とされるので、ポインタは次のスタックとして書き込まれるべきスタックを示し、他のポインタは次のスタックとして読み取られるべきスタックを示す。両方のフィールドへの同時アクセスは不可能である。その上、上記メモリ装置を異なるビットフレーム幅に適応させることは不可能である。すなわち、利用可能なメモリ配置が完全に利用可能となるわけではない。必要とされるシーケンシャル処理が原因により、このような装置はそんなに速くない。その上、ソフトウェアを頻繁に使用、すなわちプロセッサを頻繁に使用する必要があり、これは他のタスクを通常実行しなければならないプロセッサにとって負担である。

【0003】

本発明の目的は、できる限り素早く動作し、最小限のソフトウェア制御を必要とし、及びビットフレーム幅が関係するかぎり柔軟に使用可能な、パラレル／シリアル変換及びシリアル／パラレル変換する回路装置を提供することである。 10

【0004】

パラレル／シリアル変換する回路装置において、本目的は、

第1シフトレジスタが設けられ、第1シフトレジスタ内で、パラレルデータストリームが、外部から供給されるプロセッサクロックに基づいてビットフレームに記憶され、第1シフトレジスタは、記憶されたデータのビット単位走査によってシリアルデータストリームを供給し、シリアルデータストリームは、第2シフトレジスタの互いにパラレルに配置されたメモリセルに当たる、第2シフトレジスタから、第2シフトレジスタに記憶されているデータはシリアルクロックに基づいてシリアルで読み取られ、第2シフトレジスタはシリアルデータストリームを供給し、 20

第2シフトレジスタはロードシフトレジスタに割り当てられ、ロードシフトレジスタは、有効な記憶データを具備する第2シフトレジスタのメモリセルと、データで新しく書き込まれるべきメモリセルとの間の境界を絶えずマークするレベル指示情報を生じ

且つ、第1シフトレジスタにより供給されたデータの第2シフトレジスタへの記憶は、第2シフトレジスタの全メモリセルに存在し、第1シフトレジスタにより供給されたビットが、データで新しく書き込まれるべき第2シフトレジスタのメモリセルであって、レベル指示情報に最も近く、有効なデータで書き込まれたメモリセルに隣接するメモリセルに記憶されるようにレベル指示情報に基づいて行われる

ことで解決される。 30

【0005】

この回路装置は、中心素子として第1及び第2シフトレジスタを有する。マイクロプロセッサにより規定クロックで供給されるパラレルデータは、第1シフトレジスタへパラレルに書き込まれる。

【0006】

例えばこのプロセッサクロックから得られるシリアルクロックに依存する場合、第1シフトレジスタに記憶されるビットは、ビット単位でシリアルに走査される、すなわち、フレームのビットが第2シフトレジスタに連続し、且つ個別に送信される。第2シフトレジスタは、書き込み目的で個別にアドレッシング可能なメモリセルを有する。各個別ビットに対し、どのメモリセルが前記ビットで書き込まれるべきであることを自由に決定可能である。この決定を行うために、第2シフトレジスタは、レベル指示情報を有するロードシフトレジスタに割り当てられる。これは、例えばこのロードシフトレジスタのメモリセルを介してシフトされるビットでもよい。このレベル指示情報は、第1シフトレジスタから既にビットで有効に書き込まれた第2シフトレジスタにおけるメモリセルと、既に書き込まれたがその内容はまだ有効でないメモリセルとの間の境界の場所に関する情報を絶えず提供する。このレベル指示情報は、第1シフトレジスタから来るビットで、次のセルとして書き込まれるべきメモリセルもマークする。第1シフトレジスタから来るビットの記憶は、これによって、このレベル指示情報に依存して行われる。 40

【0007】

第2シフトレジスタからデータを読み取ることは、第1シフトレジスタがロードされるク 50

ロックとは基本的に独立したシリアルクロックに依存して行われる。

【0008】

この装置は、何らかの形で利用可能であるか又はこの装置内のハードウェアとして生成される前記クロック信号及びレベル指示情報のみに依存するので、ハードウェアに基づいて動作する特殊な利点を有する。これによって、この装置は最小限のプロセッサの使用を必要とするので、パラレルデータが生じるプロセッサは、この負担から開放される。更に、メモリのメモリエリアにおける同時の書き込み及び読み取りは不可能であり、既知の装置において生じる待ち時間は無いので、パラレル／シリアル変換は如何なる中断もすることなく絶えず起こっている。この装置の動作速度の限界は、装置自身だけでなく、データが供給され、要求される速度によっても引き起こされる。

10

【0009】

請求項2は、簡単な方法で、前記ロードシフトレジスタにおけるレベル指示情報の継続的更新を可能にするこの装置の有利な実施例を説明する。このために、シフト信号はカウントにより生成され、この信号はロードシフトレジスタ及び第1シフトレジスタに与えられる。このシフト信号に依存して、新しいビットがこの第1シフトレジスタから読み取られ、書き込まれるべき第2シフトレジスタの次のメモリセルに書き込まれるとき、ロードシフトレジスタにおけるレベル指示情報のレベルは、この信号によって訂正もされる。メモリセルを書き込んだ後、レベル指示情報は、書き込まれるべき次のメモリセルを示す。その上、データが第2シフトレジスタからシリアルに読み取られるシリアルクロックは、ビットが第2シフトレジスタから読み取られたとき、レベル指示情報の対応する訂正を行つよう、ロードシフトレジスタにも与えられる。この方法で、レベル指示情報の断続的な訂正が新しいビットが読み取られるか又は書き込まれるかに依存して行われる。

20

【0010】

本発明に係る装置の上述した利点は、請求項3に規定されるような装置が、それに与えられるパラレルビットの多様なフレーム幅も処理を可能にするやり方で形成されることを更に改良することである。このために、第1シフトレジスタは、物理ビットフレーム幅として示される最大のビットフレーム幅を必要とするのと同数のメモリセルを有する。実際に、より小さなパラレルビット、すなわち、論理フレーム幅が供給されるとき、これらビットは、第1シフトレジスタにパラレルでも書き込まれる。しかしながら、初めにビットにより書き込まれないギャップが生じる。第1シフトレジスタにおけるビットを更にシフトする場合、次のレジスタとして読み取るべきビットをトラッキングするフレーム論理が提供される。これを可能にするために、前記メモリセルは、各メモリセルに記憶されたビットが個々に読み取られるように構成される。シフト信号のクロックが存在する場合、シフトレジスタは更にシフトされ、フレーム論理も読み取るべき次のビットの新しい位置に従つて後続する。このビットの読み取りは、前記フレーム論理によって制御され、第2シフトレジスタの全メモリセルにパラレルに供給される。ここでレベル指示情報に依存する記憶が行われる。

30

【0011】

請求項5に規定される本発明の更なる実施例において、この装置は、第2シフトレジスタの完全な充填又はこのシフトレジスタの比較的小な充填を信号で知らせる2つの信号を供給する。パラレルデータを供給する装置がこれによって制御される。

40

【0012】

原理的には、パラレル／シリアル変換する述べられた装置は、シリアル／パラレル変換する同様の装置にも使用されてよい。このために、請求項7に規定されるようなやり方が好ましくは行われる。

【0013】

この動作のモードにおいても、ソフトウェアの使用とは実質上無関係な動作のモードもこの場合には保証され、この装置は如何なる待ち状態又は同じような状態を必要としないので、同様の利点が得られる。

【0014】

50

この動作のモードにおいて、シリアルに供給されたデータは、外部シリアルクロックに依存して、第2シフトレジスタに記憶される。これらは、次のビットが読み取られるべきメモリセルを信号で知らせるレベル指示情報で、このシフトレジスタのメモリセルからビット単位で再度読み取る。このビットは第1シフトレジスタに書き込まれる。記憶されるビットのビットフレーム幅がパラレルで読み取られる第1シフトレジスタに存在するまで、このプロセスが繰り返される。

【0015】

【発明の実施の形態】

本発明のこれら及び他の特徴は、以下に説明される実施例から明らかであり、これら実施例を参照して説明される。

10

【0016】

本装置は、パラレルストリーム $D_{P_i n}$ を入力する第1シフトレジスタ1を有する。これらパラレルデータは、この装置の物理的構成、すなわち、供給されるパラレルビットの対応する数に従い及びこれ以上この図には示されないメモリセルを有する第1シフトレジスタ1に従って最大のフレーム幅を持っててもよい。しかしながら、後に記載されるように、この装置はより小さなビットフレーム幅で動作可能となるように構成される。このより小さなビットフレーム幅は、以後、論理ビットフレーム幅と呼ばれ、物理ビットフレーム幅がこの論理ビットフレーム幅の整数倍となるやり方で大きさがとられるべきである。

【0017】

パラレルデータ $D_{P_i n}$ は、例えばパラレルデータを供給するコンピュータから生じるクロック $\mu P C 1 k$ に依存して第1シフトレジスタに書き込まれる。

20

【0018】

第1シフトレジスタ1に加え、この第1シフトレジスタに記憶されたデータを個々に、且つビット単位で引き継ぐのに使用される第2シフトレジスタ2が設けられている。第2シフトレジスタ内に、ビットが引き継がれる位置及びメモリセルは、ロードシフトレジスタ3におけるレベル指示情報により決定される。データは、第2シフトレジスタからシリアルで読み取られ、シリアル出力電流を構成する。

【0019】

当該図に示される実施例において、第1シフトレジスタ1は、16個のメモリセルを持つ、すなわち物理ビットフレーム幅が16である。このシフトレジスタは、当該シフトレジスタの入力部 S_H に与えられる各シフト信号に関し、シフトクロックが生成され、最後のメモリセル15のメモリ内容が出力部 D_{15} から最初のメモリセル0又はシフトレジスタのデータ入力部 Q_0 にフィードバックされるように構成される。

30

【0020】

フレーム論理4は、第1シフトレジスタ1に割り当てられ、このフレーム論理は、このシフトレジスタ1においてデータをシフトするのに使用されるシフト信号と同じシフト信号を入力し、論理フレーム幅を信号で知らせる信号 F_R も入力する。各シフトプロセスに関し、フレーム論理4は、次として読み取るべき第1シフトレジスタにおけるビットをトラッキングする。このトラッキングが論理ビットフレーム幅が物理ビットフレーム幅より小さく、必ずしも最後のメモリセルが読み取るべき次の有効ビットが記憶されたメモリセルとはならない場合に、空のメモリセルが前記第1シフトレジスタに起こるので、このトラッキングは論理ビットフレーム幅 F_R に依存して実行される。

40

【0021】

外部プロセッサクロック $\mu P C 1 k$ 及び論理ビットフレーム幅を示す論理ビットフレーム信号 F_R が与えられるカウンタ5が供給される。このカウンタは、第1シフトレジスタに使用され、上述のようにシフト信号として役立つ信号 $S_{H L}$ を供給する。このシフト信号は、対応する方法でフレーム論理4にも与えられる。

【0022】

この信号 $S_{H L}$ は更に、ロードシフトレジスタ3に与えられる。この信号 $S_{H L}$ に依存して、ロードシフトレジスタ3におけるレベル指示情報の状況は、対応する方法で、第1

50

シフトレジスタから第2シフトレジスタへ引き継がれる各ビットで訂正される。このレバ
ル指示情報は、ロードシフトレジスタ3のメモリセルを介してシフトされる、例えは単な
るビットでもよい。このレバル指示情報は、第1シフトレジスタ1から有効ビットを既に
受け取ったシフトレジスタ2のメモリセルと、第1シフトレジスタから有効ビットをまだ
受け取っていないシフトレジスタ2のメモリセルとの間の境界を絶えずマークする。ロー
ドシフトレジスタ3のレバル指示情報は、これにより、新しいビットで上書きすべき次の
メモリセルであるこれらのメモリセルを絶えず信号で指し示す。

【0023】

対応する方法において、ビットが第2シフトレジスタ2から読み取られるとき、レバ
ル指示情報も訂正されなければならない。このために、ロードシフトレジスタ3とシフトレ
ジスタ2は、クロック発生器6から生じるシリアルクロックSC1kを入力する。このク
ロック発生器6は、プロセッサクロックμPC1kとデータ要求信号とを入力し、このデ
ータ要求信号は以下に記載する。

10

【0024】

クロック発生器6により供給されるシリアルクロックSC1kは、第2シフトレジスタに
記憶されるビットをシリアルに読み取るのに役立つ。これらビットは、シリアルデータス
トリーを構成し、当該図に示される実施例において更なるバッファメモリ7を介してシリ
アルデータストリームD_{sout}として供給される。

【0025】

更に、読み取られた各ビットに関し、他のビットは従ってシフトレジスタ2においてシ
フトされ、書き込まれるべき次のメモリセルの位置が従って変化するので、このシリアル
クロックは、読み取られたビットに従って、ロードシフトレジスタ3におけるレバル指示
情報の状況を訂正するのにも役立つ。

20

【0026】

結果として、ロードシフトレジスタ3におけるレバル指示情報は、第1シフトレジスタ
から新しいデータで書き込まれるべき次のメモリセルであることを絶えず信号で知らせる
。

【0027】

この装置は更に、第2シフトレジスタ2の全メモリセルが満たされたとき、"メモリフル
"信号R_Fを供給する信号通知論理8を有する。このために、この信号通知論理は、カウ
ンタ5及びシリアルクロックSC1kからカウンティング信号を入力する。その上、論理
ビットフレーム幅がこの場合既知であるべき故に、信号通知論理によって信号で知らされ
た信号FRは、この論理に与えられる。一方では、前記信号は第2シフトレジスタからビ
ットが幾つ読み取られたかを信号で知らせ、他方では、論理フレーム幅に従い、前記装置
によりビットが幾つ引き継がれたかを示すので、これらからメモリレベルが計算可能であ
り、メモリレベルが小さすぎる場合は、"メモリフル"信号R_Fが供給される。対応する
方法で、上述のデータ要求信号R_Rは、第2シフトレジスタ2の充填レベル(filling lev
el)が既定値より下になる、すなわち新しいパラレルデータD_{pin}が引き継がれたとき
に発生する。

30

【0028】

この装置は特に、如何なる外部ソフトウェア又はマイクロプロセッサ制御も必要としない
利点を有し、これにより、例えはパラレルデータD_{pin}を供給するマイクロプロセッサを
負担から解放する。これは、この装置が実質的にハードウェアに基づいて動作すること
を達成する。その上、この装置において、メモリは同時に書き込み及び読み取りができ
ないという事実により問題は無いので、パラレルデータからシリアルデータへの変換は絶え
ず実行可能である。

40

【0029】

第1シフトレジスタ1の特殊な構成によって、物理ビットフレーム幅から離れる論理ビット
フレーム幅も処理可能である。論理ビットフレーム幅が物理ビットフレーム幅より小さ
いために、パラレルビットを第1シフトレジスタに読み込んだ後、空の又は無効に書き込

50

まれたメモリセルが第1シフトレジスタに存在するときでさえ、第1シフトレジスタの最後のメモリセルのデータをこのシフトレジスタの第1メモリセルへフィードバックし、及び次の有効ビットがシフト信号S H Lの各クロックで第2シフトレジスタに書き込まれても、次の有効ビットを絶えずトラッキングするフレーム論理により達成される。これによつて、第2シフトレジスタの全メモリセルが十分利用され、不変化シーケンスにおいて再度及び如何なるギャップも持たずシリアルに読み取られることが達成される。

【0030】

論理ビットフレーム幅の大きさは、シフトクロックS H Lを生成するとき、及びフレーム論理4を用いて有効メモリセルをトラッキングするときに考慮される。

【0031】

当該図に示される装置は、基本的にシリアル／パラレル変換器にも使用される。つまり、論理プロセスがほぼ反転する。このとき、シリアルデータはシフトレジスタ2からシリアルで読み取られる。ロードシフトレジスタ3におけるレベル指示情報は、シフトレジスタ1に書き込まれる次の有効ビットを信号で指示すに役立つ。各クロックに関し、シフトレジスタ1におけるビットは、論理又は物理ビットフレーム幅が達成され、これらビットが第1シフトレジスタからパラレルに読み取り可能となるまで、集められる。この動作のモードにおいても、前記ビットが第1シフトレジスタによってパラレルに供給される論理ビットフレーム幅は、物理ビットフレーム幅から離れていてもよい。

【図面の簡単な説明】

【図1】 図1は、パラレルデータストリームをシリアルデータストリームに変換する装置のブロック図である。

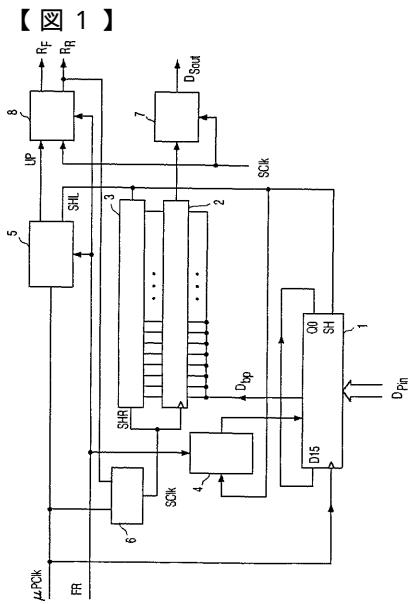
【符号の説明】

- 1 第1シフトレジスタ
- 2 第2シフトレジスタ
- 3 ロードシフトレジスタ
- 4 フレーム論理
- 5 カウンタ
- 6 クロック発生器
- 7 バッファメモリ
- 8 信号通知論理

10

20

30



フロントページの続き

(56)参考文献 特開平05-250140 (JP, A)
特開昭63-088635 (JP, A)
特開昭62-284526 (JP, A)
特開平04-360425 (JP, A)
特開昭53-068036 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M3/00-11/00