

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成17年10月27日(2005.10.27)

【公開番号】特開2004-177892(P2004-177892A)

【公開日】平成16年6月24日(2004.6.24)

【年通号数】公開・登録公報2004-024

【出願番号】特願2002-347320(P2002-347320)

【国際特許分類第7版】

G 02 F 1/1368

G 02 F 1/1345

H 01 L 21/3205

H 01 L 21/768

H 01 L 29/786

【F I】

G 02 F 1/1368

G 02 F 1/1345

H 01 L 29/78 6 1 2 C

H 01 L 21/88 M

H 01 L 21/90 A

【手続補正書】

【提出日】平成17年7月21日(2005.7.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素領域と、

前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、

前記周辺回路領域に形成された薄膜トランジスタのゲイト電極と、

前記ゲイト電極に接続され、該ゲイト電極の上層又は下層に形成された短距離配線と、
を具備し、

前記ゲイト電極は各薄膜トランジスタにおいて孤立して形成されていることを特徴とする半導体装置。

【請求項2】

請求項1において、前記短距離配線は画素内を引き回す配線又は1つの機能ブロックを
引き回す配線であることを特徴とする半導体装置。

【請求項3】

請求項1又は2において、前記短距離配線の長さが2μm以上2cm未満であることを
特徴とする半導体装置。

【請求項4】

請求項1乃至3のうちのいずれか一項において、前記短距離配線は2層以上の多層配線
を有し、前記多層配線は配線相互間に絶縁膜が設けられたものであることを特徴とする半
導体装置。

【請求項5】

請求項1乃至4のうちのいずれか一項において、前記短距離配線の上層に形成された長
距離配線をさらに具備することを特徴とする半導体装置。

【請求項 6】

画素領域と、

前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、

前記周辺回路領域に形成された薄膜トランジスタのゲイト電極と、

前記ゲイト電極の上層又は下層に形成された長距離配線と、

を具備し、

前記ゲイト電極は各薄膜トランジスタにおいて孤立して形成されていることを特徴とする半導体装置。

【請求項 7】

請求項 5 又は 6 において、前記長距離配線の長さは画素ピッチの百倍以上の長さであることを特徴とする半導体装置。

【請求項 8】

請求項 5 乃至 7 のうちのいずれか一項において、前記長距離配線の長さが 2 cm 以上 10 cm 以下であることを特徴とする半導体装置。

【請求項 9】

請求項 5 乃至 8 のうちのいずれか一項において、前記長距離配線は 2 層以上の多層配線を有し、前記多層配線は配線相互間に絶縁膜が設けられたものであることを特徴とする半導体装置。

【請求項 10】

請求項 4 又は 9 において、前記多層配線のうちの少なくとも 1 層の配線が低抵抗材料からなることを特徴とする半導体装置。

【請求項 11】

請求項 10 において、前記低抵抗材料が銅、銅合金、金、金合金、銀、銀合金の群から選ばれた一又は複数の材料であることを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至 11 のうちのいずれか一項において、前記周辺回路領域には薄膜トランジスタが形成されており、前記薄膜トランジスタの上方に 2 層以上の多層配線が形成されていることを特徴とする半導体装置。

【請求項 13】

基板上の駆動回路領域に駆動回路用薄膜トランジスタを形成すると共に前記基板上の画素領域に画素用薄膜トランジスタを形成する工程と、

前記駆動回路用薄膜トランジスタの上方に第 1 の配線を形成し、前記第 1 の配線の上方に第 2 の配線を形成し、前記第 2 の配線の上方に第 3 の配線を形成すると共に、前記画素用薄膜トランジスタのドレイン領域上に第 1 の容量素子を形成し、前記第 1 の容量素子上に第 2 の容量素子を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【請求項 14】

基板上の駆動回路領域に形成された駆動回路用薄膜トランジスタと、

前記基板上の画素領域に形成された画素用薄膜トランジスタと、

前記駆動回路用薄膜トランジスタの上方に形成された第 1 の配線と、

前記第 1 の配線の上方に形成された第 2 の配線と、

前記第 2 の配線の上方に形成された第 3 の配線と、

前記画素用薄膜トランジスタのドレイン領域上に形成された第 1 の容量素子と、

前記第 1 の容量素子上に形成された第 2 の容量素子と、

を具備することを特徴とする半導体装置。

【請求項 15】

基板上の駆動回路領域に駆動回路用薄膜トランジスタを形成すると共に前記基板上の画素領域に画素用薄膜トランジスタを形成する工程と、

前記駆動回路用薄膜トランジスタ及び前記画素用薄膜トランジスタの上に第 1 の層間絶縁膜を形成する工程と、

前記画素領域の第1の層間絶縁膜に、前記画素用薄膜トランジスタのドレイン領域上に位置する第1コンタクトホールを形成する工程と、

前記駆動回路領域の第1の層間絶縁膜上に第1の導電膜からなる第1の配線を形成すると共に、前記第1コンタクトホール内に第1の導電膜からなるドレイン電極を形成する工程と、

前記第1の配線、前記ドレイン電極及び前記第1の層間絶縁膜の上に第2の層間絶縁膜を形成する工程と、

前記画素領域の第2の層間絶縁膜に、前記第1コンタクトホール上且つ前記ドレイン電極上に位置する第2コンタクトホールを形成する工程と、

前記第2の層間絶縁膜上及び前記第2コンタクトホール内に第3の層間絶縁膜を形成する工程と、

前記駆動回路領域の第3の層間絶縁膜上に、第2の導電膜からなる第2の配線を形成すると共に、前記第2コンタクトホール内に第2の導電膜からなる第1の容量電極を形成する工程と、

前記第1の容量電極をエッチング加工することにより、前記第2コンタクトホールの底部に位置する第3の層間絶縁膜の一部を露出させる工程と、

前記第2の配線、前記第1の容量電極及び前記第3の層間絶縁膜の上に第4の層間絶縁膜を形成する工程と、

前記画素領域の第4の層間絶縁膜に、前記第2コンタクトホール上且つ前記第1の容量電極上に位置する第3コンタクトホールを形成する工程と、

前記第4の層間絶縁膜上及び前記第3コンタクトホール内に第5の層間絶縁膜を形成する工程と、

前記第3コンタクトホールの底部に位置する第3及び第5の層間絶縁膜をエッチング加工することにより、前記第3コンタクトホールの底部下に位置するドレイン電極の一部を露出させる工程と、

前記駆動回路領域の第5の層間絶縁膜上に、第3の導電膜からなる第3の配線を形成すると共に、前記第3コンタクトホール内に第3の導電膜からなる第2の容量電極を形成し、前記第2の容量電極を前記ドレイン電極に電気的に接続する工程と、
を具備し、

前記第1乃至第3コンタクトホール内に、前記ドレイン電極、誘電体としての前記第3の層間絶縁膜及び前記第1の容量電極から構成された第1の容量素子と、前記第1の容量電極、誘電体としての前記第5の層間絶縁膜及び前記第2の容量電極から構成された第2の容量素子とを形成することを特徴とする半導体装置の作製方法。

【請求項16】

請求項15において、前記ドレイン電極に電気的に接続する工程の後に、前記第3の配線、前記第2の容量電極及び前記第5の層間絶縁膜の上に第6の層間絶縁膜を形成する工程と、前記画素領域の第6の層間絶縁膜上に、前記第2の容量電極と電気的に接続された画素電極を形成する工程と、をさらに有することを特徴とする半導体装置の作製方法。

【請求項17】

基板上の駆動回路領域に形成された駆動回路用薄膜トランジスタと、

前記基板上の画素領域に形成された画素用薄膜トランジスタと、

前記駆動回路用薄膜トランジスタ及び前記画素用薄膜トランジスタの上に形成された第1の層間絶縁膜と、

前記画素領域の第1の層間絶縁膜に形成され、前記画素用薄膜トランジスタのドレイン領域上に位置する第1コンタクトホールと、

前記駆動回路領域の第1の層間絶縁膜上に形成された第1の導電膜からなる第1の配線と、

前記第1コンタクトホール内に形成された第1の導電膜からなるドレイン電極と、

前記第1の配線、前記ドレイン電極及び前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、

前記画素領域の第2の層間絶縁膜に形成され、前記第1コンタクトホール上且つ前記ドレイン電極上に位置する第2コンタクトホールと、

前記第2の層間絶縁膜上及び前記第2コンタクトホール内に形成された第3の層間絶縁膜と、

前記駆動回路領域の第3の層間絶縁膜上に形成された第2の導電膜からなる第2の配線と、

前記第2コンタクトホール内に形成された第2の導電膜からなる第1の容量電極と、

前記第1の容量電極に形成され、前記第2コンタクトホールの底部に位置する第3の層間絶縁膜の一部を露出させるための第1ホールと、

前記第2の配線、前記第1の容量電極及び前記第3の層間絶縁膜の上に形成された第4の層間絶縁膜と、

前記画素領域の第4の層間絶縁膜に形成され、前記第2コンタクトホール上且つ前記第1の容量電極上に位置する第3コンタクトホールと、

前記第4の層間絶縁膜上及び前記第3コンタクトホール内に形成された第5の層間絶縁膜と、

前記第3コンタクトホールの底部に位置する第3及び第5の層間絶縁膜に形成され、前記第3コンタクトホールの底部下に位置するドレイン電極の一部を露出させるための第2ホールと、

前記駆動回路領域の第5の層間絶縁膜上に形成された第3の導電膜からなる第3の配線と、

前記第3コンタクトホール内に形成され、前記ドレイン電極に電気的に接続された第3の導電膜からなる第2の容量電極と、

を具備し、

前記第1乃至第3コンタクトホール内に、前記ドレイン電極、誘電体としての前記第3の層間絶縁膜及び前記第1の容量電極から構成された第1の容量素子と、前記第1の容量電極、誘電体としての前記第5の層間絶縁膜及び前記第2の容量電極から構成された第2の容量素子とを形成することを特徴とする半導体装置。

【請求項1~8】

請求項1~7において、前記第3の配線、前記第2の容量電極及び前記第5の層間絶縁膜の上に形成された第6の層間絶縁膜と、前記画素領域の第5の層間絶縁膜上に形成され、前記第2の容量電極と電気的に接続された画素電極と、をさらに有することを特徴とする半導体装置。