



# (12)发明专利

(10)授权公告号 CN 106575311 B

(45)授权公告日 2019.10.22

(21)申请号 201580039977.7

(22)申请日 2015.07.21

(65)同一申请的已公布的文献号

申请公布号 CN 106575311 A

(43)申请公布日 2017.04.19

(30)优先权数据

14/340,381 2014.07.24 US

(85)PCT国际申请进入国家阶段日

2017.01.20

(86)PCT国际申请的申请数据

PCT/US2015/041371 2015.07.21

(87)PCT国际申请的公布数据

WO2016/014559 EN 2016.01.28

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 C-C·刘 J-Y·陆 S·谢

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 亓云

(51)Int.Cl.

G06F 17/50(2006.01)

H01L 27/02(2006.01)

(56)对比文件

JP 2007214397 A,2007.08.23,

JP 2007214397 A,2007.08.23,

US 5614764 A,1997.03.25,

US 2014131878 A1,2014.05.15,

TW 434821 B,2001.05.16,

US 2008092100 A1,2008.04.17,

JP 2005051152 A,2005.02.24,

TW 200512799 A,2005.04.01,

US 6483045 B1,2002.11.19,

审查员 于俊

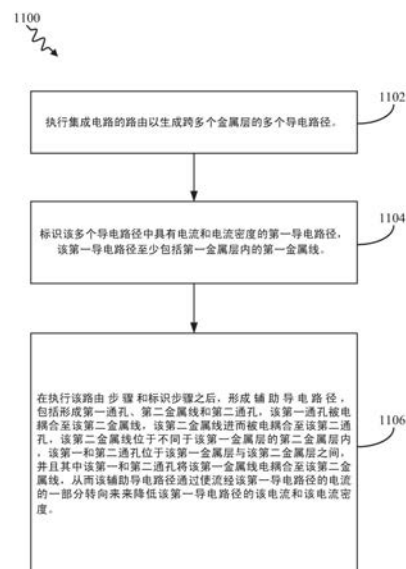
权利要求书4页 说明书9页 附图11页

## (54)发明名称

通过金属线和通孔矩阵插入来减轻电迁移、涌入电流效应、IR电压降和抖动

## (57)摘要

本文公开了以在为集成电路的布局执行和/或完成了放置和路由过程之后的金属线-通孔矩阵插入为特征的集成电路和制造此类电路的方法。该金属线-通孔矩阵包括在特定点被插入到集成电路的布局中以降低通过已经被确定为遭受电迁移、IR电压降、和/或抖动的第一导电路径的电流和电流密度的一个或多个附加金属线以及一个或多个附加通孔。具体地,该金属线-通孔矩阵提供了一个或多个辅助导电路径以使本将流经第一导电路径的电流的一部分转向并承载该部分电流。这减轻了沿第一导电路径的电迁移问题和IR电压降。还可帮助缓解因沿该路径的抖动而导致的问题。



1. 一种制造集成电路的方法,所述方法包括:

执行所述集成电路的路由以生成跨多个金属层的多个导电路径;

标识所述多个导电路径中具有电流和电流密度的第一导电路径,所述第一导电路径从所述集成电路的第一点延伸至所述集成电路的第二点并且至少包括第一金属层内的第一金属线;以及

在执行所述路由步骤和标识步骤之后,形成辅助导电路径,其从所述第一点延伸至所述第二点并且包括形成第一通孔、第二金属线和第二通孔,所述第一通孔被电耦合至所述第二金属线,所述第二金属线进而被电耦合至所述第二通孔,所述第二金属线位于不同于所述第一金属层的第二金属层内,所述第一和第二通孔位于所述第一金属层与所述第二金属层之间,并且其中所述第一和第二通孔将所述第一金属线电耦合至所述第二金属线,从而所述辅助导电路径通过使流经所述第一导电路径的电流的一部分转向来降低所述第一导电路径的所述电流和所述电流密度。

2. 如权利要求1所述的方法,其特征在于,所述辅助导电路径的路径长度不同于所述第一导电路径的路径长度。

3. 如权利要求2所述的方法,其特征在于,所述辅助导电路径的路径长度大于所述第一导电路径的路径长度。

4. 如权利要求1所述的方法,其特征在于,进一步包括:

在执行所述路由步骤和标识步骤之后,形成第二辅助导电路径,包括形成第三金属线、第四金属线和第五金属线,所述第三金属线被电耦合至所述第四金属线,所述第四金属线进而被电耦合至所述第五金属线,所述第三、第四和第五金属线全都位于所述第二金属层内,并且所述第三和第五金属线将所述第四金属线电耦合至所述第二金属线,从而所述第二辅助导电路径通过使流经所述第一导电路径的电流的附加部分转向来进一步降低所述第一导电路径的所述电流和所述电流密度。

5. 如权利要求4所述的方法,其特征在于,所述第一导电路径、所述辅助导电路径和所述第二辅助导电路径中的每一者的路径长度是彼此不同的。

6. 如权利要求1所述的方法,其特征在于,进一步包括:

在执行所述路由步骤和标识步骤之后,形成第二辅助导电路径,包括形成第三通孔、第三金属线和第四通孔,所述第三通孔被电耦合至所述第三金属线,所述第三金属线进而被电耦合至所述第四通孔,所述第三金属线位于与所述第一和第二金属层不同的第三金属层内,所述第三和第四通孔位于所述第二与第三金属层之间,并且所述第三和第四通孔将所述第三金属线电耦合至所述第二金属线,从而所述第二辅助导电路径通过使流经所述第一导电路径的电流的附加部分转向来进一步降低所述第一导电路径的所述电流和所述电流密度。

7. 如权利要求6所述的方法,其特征在于,所述第一导电路径、所述辅助导电路径和所述第二辅助导电路径中的每一者的路径长度是彼此不同的。

8. 如权利要求1所述的方法,其特征在于,形成所述辅助导电路径进一步包括所述第二金属层中的第三和第四金属线,所述第二金属线的第一端通过所述第三金属线被电耦合至所述第一通孔,并且所述第二金属线的第二端通过所述第四金属线被电耦合至所述第二通孔。

9. 如权利要求1所述的方法,其特征在于,所述第二金属线的一端包括延伸超出所述第二金属线被耦合至通孔的汇接处的金属延伸件,所述延伸件被适配成收集因电迁移而导致的原子和/或形成因电迁移而导致的空位。

10. 如权利要求1所述的方法,其特征在于,所述辅助导电路径是在已经执行了所述集成电路的放置和路由之后,通过将所述第一和第二通孔以及所述第二金属线插入到所述集成电路的布局设计中来形成的。

11. 一种集成电路,包括:

从所述集成电路的第一点延伸至所述集成电路的第二点并且至少包括第一金属层内的第一金属线的第一导电路径;以及

从所述第一点延伸至所述第二点并且包括第一通孔、第二金属线和第二通孔的至少一个辅助导电路径,所述第一通孔被电耦合至所述第二金属线,所述第二金属线进而被电耦合至所述第二通孔,所述第二金属线位于不同于所述第一金属层的第二金属层内,所述第一和第二通孔位于所述第一金属层与所述第二金属层之间,并且其中所述第一和第二通孔将所述第一金属线电耦合至所述第二金属线,从而所述至少一个辅助导电路径通过使流经所述第一导电路径的电流的一部分转向来降低所述第一导电路径的所述电流和所述电流密度,其中所述至少一个辅助导电路径是在已经执行了所述集成电路的放置和路由之后,通过将所述第一和第二通孔以及所述第二金属线插入到所述集成电路的布局设计中来形成的。

12. 如权利要求11所述的集成电路,其特征在于,所述至少一个辅助导电路径的路径长度不同于所述第一导电路径的路径长度。

13. 如权利要求12所述的集成电路,其特征在于,所述至少一个辅助导电路径的路径长度大于所述第一导电路径的路径长度。

14. 如权利要求11所述的集成电路,其特征在于,进一步包括:

包括第三金属线、第四金属线和第五金属线的第二辅助导电路径,所述第三金属线被电耦合至所述第四金属线,所述第四金属线进而被电耦合至所述第五金属线,所述第三、第四和第五金属线全都位于所述第二金属层内,并且所述第三和第五金属线将所述第四金属线电耦合至所述第二金属线,从而所述第二辅助导电路径通过使流经所述第一导电路径的电流的附加部分转向来进一步降低所述第一导电路径的所述电流和所述电流密度。

15. 如权利要求14所述的集成电路,其特征在于,所述第一导电路径、所述至少一个辅助导电路径和所述第二辅助导电路径中的每一者的路径长度是彼此不同的。

16. 如权利要求11所述的集成电路,其特征在于,进一步包括:

包括第三通孔、第三金属线和第四通孔的第二辅助导电路径,所述第三通孔被电耦合至所述第三金属线,所述第三金属线进而被电耦合至所述第四通孔,所述第三金属线位于与所述第一和第二金属层不同的第三金属层内,所述第三和第四通孔位于所述第二与第三金属层之间,并且所述第三和第四通孔将所述第三金属线电耦合至所述第二金属线,从而所述第二辅助导电路径通过使流经所述第一导电路径的电流的附加部分转向来进一步降低所述第一导电路径的所述电流和所述电流密度。

17. 如权利要求16所述的集成电路,其特征在于,所述第一导电路径、所述至少一个辅助导电路径和所述第二辅助导电路径中的每一者的路径长度是彼此不同的。

18. 如权利要求11所述的集成电路,其特征在于,所述至少一个辅助导电路径进一步包括所述第二金属层中的第三和第四金属线,所述第二金属线的第一端通过所述第三金属线被电耦合至所述第一通孔,并且所述第二金属线的第二端通过所述第四金属线被电耦合至所述第二通孔。

19. 如权利要求11所述的集成电路,其特征在于,所述第二金属线的一端包括延伸超出所述第二金属线被耦合至通孔的汇接处的金属延伸件,所述延伸件被适配成收集因电迁移而导致的原子和/或形成因电迁移而导致的空位。

20. 一种通过过程来制备的集成电路,所述过程包括:

执行所述集成电路的路由以生成跨多个金属层的多个导电路径;

标识所述多个导电路径中具有电流和电流密度的第一导电路径,所述第一导电路径从所述集成电路的第一点延伸至所述集成电路的第二点并且至少包括第一金属层内的第一金属线;以及

在执行所述路由步骤和标识步骤之后,形成辅助导电路径,其从所述第一点延伸至所述第二点并且包括形成第一通孔、第二金属线和第二通孔,所述第一通孔被电耦合至所述第二金属线,所述第二金属线进而被电耦合至所述第二通孔,所述第二金属线位于不同于所述第一金属层的第二金属层内,所述第一和第二通孔位于所述第一金属层与所述第二金属层之间,并且其中所述第一和第二通孔将所述第一金属线电耦合至所述第二金属线,从而所述辅助导电路径通过使流经所述第一导电路径的电流的一部分转向来降低所述第一导电路径的所述电流和所述电流密度。

21. 如权利要求20所述的集成电路,其特征在于,所述辅助导电路径的路径长度不同于所述第一导电路径的路径长度。

22. 如权利要求21所述的集成电路,其特征在于,所述辅助导电路径的路径长度大于所述第一导电路径的路径长度。

23. 如权利要求20所述的集成电路,其特征在于,所述过程进一步包括:

在执行所述路由步骤和标识步骤之后,形成第二辅助导电路径,包括形成第三金属线、第四金属线和第五金属线,所述第三金属线被电耦合至所述第四金属线,所述第四金属线进而被电耦合至所述第五金属线,所述第三、第四和第五金属线全都位于所述第二金属层内,并且所述第三和第五金属线将所述第四金属线电耦合至所述第二金属线,从而所述第二辅助导电路径通过使流经所述第一导电路径的电流的附加部分转向来进一步降低所述第一导电路径的所述电流和所述电流密度。

24. 如权利要求23所述的集成电路,其特征在于,所述第一导电路径、所述辅助导电路径和所述第二辅助导电路径中的每一者的路径长度是彼此不同的。

25. 如权利要求20所述的集成电路,其特征在于,所述过程进一步包括:

在执行所述路由步骤和标识步骤之后,形成第二辅助导电路径,包括形成第三通孔、第三金属线和第四通孔,所述第三通孔被电耦合至所述第三金属线,所述第三金属线进而被电耦合至所述第四通孔,所述第三金属线位于与所述第一和第二金属层不同的第三金属层内,所述第三和第四通孔位于所述第二与第三金属层之间,并且所述第三和第四通孔将所述第三金属线电耦合至所述第二金属线,从而所述第二辅助导电路径通过使流经所述第一导电路径的电流的附加部分转向来进一步降低所述第一导电路径的所述电流和所述电流

密度。

26. 如权利要求25所述的集成电路,其特征在于,所述第一导电路径、所述辅助导电路径和所述第二辅助导电路径中的每一者的路径长度是彼此不同的。

27. 如权利要求20所述的集成电路,其特征在于,形成所述辅助导电路径进一步包括所述第二金属层中的第三和第四金属线,所述第二金属线的第一端通过所述第三金属线被电耦合至所述第一通孔,并且所述第二金属线的第二端通过所述第四金属线被电耦合至所述第二通孔。

28. 如权利要求20所述的集成电路,其特征在于,所述第二金属线的一端包括延伸超出所述第二金属线被耦合至通孔的汇接处的金属延伸件,所述延伸件被适配成收集因电迁移而导致的原子和/或形成因电迁移而导致的空位。

29. 如权利要求20所述的集成电路,其特征在于,所述辅助导电路径是在已经执行了所述集成电路的放置和路由之后,通过将所述第一和第二通孔以及所述第二金属线插入到所述集成电路的布局设计中来形成的。

## 通过金属线和通孔矩阵插入来减轻电迁移、涌入电流效应、IR电压降和抖动

[0001] 相关申请的交叉引用

[0002] 本申请要求于2014年7月24日向美国专利商标局提交的美国非临时申请No. 14/340,381的优先权和权益,其全部内容通过援引纳入于此。

[0003] 背景

[0004] 领域

[0005] 各种特征一般涉及集成电路(IC),尤其涉及制造以金属线和通孔矩阵插入为特征以减少和/或减轻电迁移、涌入电流效应(包括IR电压降)、以及抖动的IC和制造该IC的方法。

### 背景技术

[0006] 电迁移是由于导体中由于导电电子与扩散金属原子之间的动量转移导致的离子移动而引起的物质输送。导体(诸如IC中的有线线路或互连之类)在通过该导体的电流密度相对较高时特别易于受到电迁移的影响。电迁移降低了IC的可靠性,因为它可结果导致沿该IC内的诸导电路径的空位(即,开路)和/或短路,这可最终引起该IC发生故障。随着IC尺寸在大小方面持续减小,电迁移在效果和显著性方面有所增加。

[0007] 涌入电流是由电设备或电路在被导通或另行以某种方式被激活时汲取的最大瞬时输入电流。为了动态地节省功率,现代IC上广泛使用时钟选通。然而,结果是,当时钟选通被关断时有大电流流入电路的时候,结果产生涌入电流问题,这可导致相当大的IR电压降。结果所得的IR电压降可导致晶体管中的操作状态改变,诸如导通被设想应截止的晶体管。此外,涌入电流问题通常靠近IC的电源开关,这经常使其成为因位置而异的问题。然而,此类位置处的芯片面积可因IC设计而非常受限,并且因此由对于涌入电流问题所提议的方案占据的芯片面积量应该尽可能小。

[0008] 抖动是离周期性信号的静态周期性的频率偏差。抖动的来源包括电源噪声、数据路径噪声、电路上的相位失真(例如,由锁相环所导致)等。抖动对于与许多不同应用有关的IC可能是相当成问题的。

[0009] 非常普遍地,现有技术的IC采用解耦电容器(例如,“de-cap”)以减轻电迁移、涌入电流所导致的IR电压降、和抖动的以上不期望效应。具体地,de-cap被插入到电路中预计有一个或多个以上问题的策略点处。然而,de-cap具有特异的缺点。首先,它们消耗较大的芯片面积,这在IC的一些位置中(例如,靠近电源开关)使得其使用非常不切实际或困难。其次,有些de-cap消耗显著的功率,因为它们可包括一个或多个晶体管。第三,de-cap具有从基于电路的预计工作频率来选择的阻抗导出的频率。成问题的是,对电路的工作频率的改变(例如,当IC进入较低功率状态时)可负面地影响de-cap的性能,de-cap可能必须被重新调谐以重新优化性能。

[0010] 存在对减轻与电迁移、基于涌入电流的IR电压降、以及抖动相关联的问题、消耗较少功率、消耗较少芯片面积、并且对于IC的工作频率的改变而言稳健的方法和设备的需要。

## [0011] 概述

[0012] 一个特征提供了一种制造集成电路的方法。该方法包括：执行该集成电路的路由以生成跨多个金属层的多个导电路径，标识该多个导电路径中具有电流和电流密度的第一导电路径，第一导电路径至少包括第一金属层内的第一金属线，以及在执行路由步骤和标识步骤之后，形成辅助导电路径，包括形成第一通孔、第二金属线、和第二通孔。第一通孔电耦合至第二金属线，第二金属线进而电耦合至第二通孔。第二金属线位于不同于第一金属层的第二金属层内，并且第一和第二通孔位于第一金属层与第二金属层之间。第一和第二通孔将第一金属线电耦合至第二金属线，从而该辅助导电路径通过使流经第一导电路径的电流的一部分转向来降低第一导电路径的电流和电流密度。根据一个方面，该辅助导电路径的路径长度不同于第一导电路径的路径长度。根据另一方面，该辅助导电路径的路径长度大于第一导电路径的路径长度。

[0013] 根据一个方面，该方法进一步包括：在执行路由步骤和标识步骤之后，形成包括第三金属线、第四金属线、和第五金属线的第二辅助导电路径，第三金属线电耦合至第四金属线，第四金属线进而电耦合至第五金属线，第三、第四和第五金属线全都位于第二金属层内，并且第三和第五金属线将第四金属线电耦合至第二金属线，从而第二辅助导电路径通过使流经第一导电路径的电流的附加部分转向来进一步降低第一导电路径的电流和电流密度。根据另一方面，第一导电路径、该辅助导电路径、和第二辅助导电路径中的每一者的路径长度是彼此不同的。

[0014] 根据一个方面，该方法进一步包括：在执行路由步骤和标识步骤之后，形成第二辅助导电路径，包括形成第三通孔、第三金属线、和第四通孔，第三通孔电耦合至第三金属线，第三金属线进而电耦合至第四通孔，第三金属线位于与第一和第二金属层不同的第三金属层内，第三和第四通孔位于第二与第三金属层之间，并且第三和第四通孔将第三金属线电耦合至第二金属线，从而第二辅助导电路径通过使流经第一导电路径的电流的附加部分转向来进一步降低第一导电路径的电流和电流密度。根据另一方面，形成该辅助导电路径进一步包括第二金属层中的第三和第四金属线，第二金属线的第一端通过第三金属线被电耦合至第一通孔，并且第二金属线的第二端通过第四金属线被电耦合至第二通孔。

[0015] 根据一个方面，第二金属线的一端包括延伸超出第二金属线被耦合至通孔的汇接处的金属延伸件，该延伸件被适配成收集因电迁移导致的原子和/或形成因电迁移导致的空位。根据另一方面，在已经执行了集成电路的放置和路由之后，通过将第一和第二通孔以及第二金属线插入到集成电路的布局设计中来形成该辅助导电路径。

[0016] 另一特征提供了一种集成电路，包括：至少包括第一金属层内的第一金属线的第一导电路径；以及包括第一通孔、第二金属线、和第二通孔的至少一个辅助导电路径。第一通孔被电耦合至第二金属线，第二金属线进而被电耦合至第二通孔，并且第二金属线位于不同于第一金属层的第二金属层内。第一和第二通孔位于第一金属层与第二金属层之间，并且其中第一和第二通孔将第一金属线电耦合至第二金属线，从而该辅助导电路径通过使流经第一导电路径的电流的一部分转向来降低第一导电路径的电流和电流密度。

[0017] 根据一个方面，该集成电路进一步包括第二辅助导电路径，其包括第三金属线、第四金属线、和第五金属线，第三金属线路被电耦合至第四金属线，第四金属线进而被电耦合至第五金属线。第三、第四和第五金属线全都位于第二金属层内，并且第三和第五金属线将

第四金属线电耦合至第二金属线,从而第二辅助导电路径通过使流经第一导电路径的电流的附加部分转向来进一步降低第一导电路径的电流和电流密度。

[0018] 根据一个方面,该集成电路进一步包括:包括第三通孔、第三金属线、和第四通孔的第二辅助导电路径,第三通孔被电耦合至第三金属线,第三金属线进而被电耦合至第四通孔,第三金属线位于与第一和第二金属层不同的第三金属层内,第三和第四通孔位于第二与第三金属层之间,并且第三和第四通孔将第三金属线电耦合至第二金属线,从而第二辅助导电路径通过使流经第一导电路径的电流的附加部分转向来进一步降低第一导电路径的电流和电流密度。

[0019] 另一特征提供了藉由包括以下步骤的过程来制备的集成电路:执行该集成电路的路由以生成跨多个金属层的多个导电路径,标识该多个导电路径中具有电流和电流密度的第一导电路径,第一导电路径至少包括第一金属层内的第一金属线,并且在执行路由步骤和标识步骤之后,形成辅助导电路径,包括形成第一通孔、第二金属线、和第二通孔,第一通孔被电耦合至第二金属线,第二金属线进而被电耦合至第二通孔,第二金属线位于不同于第一金属层的第二金属层内,第一和第二通孔位于第一金属层与第二金属层之间,并且其中第一和第二通孔将第一金属线电耦合至第二金属线,从而该辅助导电路径通过使流经第一导电路径的电流的一部分转向来降低第一导电路径的电流和电流密度。

[0020] 附图简述

[0021] 图1解说了以金属线和通孔矩阵插入为特征的示例性集成电路(IC)的透视图。

[0022] 图2解说了该IC沿线2-2的横截面示意视图。

[0023] 图3解说了IC中的第一导电路径的概念透视图。

[0024] 图4解说了以金属线-通孔矩阵插入为特征的IC内的第二导电路径的概念透视图。

[0025] 图5解说了多级缓冲器路径。

[0026] 图6解说了金属线-通孔矩阵插入之后的多级缓冲器路径。

[0027] 图7解说了针对图5和6中示出的缓冲器路径的级A、B和C的相对IR电压降-时间。

[0028] 图8解说了以金属线-通孔矩阵插入为特征的IC内的第三导电路径的概念透视图。

[0029] 图9解说了以金属线-通孔矩阵插入为特征的IC内的第四导电路径的概念透视图。

[0030] 图10解说了以金属线-通孔矩阵插入为特征的IC内的第五导电路径的概念透视图。

[0031] 图11解说了用于制造集成电路的方法的流程图。

[0032] 详细描述

[0033] 在以下描述中,给出了具体细节以提供对本公开的各方面的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可实践这些方面。例如,电路可能用框图示出以避免使这些方面湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不被详细示出以免模糊本公开的这些方面。

[0034] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实现或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开的所有方面都包括所讨论的特征、优点或操作模式。如本文所使用的,术语“电耦合”指代两个对象之间的、允许电流流动发生于这两个对象之间的直接或间接耦合。例如,若对象A物理地接触对象B,且对象B接触对象C,则在对象B是允许发生从对象A向对象C的



和/或从对象C向对象A的电流流动的导体的情况下,对象A和C仍可被认为是彼此电耦合的,即便它们并非彼此直接物理地接触。

#### [0035] 概览

[0036] 本文公开了以在为集成电路的布局执行和/或完成了放置和路由过程之后的金属线-通孔矩阵插入为特征的集成电路和制造此类电路的方法。金属线-通孔矩阵包括在特定点被插入到该集成电路的布局中以降低通过已经被确定为遭受电迁移、IR电压降、和/或抖动的第一导电路径的电流和电流密度的一个或多个附加金属线以及一个或多个附加通孔。具体地,该金属线-通孔矩阵提供了一个或多个辅助导电路径以使本将流经第一导电路径的电流的一部分转向并承载该部分电流。这减轻了沿第一导电路径的电迁移问题和IR电压降。还可帮助缓解因沿该路径的抖动而导致的问题。

#### [0037] 以金属线和通孔矩阵插入为特征的示例性IC

[0038] 图1解说了根据本公开的一个方面的以金属线和通孔矩阵插入为特征的示例性集成电路(IC) 100的透视图。IC 100可以是任何类型的IC,包括但不限于处理器、处理器内的处理电路、存储器电路等。IC 100可在任何电子设备中找到,包括诸如但不限于移动电话、计算机、平板、手表、眼镜等的电子通信设备。在所解说的示例中,IC 100是“触发器”IC。然而,本文描述的方法和设备等同地应用于任何类型的IC,包括线焊IC。

[0039] 图2解说了IC 100沿线2-2(参见图1)的横截面示意视图。IC 100包括具有金属线/迹线201、202、203的多个金属层(例如, $M_A$ 、 $M_B$ 、 $M_C$ 、 $M_D$ 等),金属线/迹线201、202、203可通过导电通孔( $V_A$ 、 $V_B$ 、 $V_C$ 等)被电耦合在一起。金属线201、202、203和通孔204、205的网络例如可通过提供导电路径来将晶体管206或其他(诸)电路元件耦合至IC 100的其他部分,诸如其他设备、电网、地网等。这些金属线201、202、203和/或通孔204、205中的一者或多者可能易遭受电迁移、由涌入电流导致的IR电压降、和/或抖动,并且因此用于降低这些成问题的效应的方法和设备可被应用于此种IC 100。例如,流经金属线201、203和通孔205的电流 $I_1$ 可具有相对较高的电流密度并导致电迁移、IR电压降、和/或抖动问题。如以下更详细地描述的,IC 100包括金属线和通孔插入以降低电流密度和电流 $I_1$ ,藉此缓解了电迁移、IR电压降、和抖动。在示出的示例中,描绘了四(4)个金属层。然而,实践中,本文描述的方法和设备应用于具有任何多个金属和通孔层的IC。

[0040] 图3解说了根据一个非限定性示例的在IC 100中的导电路径300的概念透视图。导电路径300包括从点A延伸至点B并包括金属线201、203和通孔205的第一导电路径302。第一导电路径302承载根据图3中示出的虚线有向箭头流动的电流 $I_1$ 。因此电流 $I_1$ 流经:(1)在从正X轴开始朝负X轴的方向上沿第一金属线201;(2)随后沿通孔205下行(即,从正Y轴到负Y轴);以及(3)随后在从负Z轴到正Z轴的方向上通过第二金属线203。进入点A的电流 $I_A$ 的幅值等于离开点B的电流 $I_B$ 的幅值。因为第一导电路径302被示为是供电流 $I_A$ 流入和电流 $I_B$ 流出的唯一可用路径,所以电流 $I_1$ 的幅值等于电流 $I_A$ 和 $I_B$ 的幅值。因此, $|I_1| = |I_A| = |I_B|$ 。

[0041] 在所解说的示例中,第一金属线201可在比第二金属线203(例如,在金属层 $M_B$ 中)高的金属层(例如,金属层 $M_C$ )中,并且通孔205可在通孔层 $V_B$ 中。然而,这仅是示例。第一金属线201可在与第二金属线203不同的任何金属层中,并且一个或多个通孔205可将这两条线201、203电耦合在一起。类似地,电流 $I_1$ 、 $I_A$ 和 $I_B$ 的方向可以被反转。

[0042] 图3中示出的导电路径300、302是在执行/完成了IC 100(或至少IC 100的包括导

电路路径300、302的一部分)的放置和路由之后生成的。在执行了放置和路由设计阶段之后,可确定(例如,通过模拟/测试)第一导电路径302易遭受因高电流密度而导致的电迁移以及因流经其的大电流而导致的涌入电流引发的IR电压降。导电路径302还可能(或在替换方案中)易遭受抖动问题。如以下所讨论的,将由金属线和通孔构成的一个或多个附加导电路径插入到IC的布局设计中可降低第一导电路径302的电流密度和电流,并且因此缓解了电迁移、IR电压降、和/或抖动问题。

[0043] 图4解说了根据一个非限定性示例的以金属线-通孔矩阵插入为特征的IC 100内的导电路径400的概念透视图。导电路径400从点A延伸至点B并且包括以上关于图3讨论的第一导电路径302(例如,可被称为“主导电路路径”),并且还包括通过插入附加金属线410、412和通孔420、422、424形成的辅助导电路径402(例如,可称为“第二导电路径”)。(所插入的金属线和通孔,诸如金属线410、412和通孔420、422、424可在本文中被称作“金属线-通孔矩阵”。)第一所插入金属线410可在与第二所插入金属线412不同(例如,更低)的金属层中。第一所插入金属线410和第二所插入金属线412可分别在与第一导电路径302的第二金属线203和第一金属线201相同的金属层中。所插入的通孔420、422、424可在与第一导电路径302的通孔205相同的通孔层中。在已经执行了IC 100(或IC 100的包括第一导电路径302的某个部分)的放置和路由阶段之后,包括辅助导电路径402的金属线-通孔矩阵被插入到IC 100的布局设计中。

[0044] 类似于以上关于图3描述的导电路径300,图4中进入点A的电流 $I_A$ 的幅值等于离开点B的电流 $I_B$ 的幅值。然而,与图3中不同的是,图4中示出的电流 $I_A$ 的一部分作为电流 $I_1$ 沿着第一导电路径302流动,而电流 $I_A$ 的另一部分作为沿虚线有向箭头的电流 $I_2$ 沿辅助导电路径402流动。因此,在示出的示例中,电流 $I_2$ 流经:(1)在从正Y轴到负Y轴的方向上下行通过第一所插入通孔420;(2)在从负Z轴到正Z轴的方向上通过第一所插入金属线410;(3)在从负Y轴到正Y轴的方向上上行通过第二所插入通孔422;(4)在从正X轴到负X轴的方向上通过第二所插入金属线412;以及(5)随后在从正Y轴到负Y轴的方向上沿第三所插入通孔424下行返回,在此其与第一导电路径302的电流 $I_1$ 重新汇合以形成从点B流出的电流 $I_B$ 。因此,  $|I_1 + I_2| = |I_A| = |I_B|$ 。

[0045] 实效上,辅助导电路径402使平常本将流经第一导电路径302的电流的一部分转向。通过使该电流转向通过辅助导电路径402(例如,生成电流 $I_2$ ),第一导电路径302的电流密度(例如,电流 $I_1$ )得以降低,并且因此任何现有的沿第一导电路径302的电迁移问题也可得以减少。类似地,流经第一导电路径302的电流量(例如,其可以是涌入电流)也得以减少,结果导致降低的IR电压降。金属线-通孔矩阵的插入还有助于降低沿第一导电路径302的抖动。

[0046] 此外,除了降低流经第一导电路径302的电流量以外,金属线-通孔矩阵还提供降低涌入电流引发的IR电压降的附加特征/性质。金属线-通孔矩阵的辅助导电路径402具有与第一导电路径302不同的长度并且因此它使其电流 $I_2$ 从点A流至点B花费的时间量与电流 $I_1$ 不同。在图4中示出的非限定示例中,第二导电路径402长于第一导电路径302,并且因此它使其电流 $I_2$ 从点A流至点B花费的时间段比电流 $I_1$ 长。因为辅助导电路径402和第一导电路径302的等待时间是不同的,因此流经总导电路径400(其包括路径302、402)的涌入电流跨更长的时间区间分布。这显著降低了电流的突然流入的影响(例如,降低IR电压降)。辅助导

电路路径402的最优长度(或在多个辅助路径情形中(参见例如图8和10)的每个辅助路径的最优长度)可由与导电路径400和具有该导电路径400的电路的时钟频率(例如, IC 100的时钟频率)相关联的电阻器-电容器延迟(即, RC延迟)来决定。

[0047] 图5-7一起解说了辅助导电路径402和第一导电路径302的有所不同的等待时间(即, 信号路径延迟)如何有助于跨更长时间区间分布涌入电流以降低最大涌入电流所引发的IR电压降。

[0048] 图5解说了根据本公开的一个方面的多级缓冲器路径500。缓冲器路径500包括第一缓冲器502、第二缓冲器504、第三缓冲器506和第四缓冲器508。诸附加缓冲器(未示出)可跟随在第四缓冲器508后。缓冲器路径500在第一缓冲器502与第二缓冲器504之间的部分可被认为是级A, 在第二缓冲器504与第三缓冲器506之间的部分可被认为是级B, 而在第三缓冲器506与第四缓冲器508之间的部分可被认为是级C。由图5中的虚线箭头所指的涌入电流流经缓冲器路径500。在图5中, 将第一缓冲器502耦合至第二缓冲器504的导电路径是图3的导电路径300, 其包括第一导电路径302。

[0049] 图6解说了金属线-通孔矩阵插入之后的多级缓冲器路径500, 其中将第一缓冲器502耦合至第二缓冲器504的导电路径现在是图4的导电路径400, 其不仅包括第一导电路径302, 还包括辅助导电路径402。如以上所讨论的, 辅助导电路径402具有与第一导电路径302不同(例如, 更长)的路径延迟。

[0050] 图7解说了根据放置在第一与第二缓冲器502、504之间的具体导电路径(例如, 图3的导电路径300、或图4的导电路径400)的针对图5和6中示出的缓冲器路径500的级A、B和C的相对IR电压降-时间。图7的上三分之一示出了当图3的导电路径300(其仅包括第一导电路径302)将第一和第二缓冲器502、504彼此电耦合时, 缓冲器路径500的由涌入电流引发的IR电压降。第一导电路径302处观察到的最大IR电压降导致级A处的电压降落至电压 $V_1$ ,  $V_1$ 相对较低。例如, 如果该低电压电平导致一些晶体管在它们应该截止时导通或者在它们应当导通时截止及其他问题等, 则这可导致电路故障。

[0051] 图7的中间三分之一示出了当图4的导电路径400(其包括第一导电路径302和辅助导电路径402两者)将第一和第二缓冲器502、504彼此电耦合时缓冲器路径500的由涌入电流引发的IR电压降。第一导电路径302和辅助导电路径402处观察到的最大IR电压降导致这些路径302、402中的每一者的级A处的电压电平降落至大约电压 $V_2$ (其中 $V_2$ 大于 $V_1$ )并且因其不同的路径延迟而相对于彼此被时移。因此, 图7的中间三分之一示出了每个导电路径302、402的个体IR电压降贡献。

[0052] 图7的下三分之一示出了当图4的导电路径400再次将第一和第二缓冲器502、504彼此电耦合时缓冲器路径500的由涌入电流引发的IR电压降。此处示出的曲线表示级A处的复合最大IR电压降, 这导致导电路径400的电压电平降落至电压 $V_3$ 。因为 $V_3$ 大于 $V_1$ , 所以插入金属线-通孔矩阵将第一导电路径302的最大由涌入电流引发的IR电压降减小达 $V_3-V_1$ 的量。与辅助导电路径402相关联的较长信号路径延迟导致总体涌入电流在较大时间段上流经导电路径400, 从而导致IR电压降在时间上延长为从 $t_0$ 到 $t_2$ 而非从 $t_0$ 到 $t_1$ 。缓冲器路径500的诸稍后级(例如, 级B和C)展现出与级A非常类似形状的曲线, 区别在于因缓冲器504、506的效应而导致涌入电流所引发的IR电压降不那么显著(即, 幅值较小)。如以上所提及的, 图4中示出的辅助导电路径402的示例仅是示例性的。一般来说, 可在执行了IC 500的放置和路

由,并且标识出易于发生电迁移、IR电压降、和/或抖动的有问题的导电路径之后插入包括一个或多个任何大小和形状的辅助导电路径的金属线-通孔矩阵。插入的金属线-通孔矩阵一般可包括至少包含第一金属层内的第一金属线的第一导电路径,以及包括以下各项的至少一个辅助导电路径:第二金属层内的第二金属线;第一金属层与第二金属层之间的第一通孔;以及第一金属层与第二金属层之间的第二通孔。第一和第二通孔将第一金属线电耦合至第二金属线路,从而辅助导电路径通过分担流经第一导电路径的电流的一部分/使流经第一导电路径的电流的一部分转向来降低第一导电路径的电流和电流密度。以下是根据不同方面的提供辅助导电路径以减少第一导电路径的电迁移、IR电压降、和/或抖动的金属线-通孔矩阵的一些附加非限定性示例。

[0053] 图8解说了根据另一非限定性示例的以金属线-通孔矩阵插入为特征的IC 100内的导电路径800的概念透视图。类似于图4中示出的导电路径400,图8的导电路径800从点A延伸至点B,且包括第一导电路径302。导电路径800还包括藉由插入包括金属线410、412、810、812、814、816和通孔420、422、424的金属线-通孔矩阵来形成的附加辅助电流路径。一些所插入的金属线410、814、816可在与其他所插入的金属线412、810、812不同(例如,更低)的金属层中。一些所插入的金属线410、814、816可在与第一导电路径302的第二金属线203相同的金属层中,而其他所插入的金属线412、810、812可在与第一导电路径302的第一金属线201相同的金属层中。所插入的通孔420、422、424可在与第一导电路径302的通孔205相同的通孔层中。在已经执行了IC 100(或IC 100的包括第一导电路径302的某个部分)的放置和路由阶段之后,插入图8中示出的金属线-通孔矩阵。

[0054] 类似于以上关于图3描述的导电路径300,图8中进入点A的电流 $I_A$ 的幅值等于离开点B的电流 $I_B$ 的幅值。然而,与图3中不同的是,图8中示出的电流 $I_A$ 的仅一部分作为电流 $I_1$ 沿第一导电路径302流动。由电流 $I_2$ 、 $I_3$ 、 $I_4$ 、 $I_5$ 、 $I_6$ 、 $I_7$ 、 $I_8$ 、 $I_9$ 和 $I_{10}$ 来表示沿金属线-通孔矩阵的附加辅助导电路径流动的电流 $I_A$ 的其他显著部分。辅助导电路径电流 $I_2$ 、 $I_3$ 、 $I_4$ 、 $I_5$ 、 $I_6$ 、 $I_7$ 、 $I_8$ 、 $I_9$ 和 $I_{10}$ 一般在从点A到点B的方向上流动,如用虚线有向箭头所示。

[0055] 实效上,所插入的金属线-通孔矩阵使平常本将流经第一导电路径302的电流的一部分转向。通过使该电流转向通过金属线-通孔矩阵(例如,电流 $I_2$ 、 $I_3$ 、 $I_4$ 、 $I_5$ 、 $I_6$ 、 $I_7$ 、 $I_8$ 、 $I_9$ 和 $I_{10}$ ),第一导电路径302的电流密度和电流得以降低,并且因此也可减少任何现有的沿第一导电路径302的电迁移、由涌入电流引发的IR电压降、和/或抖动问题。

[0056] 图9解说了根据另一非限定性示例的以金属线-通孔矩阵插入为特征的IC 100内的导电路径900的概念透视图。图9中示出的导电路径900非常类似于图4中示出的导电路径400,区别在于第一导电路径302的第一金属线201和金属线-通孔矩阵的第一所插入金属线410包括金属延伸件902、904。即,延伸第一金属线201以形成第一延伸件902,并且第二所插入金属线410被形成得更长从而它包括第二延伸件904。延伸件902、904延伸超过金属线201、410耦合至通孔205、422的汇接处。延伸件902、904充当原子和/或空穴(即,空隙)收集池,其缓冲从电迁移积累起来的原子和/或空穴的效应。延伸件902、904被仔细地形成,从而它们不会向外延伸到过于靠近IC 100的可能由从电迁移积累起来的原子导致短路的其他导电路径。类似地,因为延伸件902、904的各端906、908不电耦合至任何部件(即,它们不引导至任何地方),所以如果因电迁移引发的空位而形成沿延伸件902、904的开路,则延伸件902、904将不会导致导电路径900的故障。图9中示出的在金属线201、410处形成的延伸件

902、904仅是示例。延伸件可沿IC 100的导电路径(例如,第一导电路径和/或辅助导电路径)的任何金属线和/或通孔来形成。

[0057] 所插入的金属线-通孔矩阵可以是任何大小和形状(假定没有设计规则检查(DRC)违犯)。如此,图10解说了根据另一非限定示例的以金属线-通孔矩阵插入为特征的IC 100内的导电路径1000的概念透视图。仅包括了第一金属线1004的第一导电路径1002是易于发生电迁移、由涌入电流引发的IR电压降、和/或抖动的原始导电路径。因此,在IC 100的放置和路由之后,插入示出的其余的金属线1010和通孔1020(出于简明未在图10中全部标记)以创建辅助导电路径(标记为 $I_{AUX}$ ;出于简明未全部标记)从而降低通过第一导电路径1002的电流密度和电流。

[0058] 而图8的金属线-通孔矩阵可被认为是“ $2 \times 2$ ”矩阵,图10中解说的这一个矩阵可被认为是“ $3 \times 3$ ”矩阵,因为它包括在三个不同的金属层(例如, $M_A$ 、 $M_B$ 、 $M_C$ 等)中插入的金属线和其间的通孔。其他非限定性金属线-通孔矩阵大小包括 $4 \times 4$ 、 $2 \times 4$ 、 $4 \times 2$ 、 $2 \times 3$ 、 $3 \times 2$ 、 $1 \times 2$ 、 $2 \times 1$ 等。

[0059] 图11解说了根据本公开的一个方面的制造集成电路的方法的流程图1100。首先,执行集成电路的路由以生成跨多个金属层的多个导电路径1102。接着,标识该多个导电路径中具有电流和电流密度的第一导电路径,其中第一导电路径至少包括第一金属层内的第一金属线1104。随后,在执行路由和标识步骤之后,形成辅助导电路径,该辅助路径包括电耦合至第二金属线的第一通孔,该第二金属线被电耦合至第二通孔。第二金属线位于不同于第一金属层的第二金属层内。第一和第二通孔位于第一金属层与第二金属层之间。此外,第一和第二通孔将第一金属线电耦合至第二金属线,从而该辅助导电路径通过使流经第一导电路径的电流的一部分转向来降低第一导电路径的电流和电流密度1106。

[0060] 与解耦电容器相比,利用金属线-通孔矩阵插入来如上所述地对抗电迁移、IR电压降和抖动消耗显著较少的功率。此外,与传统的de-cap相比,金属线-通孔矩阵占据非常少的空间。

[0061] 图1、2、3、4、5、6、7、8、9、10和11中解说的组件、步骤、特征和/或功能中的一者或者可以被重新安排和/或组合成单个组件、步骤、特征或功能,或可以实施在数个组件、步骤、或功能中。

[0062] 还应注意,本公开的各方面可作为被描绘为流程图、流图、结构图、或框图的过程来描述。尽管流程图可能会把诸操作描述为顺序过程,但是这些操作中有许多操作能够并行或并发地执行。另外,这些操作的次序可被重新安排。过程在其操作完成时终止。过程可对应于方法、函数、规程、子例程、子程序等。当过程对应于函数时,它的终止对应于该函数返回调用方函数或主函数。此外,存储介质可表示用于存储数据的一个或多个设备,包括只读存储器(ROM)、随机存取存储器(RAM)、磁盘存储介质、光学存储介质、闪存设备和/或其他用于存储信息的机器可读介质、以及处理器可读介质、和/或计算机可读介质。术语“机器可读介质”、“计算机可读介质”和/或“处理器可读介质”可包括,但不限于非瞬态介质,诸如便携或固定的存储设备、光学存储设备,以及能够存储或包含(诸)指令和/或数据的各种其他介质。因此,本文中描述的各种方法可全部或部分地由可存储在“机器可读介质”、“计算机可读介质”和/或“处理器可读介质”中并由一个或多个处理器、机器和/或设备执行的指令和/或数据来实现。此外,本公开的各方面可以由硬件、软件、固件、中间件、微代码、或其任

何组合来实现。当在软件、固件、中间件或微码中实现时,执行必要任务的程序代码或代码段可被存储在诸如存储介质之类的机器可读介质或其它存储中。处理器可以执行这些必要的任务。代码段可表示规程、函数、子程序、程序、例程、子例程、模块、软件包、类,或是指令、数据结构、或程序语句的任何组合。通过传递和/或接收信息、数据、自变量、参数、或存储器内容,一代码段可被耦合至另一代码段或硬件电路。信息、自变量、参数、数据等可以经由包括存储器共享、消息传递、令牌传递、网络传输等的任何合适的手段被传递、转发、或传输。

[0063] 结合本文中公开的示例描述的各个解说性逻辑块、模块、电路、元件和/或组件可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑组件、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,该处理器可以是任何常规的处理器、控制器、微控制器、或状态机。处理器还可以实现为计算组件的组合,例如DSP与微处理器的组合、数个微处理器、与DSP核心协作的一个或多个微处理器、或任何其他此类配置。

[0064] 结合本文中公开的示例描述的方法或算法可直接在硬件中、在能由处理器执行的软件模块中、或在这两者的组合中以处理单元、编程指令、或其他指示的形式实施,并且可包含在单个设备中或跨多个设备分布。软件模块可驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其他形式的存储介质中。存储介质可耦合至处理器以使得该处理器能从/向该存储介质读写信息。在替换方案中,存储介质可以被整合到处理器。

[0065] 本领域技术人员将可进一步领会,结合本文中公开的各方面描述的各种解说性逻辑框、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、以及步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。

[0066] 本文所述的本发明的各种特征可实现在不同系统中而不脱离本发明。应注意,本公开的以上各方面仅是示例,且不应被解释成限定本发明。对本公开的各方面的描述旨在是解说性的,而非限定所附权利要求的范围。由此,本发明的教导可以现成地应用于其他类型的装置,并且许多替换、修改和变形对于本领域技术人员将是显而易见的。

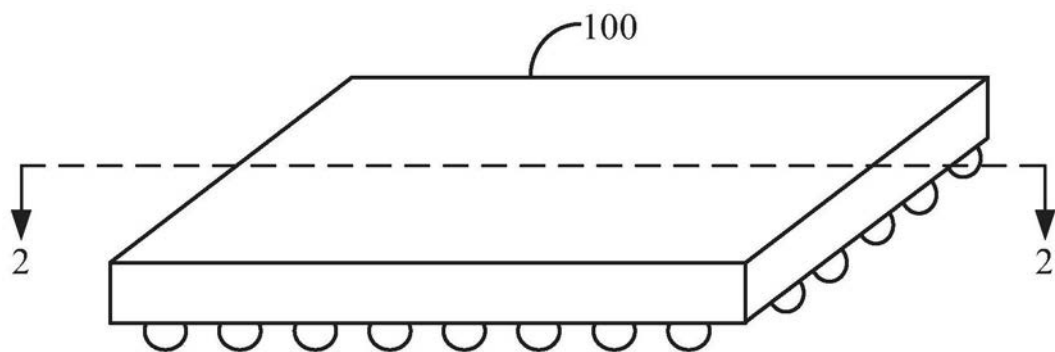


图1

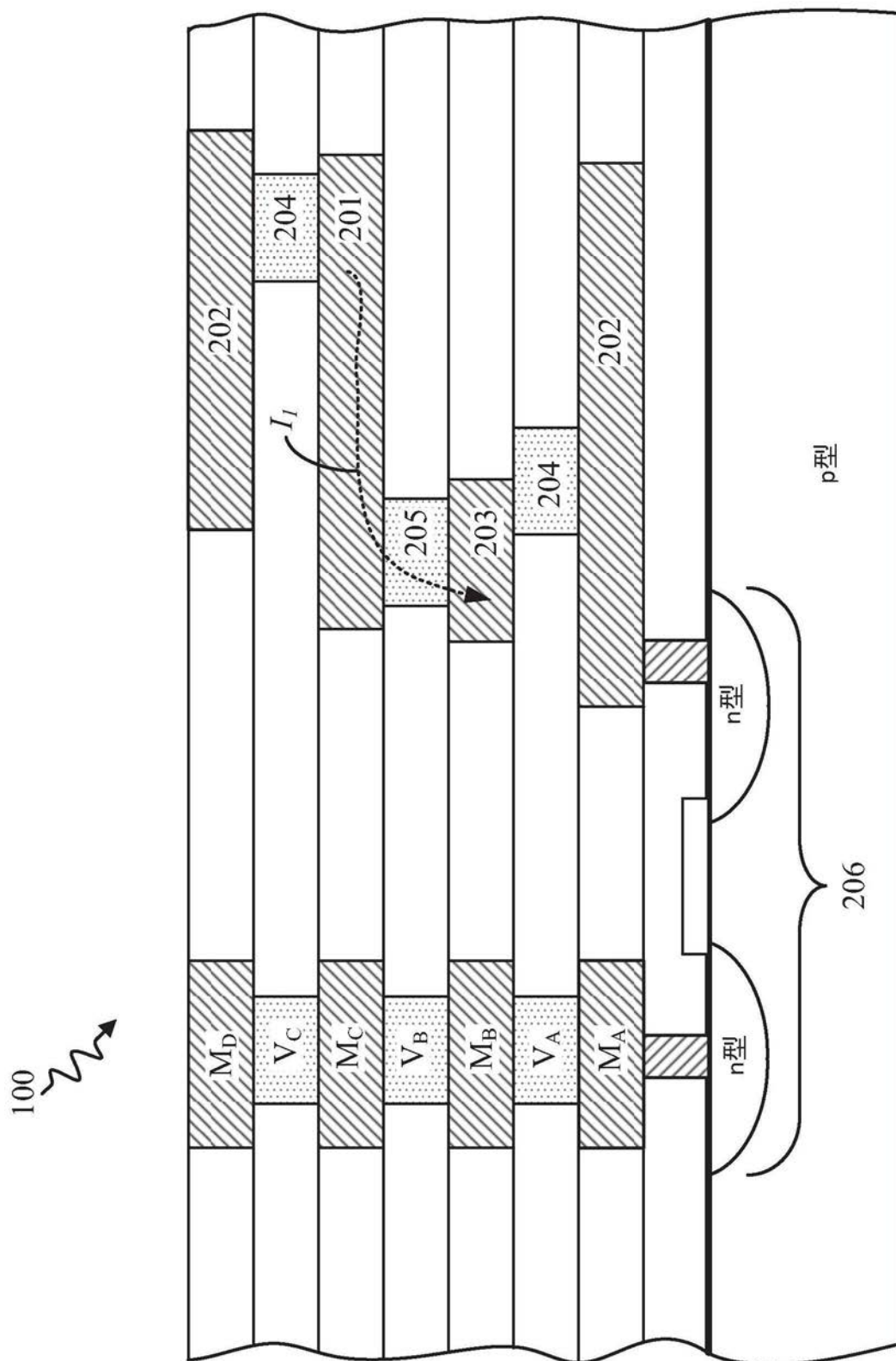


图2



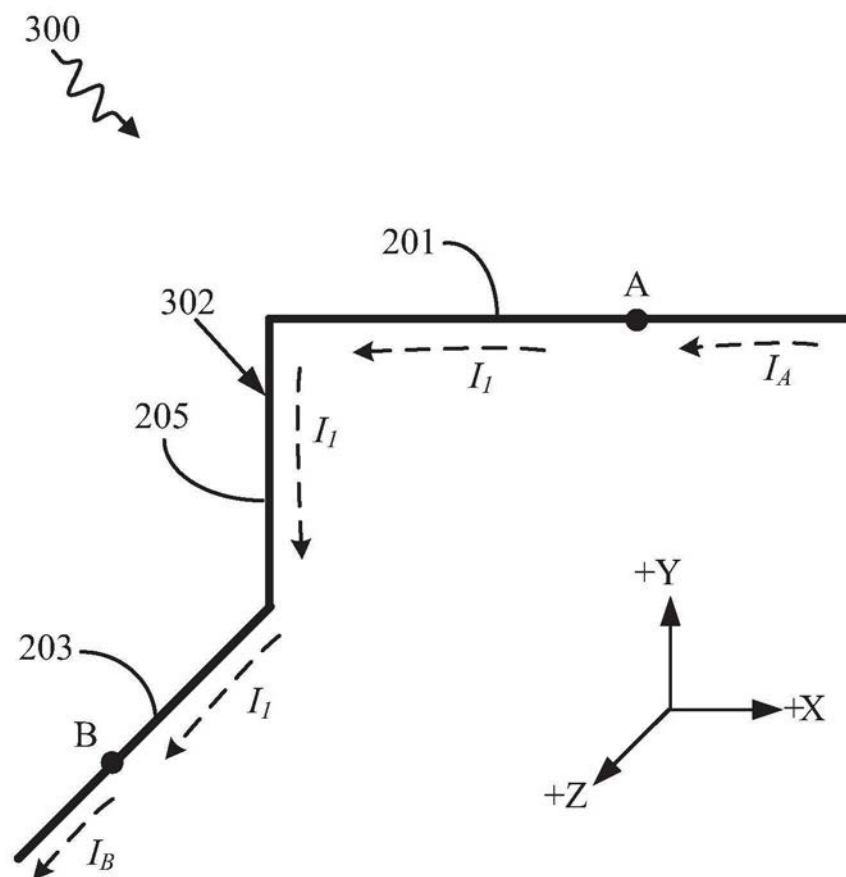


图3

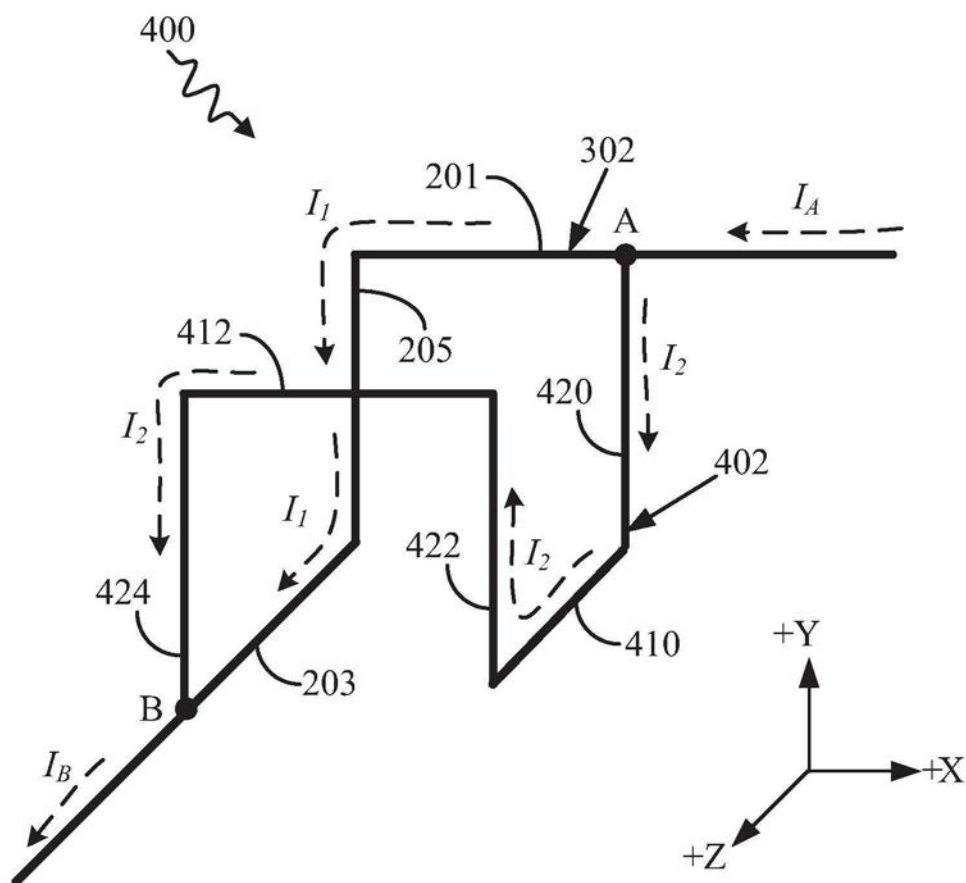
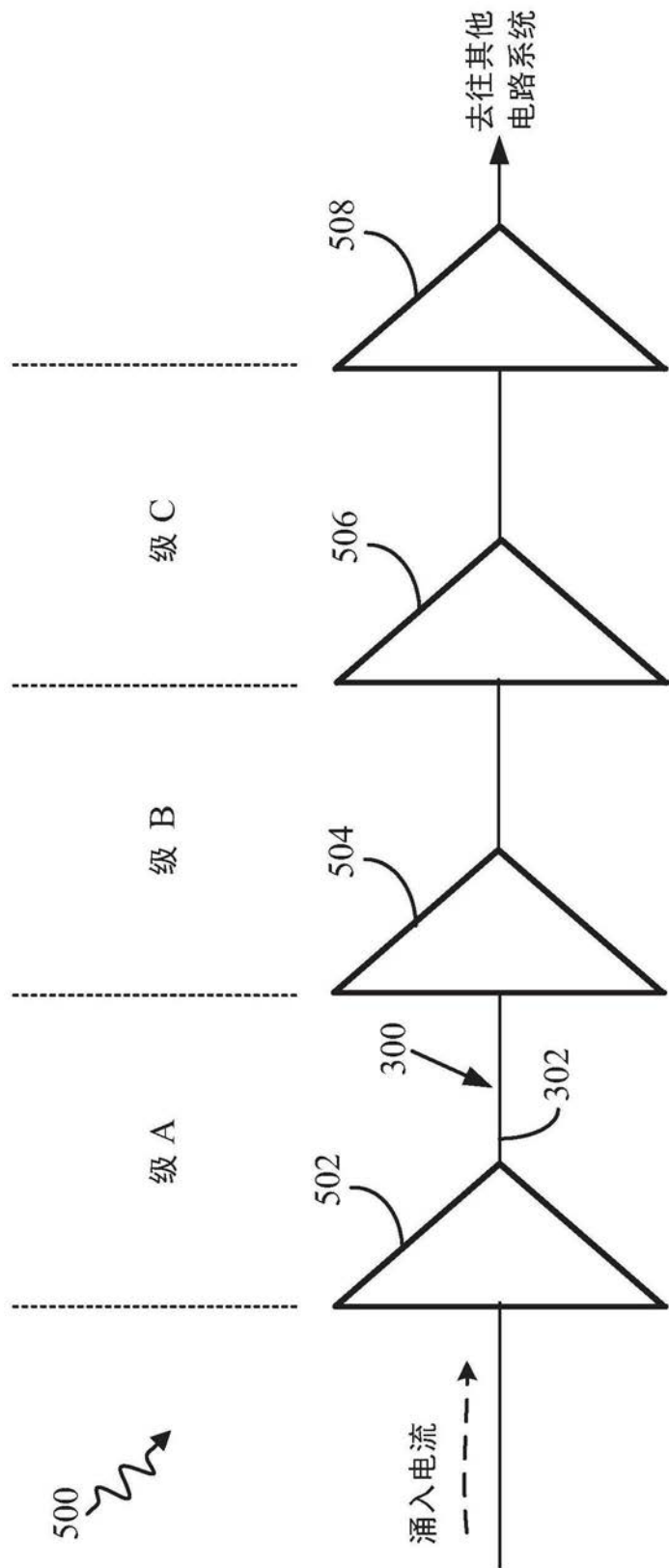


图4



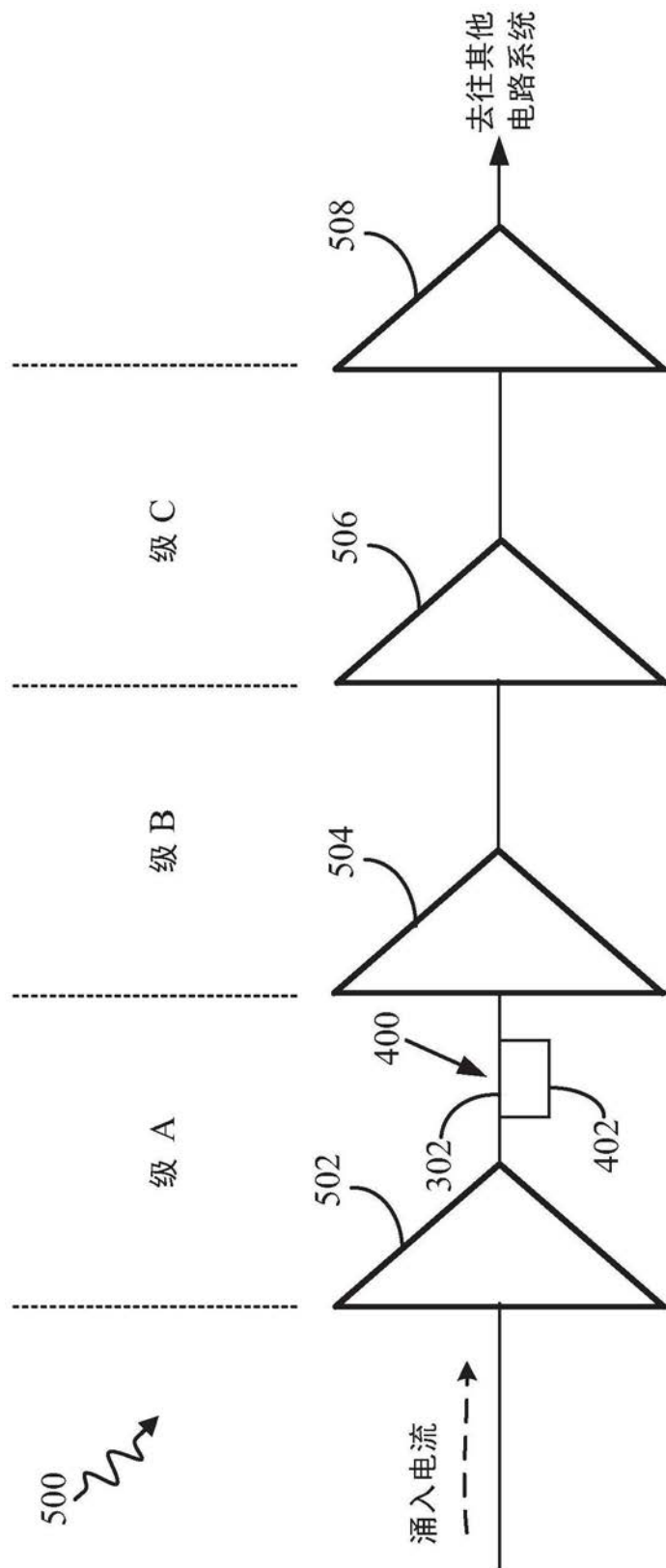


图6

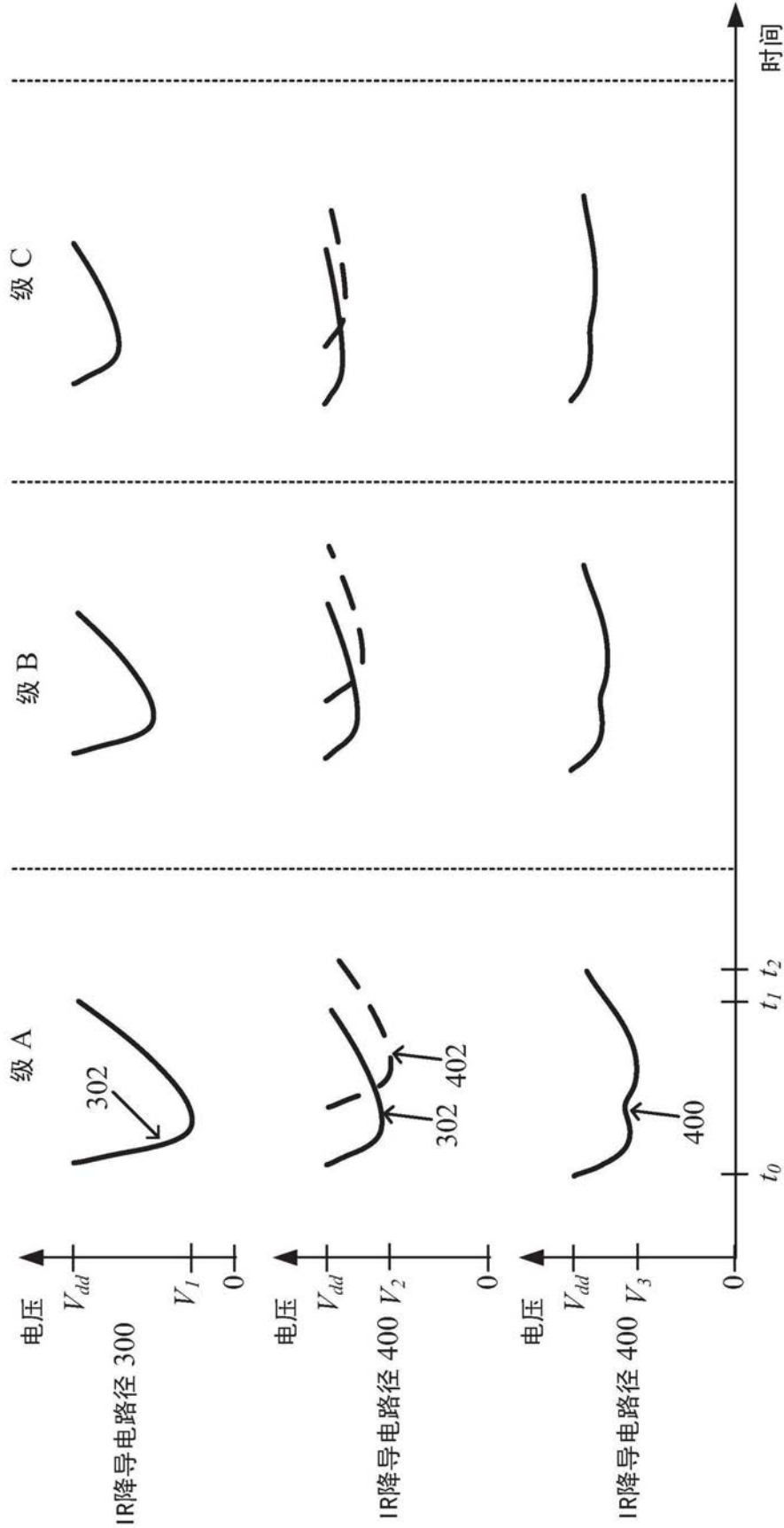


图7

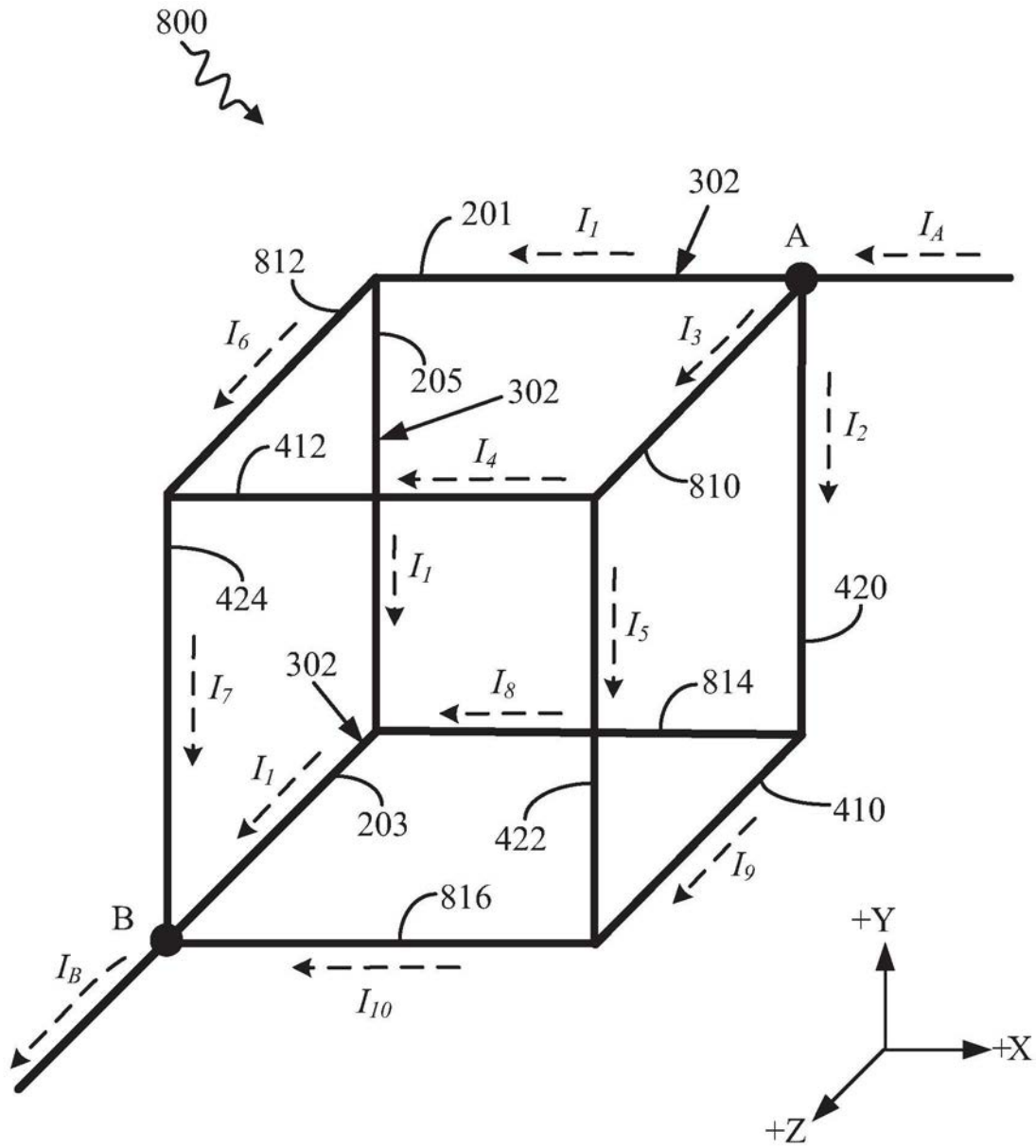


图8

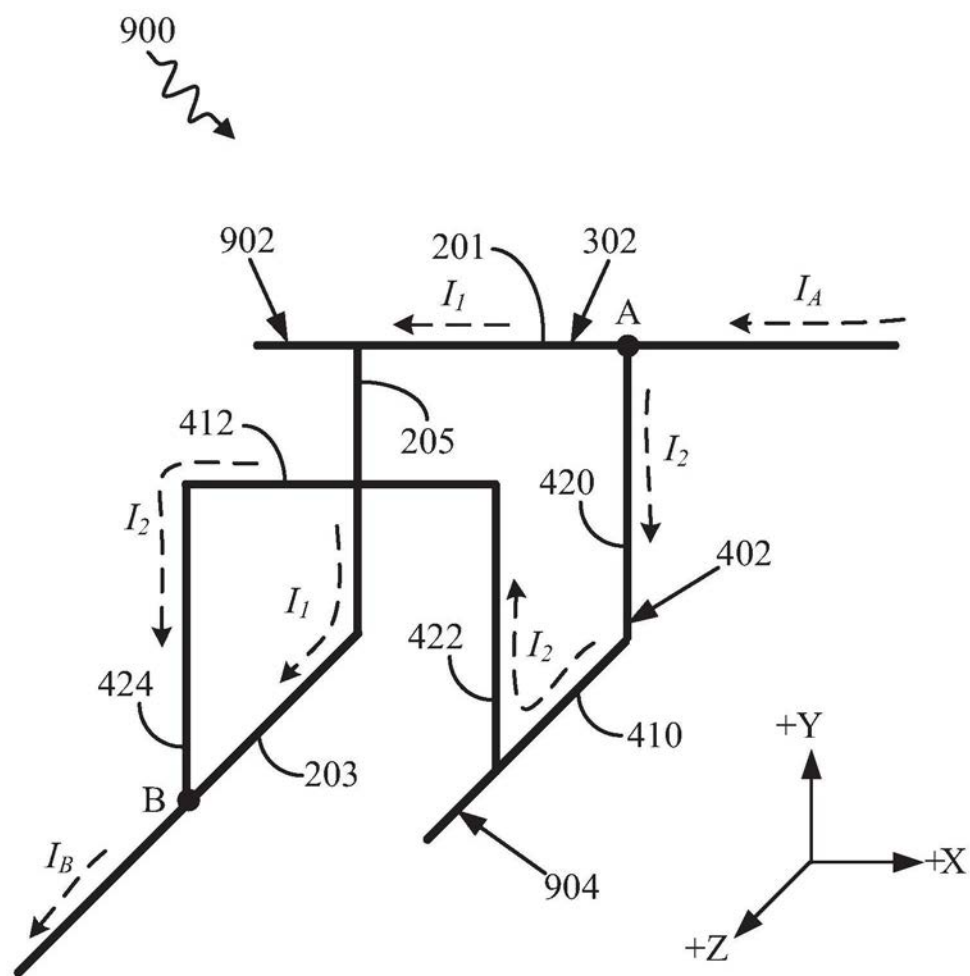


图9

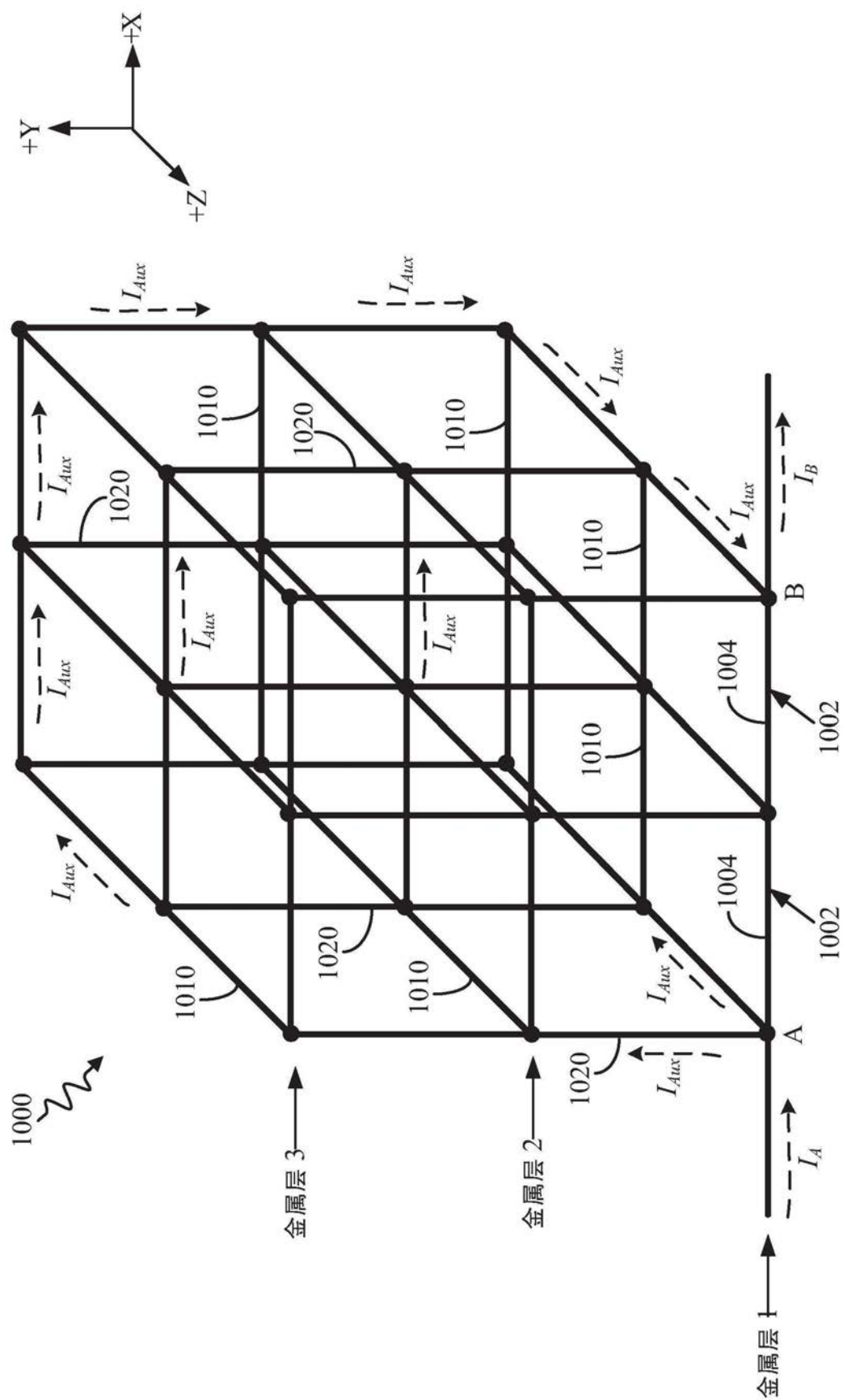


图10



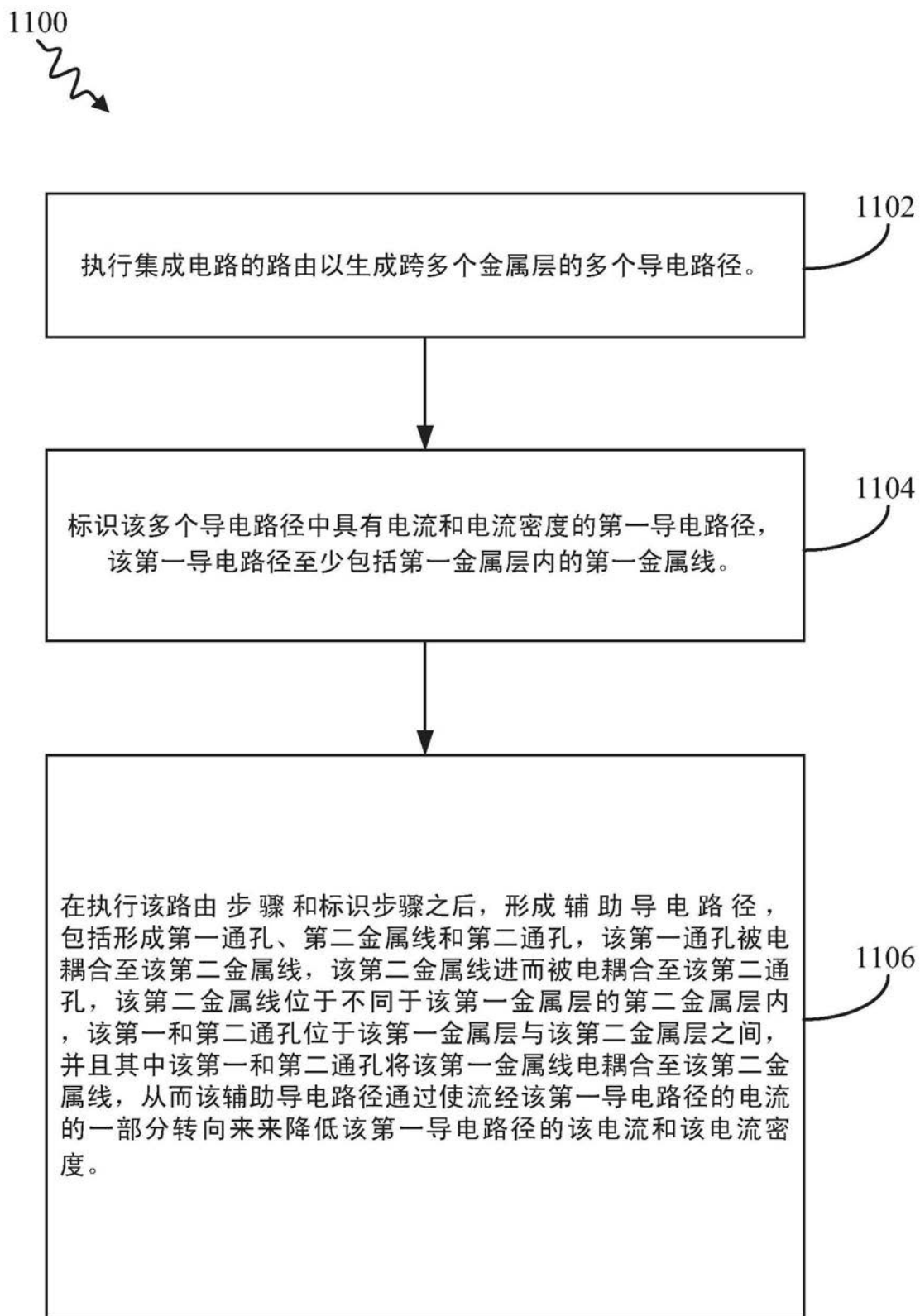


图11