(19)日本国特許庁(JP)

# (12)特許公報(B2)

(11)特許番号
特許第7201556号
(P7201556)

(45)発行日　令和5年1月10日(2023.1.10)

(24)登録日　令和4年12月26日(2022.12.26)

(51)国際特許分類

| | | FI | | |
|---|---|---|---|---|
| *H01L 21/336(2006.01)* | | H01L | 29/78 | 616A |
| *H01L 29/786(2006.01)* | | H01L | 29/78 | 616S |
| | | H01L | 29/78 | 616T |
| | | H01L | 29/78 | 617N |
| | | H01L | 29/78 | 617U |

請求項の数　12　（全21頁）　最終頁に続く

(21)出願番号　特願2019-158096(P2019-158096)
(22)出願日　令和1年8月30日(2019.8.30)
(65)公開番号　特開2021-36567(P2021-36567A)
(43)公開日　令和3年3月4日(2021.3.4)
審査請求日　令和4年6月24日(2022.6.24)

(73)特許権者　502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目７番１号
(74)代理人　110000350
ポレール弁理士法人
(72)発明者　花田 明紘
東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内
(72)発明者　海東 拓生
東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内
(72)発明者　津吹 将志
東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内
審査官　田付 徳雄

最終頁に続く

(54)【発明の名称】　半導体装置

(57)【特許請求の範囲】

【請求項１】

酸化物半導体によるＴＦＴを有する半導体装置であって、

前記酸化物半導体は、チャネル領域、ソース領域、ドレイン領域と、前記チャネル領域と前記ソース領域、及び、前記チャネル領域と前記ドレイン領域の間に遷移領域を有し、

前記遷移領域の抵抗率は、前記チャネル領域の抵抗率よりも小さく、前記ソース領域あるいは前記ドレイン領域の抵抗率よりも大きく、

ソース電極は前記ソース領域と重複して形成され、ドレイン電極は前記ドレイン領域と重複して形成され、

前記酸化物半導体の前記遷移領域の厚さは、前記チャネル領域の厚さよりも大きく、

前記酸化物半導体を覆って第１のゲート絶縁膜が形成され、前記第１のゲート絶縁膜を覆って第２のゲート絶縁膜が形成され、

前記第２のゲート絶縁膜には、前記遷移領域に対応する部分にスルーホールが形成され、

前記第２のゲート絶縁膜と前記スルーホールを覆ってゲート電極が形成されていることを特徴とする半導体装置。

【請求項２】

前記酸化物半導体の、前記ソース領域の厚さあるいは前記ドレイン領域の厚さは、前記遷移領域の厚さよりも大きいことを特徴とする請求項１に記載の半導体装置。

【請求項３】

前記酸化物半導体において、前記チャネル領域の中央で測定した場合、前記チャネル領

域の厚さは６０ｎｍ以下であり、前記遷移領域の中央で測定した場合の前記遷移領域の厚さは８５ｎｍ以上であることを特徴とする請求項１または２に記載の半導体装置。
【請求項４】
前記酸化物半導体の、前記ソース領域の厚さあるいは前記ドレイン領域の厚さと、前記遷移領域の厚さの差は１０ｎｍ以上であることを特徴とする請求項２に記載の半導体装置。
【請求項５】
前記遷移領域の前記チャネル領域のチャネル長方法の長さは２μｍ以上であることを特徴とする請求項１乃至４のいずれか１項に記載の半導体装置。
【請求項６】
前記ＴＦＴはボトムゲートタイプであることを特徴とする請求項１に記載の半導体装置。
【請求項７】
前記ＴＦＴはボトムゲートとトップゲートを有するデュアルゲートタイプであることを特徴とする請求項１に記載の半導体装置。
【請求項８】
前記遷移領域には、導電率を上げるイオンがドープされていることを特徴とする請求項１に記載の半導体装置。
【請求項９】
酸化物半導体によるＴＦＴを有する半導体装置であって、
前記酸化物半導体は、チャネル領域、ソース領域、ドレイン領域と、前記チャネル領域と前記ソース領域、及び、前記チャネル領域と前記ドレイン領域の間に遷移領域を有し、
前記遷移領域の抵抗率は、前記チャネル領域の抵抗率よりも小さく、前記ソース領域あるいは前記ドレイン領域の抵抗率よりも大きく、
ソース電極は前記ソース領域と重複して形成され、ドレイン電極は前記ドレイン領域と重複して形成され、
前記酸化物半導体を覆って第１のゲート絶縁膜が形成され、前記第１のゲート絶縁膜を覆って第２のゲート絶縁膜が形成され、
前記第２のゲート絶縁膜には、前記遷移領域に対応する部分にスルーホールが形成され、
前記第２のゲート絶縁膜と前記スルーホールを覆って第１のゲート電極が形成されていることを特徴とする半導体装置。
【請求項１０】
前記チャネル領域の厚さは６０ｎｍ以下であることを特徴とする請求項９に記載の半導体装置。
【請求項１１】
前記遷移領域のチャネル長方向の長さは２μｍ以上であることを特徴とする請求項９に記載の半導体装置。
【請求項１２】
前記酸化物半導体の下には、第３のゲート絶縁膜が存在し、前記第３のゲート絶縁膜の下には、第２のゲート電極が存在することを特徴とする請求項９に記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、閾値電圧（Ｖｔｈ）の変動を小さくすることが可能なＴＦＴを有する半導体装置に関する。
【背景技術】
【０００２】
薄膜トランジスタ（ＴＦＴ、 Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ）は液晶表示装置や有機ＥＬ表示装置等に広く使用されているが、この他、マイクロＬＥＤ表示装置、電子ペーパ等にも使用することが出来る。また、センサ等のスイッチング素子として使用することも可能である。一部の画像表示装置やセンサを含む半導体装置に使用されるＴＦＴは、従来のＴＦＴよりも高い駆動電圧で動作する場合が多い。

【０００３】
ＴＦＴでは、チャネル領域とドレイン領域との間に高電界が発生し、この部分において、ホットキャリアが発生する。ホットキャリアの影響によって、ＴＦＴの閾値電圧（Ｖｔｈ）が変動する問題が生ずる。この現象は、チャネル領域とドレイン領域との間に電気抵抗の遷移するＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域を形成することによって軽減することが出来る。
【０００４】
特許文献１には、トップゲート型ＴＦＴにおいて、ソース領域とドレイン領域は酸化物半導体をプラズマ処理することによって形成し、ＬＤＤ領域はＳｉＮ膜を接触させることによって形成する構成が記載されている。特許文献２には、トップゲート型酸化物半導体ＴＦＴを、チャネル領域を構成する第１の酸化物半導体と、ソース、ドレイン領域を構成する第２の酸化物半導体で構成し、第２の酸化物半導体において、第１の酸化物半導体のチャネルと接触する部分は比較的高抵抗とし、他の部分は比較的低抵抗とする構成が記載されている。これによって、ゲート電極との寄生容量を低減することが記載されている。また、第２の酸化物半導体において、比較的抵抗が大きい部分をＬＤＤ領域として動作させることが記載されている。
【先行技術文献】
【特許文献】
【０００５】
【文献】特開２０１７－７６７８５号公報
特開２０１７－１３５４０８号公報
【発明の概要】
【発明が解決しようとする課題】
【０００６】
ポリシリコンを用いたＴＦＴにおいては、チャネルとドレインの間で発生するホットキャリアの問題を対策するために、ＬＤＤ領域を形成することがおこなわれている。これに対してワイドバンドギャップとなる酸化物半導体を用いたＴＦＴにおいてはインパクトイオン化ならびにアバランシェ崩壊が生じにくく、ホットキャリアの問題が生じにくい。
【０００７】
しかしながら、ＴＦＴの駆動電圧が上昇すると、酸化物半導体においても、ホットキャリアの問題が生ずる。例えば、一部の半導体装置では、ＴＦＴのゲート電圧を３８Ｖ程度にして動作させる場合がある。このような高電圧動作では、ホットキャリア劣化によるＶｔｈの変動が顕著になる。
【０００８】
本発明の課題は、酸化物半導体を用いたＴＦＴにおいて、Ｖｔｈの変動を抑制する構成を実現することである。
【課題を解決するための手段】
【０００９】
本発明は上記問題を克服するものであり、具体的な手段は次のとおりである。
【００１０】
（１）酸化物半導体によるＴＦＴを有する半導体装置であって、前記酸化物半導体は、チャネル領域、ソース領域、ドレイン領域と、前記チャネル領域と前記ソース領域、及び、前記チャネル領域と前記ドレイン領域の間に遷移領域を有し、前記遷移領域の抵抗率は、前記チャネル領域の抵抗率よりも小さく、前記ソース領域あるいは前記ドレイン領域の抵抗率よりも大きく、ソース電極は前記ソース領域と重複して形成され、ドレイン電極は前記ドレイン領域と重複して形成され、前記酸化物半導体の前記遷移領域の厚さは、前記チャネルの厚さよりも大きいことを特徴とする半導体装置。
【００１１】
（２）酸化物半導体によるＴＦＴを有する半導体装置であって、前記酸化物半導体は、チャネル領域、ソース領域、ドレイン領域と、前記チャネル領域と前記ソース領域、及び

、前記チャネル領域と前記ドレイン領域の間に遷移領域を有し、前記遷移領域の抵抗率は、前記チャネル領域の抵抗率よりも小さく、前記ソース領域あるいは前記ドレイン領域の抵抗率よりも大きく、ソース電極は前記ソース領域と重複して形成され、ドレイン電極は前記ドレイン領域と重複して形成され、前記酸化物半導体を覆って第１のゲート絶縁膜が形成され、前記第１のゲート絶縁膜を覆って第２のゲート絶縁膜が形成され、前記第２のゲート絶縁膜には、前記遷移領域に対応する部分にスルーホールが形成され、前記第２のゲート絶縁膜と前記スルーホールを覆って第１のゲート電極が形成されていることを特徴とする半導体装置。

【００１２】

（３）酸化物半導体によるＴＦＴを有する半導体装置であって、前記酸化物半導体は、チャネル領域、ソース領域、ドレイン領域と、前記チャネル領域と前記ソース領域、及び、前記チャネル領域と前記ドレイン領域の間に遷移領域を有し、前記遷移領域の抵抗率は、前記チャネル領域の抵抗率よりも小さく、前記ソース領域あるいは前記ドレイン領域の抵抗率よりも大きく、ソース電極は前記ソース領域と重複して形成され、ドレイン電極は前記ドレイン領域と重複して形成され、前記チャネル領域の中央部分の厚さは６０ｎｍ以下であり、前記遷移領域には、導電率を上げるためのイオンがドープされていることを特徴とする半導体装置。

【図面の簡単な説明】

【００１３】

【図１】酸化物半導体によるＴＦＴの断面図である。

【図２】閾値電圧の変動ΔＶｔｈを示すグラフである。

【図３】酸化物半導体によるＴＦＴを用いた半導体装置の一部の層構成を示す断面図である。

【図４】酸化物半導体によるＴＦＴをスイッチング素子とする半導体装置の等価回路である。

【図５】酸化物半導体を用いたデュアルゲートタイプのＴＦＴの詳細断面図である。

【図６】酸化物半導体（ＯＳ）の膜厚と閾値電圧の変動ΔＶｔｈの関係を示すグラフである。

【図７】ＬＤＤの長さと閾値電圧の変動ΔＶｔｈの関係を示すグラフである。

【図８】実施例１による酸化物半導体ＴＦＴの断面図である。

【図９】実施例１による、他の例の酸化物半導体ＴＦＴの断面図である。

【図１０】実施例１による、さらに他の例の酸化物半導体ＴＦＴの断面図である。

【図１１Ａ】第１の製造方法における第１工程を示す断面図である。

【図１１Ｂ】第１の製造方法における第２工程を示す断面図である。

【図１１Ｃ】第１の製造方法における第３工程を示す断面図である。

【図１１Ｄ】第１の製造方法における第４工程を示す断面図である。

【図１１Ｅ】第１の製造方法における第５工程を示す断面図である。

【図１１Ｆ】第１の製造方法における第６工程を示す断面図である。

【図１１Ｇ】第１の製造方法における第７工程を示す断面図である。

【図１１Ｈ】第１の製造方法における第８工程を示す断面図である。

【図１２Ａ】第２の製造方法における第１工程を示す断面図である。

【図１２Ｂ】第２の製造方法における第２工程を示す断面図である。

【図１２Ｃ】第２の製造方法における第３工程を示す断面図である。

【図１２Ｄ】第２の製造方法における第４工程を示す断面図である。

【図１２Ｅ】第２の製造方法における第５工程を示す断面図である。

【図１２Ｆ】第２の製造方法における第６工程を示す断面図である。

【図１２Ｇ】第２の製造方法における第７工程を示す断面図である。

【図１２Ｈ】第２の製造方法における第８工程を示す断面図である。

【図１３Ａ】第３の製造方法における第１工程を示す断面図である。

【図１３Ｂ】第３の製造方法における第２工程を示す断面図である。

【図１３Ｃ】第３の製造方法における第３工程を示す断面図である。
【図１３Ｄ】第３の製造方法における第４工程を示す断面図である。
【図１３Ｅ】第３の製造方法における第５工程を示す断面図である。
【図１３Ｆ】第３の製造方法における第６工程を示す断面図である。
【図１４Ａ】実施例２の第１の態様における第１の工程を示す断面図である。
【図１４Ｂ】実施例２の第１の態様における第２の工程を示す断面図である。
【図１５Ａ】実施例２の第２の態様における第１の工程を示す断面図である。
【図１５Ｂ】実施例２の第２の態様における第２の工程を示す断面図である。
【図１６Ａ】実施例３の第１の態様における第１の工程を示す断面図である。
【図１６Ｂ】実施例３の第１の態様における第２の工程を示す断面図である。
【図１７Ａ】実施例３の第２の態様における第１の工程を示す断面図である。
【図１７Ｂ】実施例３の第２の態様における第２の工程を示す断面図である。
【発明を実施するための形態】
【００１４】
以下、実施例によって本発明の内容を詳細に説明する。
【実施例１】
【００１５】
図１は、通常の酸化物半導体の断面図である。以後酸化物半導体をＯＳ（ＯｘｉｄｅＳｅｍｉｃｏｎｄｕｃｔｏｒ）と呼ぶこともある。図１は、トップゲート型のＴＦＴであるが、以下の説明は、ボトムゲート型ＴＦＴの場合も同じである。図１において、ガラスで形成されたＴＦＴ基板１００の上に下地膜９０が形成され、その上に酸化物半導体１０４が形成されている。下地膜９０には酸素を供給することが出来るシリコン酸化膜（以後ＳｉＯ膜という）が使用される。
【００１６】
酸化物半導体において、チャネル領域１０４の両側はソース領域１０４２及びドレイン領域１０４３となっている。ソース領域１０４２及びドレイン領域１０４３は、例えば酸化物半導体に対してプラズマ処理をするか、イオン打ち込みを行うことによって形成される。
【００１７】
酸化物半導体１０４を覆ってゲート絶縁膜１２０が形成されている。ゲート絶縁膜１２０はＳｉＯ膜で形成される。酸化物半導体１０４に酸素を供給することを可能とするためである。ゲート絶縁膜１２０の上にゲート電極１０７が形成される。ゲート電極１０７を覆って層間絶縁膜１３０が形成される。ゲート絶縁膜１２０及び層間絶縁膜１３０にスルーホールを形成し、酸化物半導体１０４のドレイン領域１０４３とドレイン電極１０９の接続、あるいは、ソース領域１０４２とソース電極１０８の接続を可能にする。
【００１８】
ｎ型チャネルを使用したＴＦＴでは、チャネル領域１０４とドレイン領域１０４３の境界部付近のチャネル領域１０４に高電界の部分が発生し、この部分においてホットキャリアが発生する。ＴＦＴの動作中、ホットキャリアはゲート絶縁膜１２０に蓄積される。そうすると、ＴＦＴの閾値電圧Ｖｔｈが変動する。
【００１９】
図２は酸化物半導体を用いたＴＦＴの、閾値電圧Ｖｔｈの変動を示すグラフである。図２において、横軸はゲート電圧（Ｖｇ）であり、縦軸はドレイン電流（Ａ）である。縦軸はログスケールとなっている。ドレイン電流はドレイン電圧Ｖｄによっても変化する。図２では、ドレイン電圧Ｖｄが０．１Ｖの場合、１５Ｖの場合、３０Ｖの場合について記載している。図２において点線が閾値電圧Ｖｔｈの初期特性であり、実線が、ＴＦＴを動作させた後の特性である。
【００２０】
図２の点線は、初期は、閾値電圧Ｖｔｈは０Ｖであることを示している。図２の実線は、ゲート電圧Ｖｇを３８Ｖで動作させた場合、閾値電圧Ｖｔｈの変動は、Ｖｄが０．１Ｖ

の時は２８Ｖ、Ｖｄが１５Ｖ、あるいは、３０Ｖの時は２２Ｖであることを示している。一般には、酸化物半導体はポリシリコンＴＦＴにくらべてホットキャリア劣化が生じにくく、閾値電圧Ｖｔｈの変動は生じにくいが、高電圧で動作させると、図２に示すように、非常に大きな変動をきたす。

【００２１】

本発明は、閾値電圧Ｖｔｈの変動をチャネルとドレインとの間にＬＤＤを形成することによって対策するものであるが、特に、ＬＤＤの構成に特徴がある。図３は半導体装置における、酸化物半導体によるＴＦＴとその付近の層構成を示す断面図である。なお、図３で形成する等価回路は、例えば図４に示すようなものである。図４において、ＴＦＴは、信号に応じた電荷を蓄積容量Ｃｓに蓄積するためのスイッチング素子として動作する。蓄積容量Ｃｓは、例えば、映像装置においては、画素容量に対応する。

【００２２】

図３において、左側の構成がＴＦＴであり、右側が蓄積容量Ｃｓである。ＴＦＴは、酸化物半導体の下側と上側にゲート電極が存在するデュアルゲート型ＴＦＴとなっている。図３の左側において、ガラス基板１００の上にゲート電極１０１が形成され、これを覆って第１下ゲート絶縁膜１０２が窒化シリコン（以後ＳｉＮという）で形成され、これを覆って第２下ゲート絶縁膜１０３がＳｉＯによって形成される。第２下ゲート絶縁膜１０３の上に酸化物半導体１０４が形成される。

【００２３】

酸化物半導体１０４の一方には、金属であるソース電極１０８が積層し、他方には、金属であるドレイン電極１０９が積層されている。酸化物半導体１０４、ソース電極１０８、ドレイン電極１０９を覆って第１上ゲート絶縁膜１０５がＳｉＯによって形成され、これを覆って第２上ゲート絶縁膜１０６がＳｉＮによって形成される。酸化物半導体１０４と接触する層は、上層も下層もいずれもＳｉＯで形成されている。ＳｉＯから酸化物半導体１０４に酸素の供給を可能とするためである。第２上ゲート絶縁膜１０６の上に上ゲート電極１０７が形成されている。

【００２４】

上ゲート電極１０７、第２上ゲート絶縁膜１０６を覆って平坦化膜１１１が例えば有機膜によって形成されている。平坦化膜１１１の上には、蓄積容量の一方の電極を構成する容量電極１１２が形成されている。表示装置の場合は、これは、例えば、ＩＴＯ（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）で形成された画素電極になる。

【００２５】

図３において、第１上ゲート絶縁膜１０５、第２上ゲート絶縁膜１０６にスルーホールを形成し、中継電極１１０とドレイン電極１０９を接続する。さらに、平坦化膜１１１にスルーホールを形成し、容量電極１１２と中継電極１１１を接続する。なお、容量電極１１２は平坦化膜１１１の上側を図３の右側にも延在し、コモン電極１１４との間に蓄積容量Ｃｓを形成する。

【００２６】

図３の右側において、基板１００の上にコモン配線１１３が延在し、第１下ゲート絶縁膜１０２および第２下ゲート絶縁膜１０３に形成されたスルーホールを介して、第２下ゲート絶縁膜１０３の上に形成されたコモン電極１１４と接続している。コモン電極１１４と容量電極１１２の間に蓄積容量Ｃｓが形成されている。図３における蓄積容量Ｃｓは厚い平坦化膜１１１を挟んで形成されているので、大きな容量にならないが、大きな容量が必要な場合は、他の絶縁膜を挟んで蓄積容量Ｃｓを形成すればよい。

【００２７】

図５は、ＴＦＴ付近の拡大断面図である。図５では、下ゲート絶縁膜１４０は単純化して１層のＳｉＯ膜として記載している。図５において、酸化物半導体１０４は、下側に下ゲート電極１０１が存在し、上側に上ゲート電極１０７が存在するデュアルゲート構成となっている。酸化物半導体１０４には、左側において金属で形成されたソース電極１０８が積層し、右側において金属で形成されたドレイン電極１０９が積層している。

【００２８】
図５の酸化物半導体１０４において、中央部分の白抜きの部分がチャネル領域１０４であり、薄いドットの部分がＬＤＤ領域１４０１であり、濃いドットの部分がソース領域１０４２、あるいは、ドレイン領域１０４３である。金属が積層された部分の酸化物半導体は、酸素が金属に奪われるので、導通化し、ソース領域１０４２あるいはドレイン領域１０４３になっている。さらに、ソース領域１０４２あるいはドレイン領域１０４３の近傍における酸化物半導体からは酸素がドレイン領域１０４３あるいはソース領域１０４２に拡散するので、酸素がチャネル部分よりも少なくなっている。したがって、この部分は、酸化物半導体の抵抗がチャネルよりも小さく、ソース領域１０４２あるいはドレイン領域１０４３よりも大きい。つまりこの領域はＬＤＤ１０４１として作用させることが出来る。しかし、単にドレイン電極１０９およびソース電極１０８を酸化物半導体１０４に積層させただけでは、十分な閾値電圧の変動ΔＶｔｈの対策にはならない。
【００２９】
図６は、酸化物半導体の膜厚と閾値電圧の変動ΔＶｔｈの関係を示すグラフである。図６の横軸は図５に対応する酸化物半導体（ＯＳ）の膜厚（ｎｍ）であり、縦軸は閾値電圧Ｖｔｈの変動ΔＶｔｈ（Ｖ）である。図６に示すように、酸化物半導体１０４の膜厚が５５ｎｍを超えると、閾値電圧の変動ΔＶｔｈは急激に低下する。そして、膜厚が８５ｎｍ以上となると、閾値電圧の変動ΔＶｔｈはほとんど観測されなくなる。
【００３０】
ところで、閾値電圧の変動ΔＶｔｈは、ＬＤＤ領域１０４１におけるホットキャリアがゲート絶縁膜１０５に蓄積されるために生ずると考えることが出来る。したがって、図６における酸化物半導体１０４の膜厚の効果は、ＬＤＤ領域１０４１の膜厚の効果であると考えることが出来る。一方、酸化物半導体のチャネル領域１０４の膜厚が大きくなると、ＯＦＦ電流が大きくなる。したがって、チャネル領域１０４の酸化物半導体の膜厚は大きくすることが出来ない。チャネル領域１０４の厚さは６０ｎｍ以下とすることが好ましい。
【００３１】
このように、閾値電圧の変動ΔＶｔｈを抑え、かつ、ＯＦＦ電流の増大を抑えるためには、酸化物半導体の膜厚をチャネル領域１０４では薄くし、ＬＤＤ領域１０４１で厚くすることで対策することが出来る。具体的には、ＯＦＦ電流を考慮して、酸化物半導体のチャネル領域１０４の膜厚ｔ１は６０ｎｍ以下とし、閾値電圧の変動ΔＶｔｈの変動を考慮して、酸化物半導体のＬＤＤ領域１０４１の膜厚ｔ２を８５ｎｍ以上とする。言い方を変えると、ｔ２はｔ１よりも２５ｎｍ以上大きくすることが好ましい。因みに、チャネル領域１０４の厚さは、チャネル領域の中央部分、ＬＤＤ領域１０４１の厚さはＬＤＤ領域の中央部分で測定したものである。
【００３２】
閾値電圧の変動ΔＶｔｈはＬＤＤ領域１０４１の長さの影響もうける。図７は、ＬＤＤ領域１０４１の長さと閾値電圧の変動ΔＶｔｈの関係を示すグラフである。なお、この場合はＬＤＤ領域１０４１の長さとは、チャネル長方向の長さということが出来る。図７の横軸はＬＤＤ領域１０４１の長さ（μｍ）であり、縦軸は閾値電圧の変動ΔＶｔｈ（Ｖ）である。図７において、閾値電圧の変動ΔＶｔｈは、ＬＤＤ領域１０４１の長さがゼロから１μｍまで、急激に低下する。そして、ＬＤＤ領域１０４１の長さが２μｍ以上になると、閾値電圧の変動ΔＶｔｈは、ほぼゼロに抑えることが出来る。
【００３３】
実施例１におけるＬＤＤ領域１０４１の長さＬ１は、例えば、図８に示すように、ドレイン電極１０９の端部から、チャネル領域１０４とＬＤＤ領域１０４１との間に膜厚変化が生ずる段差部分までの距離と定義することが出来る。すなわち、ＬＤＤ領域１０４１の長さを２μｍ以上とし、また、ＬＤＤ領域１０４１の膜厚をチャネル領域の膜厚よりも大きくすることによって、閾値電圧の変動ΔＶｔｈを効果的に抑制することが出来る。
【００３４】
図８は、実施例１による酸化物半導体ＴＦＴの詳細断面図である。図８の酸化物半導体

において、中央部分の白抜きの部分がチャネル領域１０４であり、薄いドットの部分がＬＤＤ領域１４０１であり、濃いドットの部分がソース領域１０４２、あるいは、ドレイン領域１０４３である。図８が図５と異なる点は、ＴＦＴを構成する酸化物半導体の膜厚がチャネル領域１０４、ＬＤＤ領域１０４１、ドレイン領域１０４３（ソース領域１０４２も同じ）とで異なっていることである。すなわち、図８では、閾値電圧の変動ΔＶｔｈを抑制し、かつ、ＯＦＦ電流の増加を防止するために、酸化物半導体のチャネル領域１０４の厚さをＬＤＤ領域１０４１の厚さよりも小さくしている。

【００３５】

図８の他の特徴は、酸化物半導体のドレイン領域１０４３（あるいはソース領域１０４２）の厚さｔ３が、酸化物半導体のＬＤＤ領域１０４１の厚さｔ２よりも大きいことである。この差は１０ｎｍ以上であり、好ましくは１０ｎｍ乃至１５ｎｍである。ＬＤＤ領域１０４１の厚さｔ２がドレイン領域１０４３の厚さｔ３よりも大きくなっているのは、ドレイン領域１０４３を覆っているドレイン電極１０９をエッチングする際、ＬＤＤ領域１０４１も若干エッチングすることによる。すなわち、金属であるドレイン電極１０９をＬＤＤ領域１０４１から完全に除去するためである。この構成を実現する具体的なプロセスは図１１で説明する。

【００３６】

図８はＴＦＴがいわゆるデュアルゲートの場合である。本発明は、デュアルゲートタイプのみでなく、トップゲートタイプあるいはボトムゲートタイプの場合にも適用することが出来る。図９はＴＦＴがボトムゲートタイプの場合であり、図１０はＴＦＴがトップゲートタイプの場合である。図９も図１０もゲート電極の構成の他は図８と同じである。

【００３７】

図１１Ａ乃至図１１Ｈは、図８、図９、図１０における、酸化物半導体付近の構成を実現するための第１の製造方法を示す断面図である。各図において、酸化物半導体１０４は、下ゲート絶縁膜１４０の上に形成されている。第１の製造方法の特徴は、チャネル領域１０４とＬＤＤ領域１０４１で膜厚の異なる酸化物半導体を形成するために、酸化物半導体１０４を２回のプロセスによって形成している点である。

【００３８】

図１１Ａは、絶縁膜１４０の上に酸化物半導体１０４を全面に被着し、酸化物半導体１０４のＬＤＤ領域１０４１、ソース領域１０４２及びドレイン領域１０４３に対応する部分にレジスト５００を形成した状態を示す断面図である。図１１Ｂは、レジスト５００を用いて酸化物半導体１０４をエッチングした状態を示す断面図である。

【００３９】

図１１Ｃは、図１１Ｂにおけるレジスト５００を剥離し、再び酸化物半導体１０４を全面に被着した状態である。図１１Ｃにおいて、点線で示す部分は、図１１Ｂに示すような、最初の酸化物半導体１０４が島状に形成された範囲を示すものである。図１１Ｄは、ＴＦＴを構成する酸化物半導体１０４のみを残すために、レジスト５００を形成した状態を示す断面図である。図１１Ｅは、図１１Ｄの状態で、酸化物半導体１０４をエッチングし、その後レジスト５００を除去し、膜厚が部分的に異なる酸化物半導体膜１０４が形成された状態を示す断面図である。

【００４０】

図１１Ｆは、図１１Ｅで形成された酸化物半導体１０４を、ソース電極１０４２あるいはドレイン電極１０４３を構成するための金属膜１５０で覆い、その後、ソース電極１０４２及びドレイン電極１０４３を形成するために、レジスト５００をパターニングした状態を示す断面図である。図１１Ｇは、図１１Ｆで形成したレジスト５００を用いて金属膜１５０をエッチングし、ソース電極１０４２とドレイン電極１０４３を形成した状態を示す断面図である。

【００４１】

ところで、金属膜１５０をチャネル領域１０４及びＬＤＤ領域１０４１から確実に除去するためには、金属膜１５０のエッチングに加えて、チャネル領域１０４及びＬＤＤ領域

１０４１も若干エッチングする必要がある。金属膜１５０をエッチングする条件によって、酸化物半導体１０４も若干エッチングすることが出来るので、金属膜１５０のエッチングと連続して酸化物半導体１０４をエッチングすることが出来る。このプロセスの結果が、酸化物半導体のドレイン領域１０４３（ソース領域１０４２）の厚さｔ３とＬＤＤ領域１０４１の膜厚ｔ２の差（ｔ３－ｔ２）となる。

【００４２】

図１１Ｈは、図１１Ｇからレジスト５００を除去した状態を示す断面図である。図１１Ｈにおいて、時間の経過及び後の熱工程時に、酸化物半導体１０４のドレイン領域１０４３及びソース領域１０４２から酸素がドレイン電極１０９及びソース電極１０８によって奪われ、ドレイン領域１０４３及びソース領域１０４２が導通を持つようになる。一方、ＬＤＤ領域１０４１からは酸素がドレイン領域１０４３またはソース領域１０４２に拡散し、ＬＤＤ領域１０４１の比抵抗が、ドレイン領域１０４３（ソース領域１０４２）よりも大きく、チャネル領域１０４よりも小さくなる。

【００４３】

図１２Ａ乃至図１２Ｈは、図８、図９、図１０に示す、酸化物半導体付近の構成を実現するための第２の製造方法を示す断面図である。各図において、酸化物半導体１０４は、下ゲート絶縁膜１４０の上に形成されている。第２の製造方法の特徴は、チャネル領域１０４とＬＤＤ領域１０４１で膜厚の異なる酸化物半導体を形成するために、膜厚差を有する酸化物半導体１０４を、ハーフエッチング技術を用いて形成している点である。

【００４４】

図１２Ａは、ドレイン領域１０４３（ソース領域１０４２）と同じ厚さの酸化物半導体１０４を絶縁膜１４０の表面全体に被着し、ＬＤＤ領域１０４１、ドレイン領域１０４３及びソース領域１０４２に対応する部分にレジスト５００を形成した状態を示す断面図である。図１２Ｂはレジスト５００を用いて酸化物半導体１０４を、ドレイン領域１０４３（ソース領域１０４２）とチャネル領域１０４の膜厚差までエッチングを行った状態を示す断面図である。図１２Ｃは、図１２Ｂの状態からレジスト５００を除去した状態を示す断面図である。

【００４５】

図１２Ｄは、ＴＦＴを構成する酸化物半導体１０４のみを残すためにレジスト５００を形成した状態を示す断面図である。図１２Ｅは、レジスト５００を用いてＴＦＴを構成する酸化物半導体１０４のみを残して、他の酸化物半導体１０４を除去した状態を示す断面図である。このようにして、膜厚差を有する酸化物半導体１０４が形成される。

【００４６】

その後、図１２Ｆ、図１２Ｇ、図１２Ｈに示すように、金属によってドレイン電極１０９、ソース電極１０８を形成し、酸化物半導体にチャネル領域１０４、ＬＤＤ領域１０４１、ドレイン領域１０４３及びソース領域１０４２を形成する。図１２Ｆ、図１２Ｇ、図１２Ｈに示すプロセスは、図１１Ｆ、図１１Ｇ、図１１Ｈ示すプロセスと同じであるので、説明は省略する。

【００４７】

図１３Ａ乃至図１３Ｆは、図８、図９、図１０に示す、酸化物半導体付近の構成を実現するための第３の製造方法を示す断面図である。各図において、酸化物半導体１０４は、下ゲート絶縁膜１４０の上に形成されている。第３の製造方法の特徴は、チャネル領域１０４、ＬＤＤ領域１０４１、ソース領域１０４２及びドレイン領域で膜厚の異なる酸化物半導体を形成するために、ドレイン電極１０９及びソース電極１０８を形成する時のレジスト５００を後退させて、酸化物半導体をエッチングする技術を用いていることである。

【００４８】

図１３Ａは酸化物半導体１０４をパターニングした後、これを覆って、ソース電極１０８及びドレイン電極１０９を形成するための金属膜１５０を被着した状態を示す断面図である。この状態の酸化物半導体１０４の膜厚は、最終的なＴＦＴにおけるソース領域１０４２及びドレイン領域１０４３と同じ厚さになっている。

【００４９】
図１３Ｂは、ソース電極１０８、ドレイン電極１０９のパターニングとともに、酸化物半導体１０４をエッチングしてチャネル領域１０４を形成するためのレジスト５００のパターニングをした状態を示す断面図である。図１３Ｃは、このレジスト５００を用いて金属１５０をエッチングしてソース電極１０８及びドレイン電極１０９を形成すると同時に、酸化物半導体１０４の一部もエッチングして酸化物半導体１０４にチャネル領域１０４を形成した状態を示す断面図である。図１３Ｃにおける酸化物半導体のチャネル領域１０４の厚さｔ１１は最終厚さであるｔ１よりも厚くなっている。チャネル領域１０４は、後の工程で再びエッチングされるからである。
【００５０】
図１３Ｄは、図１３Ｃの状態のレジスト５００に対して酸素プラズマ等を用いてレジスト５００を後退させた状態を示す断面図である。酸素プラズマによってレジスト５００が後退した後では、ソース電極１０８及びドレイン電極１０９の一部と、酸化物半導体のチャネル領域１０４が露出している。
【００５１】
図１３Ｅは、後退したレジスト５００を用いてソース電極１０４２、ドレイン電極１０４３、及び、酸化物半導体１０４をエッチングした状態を示す断面図である。このエッチングにおいて、酸化物半導体のチャネル領域１０４は最終的な厚さであるｔ１までエッチングされる。また、ソース電極１０８及びドレイン電極１０９がエッチングされた後、酸化物半導体にＬＤＤ領域１０４１を確実に形成するために、ＬＤＤ領域１０４１に対応する酸化物半導体にも若干エッチングを行う。したがって、酸化物半導体において、ＬＤＤ領域１０４１対応する膜厚ｔ２は、ソース領域１０４２、ドレイン領域１０４３に対応する膜厚ｔ３よりも小さくなる。このようにして、酸化物半導体１０４、ドレイン電極１０８及びソース電極１０９の最終形状が決められる。
【００５２】
図１３Ｆは、図１３Ｅにおけるレジスト５００を剥離した状態である。この状態において、酸化物半導体のドレイン領域１０４２及びソース領域１０４３は金属であるソース電極１０８及びドレイン電極１０９によって酸素を奪われるので導通化する。また、ＬＤＤ領域１０４１は、酸素がソース領域１０４２あるいはドレイン領域１０４３に拡散するために、抵抗率がチャネル領域１０４よりも小さくなる。ただし、ＬＤＤ領域１０４１の抵抗率は、ソース領域１０４２及びドレイン領域１０４３の抵抗率よりも大きい。
【００５３】
このように、実施例１の構成によって、酸化物半導体を用いたＴＦＴにおいて、ＬＤＤ領域１０４１を確実に形成することが出来、閾値電圧の変動ΔＶｔｈを抑えることが出来る。また、ＯＦＦ電流の増大を抑えることも可能である。
【実施例２】
【００５４】
図１４Ａ及び図１４Ｂは実施例２の第１の態様を示す断面図である。図１４Ａは、ＴＦＴ付近の拡大断面図である。図１４Ａにおいて、酸化物半導体はチャネル領域１０４もドレイン領域１０４３、ソース領域１０４２も同じ膜厚である他は、第１上ゲート絶縁膜１０５が形成されるまでは、実施例１の図８と同じである。図１４Ａにおいて、酸化物半導体にＬＤＤ領域１０４１が形成される領域に対応して第２上ゲート絶縁膜１０６にスルーホール２００が形成されている。
【００５５】
図１４Ｂは、第２上ゲート絶縁膜１０６及びスルーホール２００を覆って上ゲート電極１０７を形成した状態を示す断面図である。図１４Ｂにおいて、第２上ゲート絶縁膜１０６に形成されたスルーホール２００にも金属であるゲート電極１０７が存在している。したがって、スルーホール２００内のゲート電極１０７によって、酸化物半導体１０４から酸素が奪われる。そうすると、この部分は、チャネル領域１０４よりも抵抗率が小さくなる。しかし、この部分は、金属と接触しているソース領域１０４２及びドレイン領域１０

４３よりも抵抗率が大きい。つまり、ＬＤＤ領域１０４１として作用させることが出来る。本実施例形態の特徴は、第２上ゲート絶縁膜１０６に形成されたスルーホール２００によって酸化物半導体のＬＤＤ領域１０４１の範囲を規定出来ることである。

【００５６】

図１５Ａ及び図１５Ｂは、実施例２の第２の形態を示す断面図である。この形態は、実施例２の実施形態１と実施例１の構成を組み合わせたものである。図１５Ａが図１４Ａと異なる点は、酸化物半導体の厚さがチャネル領域１０４、ＬＤＤ領域１０４１、ソース領域１０４２及びドレイン領域１０４３で異なっていることである。このような酸化物半導体は、実施例１で説明し第１の工程乃至第３の工程のいずれによっても形成することが出来る。

【００５７】

図１５Ｂは、第２上ゲート絶縁膜１０６及びスルーホール２００を覆って上ゲート電極１０７を形成した状態を示す断面図である。図１５Ｂに示すように、ＬＤＤ領域１０４１は上ゲート電極１０７によって酸素を抜かれる構成であるほか、チャネル領域１０４の膜厚がＬＤＤ領域１０４１の膜厚がよりも小さくなっているので、閾値電圧の変動ΔＶｔｈの抑制とリーク電流の低減の両方をより効果的に行うことが出来る。つまり、実施態様２は、実施例１の効果と実施例２の実施態様１の効果を合わせ持つことが出来る。

【実施例３】

【００５８】

実施例３は、ＬＤＤ領域１０４１をイオンインプランテーションによって形成する構成である。図１６Ａ及び図１６Ｂは実施例３の第１の態様を示す断面図である。図１６Ａにおいて、酸化物半導体をパターニング後、チャネル領域１０４にレジストを形成し、ＬＤＤ領域１０４１、ソース領域１０４２、ドレイン領域１０４３に対応する領域に、例えば、ボロン(Ｂ)をイオンインプランテーションによってドープする。

【００５９】

その後、ソース電極１０８、ドレイン電極１０９、第１上ゲート絶縁膜１０５、第２上ゲート絶縁膜１０６、及びゲート電極１０７を形成する。図１６Ｂはこの状態を示す断面図である。図１６Ｂは図５と同様な形状であるが、ＬＤＤ領域１０４１がイオンインプランテーションによって形成されている点が異なっている。つまり、ＯＦＦ電流を抑制できるように酸化物半導体１０４の膜厚を小さくした場合であっても、ＬＤＤ領域の抵抗率はイオンインプランテーションのイオンの打ち込み量によって制御することが出来るので、閾値電圧の変動ΔＶｔｈの増加を抑えることが出来る。

【００６０】

図１７Ａ及び図１７Ｂは実施例３の第２の態様を示す断面図である。図１７Ａにおいて、酸化物半導体をパターニング後、チャネル領域１０４にレジスト５００を形成し、ＬＤＤ領域１０４１、ソース領域１０４２、ドレイン領域１０４３に対応する領域に、例えば、ボロン(Ｂ)をイオンインプランテーションによってドープする。図１７Ａの構成は、図１６Ａの構成と似ているが、酸化物半導体の厚さが異なっている。図１６Ａにおける酸化物半導体１０４の厚さは、チャネル領域１０４の厚さｔ１になっているが、図１７Ａにおける酸化物半導体１０４の厚さはソース領域１０４２あるいはドレイン領域１０４３の厚さｔ３になっている。

【００６１】

その後、例えば、実施例１の第３のプロセスで説明したような工程によって、ドレイン電極１０９、ソース電極１０８、及び、膜厚差を有する酸化物半導体（１０４、１０４１、１０４２、１０４３）を形成する。その後、第１上ゲート絶縁膜１０５、第２上ゲート絶縁膜１０６、上ゲート電極１０７を形成する。図１７Ｂはこの状態を示す断面図である。

【００６２】

図１７Ｂは図８と同様な形状であるが、ＬＤＤ領域１０４１がイオンインプランテーションによって形成されている点が異なっている。一方、チャネル領域１０４、ＬＤＤ領域１０４１、及びドレイン領域１０４３（ソース領域１０４２）の間に膜厚差を持たせるこ

とによって、実施例１で説明した効果を持つことが出来る。したがって、実施態様２は、実施例１の効果と、実施例３の実施態様１で説明した効果を合わせ持つことが出来る。

【符号の説明】

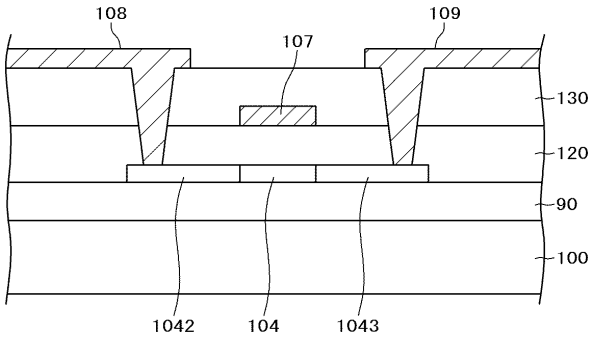
【００６３】

９０…下地膜、 １００…基板、 １０１…下ゲート電極、 １０２…第１下ゲート絶縁膜、 １０３…第２下ゲート絶縁膜、 １０４…酸化物半導体、チャネル領域 １０５…第１上ゲート絶縁膜、 １０６…第２上ゲート絶縁膜、 １０７…上ゲート電極、 １０８…ソース電極、 １０９…ドレイン電極、 １１０…中継電極、 １１１…平坦化膜、 １１２…容量電極、 １１３…コモン線、 １１４…コモン電極、 １１５…画素電極、 １１６…配向膜、 １２０…上ゲート絶縁膜、 １３０…層間絶縁膜、 １４０…下ゲート絶縁膜、 １５０…ソース電極あるいはドレイン電極用金属膜、 ２００…スルーホール、 ５００…レジスト、 １０４１…ＬＤＤ領域（遷移領域）、 １０４２…ソース領域、 １０４３…ドレイン領域、 Ｃｓ…保持容量

【図面】

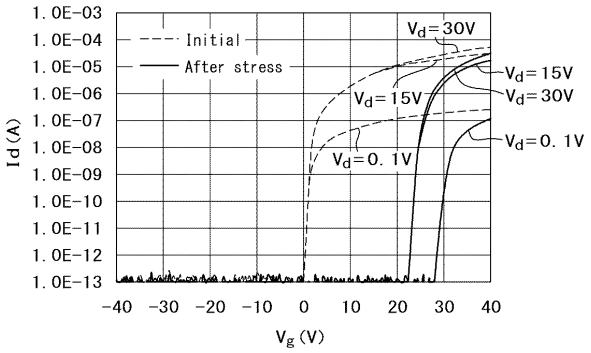
【図１】

図１



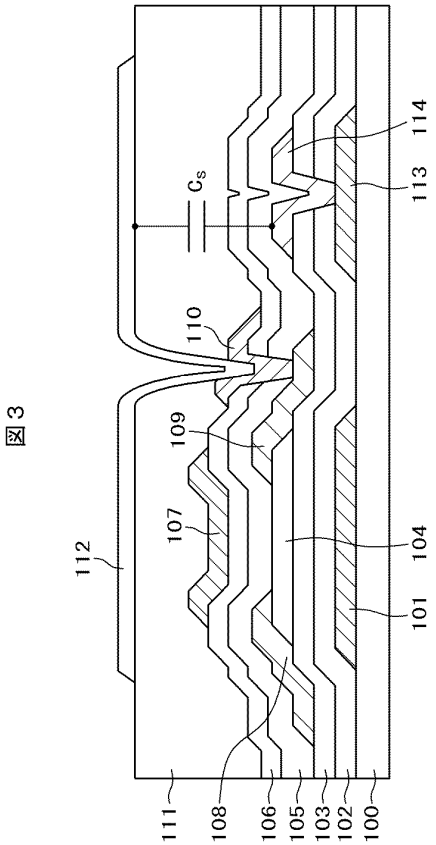

【図２】

図２



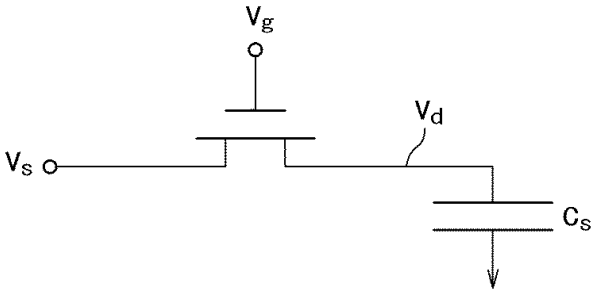

【図３】

図３



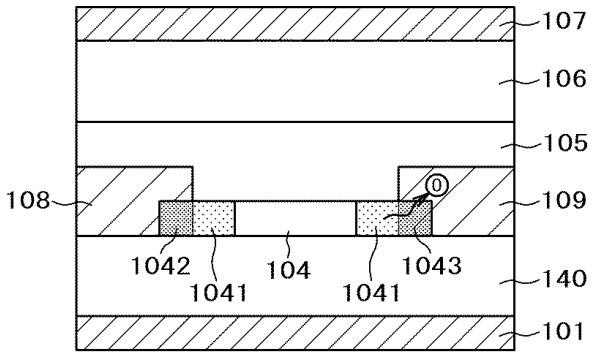

【図４】

図４



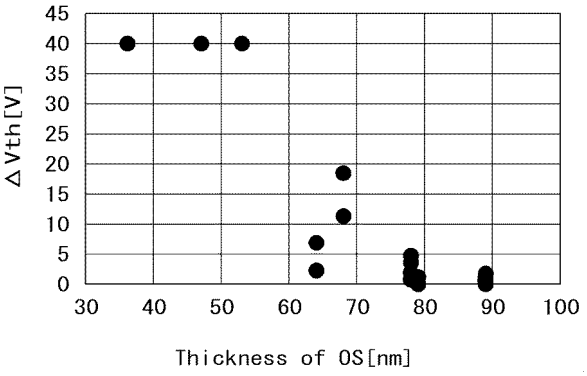
【図５】

図５



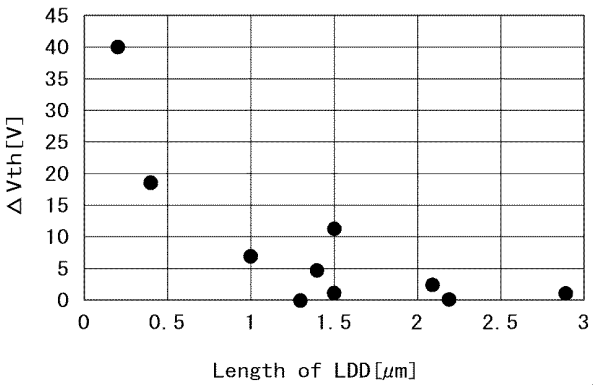

【図６】

図６



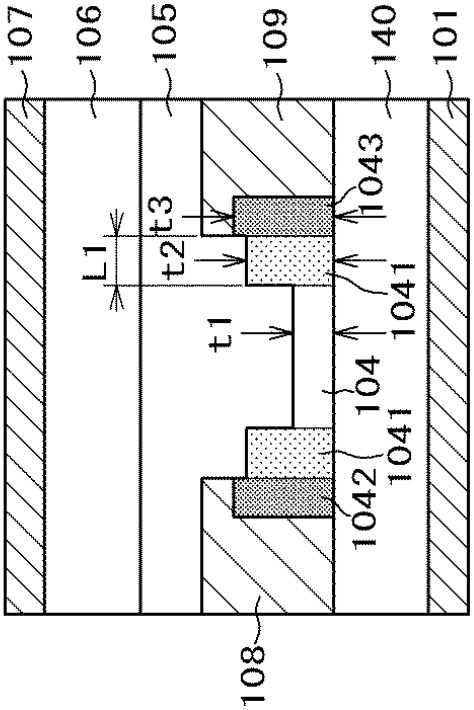

【図７】

図７



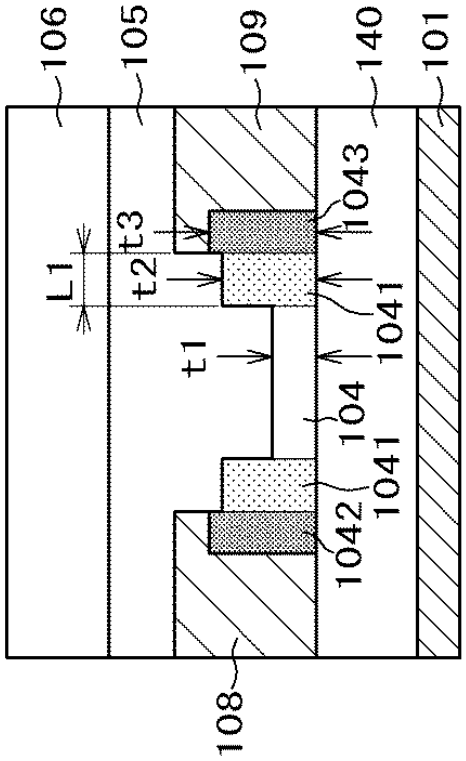

【図８】

図８



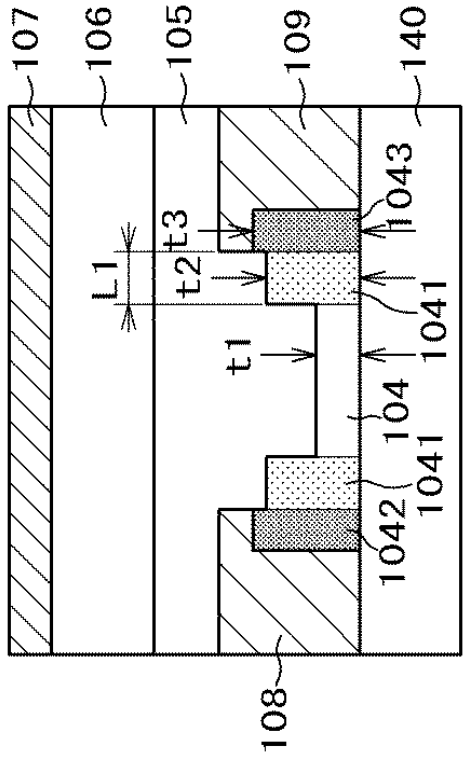
【図９】

図９



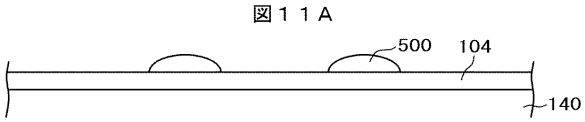

【図１０】

図１０



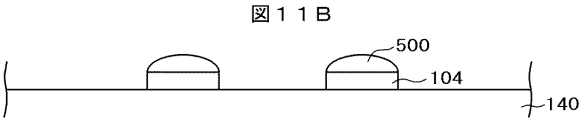

【図１１Ａ】

図１１Ａ



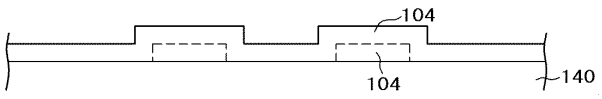

【図１１Ｂ】

図１１Ｂ



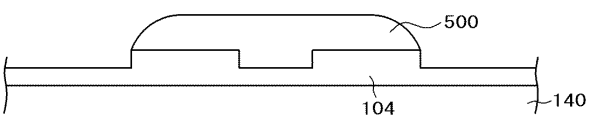
【図１１Ｃ】

図１１Ｃ



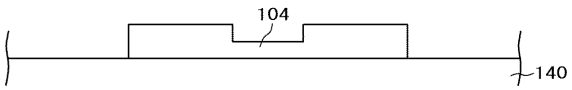

【図１１Ｄ】

図１１Ｄ



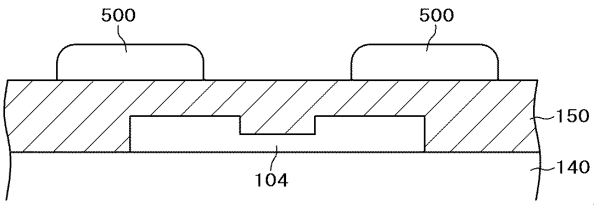

【図１１Ｅ】

図１１Ｅ



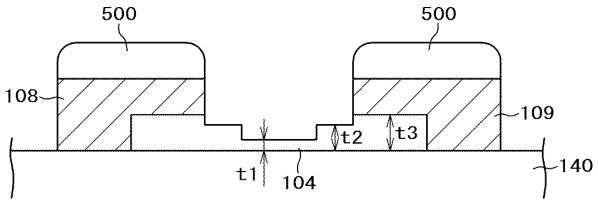

【図１１Ｆ】

図１１Ｆ



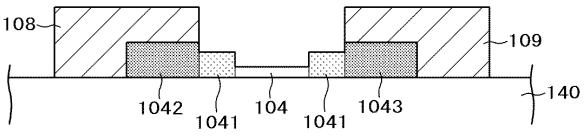

【図１１Ｇ】

図１１Ｇ



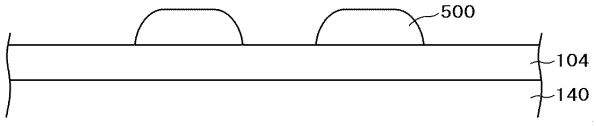

【図１１Ｈ】

図１１Ｈ



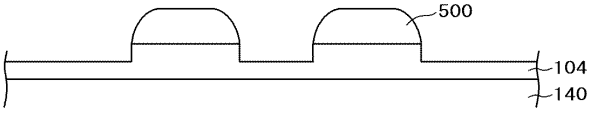

【図１２Ａ】

図１２Ａ



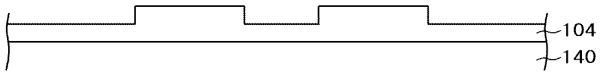

【図１２Ｂ】

図１２Ｂ



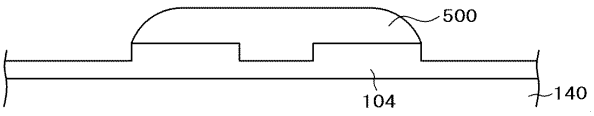
【図１２Ｃ】

図１２Ｃ



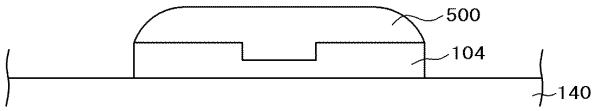

【図１２Ｄ】

図１２Ｄ



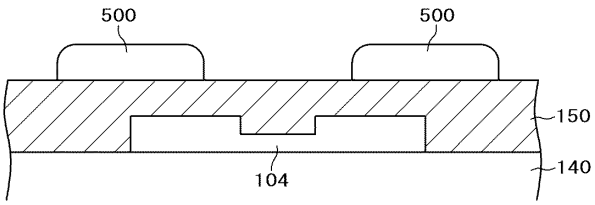

【図１２Ｅ】

図１２Ｅ



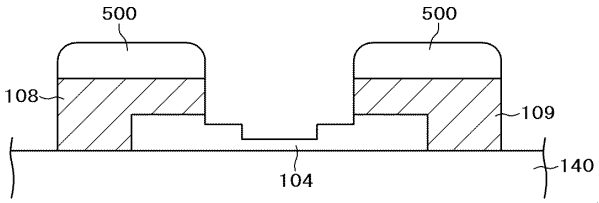

【図１２Ｆ】

図１２Ｆ



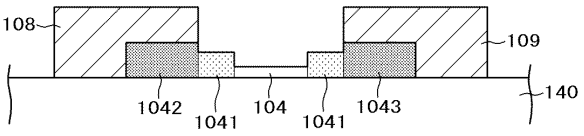

【図１２Ｇ】

図１２Ｇ



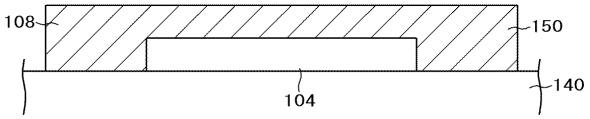

【図１２Ｈ】

図１２Ｈ



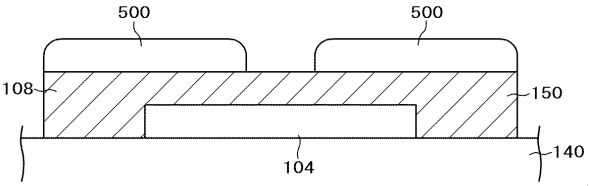

【図１３Ａ】

図１３Ａ



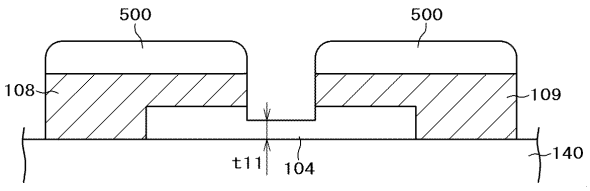

【図１３Ｂ】

図１３Ｂ



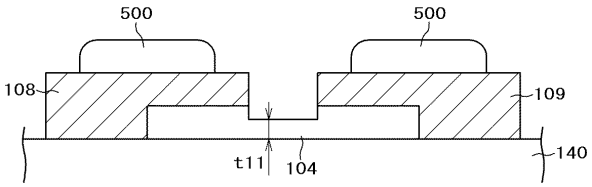
【図１３Ｃ】

図１３Ｃ



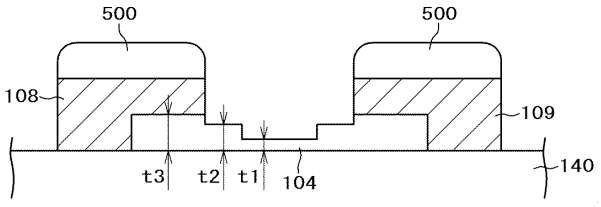

【図１３Ｄ】

図１３Ｄ



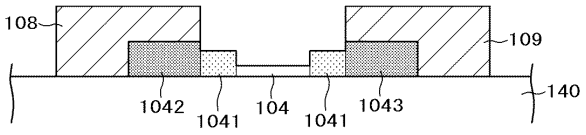

【図１３Ｅ】

図１３Ｅ




【図１３Ｆ】

図１３Ｆ




【図１４Ａ】

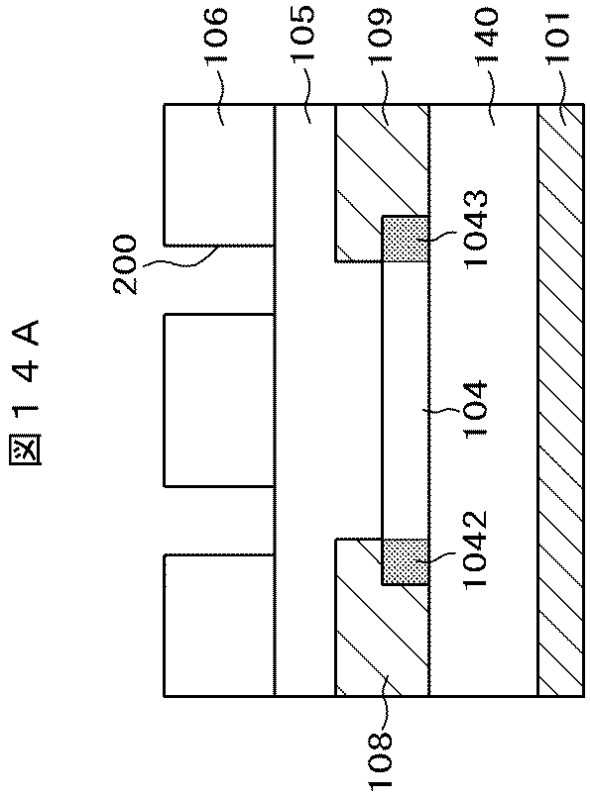



図１４Ａ

【図１４Ｂ】

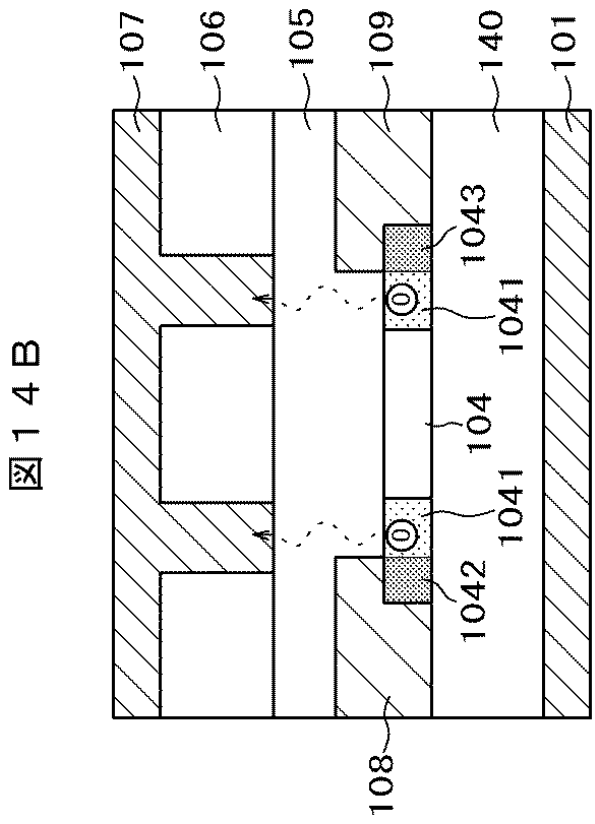



図１４Ｂ

【図１５Ａ】

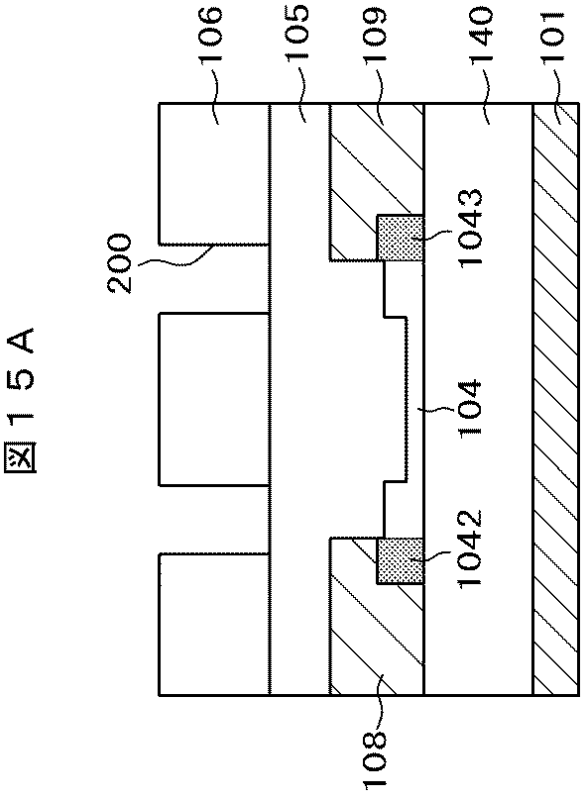



図１５Ａ

【図１５Ｂ】

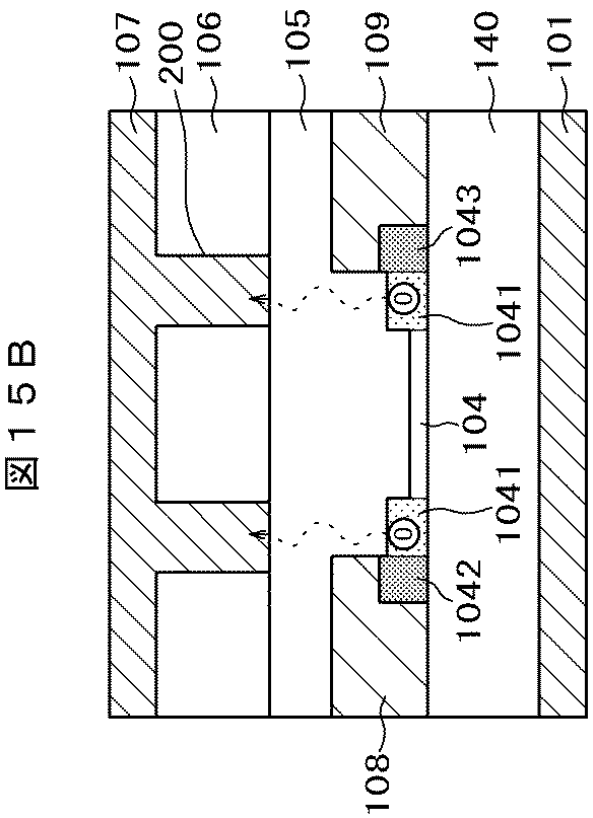



図１５Ｂ

【図１６Ａ】

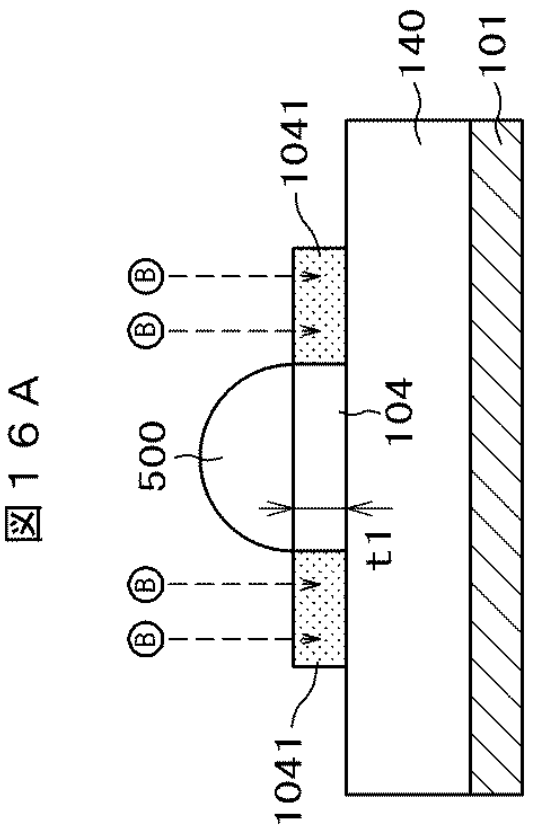



図１６Ａ

【図１６Ｂ】

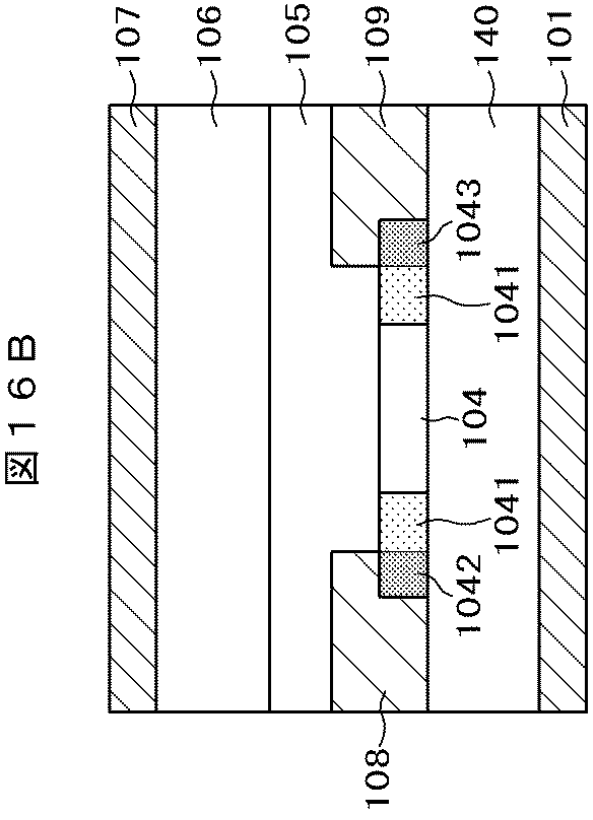



図１６Ｂ

【図１７Ａ】

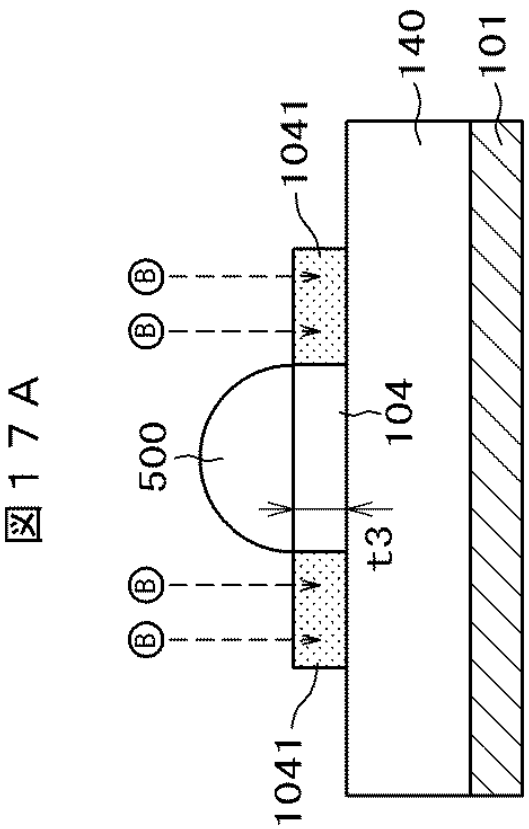



図１７Ａ

【図１７Ｂ】

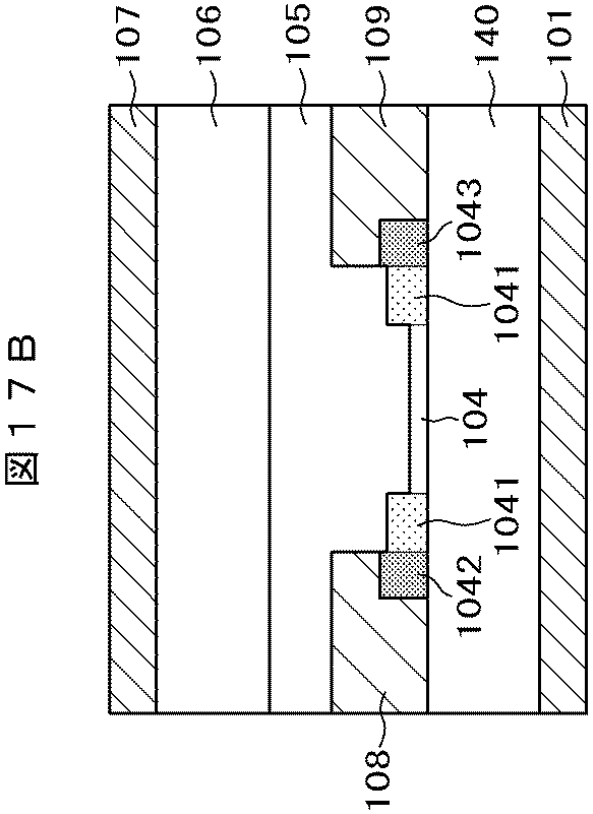



図１７Ｂ

フロントページの続き

(51)国際特許分類　　ＦＩ
Ｈ０１Ｌ　29/78　６１８Ｂ
Ｈ０１Ｌ　29/78　６１８Ｃ

(56)参考文献　国際公開第２０１５／１８６６０２（WO，Ａ１）
国際公開第２０１９／０２５９１７（WO，Ａ１）
特開２０１２－１７８４３９（ＪＰ，Ａ）
米国特許出願公開第２０１７／０２００８２７（ＵＳ，Ａ１）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２９／７８６