

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月27日(27.03.2025)



(10) 国際公開番号

WO 2025/062880 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 25/70* (2023.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2024/028773

(72) 発明者: 財津 光一郎 (ZAITSU, Koichiro);
〒2430014 神奈川県厚木市旭町四丁目14
番1号 ソニーセミコンダクタソリューシ
ョンズ株式会社内 Kanagawa (JP).

(22) 国際出願日: 2024年8月9日(09.08.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-151094 2023年9月19日(19.09.2023) JP

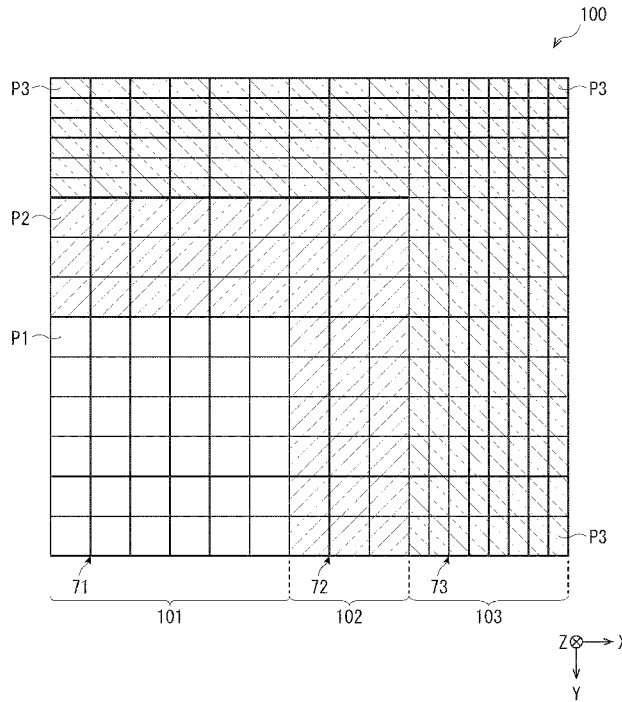
(74) 代理人: 弁理士法人つばさ国際特許
事務所 (TSUBASA PATENT PROFESSIONAL
CORPORATION); 〒1600022 東京都新宿
区新宿1丁目15番9号さわだビ
ル3階 Tokyo (JP).

(71) 出願人: ソニーセミコンダクタソリューシ
ョンズ株式会社(SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 光検出装置および電子機器



(57) Abstract: A light detection device according to an embodiment of the present disclosure comprises: a first region having a plurality of first pixels, each including a first photoelectric conversion element provided in a semiconductor layer, and a first trench provided between the plurality of first pixels adjacent to each other in the semiconductor layer; and a second region having a second trench provided in a first direction and a second direction intersecting the first direction in the semiconductor layer, and provided around the first region. A pattern density of the second trench is larger than a

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

pattern density of the first trench.

(57) 要約: 本開示の一実施形態の光検出装置は、半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、前記半導体層において隣り合う複数の前記第1画素の間に設けられる第1トレンチとを有する第1領域と、前記半導体層において第1方向および前記第1方向に交差する第2方向に設けられる第2トレンチを有し、前記第1領域の周囲に設けられる第2領域とを備える。前記第2トレンチのパターン密度は、前記第1トレンチのパターン密度よりも大きい。

明 細 書

発明の名称：光検出装置および電子機器

技術分野

[0001] 本開示は、光検出装置および電子機器に関する。

背景技術

[0002] 有効画素領域と、有効画素領域の四方を囲むように設けられるダミー画素領域とを有し、F T I (Full Trench Isolation) 構造が配置された装置が提案されている（特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：特開2022-106021号公報

発明の概要

[0004] 光を検出する装置では、品質の低下を抑えることが求められている。

[0005] 品質の低下を抑制可能な光検出装置を提供することが望まれる。

[0006] 本開示の一実施形態の光検出装置は、半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、半導体層において隣り合う複数の第1画素の間に設けられる第1トレンチとを有する第1領域と、半導体層において第1方向および第1方向に交差する第2方向に設けられる第2トレンチを有し、第1領域の周囲に設けられる第2領域とを備える。第2トレンチのパターン密度は、第1トレンチのパターン密度よりも大きい。

本開示の一実施形態の電子機器は、光学系と、光学系を透過した光を受光する光検出装置とを備える。光検出装置は、半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、半導体層において隣り合う複数の第1画素の間に設けられる第1トレンチとを有する第1領域と、半導体層において第1方向および第1方向に交差する第2方向に設けられる第2トレンチを有し、第1領域の周囲に設けられる第2領域とを有する。第2トレンチのパターン密度は、第1トレンチのパターン密度よりも大きい。

図面の簡単な説明

[0007] [図1]図 1 は、本開示の実施の形態に係る光検出装置の一例である撮像装置の概略構成の一例を示すブロック図である。

[図2]図 2 は、本開示の実施の形態に係る撮像装置の平面構成の一例を説明するための図である。

[図3]図 3 は、本開示の実施の形態に係る撮像装置の平面構成の一例を説明するための図である。

[図4]図 4 は、本開示の実施の形態に係る撮像装置の有効画素の回路構成の一例を示す図である。

[図5A]図 5 A は、本開示の実施の形態に係る撮像装置のセルの回路構成の一例を示す図である。

[図5B]図 5 B は、本開示の実施の形態に係る撮像装置のセルの回路構成の一例を示す図である。

[図6]図 6 は、本開示の実施の形態に係る撮像装置の断面構成の一例を説明するための図である。

[図7]図 7 は、本開示の実施の形態に係る撮像装置の平面構成の一例を説明するための図である。

[図8]図 8 は、本開示の変形例 1 に係る撮像装置の画素部の構成例を説明するための図である。

[図9]図 9 は、本開示の変形例 2 に係る撮像装置の画素部の構成例を説明するための図である。

[図10]図 1 0 は、本開示の変形例 2 に係る撮像装置の画素部の別の構成例を説明するための図である。

[図11]図 1 1 は、本開示の変形例 2 に係る撮像装置の画素部の別の構成例を説明するための図である。

[図12]図 1 2 は、本開示の変形例 3 に係る撮像装置の画素部の構成例を説明するための図である。

[図13]図 1 3 は、本開示の変形例 4 に係る撮像装置の画素部の構成例を説明

するための図である。

[図14]図14は、本開示の変形例5に係る撮像装置の構成例を説明するための図である。

[図15]図15は、撮像装置を有する電子機器の構成例を表すブロック図である。

[図16]図16は、車両制御システムの概略的な構成の一例を示すブロック図である。

[図17]図17は、車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図18]図18は、内視鏡手術システムの概略的な構成の一例を示す図である。

[図19]図19は、カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0008] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態
2. 変形例
3. 適用例
4. 応用例

[0009] <1. 実施の形態>

図1は、本開示の実施の形態に係る光検出装置の一例である撮像装置の概略構成の一例を示すブロック図である。光検出装置は、入射する光を検出可能な装置である。光検出装置である撮像装置1は、光電変換部（光電変換素子）を有する複数の画素Pを有し、入射した光を光電変換して信号を生成するように構成される。

[0010] 撮像装置1は、光学レンズを含む光学系（不図示）を透過した光を受光して信号を生成し得る。撮像装置1は、例えば、複数の画素Pが設けられた半

導体基板（例えばシリコン基板）を用いて構成される。撮像装置１の各画素Ｐの光電変換部は、例えばフォトダイオード（ＰＤ）であり、光を光電変換可能に構成される。

[0011] 撮像装置１は、一例として、図１に示すように、複数の画素Ｐが行列状に２次元配置された領域（画素部１００）を有する。撮像装置１の画素部１００は、複数の画素Ｐが配置される画素アレイともいえる。各画素Ｐの光電変換部は、光電変換領域ともいえる。画素部１００には、後述するが、有効画素、遮光画素等が配置される。

[0012] 撮像装置１は、光学レンズを含む光学系を介して、計測対象である被写体からの入射光（像光）を取り込む。撮像装置１は、光学レンズにより形成される被写体の像を撮像する。撮像装置１は、受光した光（例えば可視光、赤外光等）を光電変換して画素信号を生成し得る。光検出装置である撮像装置１は、入射した光を受光して信号を生成可能な装置であり、受光装置ともいえる。

[0013] 撮像装置１（光検出装置）は、一例として、イメージセンサとして構成され得る。撮像装置１は、例えば、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサである。撮像装置１は、複数の半導体層を積層して構成された構造（積層構造）を有し得る。撮像装置１は、デジタルスチルカメラ、ビデオカメラ、携帯電話等、各種の電子機器に利用可能である。

[0014] 撮像装置１は、一例として、図１に示す例のように、画素部１００と、画素制御部１１１と、信号処理部１１２と、制御部１１３と、処理部１１４を有する。また、撮像装置１には、例えば、複数の制御線Ｌｒｅａｄと、複数の信号線ＶＳＬが設けられる。制御線Ｌｒｅａｄは、画素Ｐを制御する信号を伝えることが可能な信号線であり、画素制御部１１１と画素部１００の画素Ｐとに接続される。

[0015] 図１に示す例では、画素部１００には、水平方向（行方向）に並ぶ複数の画素Ｐにより構成される画素行ごとに、複数の制御線Ｌｒｅａｄが配線される。制御線Ｌｒｅａｄは、画素Ｐからの信号読み出しのための制御信号を伝

送するように構成される。制御線 *L r e a d* は、画素 *P* を駆動する信号を伝送する駆動線（画素駆動線）ともいえる。

[0016] 信号線 *V S L* は、画素 *P* からの信号を伝えることが可能な信号線であり、画素部 100 の画素 *P* と信号処理部 112 とに接続される。画素部 100 には、例えば、垂直方向（列方向）に並ぶ複数の画素 *P* により構成される画素列ごとに、1 つ又は複数の信号線 *V S L* が配線される。信号線 *V S L* は、画素 *P* から出力される信号を伝送可能に構成される。撮像装置 1 では、1 つの画素列に対して、複数の信号線 *V S L* が設けられてもよい。撮像装置 1 は、画素列ごとに複数の信号線 *V S L* を有し得る。

[0017] 画素制御部 111 は、画素部 100 の各画素 *P* を制御可能に構成される。画素制御部 111 は、制御回路であり、例えば、バッファ、シフトレジスタ、アドレスデコーダ等を含む複数の回路によって構成される。画素制御部 111 は、画素 *P* を制御するための信号を生成し、制御線 *L r e a d* を介して画素部 100 の各画素 *P* へ出力する。画素制御部 111 は、制御部 113 により制御され、画素部 100 の画素 *P* の制御を行う。

[0018] 画素制御部 111 は、例えば、画素 *P* の転送トランジスタを制御する信号、選択トランジスタを制御する信号、及びリセットトランジスタを制御する信号など、画素 *P* を制御するための信号を生成し、制御線 *L r e a d* によって各画素 *P* に供給する。画素制御部 111 は、各画素 *P* から画素信号を読み出す制御を行い得る。画素制御部 111 は、各画素 *P* を駆動可能に構成された画素駆動部ともいえる。なお、画素制御部 111 と制御部 113 とを併せて、画素制御部ということもできる。

[0019] 信号処理部 112 は、入力される画素の信号の信号処理を実行可能に構成される。信号処理部 112 は、信号処理回路であり、例えば、負荷回路、A/D (Analog Digital) 変換回路、水平選択スイッチ等を有する。負荷回路は、一例として、画素 *P* の増幅トランジスタに電流を供給可能な電流源により構成される。負荷回路は、例えば、画素 *P* の増幅トランジスタと共にソースフォロア回路を構成する。

- [0020] 信号処理部 112 は、信号線 VSL を介して画素 P から読み出される信号を増幅するように構成された増幅回路を有していてもよい。負荷回路、増幅回路、及び AD 変換回路等は、例えば、複数の信号線 VSL の各々に対して設けられる。画素部 100 の画素列ごとに、負荷回路、増幅回路、及び AD 変換回路等が設けられ得る。
- [0021] 画素制御部 111 によって選択走査された各画素 P から出力される信号は、信号線 VSL を介して信号処理部 112 に入力される。信号処理部 112 は、例えば、画素 P の信号の AD 変換、CDS (Correlated Double Sampling : 相関二重サンプリング) 等の信号処理を行い得る。信号線 VSL の各々を通して伝送される各画素 P の信号は、信号処理部 112 により信号処理が施され、処理部 114 に出力される。
- [0022] 処理部 114 は、入力される信号に対して信号処理を実行可能に構成される。処理部 114 は、処理回路であり、例えば、画素信号に対して各種の信号処理を施す回路により構成される。処理部 114 は、プロセッサ及びメモリを含んでいてもよい。処理部 114 は、信号処理部 112 から入力される画素の信号に対して信号処理を行い、処理後の画素の信号を出力する。処理部 114 は、例えば、ノイズ低減処理、階調補正処理等の各種の信号処理を行い得る。
- [0023] 制御部 113 は、撮像装置 1 の各部を制御可能に構成される。制御部 113 は、外部から与えられるクロック、動作モードを指令するデータ等を受け取り、また、撮像装置 1 の内部情報等のデータを出力し得る。制御部 113 は、制御回路であり、例えば、各種のタイミング信号を生成可能に構成されたタイミングジェネレータを有する。制御部 113 は、タイミングジェネレータで生成された各種のタイミング信号（パルス信号、クロック信号等）に基づき、画素制御部 111 及び信号処理部 112 等の駆動制御を行う。
- [0024] 上述した画素部 100 と、画素制御部 111 及び信号処理部 112 等とは、1 つの基板に設けられてもよい。画素制御部 111、信号処理部 112、制御部 113、処理部 114 等は、1 つの半導体基板に設けられてもよく、

複数の半導体基板に分けて設けられてもよい。撮像装置 1 は、複数の基板を積層して構成された積層構造を有していてもよい。なお、信号処理部 1 1 2、制御部 1 1 3、及び処理部 1 1 4 の一部又は全部は、一体的に構成されていてもよい。

[0025] 図 2 及び図 3 は、実施の形態に係る撮像装置の平面構成の一例を説明するための図である。図 3 は、図 2 に示す撮像装置 1 の画素部 1 0 0 における破線 L 1 で囲んだ領域を示している。撮像装置 1 は、画素部 1 0 0 と端子部 1 2 0 を有する。図 2 に示す例では、画素部 1 0 0 の周囲に、複数の端子部 1 2 0 が設けられる。

[0026] なお、図 2 に示すように、被写体からの光の入射方向を Z 軸方向、Z 軸方向に直交する紙面左右方向を X 軸方向、Z 軸方向及び X 軸方向に直交する紙面上下方向を Y 軸方向とする。以降の図において、図 2 の矢印の方向を基準として方向を表記する場合もある。なお、図示を省略するが、上述した画素制御部 1 1 1、信号処理部 1 1 2、制御部 1 1 3、処理部 1 1 4 等は、画素部 1 0 0 の周辺領域に設けられてもよい。

[0027] 画素部 1 0 0 に設けられる複数の画素 P には、有効画素 P 1 と、遮光画素 P 2 とが含まれる。また、画素部 1 0 0 には、セル P 3 が設けられる。有効画素 P 1 は、計測対象（被写体）からの光を受光する画素である。遮光画素 P 2 及びセル P 3 は、例えば、遮光部材（遮光膜）を有し、遮光された状態となる。セル P 3 は、ダミーパターンとして設けられ、ダミー画素ともいえる。

[0028] 端子部 1 2 0 は、外部との信号のやり取りを行うものである。端子部 1 2 0 は、外部との信号の伝送に用いられる端子（パッド）を含む。端子部 1 2 0 は、例えば、画素部 1 0 0 の外側の領域に設けられる。端子部 1 2 0 は、一例として、図 2 に模式的に示すように、複数のパッド（PAD）を含み、画素部 1 0 0 の周辺領域に配置される。

[0029] 端子部 1 2 0 には、例えば、信号が入出力される入出力パッド、撮像装置 1 の外部から信号が入力される入力パッド、撮像装置 1 の外部に信号を出力

する出力パッド等が含まれる。また、端子部 120 は、電源パッド及び GND パッドを含み、外部から入力される電源電圧、GND 電圧（接地電圧）を、撮像装置 1 の各回路などに供給し得る。

[0030] 撮像装置 1 の画素部 100 は、複数の有効画素 P1 が設けられる領域（有効画素領域 101 と称する）と、複数の遮光画素 P2 が設けられる領域（遮光画素領域 102 と称する）を有する。また、画素部 100 は、複数のセル P3 が設けられる領域（ダミーパターン領域 103 と称する）を有する。

[0031] 有効画素領域 101 には、複数の有効画素 P1 が 2 次元配置される。複数の有効画素 P1 は、一例として、図 3 に示すように、水平方向（X 軸方向）と垂直方向（Y 軸方向）とに並ぶように設けられる。有効画素 P1 は、例えば、入射する光のうちの特定の波長域の光を選択的に透過させるように構成されたフィルタを有し得る。

[0032] 有効画素領域 101 の複数の有効画素 P1 には、一例として、赤（R）の波長域の光を透過するフィルタが設けられた画素（R 画素）と、緑（G）の波長域の光を透過するフィルタが設けられた画素（G 画素）と、青（B）の波長域の光を透過するフィルタが設けられた画素（B 画素）が含まれる。画素部 100 では、複数の R 画素、複数の G 画素、及び複数の B 画素が繰り返し配置される。

[0033] R 画素、G 画素、及び B 画素は、例えば、ベイヤー配列に従って配置される。R 画素、G 画素、及び B 画素は、それぞれ、R 成分の画素信号、G 成分の画素信号、及び B 成分の画素信号を生成し得る。撮像装置 1 は、RGB の画素信号を得ることができる。なお、有効画素領域 101 における有効画素 P1 の数および配置は、任意に設定可能である。

[0034] 有効画素 P1 に設けられるフィルタは、原色系（RGB）のカラーフィルタに限定されず、補色系のカラーフィルタであってもよい。W（ホワイト）に対応したフィルタ、即ち入射光の全波長域の光を透過させるフィルタを配置してもよい。フィルタは、赤外光を透過するフィルタであってもよい。また、必要に応じて、一部又は全部の有効画素 P1 に、フィルタを設けなくて

もよい。

[0035] 有効画素領域 101 の各有効画素 P1 には、計測対象である被写体からの光が入射する。有効画素 P1 は、入射する光を受光して光電変換し、画素信号を生成し得る。撮像装置 1 は、各有効画素 P1 における光電変換によって得られる画素信号を用いて、被写体像を示す画像データを生成し得る。

[0036] 有効画素領域 101 には、図 3 に示す例のように、トレンチ 71 が設けられる。トレンチ 71 は、隣り合う複数の有効画素 P1 の間に設けられ、有効画素 P1 間を分離する。トレンチ 71 は、例えば、FTI (Full Trench Isolation) 構造を有する。図 3 に示す例では、トレンチ 71 は、平面視において格子状に形成され、隣り合う複数の有効画素 P1 の境界部に配置される。有効画素 P1 は、トレンチ 71 によって区画された構造を有するともいえる。

[0037] 遮光画素領域 102 は、有効画素領域 101 の周囲に設けられる。遮光画素領域 102 は、例えば、図 2 及び図 3 に示すように、有効画素領域 101 を囲むように設けられる。遮光画素領域 102 には、一例として、有効画素領域 101 を囲むように、複数の遮光画素 P2 が X 軸方向及び Y 軸方向において 2 次元配置される。

[0038] 遮光画素 P2 は、遮光部材により遮光された画素であり、基準レベルを示す画素信号を出力し得る。遮光画素 P2 は、例えば、有効画素 P1 の画素信号に対する基準レベルを示す信号を、画素信号として生成して出力する。遮光画素 P2 により生成される画素信号は、黒レベル（又はオフセットレベル）を示す信号といえる。遮光画素 P2 は、OPB (Optical Black) 画素であり、遮光画素領域 102 は、OPB 画素領域ともいえる。

[0039] 撮像装置 1 の処理部 114（図 1 参照）は、画素信号を補正可能なように構成される。処理部 114 は、遮光画素 P2 により生成される画素信号を用いて、有効画素 P1 により生成される画素信号の補正を行うように構成される。処理部 114 は、例えば、有効画素 P1 の画素信号と遮光画素 P2 の画素信号との減算処理を行うことで、ノイズ成分（例えば暗電流成分）が低減

された画素信号を生成し得る。なお、信号処理部 112 によって、この補正処理を行うようにしてもよい。

[0040] 遮光画素領域 102 には、図 3 に示す例のように、トレンチ 72 が設けられる。トレンチ 72 は、隣り合う複数の遮光画素 P2 の間に設けられ、遮光画素 P2 間を分離する。トレンチ 72 は、例えば、トレンチ 71 と同様に FTI 構造を有する。図 3 に示す例では、トレンチ 72 とトレンチ 71 とは、連続して形成され、一体に設けられる。

[0041] トレンチ 72 は、図 3 に示す例では、XY 平面において、格子状に設けられる。トレンチ 72 は、有効画素領域 101 の周囲において格子状に設けられ、隣り合う複数の遮光画素 P2 の境界部に配置される。遮光画素 P2 は、トレンチ 72 によって区画された構造を有するともいえる。なお、遮光画素領域 102 における遮光画素 P2 の数および配置は、任意に設定可能である。

[0042] ダミーパターン領域 103 は、遮光画素領域 102 の周囲に設けられる。ダミーパターン領域 103 は、例えば、図 2 及び図 3 に示すように、遮光画素領域 102 を囲むように設けられる。ダミーパターン領域 103 には、一例として、遮光画素領域 102 を囲むように、複数のセル P3 が 2 次元配置される。

[0043] セル P3 は、遮光部材により遮光された領域部分であり、ダミー画素又はダミーパターンともいえる。複数のセル P3 は、一例として、図 3 に示すように、X 軸方向と Y 軸方向とに並ぶように設けられる。なお、ダミーパターン領域 103 におけるセル P3 の数および配置は、図示した例に限られず、適宜変更可能である。

[0044] ダミーパターン領域 103 には、図 3 に示す例のように、トレンチ 73 が設けられる。トレンチ 73 は、隣り合う複数のセル P3 の間に設けられ、セル P3 間を分離する。トレンチ 73 は、例えば、トレンチ 71 及びトレンチ 72 と同様に、FTI 構造を有する。図 3 に示す例では、トレンチ 73 とトレンチ 72 とは、連続して形成され、一体に設けられる。

[0045] 図3に示す例では、トレンチ73は、XY平面において格子状に設けられる。トレンチ73は、遮光画素領域102の周囲において格子状に設けられ、隣り合う複数のセルP3の境界部に配置される。セルP3は、トレンチ73によって画定される領域であり、トレンチ73によって区画された構造を有するともいえる。

[0046] 撮像装置1は、各領域におけるトレンチのパターン密度が異なるように構成され得る。撮像装置1は、例えば、ダミーパターン領域103のトレンチ73のパターン密度と、有効画素領域101のトレンチ71のパターン密度とが異なるように構成される。一例として、図3に示すように、ダミーパターン領域103におけるトレンチ73のパターン密度は、有効画素領域101におけるトレンチ71のパターン密度よりも大きくなる。トレンチ73の配置周期（ピッチ）は、トレンチ71の配置周期よりも短い（狭い）。

[0047] また、撮像装置1は、ダミーパターン領域103のトレンチ73のパターン密度と、遮光画素領域102のトレンチ72のパターン密度とが異なるように構成され得る。例えば、図3に示す例のように、ダミーパターン領域103におけるトレンチ73のパターン密度は、遮光画素領域102におけるトレンチ72のパターン密度よりも大きくなる。なお、撮像装置1では、トレンチ71のパターン密度及びピッチとトレンチ72のパターン密度及びピッチとが同一となるように、トレンチ71、トレンチ72が配置され得る。

[0048] 図4は、実施の形態に係る撮像装置の有効画素の回路構成の一例を示す図である。有効画素P1は、光電変換部12（光電変換素子）と、読み出し回路20とを有する。光電変換部12は、光を受光して信号を生成するように構成される。読み出し回路20は、光電変換された電荷に基づく信号を出力可能に構成される。読み出し回路20は、光電変換部12で光電変換された電荷に基づく画素信号を読み出し得る。

[0049] 光電変換部12は、受光部（受光素子）であり、光電変換により電荷を生成可能に構成される。図4に示す例では、光電変換部12は、フォトダイオード（PD）であり、入射する光を電荷に変換する。光電変換部12は、光

電変換を行って受光量に応じた電荷を生成し得る。

- [0050] 読み出し回路20は、一例として、トランジスタTRG1と、フローティングディフュージョンFDと、トランジスタAMP1と、トランジスタSEL1と、トランジスタRST1とを有する。トランジスタTRG1、トランジスタAMP1、トランジスタSEL1、及びトランジスタRST1は、それぞれ、ゲート、ソース、ドレインの端子を有するMOSトランジスタ(MOSFET)である。
- [0051] 図4に示す例では、トランジスタTRG1、トランジスタAMP1、トランジスタSEL1、及びトランジスタRST1は、それぞれNMOSトランジスタにより構成される。なお、有効画素P1のトランジスタは、PMOSトランジスタにより構成されてもよい。
- [0052] トランジスタTRG1は、転送トランジスタであり、光電変換部12で光電変換された電荷をフローティングディフュージョンFDに転送可能に構成される。トランジスタTRG1は、信号VTRGにより制御され、光電変換部12とフローティングディフュージョンFDとを電氣的に接続または切断する。トランジスタTRG1は、光電変換部12で光電変換されて蓄積された電荷をフローティングディフュージョンFDに転送し得る。
- [0053] フローティングディフュージョンFDは、蓄積部であり、転送された電荷を蓄積可能に構成される。フローティングディフュージョンFDは、光電変換部12で光電変換された電荷を蓄積し得る。フローティングディフュージョンFDは、転送された電荷を保持可能な保持部ともいえる。フローティングディフュージョンFDは、転送された電荷を蓄積し、フローティングディフュージョンFDの容量に応じた電圧に変換する。
- [0054] トランジスタAMP1は、フローティングディフュージョンFDに蓄積された電荷に基づく信号を生成して出力するように構成される。トランジスタAMP1は、増幅トランジスタであり、光電変換部12で変換された電荷に基づく信号を生成して出力し得る。
- [0055] トランジスタAMP1のゲートは、フローティングディフュージョンFD

と電氣的に接続され、フローティングディフュージョンFDで変換された電圧が入力される。図4に示す例では、トランジスタAMP 1のドレインは、電源電圧VDDが供給される電源線に接続される。

[0056] トランジスタAMP 1のソースは、トランジスタSEL 1を介して信号線VSLに接続される。トランジスタAMP 1は、フローティングディフュージョンFDに蓄積された電荷に基づく信号、即ちフローティングディフュージョンFDの電圧に基づく信号を生成し、信号線VSLへ出力するように構成される。

[0057] トランジスタSEL 1は、画素の信号の出力を制御可能に構成される。トランジスタSEL 1は、例えば、図4に示す例のように、トランジスタAMP 1と電氣的に直列に接続される。トランジスタSEL 1は、信号VSELにより制御され、トランジスタAMP 1からの信号を信号線VSLに出力可能に構成される。トランジスタSEL 1は、選択トランジスタであり、画素の信号の出力タイミングを制御し得る。

[0058] トランジスタSEL 1は、光電変換部12で変換された電荷に基づく信号を出力可能に構成される。トランジスタSEL 1は、有効画素P 1の画素信号を信号線VSLへ出力し得る。なお、トランジスタSEL 1は、電源電圧VDDが与えられる電源線とトランジスタAMP 1との間に、電氣的に直列に接続されてもよい。

[0059] トランジスタRST 1は、フローティングディフュージョンFDの電圧をリセット可能に構成される。図4に示す例では、トランジスタRST 1は、電源電圧VDDが与えられる電源線と電氣的に接続され、有効画素P 1の電荷のリセットを行うように構成される。トランジスタRST 1は、リセットトランジスタである。

[0060] トランジスタRST 1は、信号VRSTにより制御され、フローティングディフュージョンFDに蓄積された電荷をリセットし、フローティングディフュージョンFDの電圧をリセットし得る。図4に示す例では、トランジスタRST 1は、電源線とフローティングディフュージョンFDとを電氣的に

接続し、フローティングディフュージョンFDに蓄積された電荷を排出し得る。なお、トランジスタRST1は、トランジスタTRG1を介して、光電変換部12に蓄積された電荷を排出し得る。

[0061] 撮像装置1の画素制御部111（図1参照）は、上述した制御線Lreadを介して、各画素PのトランジスタTRG1、トランジスタSEL1、トランジスタRST1等のゲートに制御信号を供給し、トランジスタをオン状態（導通状態）又はオフ状態（非導通状態）とする。

[0062] 撮像装置1の画素行ごとの複数の制御線Lreadには、一例として、トランジスタTRG1を制御する信号VTRGを伝送する配線、トランジスタSEL1を制御する信号VSELを伝送する配線、トランジスタRST1を制御する信号VRSを伝送する配線等が含まれる。トランジスタTRG1、トランジスタSEL1、及びトランジスタRST1等は、画素制御部111によってオンオフ制御される。

[0063] 遮光画素P2は、例えば、上述した有効画素P1と同様の回路構成を有する。画素制御部111は、各有効画素P1と各遮光画素P2の読み出し回路20を制御することによって、各有効画素P1と各遮光画素P2から画素信号を信号線VSLに出力させる。画素制御部111は、各有効画素P1の画素信号、各遮光画素P2の画素信号を、信号線VSLへ読み出す制御を行い得る。

[0064] 図5Aは、実施の形態に係る撮像装置のセルの回路構成の一例を示す図である。セルP3は、例えば、上述した有効画素P1（又は遮光画素P2）と同様の回路素子を有する。セルP3は、一例として、図5Aに示すように、光電変換部12と、トランジスタTRG2と、トランジスタAMP2と、トランジスタSEL2と、トランジスタRST2とを有する。

[0065] セルP3のトランジスタTRG2は、転送トランジスタであり、有効画素P1のトランジスタTRG1に対応する。トランジスタTRG2のゲートは、基準電圧（例えば接地電圧）が与えられる配線、又は電源電圧が与えられる配線に電氣的に接続される。図5Aに示す例では、トランジスタTRG2

のゲートは、電圧 V_{SS} （例えば $0V$ ）が与えられる配線と電氣的に接続される。

[0066] セル $P3$ のトランジスタ $AMP2$ は、増幅トランジスタであり、有効画素 $P1$ のトランジスタ $AMP1$ に対応する。また、セル $P3$ のトランジスタ $SEL2$ は、選択トランジスタであり、有効画素 $P1$ のトランジスタ $SEL1$ に対応する。トランジスタ $SEL2$ のゲートは、基準電圧が与えられる配線、又は電源電圧が与えられる配線に電氣的に接続される。

[0067] 図5Aに示す例では、トランジスタ $SEL2$ のゲートは、電圧 V_{SS} が与えられる配線と電氣的に接続される。なお、図5Aに示すように、トランジスタ $SEL2$ のソース及びドレインの一方は、信号線と接続されずにオープン状態であってもよい。

[0068] セル $P3$ のトランジスタ $RST2$ は、リセットトランジスタであり、有効画素 $P1$ のトランジスタ $RST1$ に対応する。トランジスタ $RST2$ のゲートは、基準電圧が与えられる配線、又は電源電圧が与えられる配線に電氣的に接続される。図5Aに示す例では、トランジスタ $RST2$ のゲートは、電圧 V_{SS} が与えられる配線と電氣的に接続される。

[0069] 図5Bは、実施の形態に係る撮像装置のセルの回路構成の他の例を示す図である。セル $P3$ は、図5Bに示す回路構成を有していてもよい。図5Bに示す例では、トランジスタ $AMP2$ のゲートと、トランジスタ $SEL2$ のゲートとは、それぞれ、電源電圧 V_{DD} が与えられる配線と電氣的に接続される。

[0070] 図6は、実施の形態に係る撮像装置の断面構成の一例を説明するための図である。また、図7は、実施の形態に係る撮像装置の平面構成の一例を説明するための図である。撮像装置1は、図6に示すように、例えば、レンズ30と、半導体層10と、多層配線層60とを有する。撮像装置1は、レンズ30と、半導体層10と、多層配線層60とがZ軸方向に積層された構成を有する。光が入射する側から、レンズ30が設けられる層と、半導体層10と、多層配線層60とが設けられる。

- [0071] 半導体層10は、図6に示すように、対向する面11S1及び面11S2を有する。面11S2は、面11S1とは反対側の面である。半導体層10の面11S1は、受光面（光入射面）である。半導体層10の面11S2は、トランジスタ等の素子が形成される素子形成面である。半導体層10の面11S2には、ゲート電極、ゲート絶縁膜（例えばゲート酸化膜）等が設けられる。
- [0072] 半導体層10は、半導体基板、例えばSi（シリコン）基板により構成される。半導体層10は、SOI（Silicon On Insulator）基板、SiGe（シリコンゲルマニウム）基板、SiC（シリコンカーバイド）基板等であってもよい。半導体層10は、III-V族の化合物半導体材料により構成されてもよく、他の半導体材料を用いて形成されてもよい。
- [0073] 図6に示す例では、半導体層10の面11S1側に、レンズ30を含む層が設けられる。半導体層10の面11S2側には、多層配線層60が設けられる。光学系からの光が入射する側にレンズ30が設けられ、光が入射する側とは反対側に多層配線層60が設けられる。撮像装置1は、いわゆる裏面照射型の撮像装置である。
- [0074] 半導体層10では、半導体層10の面11S1及び面11S2に沿って、複数の光電変換部12（光電変換素子）が設けられる。半導体層10には、例えば、複数の光電変換部12が埋め込み形成される。光電変換部12は、半導体層10の面11S1と面11S2との間に設けられている。
- [0075] レンズ30（レンズ部）は、光を集光するレンズであり、オンチップレンズとも呼ばれる光学部材である。レンズ30は、例えば、有効画素P1毎または複数の有効画素P1毎に、光電変換部12の上方に設けられる。レンズ30には、撮像レンズ等の光学系を介して、計測対象である被写体からの光が入射する。レンズ30は、入射する光を有効画素P1の光電変換部12側へ導く。
- [0076] 有効画素P1の光電変換部12は、レンズ30を介して入射する光を光電変換する。なお、撮像装置1は、RGBのカラーフィルタ等のフィルタを有

していてもよい。フィルタは、例えば、レンズ30と光電変換部12との間に設けられる。なお、光電変換部12は、光電変換層ともいえる。

[0077] 多層配線層60は、半導体層10に積層して設けられる。多層配線層60は、例えば、導体膜および絶縁膜を含み、複数の配線およびビア（VIA）等を有する。多層配線層60は、層間絶縁膜（層間絶縁層）としての絶縁膜を介して、複数の配線が積層された構成を有する。多層配線層60は、例えば2層以上、又は3層以上の配線を含む。

[0078] 多層配線層60の配線は、例えば、アルミニウム（Al）、銅（Cu）、タングステン（W）等の金属材料を用いて形成される。なお、多層配線層60の配線は、ポリシリコン（Poly-Si）、その他の導電材料を用いて構成されてもよい。層間絶縁膜は、例えば、酸化シリコン（SiO₂）、窒化シリコン（SiN）、酸窒化シリコン（SiON）等を用いて形成される。

[0079] 半導体層10及び多層配線層60には、例えば、上述した各トランジスタ（転送トランジスタ、増幅トランジスタ、選択トランジスタ、リセットトランジスタ等）が設けられる。また、上述した画素制御部111、信号処理部112、制御部113、処理部114等（図1参照）は、半導体層10とは別の基板、又は、半導体層10及び多層配線層60に設けられ得る。

[0080] 撮像装置1は、図6に示す例のように、トレンチ71、トレンチ72、トレンチ73を有する。トレンチ71、トレンチ72、及びトレンチ73は、それぞれ、分離部（溝部）であり、例えば絶縁材料を用いて構成される。トレンチ71は、有効画素領域101において、隣り合う複数の光電変換部12の間に設けられ、光電変換部12間を分離する。トレンチ71の少なくとも一部は、隣り合う有効画素P1（又は光電変換部12）の境界に設けられる。

[0081] トレンチ71は、半導体層10において、各有効画素P1の光電変換部12をそれぞれ囲むように形成され得る。トレンチ71は、例えば、FTI構造を有し、半導体層10を貫通するように設けられる。トレンチ71は、図6に示す例のように、隣り合う複数の光電変換部12の間において、半導体

層 1 0 の面 1 1 S 2 まで達するように形成され得る。

[0082] トレンチ 7 2 は、遮光画素領域 1 0 2 において、隣り合う複数の光電変換部 1 2 の間に設けられ、光電変換部 1 2 間を分離する。トレンチ 7 2 の少なくとも一部は、隣り合う遮光画素 P 2（又は光電変換部 1 2）の境界に設けられる。

[0083] トレンチ 7 2 は、半導体層 1 0 において、各遮光画素 P 2 の光電変換部 1 2 をそれぞれ囲むように形成され得る。トレンチ 7 2 は、例えば、F T I 構造を有し、半導体層 1 0 を貫通するように設けられる。トレンチ 7 2 は、例えば、隣り合う複数の光電変換部 1 2 の間において、半導体層 1 0 の面 1 1 S 2 まで達するように形成され得る。

[0084] トレンチ 7 3 は、ダミーパターン領域 1 0 3 において、例えば、隣り合う複数の光電変換部 1 2 の間に設けられ、光電変換部 1 2 間を分離する。トレンチ 7 3 の少なくとも一部は、隣り合うセル P 3（又は光電変換部 1 2）の境界に設けられる。

[0085] トレンチ 7 3 は、半導体層 1 0 において、各セル P 3 の光電変換部 1 2 をそれぞれ囲むように形成され得る。トレンチ 7 3 は、例えば、F T I 構造を有し、半導体層 1 0 を貫通するように設けられる。トレンチ 7 3 は、例えば、隣り合う複数の光電変換部 1 2 の間において、半導体層 1 0 の面 1 1 S 2 まで達するように形成され得る。

[0086] トレンチ 7 1 ～トレンチ 7 3 の各々の内部には、絶縁膜、例えばシリコン酸化膜、シリコン窒化膜、酸化アルミニウム膜等が設けられる。あるいは、トレンチ 7 1 ～トレンチ 7 3 には、それぞれ、ポリシリコン、金属材料、他の絶縁材料等が埋め込まれていてもよい。トレンチ 7 1 ～トレンチ 7 3 は、イオン注入によって形成される半導体領域（p 型の半導体領域または n 型の半導体領域）によって構成されてもよい。

[0087] また、トレンチ 7 1 ～トレンチ 7 3 は、低屈折率を有する他の絶縁材料を用いて形成されてもよい。トレンチ 7 1 ～トレンチ 7 3 は、空隙（空洞）を有していてもよい。撮像装置 1 では、トレンチ 7 1 ～トレンチ 7 3 が設けら

れることで、光電変換部 12 で光電変換された電荷が周囲の画素へ漏れることが抑制される。また、不要な光が周囲の画素に漏れることを抑制することができる。例えば、混色が生じることを抑制することができる。

[0088] 撮像装置 1 には、図 6 に示す例のように、遮光部材 40 が設けられる。遮光部材 40 は、光を遮る部材により構成された遮光部（遮光膜）であり、半導体層 10 の面 11 S1 側に設けられる。図 6 に示す例では、遮光部材 40 は、遮光画素領域 102 及びダミーパターン領域 103 に対して設けられ、半導体層 10 の面 11 S1 上に位置する。

[0089] 遮光部材 40 は、遮光画素領域 102 とダミーパターン領域 103 の全体を覆うように形成される。例えば、遮光画素領域 102 に配置される全ての遮光画素 P2 と、ダミーパターン領域 103 に配置される全てのセル P3 を覆うように、遮光部材 40 が設けられる。

[0090] 遮光部材 40 は、例えば、光を遮光する金属材料（アルミニウム（Al）、タングステン（W）、銅（Cu）等）により構成される。遮光部材 40 は、光を吸収する材料により構成されてもよい。遮光部材 40 は、複数の膜（例えば、銅、アルミニウム等の金属膜）が積層された積層膜によって構成されてもよい。

[0091] 撮像装置 1 は、半導体層 10 の面 11 S1 側に、固定電荷膜及び反射防止膜の少なくとも一方を有していてもよい。固定電荷膜及び反射防止膜は、一例として、金属化合物（金属酸化物、金属窒化物等）によって構成され、金属化合物層ともいえる。

[0092] 固定電荷膜は、固定電荷を有する膜であり、高誘電材料を用いて形成され得る。固定電荷膜は、一例として、酸化ハフニウム、酸化アルミニウム等の金属酸化物により構成される。固定電荷膜は、例えば、負の固定電荷を有する膜である。

[0093] 撮像装置 1 では、固定電荷膜が設けられることで、半導体層 10 の界面における暗電流の発生が抑制される。なお、固定電荷膜は、他の金属酸化膜により構成されてもよく、金属窒化膜または金属酸窒化膜を用いて構成されて

もよい。固定電荷膜として、正の固定電荷を有する膜を設けるようにしてもよい。

[0094] 反射防止膜は、一例として、酸化ハフニウム、酸化タンタル等の金属酸化物により構成される。反射防止膜は、半導体層 10 の面 11 S 1 側に設けられ、反射を低減（抑制）する。反射防止膜は、例えば、固定電荷膜と積層するように設けられる。なお、反射防止膜は、窒化シリコン（SiN）、酸化シリコン（SiO）、酸化アルミニウム（AlO）等の絶縁材料を用いて構成されてもよく、他の材料を用いて構成されてもよい。

[0095] 撮像装置 1 は、上述したように、トレンチ 73 のパターン密度とトレンチ 71 のパターン密度とが異なるように構成される。ダミーパターン領域 103 におけるトレンチ 73 のパターン密度は、図 3 及び図 7 等を示す例のように、有効画素領域 101 におけるトレンチ 71 のパターン密度よりも大きい。これにより、撮像装置 1 では、トレンチの製造バラツキを抑制することが可能となる。

[0096] 仮に、有効画素領域のトレンチとダミーパターン領域のトレンチとを同じパターン密度で設ける場合、画素部における位置及びトレンチのレイアウト等の影響により、有効画素領域とダミーパターン領域とでトレンチのエッチング深さに大きな差異が生じるおそれがある。この場合、所定の長さ（深さ）を有するトレンチが形成されず、電荷の漏れ込みが生じることが考えられる。

[0097] 一般的に、周期的に（アレイ状に）レイアウトされたパターンをトレンチ状にエッチングする場合、中心に近い位置のトレンチよりも端部に近いトレンチのほうが、エッチング深さが浅くなりやすい。なぜならば、中心に近い位置に比べて、端部に近い位置では局所的なパターン密度が小さくなるため、エッチング処理におけるプラズマの挙動に差異が生じるためである。そのため、相対的に有効画素領域よりも遮光画素領域のほうが上記の電荷の漏れ込みが発生しやすくなる。

[0098] 本実施の形態では、ダミーパターン領域 103 におけるトレンチ 73 のパ

ターン密度は、有効画素領域 101 におけるトレンチ 71 のパターン密度よりも大きくなるように定められる。これにより、トレンチの製造バラツキ（例えばトレンチの Z 軸方向の長さのバラツキ）を抑えることが可能となる。例えば、画素部 100 の端部付近においても、ドライエッチングによって精度よく FTI 構造を有するトレンチを形成することが可能となる。

[0099] 本実施の形態に係る撮像装置 1 では、所定の長さを有するトレンチを形成することができ、電荷の漏れ込みが生じることを抑制することが可能となる。有効画素領域 101 の外周部における局所的なトレンチのパターン密度の低下が緩和され、トレンチの加工不良が発生することを抑制することができる。撮像装置 1 の歩留まりを向上させることが可能となる。

[0100] 撮像装置 1 では、X 軸方向（又は Y 軸方向）におけるトレンチ 73 の配置周期は、X 軸方向（又は Y 軸方向）におけるトレンチ 71 の配置周期よりも短く（狭く）てよい。また、X 軸方向（又は Y 軸方向）におけるトレンチ 73 の配置周期は、X 軸方向（又は Y 軸方向）におけるトレンチ 72 の配置周期よりも短くてよい。

[0101] 撮像装置 1 では、例えば、図 7 に示すように、トレンチ 73 の配置周期 d_3 （ピッチ）は、トレンチ 71 の配置周期 d_1 よりも短い。また、トレンチ 73 の配置周期 d_3 は、トレンチ 72 の配置周期 d_2 よりも短い。遮光画素領域 102 及びダミーパターン領域 103 において、トレンチの加工不良が発生することを抑制することが可能となる。これにより、有効画素領域 101 における隣り合う有効画素 P1 間、遮光画素領域 102 における遮光画素 P2 間、あるいは有効画素 P1 と遮光画素 P2 間における電荷の混入を効果的に抑制することが可能となる。

[0102] 本実施の形態に係る撮像装置 1 では、トレンチの加工不良に起因する画素信号へのノイズの混入を抑制し、画素信号の品質向上を図ることができる。すなわち、ブルーミング不良が生じることを抑制することができる。

[0103] [作用・効果]

本実施の形態に係る光検出装置は、半導体層（半導体層 10）に設けられ

る第1光電変換素子（光電変換部12）をそれぞれ含む複数の第1画素（有効画素P1）と、半導体層において隣り合う複数の第1画素の間に設けられる第1トレンチ（トレンチ71）とを有する第1領域（有効画素領域101）と、半導体層において第1方向および第1方向に交差する第2方向に設けられる第2トレンチ（トレンチ73）を有し、第1領域の周囲に設けられる第2領域（ダミーパターン領域103）とを備える。第2トレンチのパターン密度は、第1トレンチのパターン密度よりも大きい。

[0104] 本実施の形態に係る光検出装置（撮像装置1）は、トレンチ71が設けられる有効画素領域101と、トレンチ73が設けられるダミーパターン領域103を有する。トレンチ73のパターン密度は、トレンチ71のパターン密度よりも大きい。これにより、トレンチの加工不良を抑制することができる。品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0105] 本実施の形態に係る光検出装置は、第1領域と第2領域との間に設けられる第3領域（遮光画素領域102）をさらに備える。第3領域は、半導体層に設けられる第2光電変換素子をそれぞれ含む複数の第2画素（遮光画素P2）と、半導体層において隣り合う複数の第2画素の間に設けられる第4トレンチ（トレンチ72）と、半導体層の上に設けられる遮光部材（遮光部材40）とを有する。第2トレンチのパターン密度は、第4トレンチのパターン密度よりも大きい。

[0106] 本実施の形態に係る光検出装置（撮像装置1）は、トレンチ72が設けられる遮光画素領域102を有する。トレンチ73のパターン密度は、トレンチ72のパターン密度よりも大きい。これにより、トレンチの加工不良を抑制することができる。品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0107] 次に、本開示の変形例について説明する。以下では、上記実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

[0108] <2. 変形例>

（2-1. 変形例1）

上述した実施の形態では、撮像装置 1 の構成例について説明したが、あくまでも一例であって、撮像装置 1 の構成は、上述した例に限られない。図 8 は、本開示の変形例 1 に係る撮像装置の画素部の構成例を説明するための図である。撮像装置 1 は、ダミーパターン領域 103 において、画素部 100 の中心からの距離（又は有効画素領域 101 からの距離）に応じて、トレンチ 73 のパターン密度が異なるように構成されてもよい。

[0109] トレンチ 73 のパターン密度は、例えば、ダミーパターン領域 103 において、有効画素領域 101（又は遮光画素領域 102）から離れるにつれて、大きくなっていてよい。図 8 に示す例のように、X 軸方向におけるトレンチ 73 の配置周期は、有効画素領域 101（又は遮光画素領域 102）から離れるにつれて短く（狭く）なっていてよい。

[0110] また、Y 軸方向におけるトレンチ 73 の配置周期が、有効画素領域 101 から離れるにつれて短くなっているもよい。本変形例の場合、ダミーパターン領域 103 におけるトレンチのパターン密度を徐々に変化させることができる。これにより、有効画素領域 101（又は遮光画素領域 102）とダミーパターン領域 103 とにおけるトレンチのパターン密度の差を低減することができ、トレンチの加工不良が生じることを抑制することが可能となる。

[0111] （2-2. 変形例 2）

図 9 は、変形例 2 に係る撮像装置の画素部の構成例を説明するための図である。撮像装置 1 は、図 9 に示す例のように、トレンチ 74 を有していてもよい。トレンチ 74 は、ダミーパターン領域 103 において、半導体層 10 に形成される。トレンチ 74 は、例えば、半導体層 10 において、トレンチ 73 と隣り合うように設けられる。図 9 に示す例のように、ダミーパターン領域 103 において、複数のトレンチ 74 が離散的に設けられてもよい。例えば、トレンチ 74 は、セル P 3 毎に配置されてもよい。

[0112] トレンチ 74 は、例えば、トレンチ 73 と同様に F T I 構造を有し、半導体層 10 を貫通するように設けられる。トレンチ 74 は、一例として、平面視において十字状の形状を有していてもよい。トレンチ 74 は、平面視にお

いて、ライン状（線状）の形状を有していてもよく、他の形状を有していてもよい。トレンチ 74 は、トレンチのパターン密度の補正（調整）に用いることができ、補正用パターンともいえる。

[0113] 本変形例に係る撮像装置 1 では、トレンチ 74 によって、ダミーパターン領域 103 におけるトレンチのパターン密度を細かく調整することが可能となる。これにより、トレンチの加工不良が生じることを効果的に抑制することができる。なお、トレンチ 74 の形状および配置位置は、図示した例に限られず、適宜変更可能である。

[0114] 図 10 及び図 11 は、変形例 2 に係る撮像装置の画素部の別の構成例を説明するための図である。撮像装置 1 は、ダミーパターン領域 103 において、画素部 100 の中心からの距離（又は有効画素領域 101 からの距離）に応じて、トレンチ 74 のパターン密度が異なるように構成されてもよい。また、異なる形状を有する複数のトレンチ 74（図 10 では、トレンチ 74 a、トレンチ 74 b）を設けるようにしてもよい。

[0115] 撮像装置 1 のダミーパターン領域 103 では、有効画素領域 101 から離れるにつれてトレンチのパターン密度が大きくなるように、トレンチ 73 とトレンチ 74 が設けられてもよい。例えば、図 10 に示す例のように、遮光画素領域 102 に比較的近い位置におけるセル P3 に線状の形状を有するトレンチ 74 a を配置し、遮光画素領域 102 から比較的遠い位置におけるセル P3 に十字状の形状を有するトレンチ 74 b を配置してもよい。

[0116] 撮像装置 1 では、トレンチ 74 の配置数が、画素部 100 の中心からの距離（又は有効画素領域 101 からの距離）に応じて異なってもよい。例えば、撮像装置 1 は、図 11 に示す例のように、トレンチ 74 が設けられるセル P3 の数が、有効画素領域 101（又は遮光画素領域 102）から離れるにつれて多くなるように構成されてもよい。

[0117] 図 10 又は図 11 に示す例の場合も、有効画素領域 101（又は遮光画素領域 102）とダミーパターン領域 103 との間におけるトレンチパターン密度の差（即ちパターンパターン密度の段差）を低減することができる。こ

のため、トレンチの加工不良が生じることを抑制することが可能となる。

[0118] (2-3. 変形例3)

図12は、変形例3に係る撮像装置の画素部の構成例を説明するための図である。図12に示す例のように、遮光画素領域102の大きさは、有効画素領域101の上下左右において、異なってもよい。撮像装置1では、有効画素領域101の上側、下側、左側、及び右側において、それぞれ、異なる数の遮光画素P2を設けるようにしてもよい。

[0119] また、ダミーパターン領域103の大きさは、有効画素領域101の上下左右において、異なってもよい。撮像装置1では、遮光画素領域102の上側、下側、左側、及び右側において、それぞれ、異なる数のセルP3を配置するようにしてもよい。

[0120] (2-4. 変形例4)

図13は、変形例4に係る撮像装置の画素部の構成例を説明するための図である。図13に模式的に示す例のように、トレンチ73の幅は、トレンチ71（又はトレンチ72）の幅よりも大きく（太く）してもよい。例えば、X軸方向におけるトレンチ73の幅は、X軸方向におけるトレンチ71（又はトレンチ72）の幅よりも大きくてもよい。

[0121] また、Y軸方向におけるトレンチ73の幅が、Y軸方向におけるトレンチ71（又はトレンチ72）の幅よりも大きくてもよい。本変形例の場合も、上記した実施の形態と同様の効果を得ることができる。

[0122] (2-5. 変形例5)

図14は、変形例5に係る撮像装置の構成例を説明するための図である。撮像装置1のトレンチ（トレンチ71～トレンチ73等）は、半導体層10の面11S1と面11S2との間の深さまで形成されてもよい。トレンチ71～トレンチ73は、例えば、図14に示すように、半導体層10の面11S1側から、半導体層10の面11S1と面11S2との間の深さまで設けられてもよい。本変形例の場合も、トレンチの加工深さのバラツキ（例えばチップ周縁部における加工深さ不足）を抑制することが可能となる。

[0123] ＜３．適用例＞

上記撮像装置１等は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。図１５は、電子機器１０００の概略構成を表したものである。

[0124] 電子機器１０００は、例えば、レンズ群１００１と、撮像装置１と、DSP (Digital Signal Processor) 回路１００２と、フレームメモリ１００３と、表示部１００４と、記録部１００５と、操作部１００６と、電源部１００７とを有し、バスライン１００８を介して相互に接続されている。

[0125] レンズ群１００１は、被写体からの入射光（像光）を取り込んで撮像装置１の撮像面上に結像するものである。撮像装置１は、レンズ群１００１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路１００２に供給する。

[0126] DSP回路１００２は、撮像装置１から供給される信号を処理する信号処理回路である。DSP回路１００２は、撮像装置１からの信号を処理して得られる画像データを出力する。フレームメモリ１００３は、DSP回路１００２により処理された画像データをフレーム単位で一時的に保持するものである。

[0127] 表示部１００４は、例えば、液晶パネルや有機EL (Electro Luminescence) パネル等のパネル型表示装置からなり、撮像装置１で撮像された動画または静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

[0128] 操作部１００６は、ユーザによる操作に従い、電子機器１０００が所有する各種の機能についての操作信号を出力する。電源部１００７は、DSP回路１００２、フレームメモリ１００３、表示部１００４、記録部１００５および操作部１００６の動作電源となる各種の電源を、これら供給対象に対して適宜供給するものである。

[0129] ＜４．応用例＞

(移動体への応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0130] 図16は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0131] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図16に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interface）12053が図示されている。

[0132] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0133] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信

される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0134] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0135] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0136] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0137] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両

のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0138] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0139] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0140] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図16の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0141] 図17は、撮像部12031の設置位置の例を示す図である。

[0142] 図17では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0143] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上

部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0144] なお、図 17 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0145] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0146] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者

の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0147] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0148] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0149] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像

部 1 2 0 3 1 に適用され得る。具体的には、例えば、撮像装置 1 等は、撮像部 1 2 0 3 1 に適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、高精細な撮影画像を得ることが可能となる。移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことが可能となる。

[0150] (内視鏡手術システムへの応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0151] 図 1 8 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0152] 図 1 8 では、術者（医師） 1 1 1 3 1 が、内視鏡手術システム 1 1 0 0 0 を用いて、患者ベッド 1 1 1 3 3 上の患者 1 1 1 3 2 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 1 1 0 0 0 は、内視鏡 1 1 1 0 0 と、気腹チューブ 1 1 1 1 1 やエネルギー処置具 1 1 1 1 2 等の、その他の術具 1 1 1 1 0 と、内視鏡 1 1 1 0 0 を支持する支持アーム装置 1 1 1 2 0 と、内視鏡下手術のための各種の装置が搭載されたカート 1 1 2 0 0 と、から構成される。

[0153] 内視鏡 1 1 1 0 0 は、先端から所定の長さの領域が患者 1 1 1 3 2 の体腔内に挿入される鏡筒 1 1 1 0 1 と、鏡筒 1 1 1 0 1 の基端に接続されるカメラヘッド 1 1 1 0 2 と、から構成される。図示する例では、硬性の鏡筒 1 1 1 0 1 を有するいわゆる硬性鏡として構成される内視鏡 1 1 1 0 0 を図示しているが、内視鏡 1 1 1 0 0 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0154] 鏡筒 1 1 1 0 1 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 1 1 1 0 0 には光源装置 1 1 2 0 3 が接続されており、当該光源装置 1 1 2 0 3 によって生成された光が、鏡筒 1 1 1 0 1 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向かって照射される。なお、内視

鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0155] カメラヘッド１１１０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU： Camera Control Unit）１１２０１に送信される。

[0156] CCU１１２０１は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡１１１００及び表示装置１１２０２の動作を統括的に制御する。さらに、CCU１１２０１は、カメラヘッド１１１０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0157] 表示装置１１２０２は、CCU１１２０１からの制御により、当該CCU１１２０１によって画像処理が施された画像信号に基づく画像を表示する。

[0158] 光源装置１１２０３は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡１１１００に供給する。

[0159] 入力装置１１２０４は、内視鏡手術システム１１０００に対する入力インタフェースである。ユーザは、入力装置１１２０４を介して、内視鏡手術システム１１０００に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡１１１００による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0160] 処置具制御装置１１２０５は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具１１１１２の駆動を制御する。気腹装置１１２０６は、内視鏡１１１００による視野の確保及び術者の作業空間の確保の目的で、患

者 1 1 1 3 2 の体腔を膨らめるために、気腹チューブ 1 1 1 1 1 を介して当該体腔内にガスを送り込む。レコーダ 1 1 2 0 7 は、手術に関する各種の情報を記録可能な装置である。プリンタ 1 1 2 0 8 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0161] なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えば L E D、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。R G Bレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、R G Bレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、R G Bそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0162] また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0163] また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（N a r r o w B a n d I m a g i n g）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍

光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0164] 図 19 は、図 18 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0165] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0166] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0167] 撮像部 11402 は、撮像素子で構成される。撮像部 11402 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 11402 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 11402 は、3D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3D 表示が行われることにより、術者 11131 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 11402 が多板式で構成される場合には、各撮像素子に対応

して、レンズユニット１１４０１も複数系統設けられ得る。

[0168] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0169] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0170] 通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をRAWデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

[0171] また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0172] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてＣＣＵ１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Auto Exposure）機能、ＡＦ（Auto Focus）機能及びＡＷＢ（Auto White Balance）機能が内視鏡１１１００に搭載されていることになる。

[0173] カメラヘッド制御部１１４０５は、通信部１１４０４を介して受信したＣＣＵ１１２０１からの制御信号に基づいて、カメラヘッド１１１０２の駆動を制御する。

- [0174] 通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。
- [0175] また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0176] 画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。
- [0177] 制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。
- [0178] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。
- [0179] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。
- [0180] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が

行われていたが、カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 との間の通信は無線で行われてもよい。

[0181] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡 1 1 1 0 0 のカメラヘッド 1 1 1 0 2 に設けられた撮像部 1 1 4 0 2 に好適に適用され得る。撮像部 1 1 4 0 2 に本開示に係る技術を適用することにより、高精細な内視鏡 1 1 1 0 0 を提供することが可能となる。

[0182] 以上、実施の形態、変形例および適用例ならびに応用例を挙げて本開示を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々の変形が可能である。例えば、上述した変形例は、上記実施の形態の変形例として説明したが、各変形例の構成を適宜組み合わせることができる。例えば本開示は、裏面照射型イメージセンサに限定されるものではなく、表面照射型イメージセンサにも適用可能である。

[0183] 上記実施の形態等では、撮像装置を例示して説明するようにしたが、本開示の光検出装置は、例えば、入射する光を受光し、光を電荷に変換するものであればよい。出力される信号は、画像情報の信号でもよいし、測距情報の信号でもよい。光検出装置（撮像装置）は、イメージセンサ、測距センサ等に適用され得る。

[0184] 本開示の一実施形態の光検出装置は、半導体層に設けられる第 1 光電変換素子をそれぞれ含む複数の第 1 画素と、半導体層において隣り合う複数の第 1 画素の間に設けられる第 1 トレンチとを有する第 1 領域と、半導体層において第 1 方向および第 1 方向に交差する第 2 方向に設けられる第 2 トレンチを有し、第 1 領域の周囲に設けられる第 2 領域とを備える。第 2 トレンチのパターン密度は、第 1 トレンチのパターン密度よりも大きい。このため、トレンチの加工不良を抑制することができる。品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0185] 本開示の一実施形態の光検出装置は、半導体層に設けられる第 1 光電変換素子をそれぞれ含む複数の第 1 画素と、半導体層において隣り合う複数の第

1画素の間に設けられる第1トレンチとを有する第1領域と、半導体層において第1方向および第1方向に交差する第2方向に設けられる第2トレンチを有し、第1領域の周囲に設けられる第2領域とを備える。第2トレンチは、平面視において、第1トレンチよりも高い密度で設けられている。このため、トレンチの加工不良を抑制することができる。品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0186] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本開示は以下のような構成をとることも可能である。

(1)

半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、前記半導体層において隣り合う複数の前記第1画素の間に設けられる第1トレンチとを有する第1領域と、

前記半導体層において第1方向および前記第1方向に交差する第2方向に設けられる第2トレンチを有し、前記第1領域の周囲に設けられる第2領域と

を備え、

前記第2トレンチのパターン密度は、前記第1トレンチのパターン密度よりも大きい

光検出装置。

(2)

前記第2領域において前記半導体層の上に設けられる遮光部材をさらに備える

前記(1)に記載の光検出装置。

(3)

前記第1トレンチと前記第2トレンチとは、平面視において連続するように設けられている

前記(1)または(2)に記載の光検出装置。

(4)

前記第1方向における前記第2トレンチの配置周期は、前記第1方向における前記第1トレンチの配置周期よりも短い

前記(1)から(3)のいずれか1つに記載の光検出装置。

(5)

前記第2トレンチのパターン密度は、前記第2領域において、前記第1領域から離れるにつれて大きくなっている

前記(1)から(4)のいずれか1つに記載の光検出装置。

(6)

前記第1方向における前記第2トレンチの配置周期は、前記第1領域から離れるにつれて短くなっている

前記(1)から(5)のいずれか1つに記載の光検出装置。

(7)

前記第2領域は、前記半導体層において前記第2トレンチと隣り合うように設けられる第3トレンチを有する

前記(1)から(6)のいずれか1つに記載の光検出装置。

(8)

平面視において、前記第2領域に複数の前記第3トレンチが離散的に設けられている

前記(7)に記載の光検出装置。

(9)

前記第3トレンチのパターン密度は、前記第2領域において、前記第1領域から離れるにつれて大きくなっている

前記(7)または(8)に記載の光検出装置。

(10)

前記第2領域は、前記第2トレンチに囲まれ、前記第3トレンチが設けられるセルを有し、

前記第3トレンチが設けられる前記セルの数は、前記第1領域から離れる

につれて多くなっている

前記（７）から（８）のいずれか１つに記載の光検出装置。

（１１）

前記第１方向における前記第２トレンチの幅は、前記第１方向における前記第１トレンチの幅よりも大きい

前記（１）から（１０）のいずれか１つに記載の光検出装置。

（１２）

前記第２領域は、前記第１領域を囲むように設けられている

前記（１）から（１１）のいずれか１つに記載の光検出装置。

（１３）

前記第１画素は、前記第１光電変換素子と第１トランジスタを有し、

前記第２領域は、前記第２トレンチに囲まれ、第２トランジスタが設けられるセルを有し、

前記第１トランジスタのゲートは、第１信号が入力される配線に接続され、

前記第２トランジスタのゲートは、電源電圧が与えられる配線に接続されている、または基準電圧が与えられる配線に接続されている

前記（１）から（１２）のいずれか１つに記載の光検出装置。

（１４）

前記第１信号は、前記第１トランジスタを制御する信号であり、

前記第１トランジスタは、前記第１光電変換素子で光電変換された電荷を転送可能なトランジスタである

前記（１３）に記載の光検出装置。

（１５）

前記第１トレンチは、前記半導体層を貫通するように設けられている

前記（１）から（１４）のいずれか１つに記載の光検出装置。

（１６）

前記第１領域と前記第２領域との間に設けられる第３領域をさらに備え、

前記第3領域は、

前記半導体層に設けられる第2光電変換素子をそれぞれ含む複数の第2画素と、

前記半導体層において隣り合う複数の前記第2画素の間に設けられる第4トレンチと、

前記半導体層の上に設けられる遮光部材と

を有する

前記(1)から(15)のいずれか1つに記載の光検出装置。

(17)

前記第2トレンチのパターン密度は、前記第4トレンチのパターン密度よりも大きい

前記(16)に記載の光検出装置。

(18)

前記第1トレンチと前記第4トレンチとは、平面視において連続するように設けられている

前記(16)または(17)に記載の光検出装置。

(19)

前記第1方向における前記第2トレンチの配置周期は、前記第1方向における前記第4トレンチの配置周期よりも短い

前記(16)から(19)のいずれか1つに記載の光検出装置。

(20)

光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、

前記光検出装置は、

半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、前記半導体層において隣り合う複数の前記第1画素の間に設けられる第1トレンチとを有する第1領域と、

前記半導体層において第1方向および前記第1方向に交差する第2方向に設けられる第2トレンチを有し、前記第1領域の周囲に設けられる第2領域と

を有し、

前記第2トレンチのパターン密度は、前記第1トレンチのパターン密度よりも大きい

電子機器。

(21)

半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、前記半導体層において隣り合う複数の前記第1画素の間に設けられる第1トレンチとを有する第1領域と、

前記半導体層において第1方向および前記第1方向に交差する第2方向に設けられる第2トレンチを有し、前記第1領域の周囲に設けられる第2領域と

を備え、

平面視において、前記第2トレンチのパターン密度は、前記第1トレンチのパターン密度よりも大きい

光検出装置。

(22)

半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、前記半導体層において隣り合う複数の前記第1画素の間に設けられる第1トレンチとを有する第1領域と、

前記半導体層において第1方向および前記第1方向に交差する第2方向に設けられる第2トレンチを有し、前記第1領域の周囲に設けられる第2領域と

を備え、

前記第2トレンチは、平面視において、前記第1トレンチよりも高い密度で設けられている

光検出装置。

[0187] 本出願は、日本国特許庁において2023年9月19日に出願された日本特許出願番号2023-151094号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0188] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、前記半導体層において隣り合う複数の前記第1画素の間に設けられる第1トレンチとを有する第1領域と、
- 前記半導体層において第1方向および前記第1方向に交差する第2方向に設けられる第2トレンチを有し、前記第1領域の周囲に設けられる第2領域と
- を備え、
- 前記第2トレンチのパターン密度は、前記第1トレンチのパターン密度よりも大きい
- 光検出装置。
- [請求項2] 前記第2領域において前記半導体層の上に設けられる遮光部材をさらに備える
- 請求項1に記載の光検出装置。
- [請求項3] 前記第1トレンチと前記第2トレンチとは、平面視において連続するように設けられている
- 請求項1に記載の光検出装置。
- [請求項4] 前記第1方向における前記第2トレンチの配置周期は、前記第1方向における前記第1トレンチの配置周期よりも短い
- 請求項1に記載の光検出装置。
- [請求項5] 前記第2トレンチのパターン密度は、前記第2領域において、前記第1領域から離れるにつれて大きくなっている
- 請求項1に記載の光検出装置。
- [請求項6] 前記第1方向における前記第2トレンチの配置周期は、前記第1領域から離れるにつれて短くなっている
- 請求項1に記載の光検出装置。
- [請求項7] 前記第2領域は、前記半導体層において前記第2トレンチと隣り合うように設けられる第3トレンチを有する

請求項 1 に記載の光検出装置。

[請求項8] 平面視において、前記第 2 領域に複数の前記第 3 トレンチが離散的に設けられている

請求項 7 に記載の光検出装置。

[請求項9] 前記第 3 トレンチのパターン密度は、前記第 2 領域において、前記第 1 領域から離れるにつれて大きくなっている

請求項 7 に記載の光検出装置。

[請求項10] 前記第 2 領域は、前記第 2 トレンチに囲まれ、前記第 3 トレンチが設けられるセルを有し、

前記第 3 トレンチが設けられる前記セルの数は、前記第 1 領域から離れるにつれて多くなっている

請求項 7 に記載の光検出装置。

[請求項11] 前記第 1 方向における前記第 2 トレンチの幅は、前記第 1 方向における前記第 1 トレンチの幅よりも大きい

請求項 1 に記載の光検出装置。

[請求項12] 前記第 2 領域は、前記第 1 領域を囲むように設けられている

請求項 1 に記載の光検出装置。

[請求項13] 前記第 1 画素は、前記第 1 光電変換素子と第 1 トランジスタを有し、

前記第 2 領域は、前記第 2 トレンチに囲まれ、第 2 トランジスタが設けられるセルを有し、

前記第 1 トランジスタのゲートは、第 1 信号が入力される配線に接続され、

前記第 2 トランジスタのゲートは、電源電圧が与えられる配線に接続されている、または基準電圧が与えられる配線に接続されている

請求項 1 に記載の光検出装置。

[請求項14] 前記第 1 信号は、前記第 1 トランジスタを制御する信号であり、前記第 1 トランジスタは、前記第 1 光電変換素子で光電変換された

電荷を転送可能なトランジスタである

請求項 13 に記載の光検出装置。

[請求項15] 前記第 1 トレンチは、前記半導体層を貫通するように設けられている

請求項 1 に記載の光検出装置。

[請求項16] 前記第 1 領域と前記第 2 領域との間に設けられる第 3 領域をさらに備え、

前記第 3 領域は、

前記半導体層に設けられる第 2 光電変換素子をそれぞれ含む複数の第 2 画素と、

前記半導体層において隣り合う複数の前記第 2 画素の間に設けられる第 4 トレンチと、

前記半導体層の上に設けられる遮光部材と

を有する

請求項 1 に記載の光検出装置。

[請求項17] 前記第 2 トレンチのパターン密度は、前記第 4 トレンチのパターン密度よりも大きい

請求項 16 に記載の光検出装置。

[請求項18] 前記第 1 トレンチと前記第 4 トレンチとは、平面視において連続するように設けられている

請求項 16 に記載の光検出装置。

[請求項19] 前記第 1 方向における前記第 2 トレンチの配置周期は、前記第 1 方向における前記第 4 トレンチの配置周期よりも短い

請求項 16 に記載の光検出装置。

[請求項20] 光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、

前記光検出装置は、

半導体層に設けられる第1光電変換素子をそれぞれ含む複数の第1画素と、前記半導体層において隣り合う複数の前記第1画素の間に設けられる第1トレンチとを有する第1領域と、

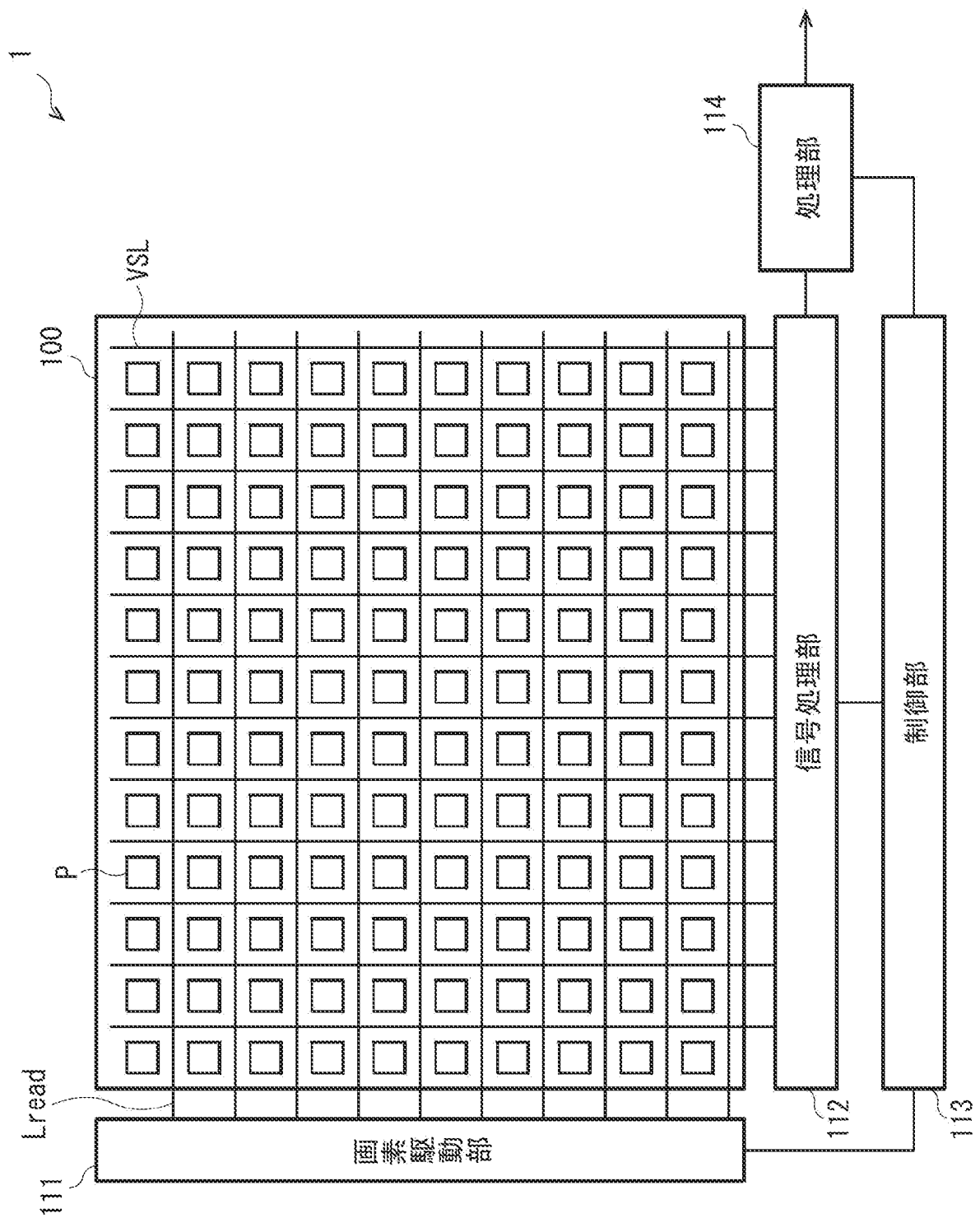
前記半導体層において第1方向および前記第1方向に交差する第2方向に設けられる第2トレンチを有し、前記第1領域の周囲に設けられる第2領域と

を有し、

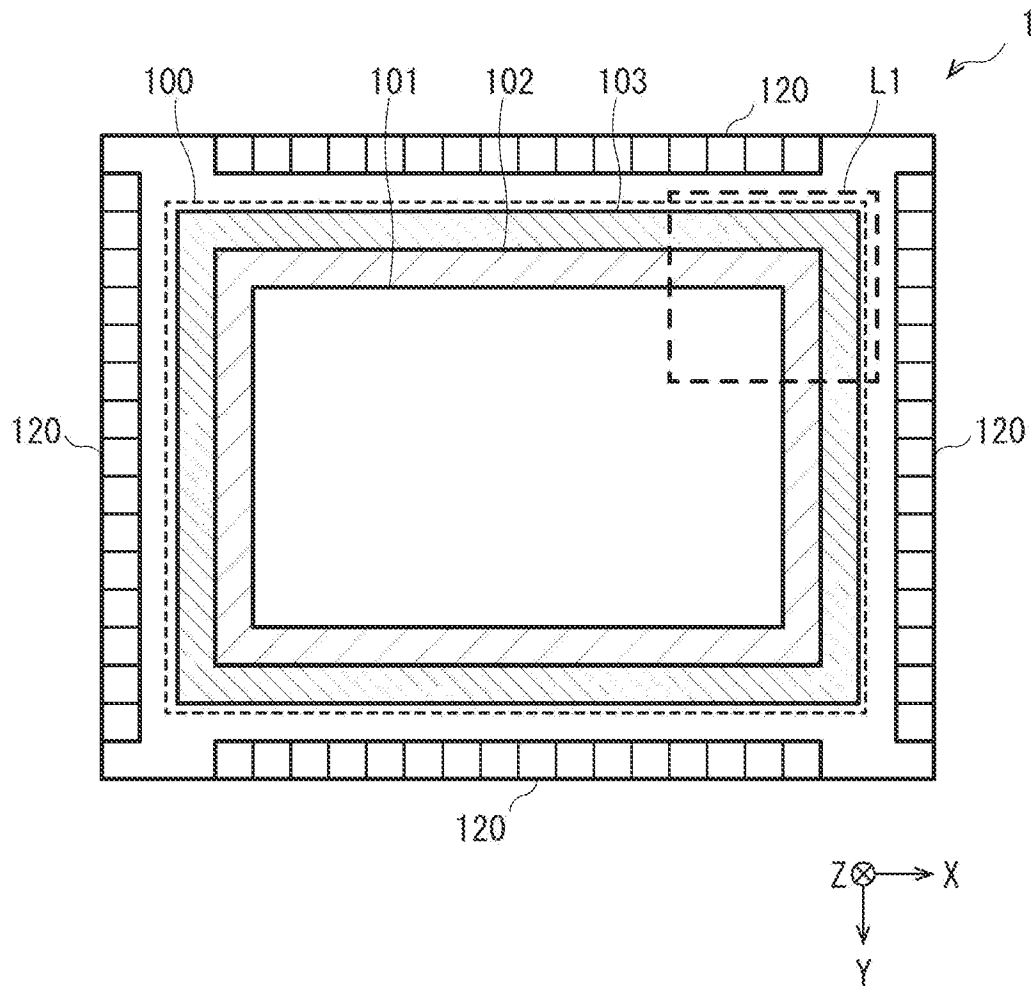
前記第2トレンチのパターン密度は、前記第1トレンチのパターン密度よりも大きい

電子機器。

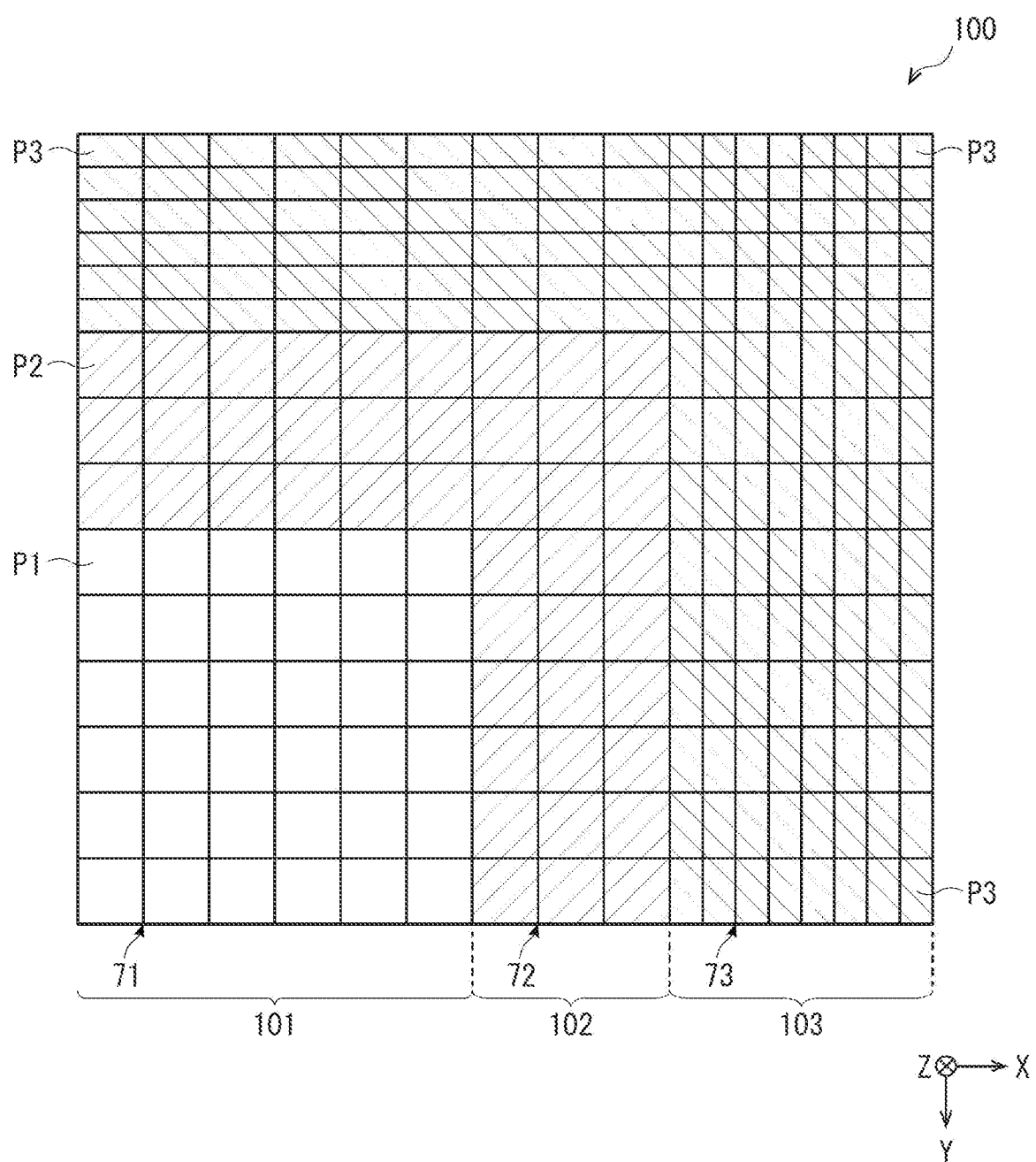
[図1]



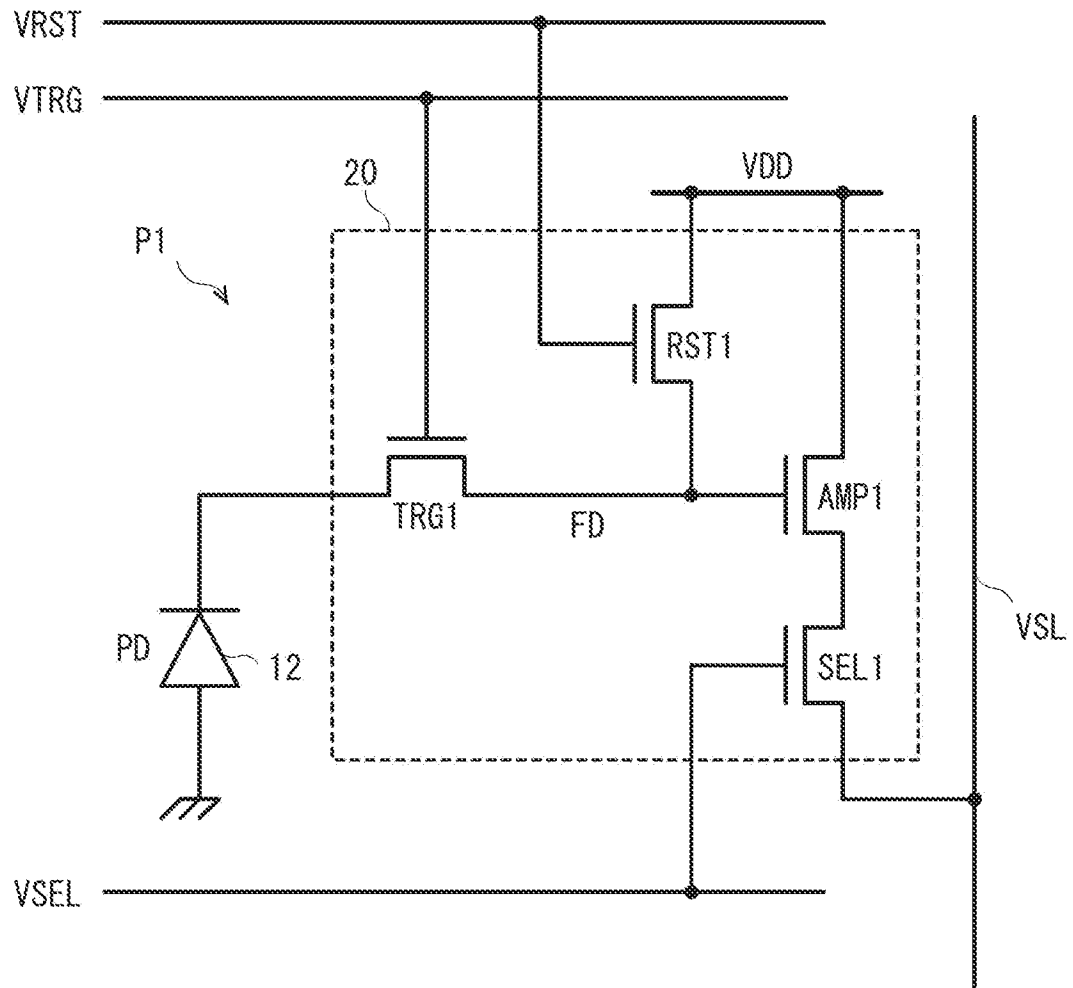
[図2]



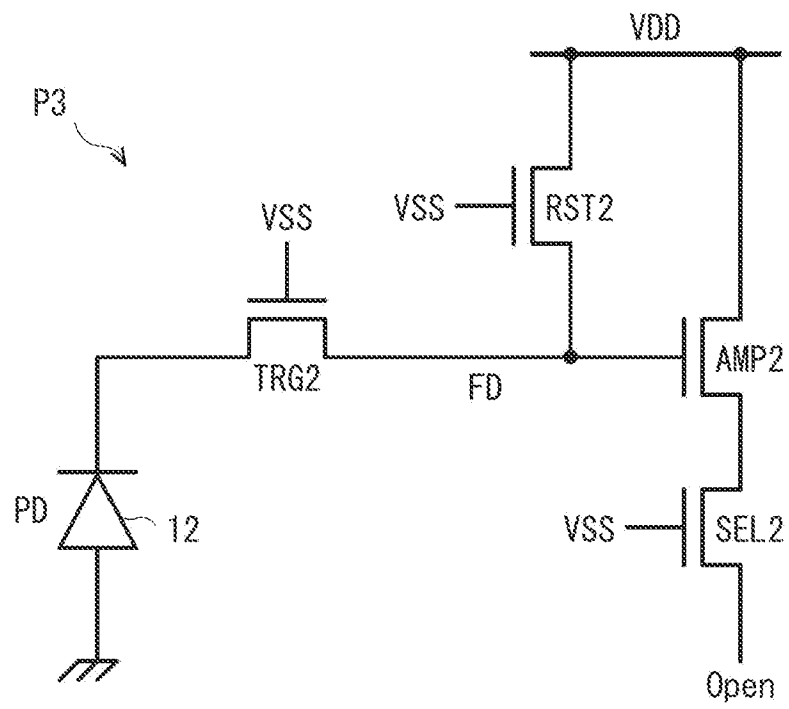
[図3]



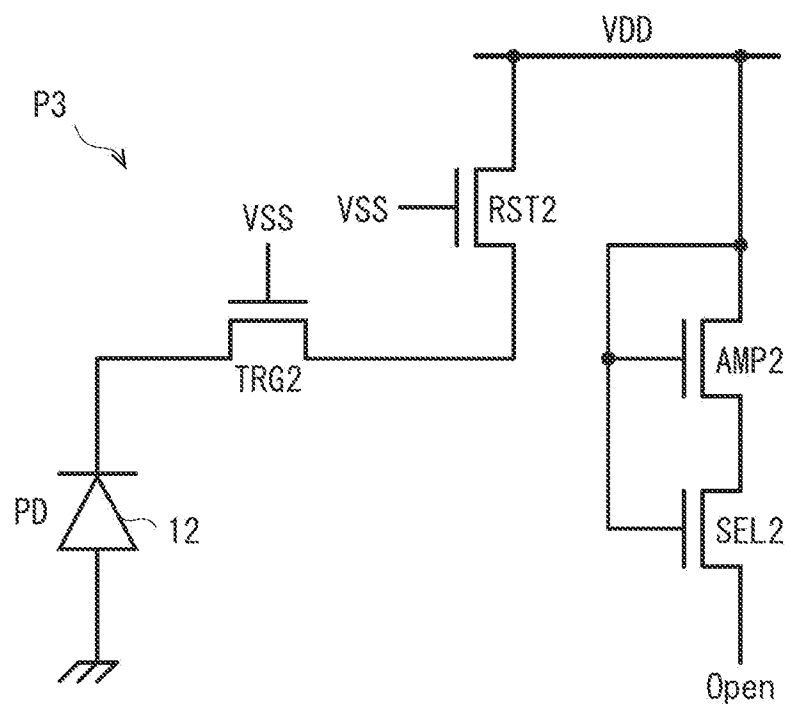
[図4]



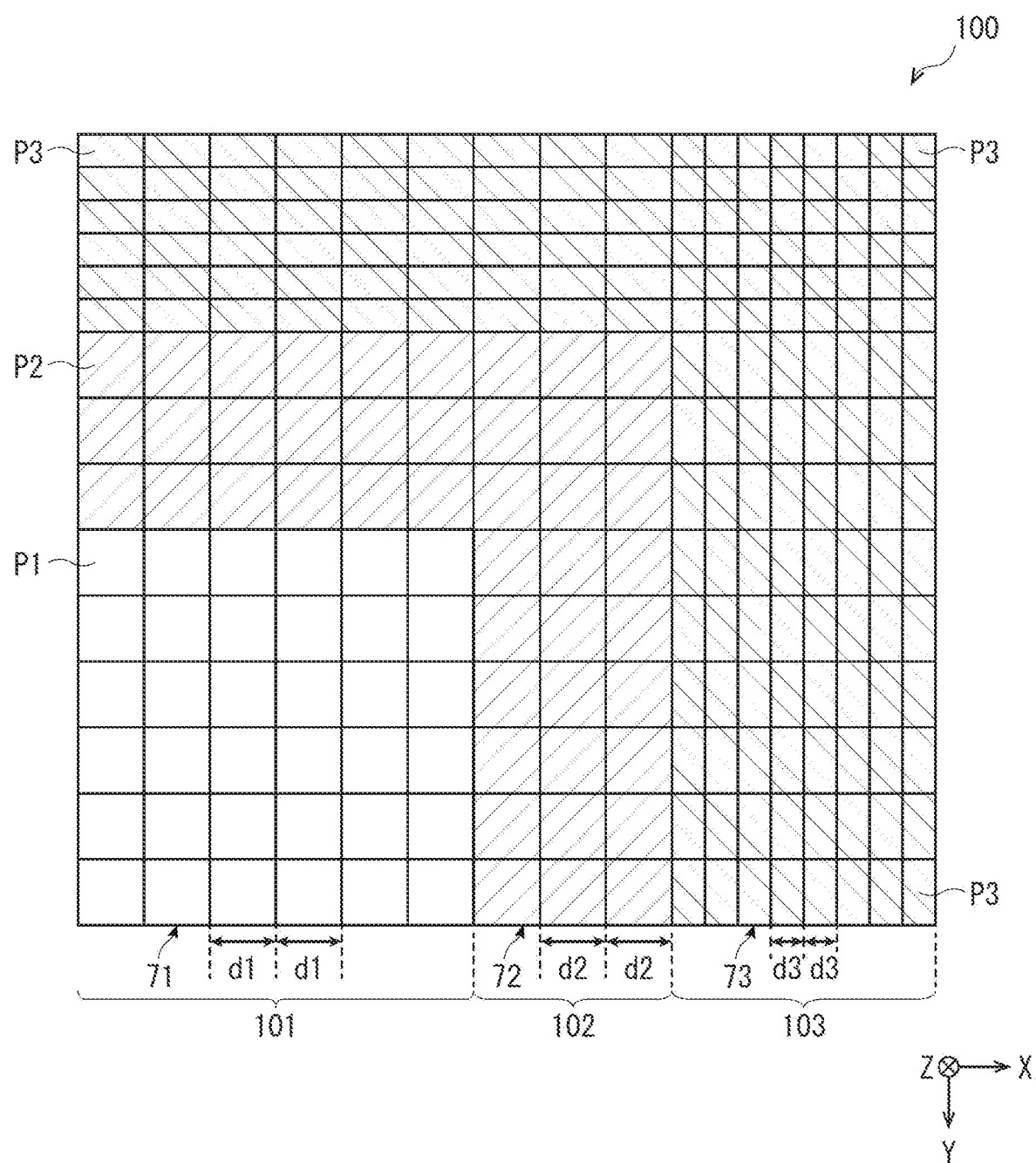
[図5A]



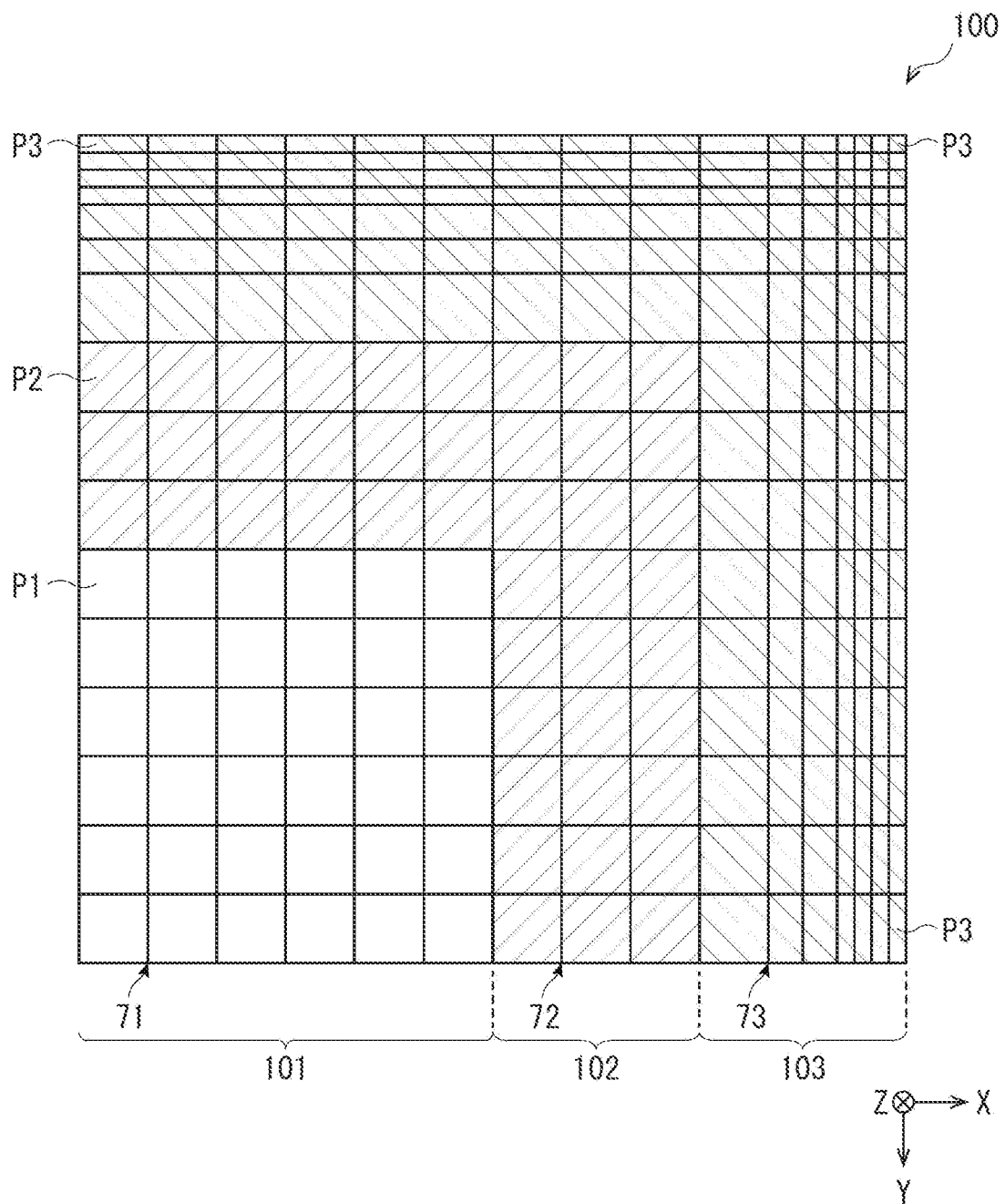
[図5B]



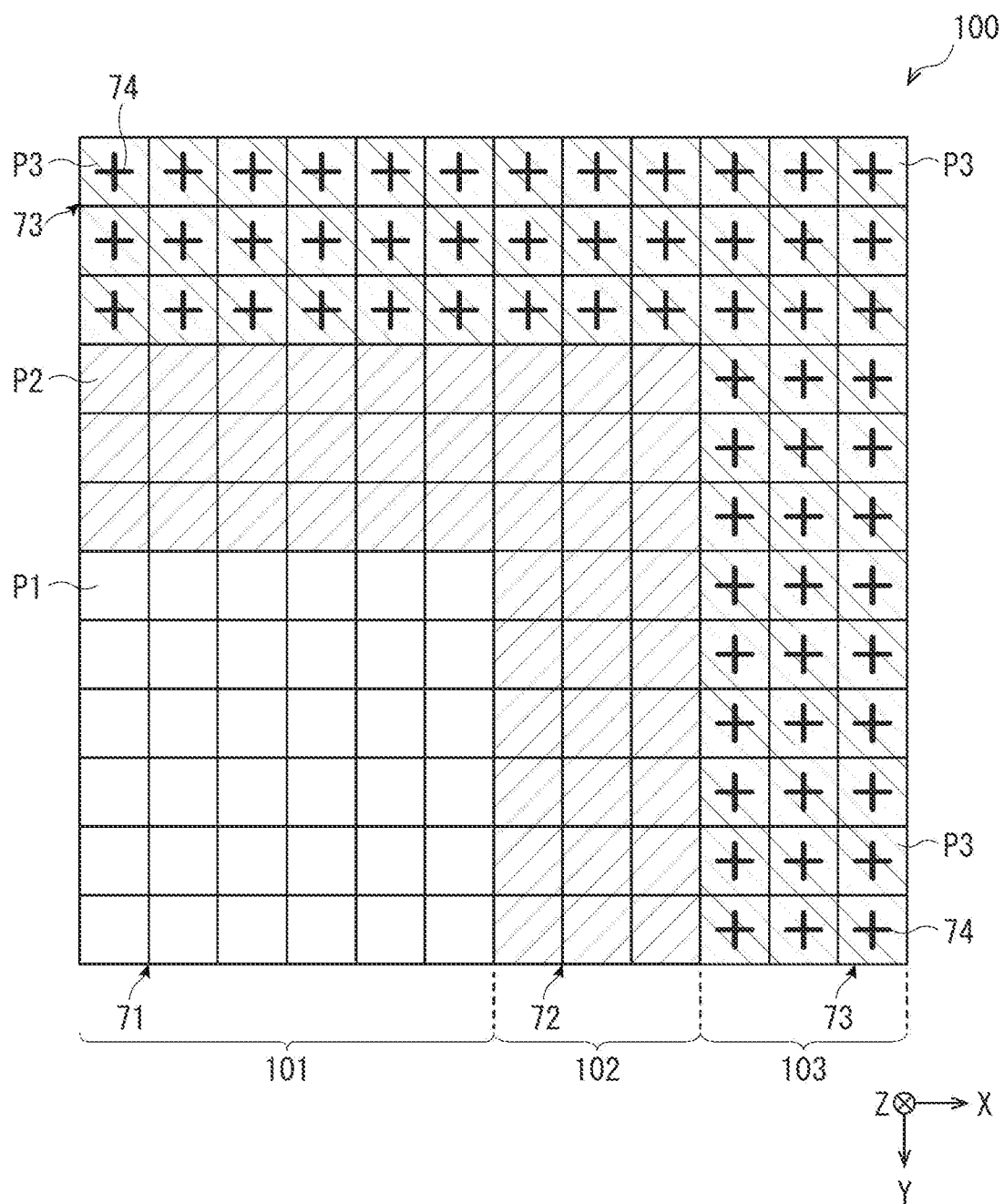
[図7]



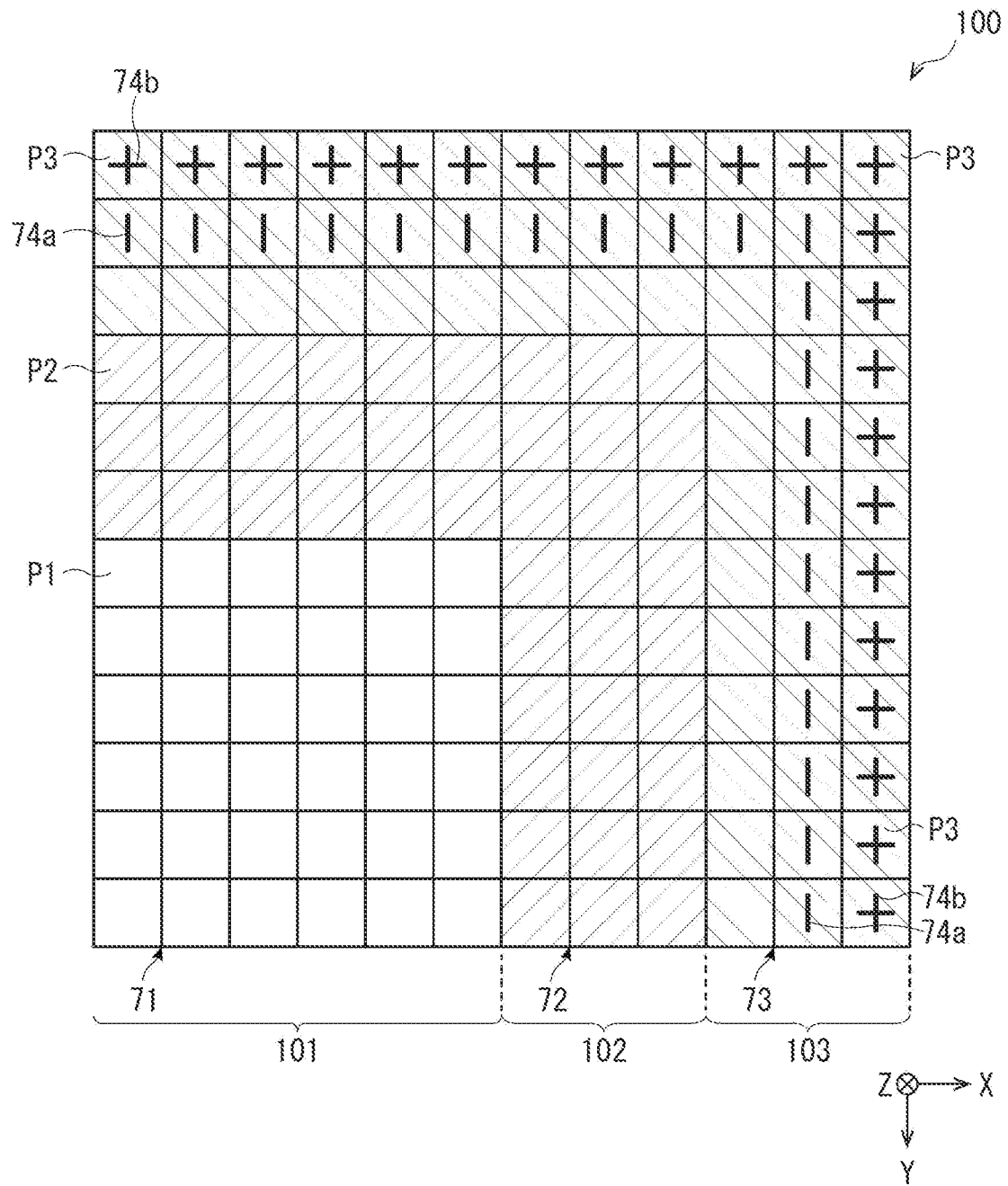
[図8]



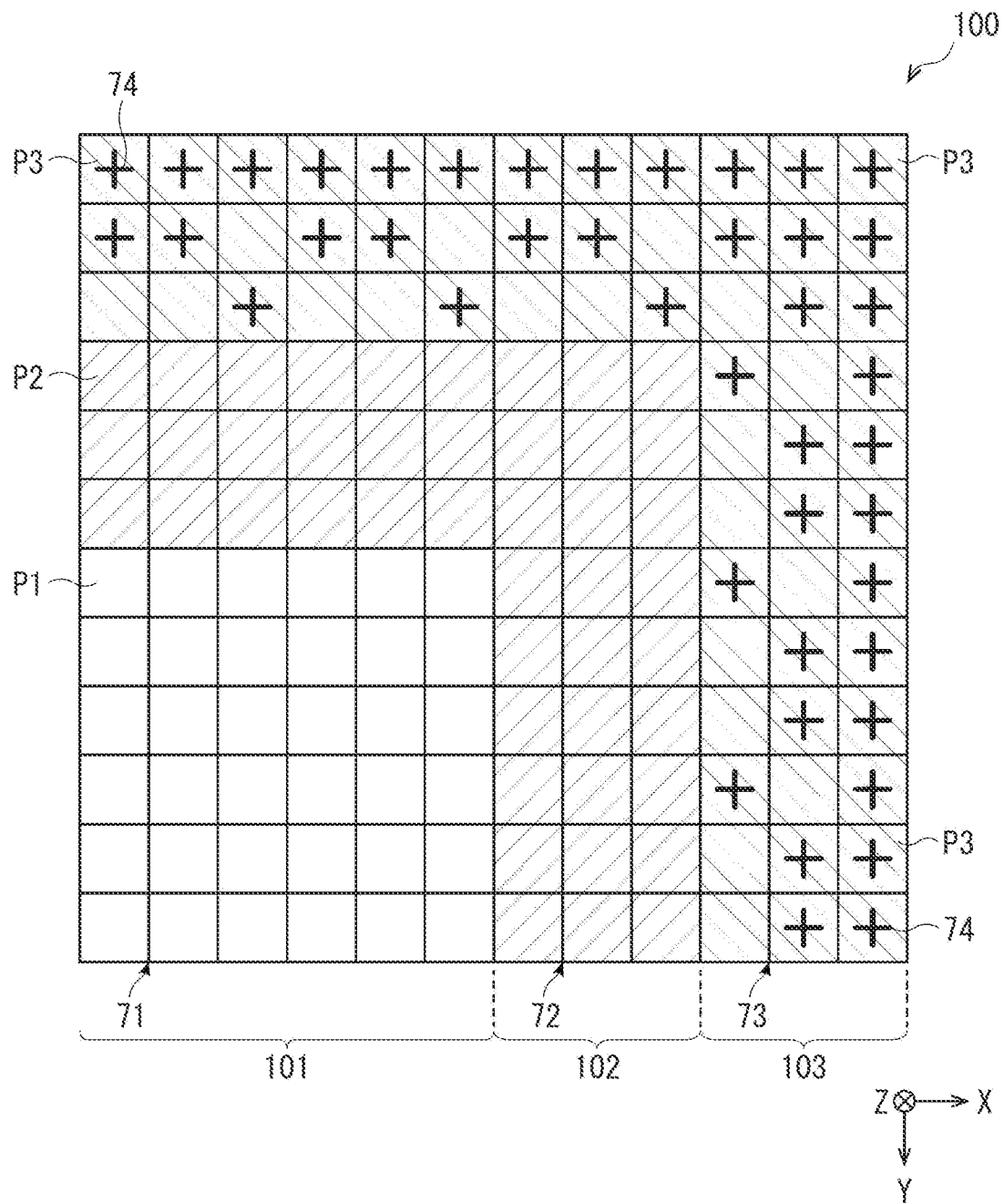
[図9]



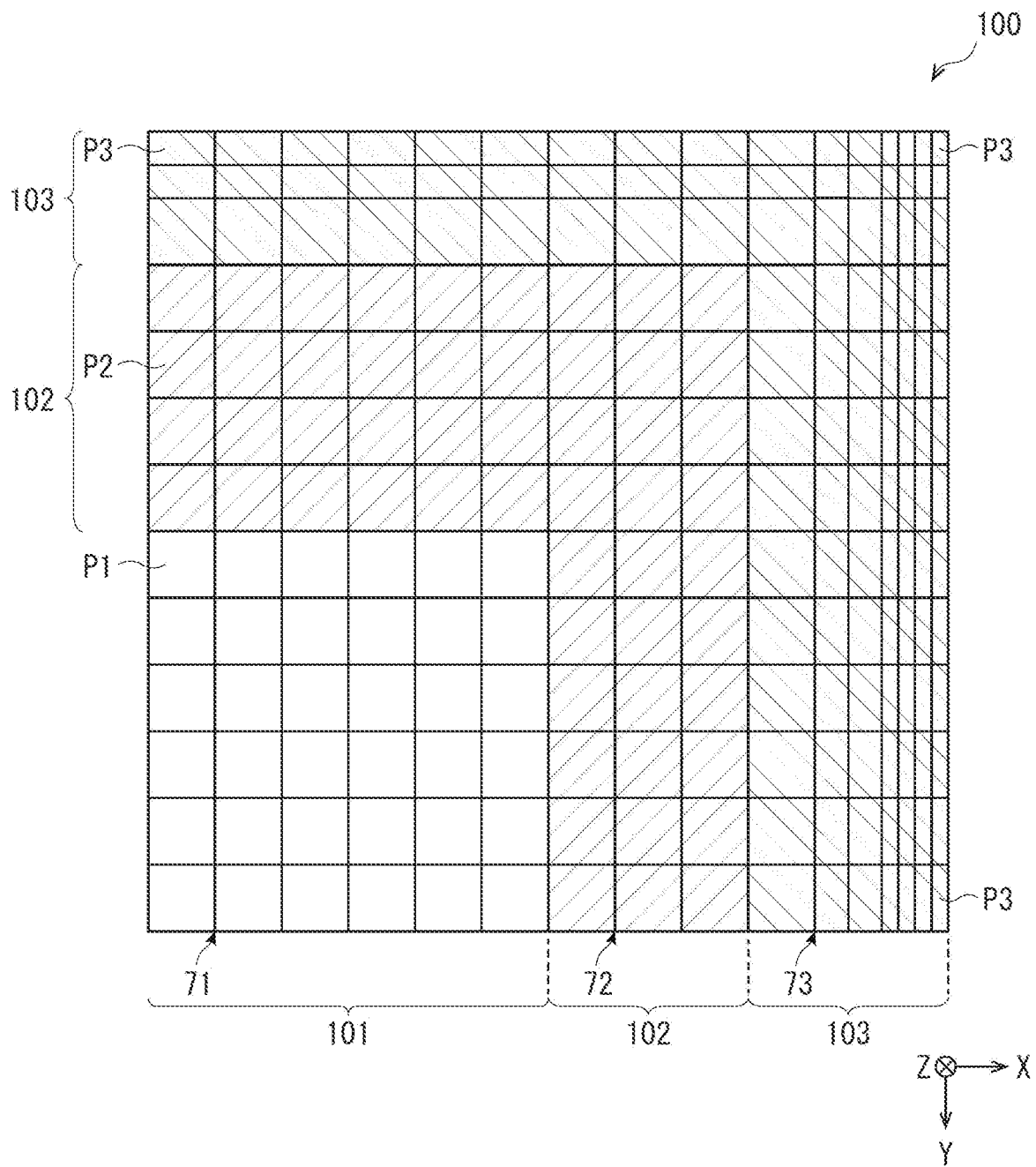
[図10]



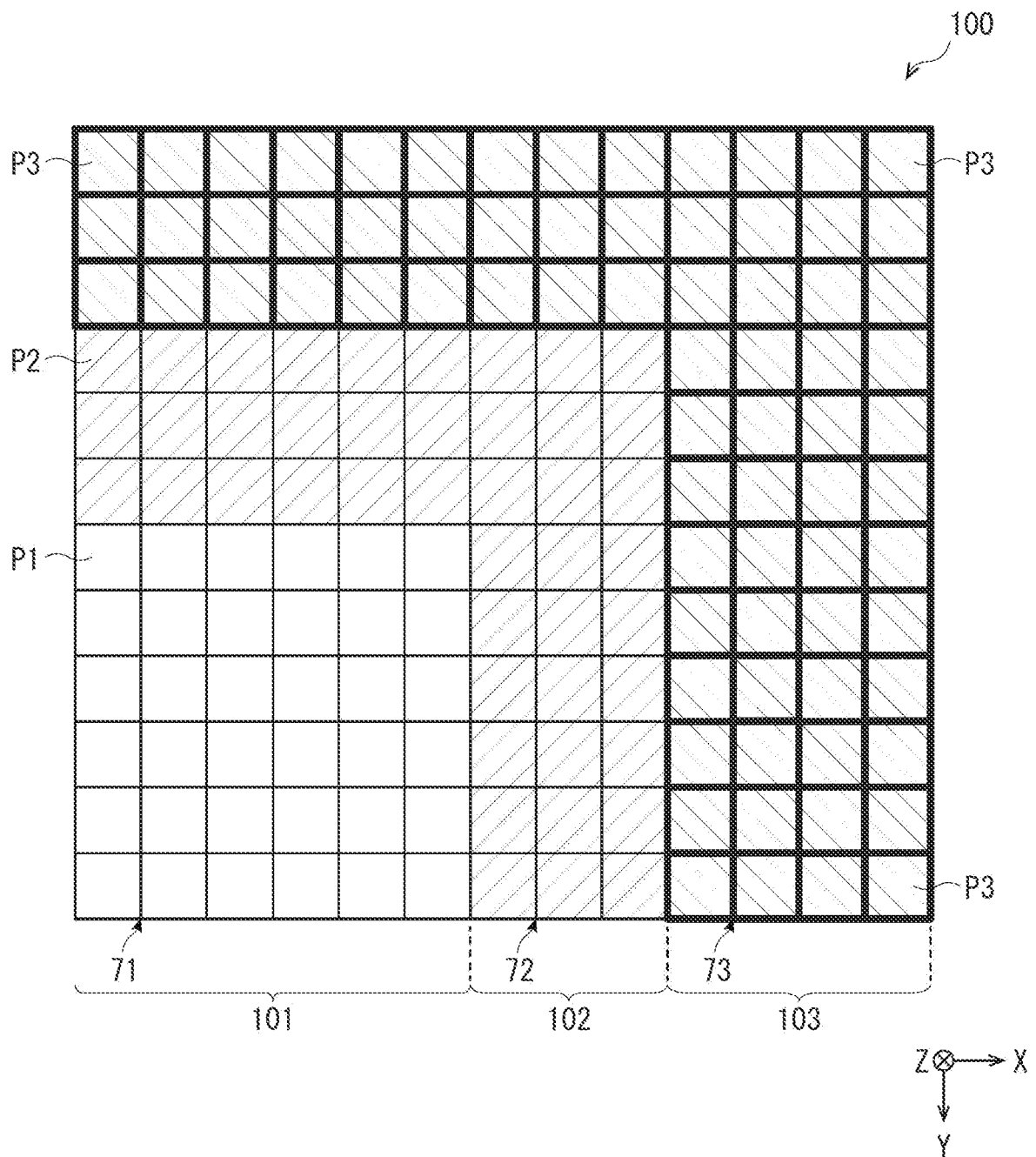
[図11]



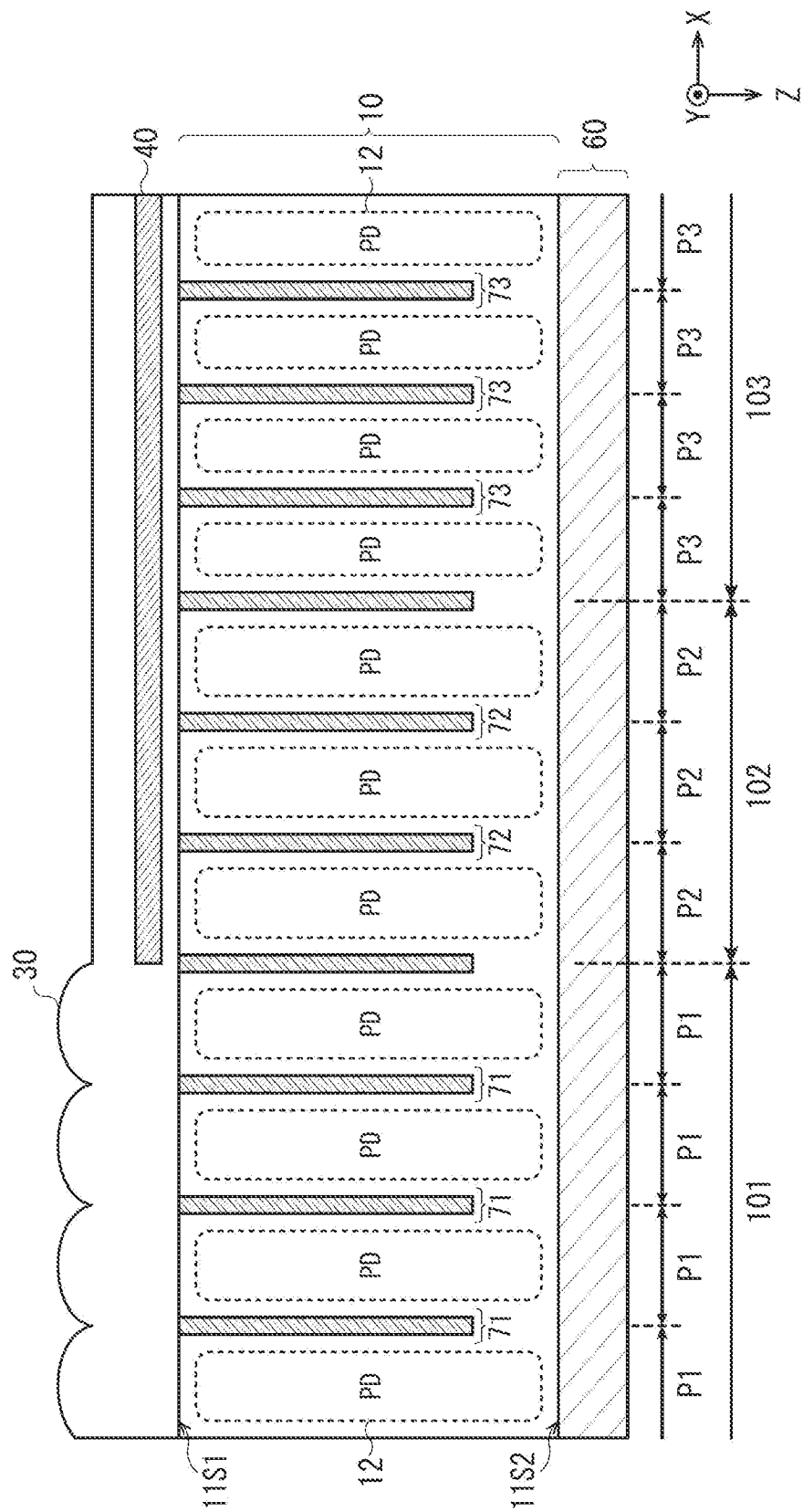
[図12]



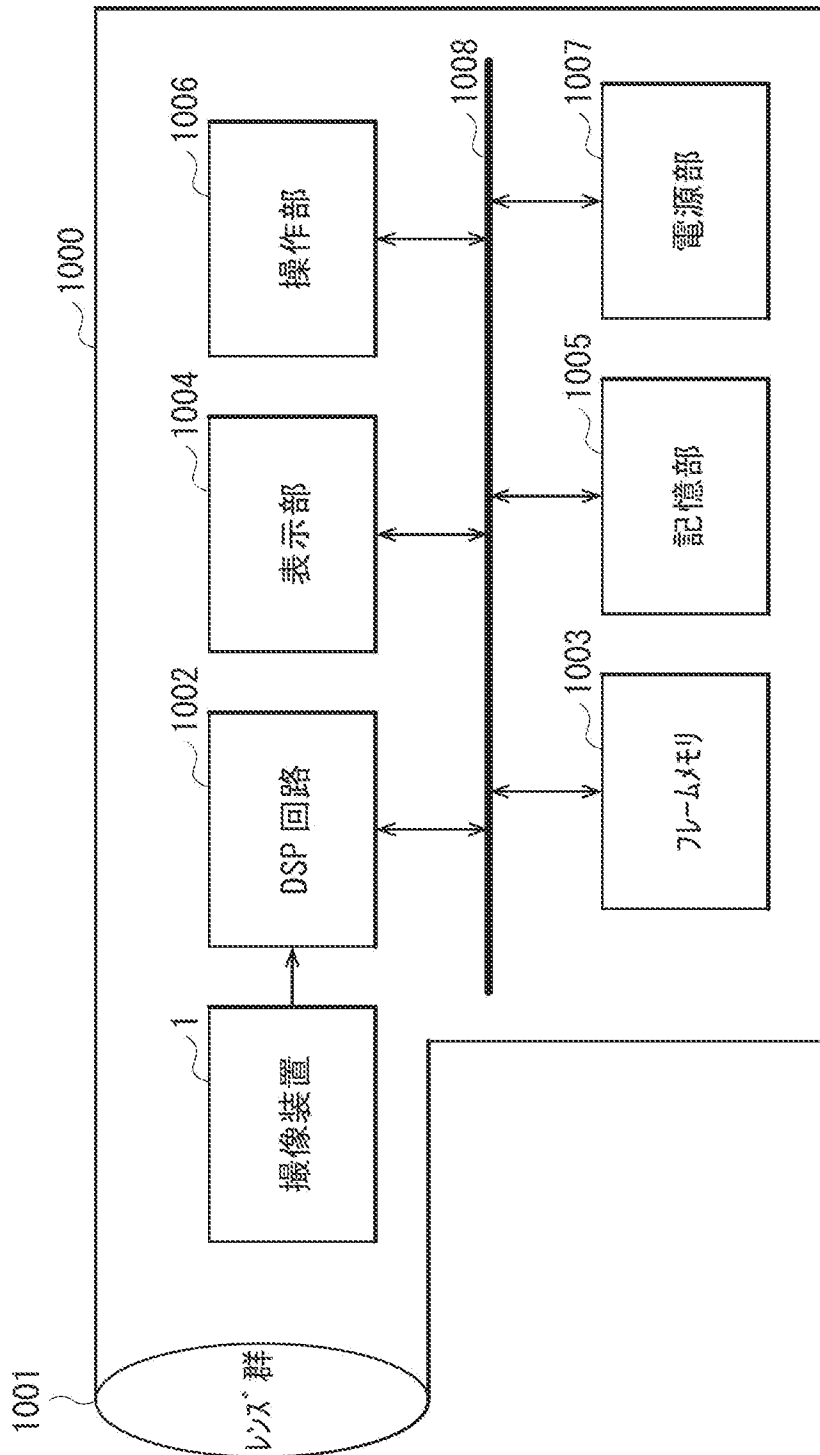
[図13]



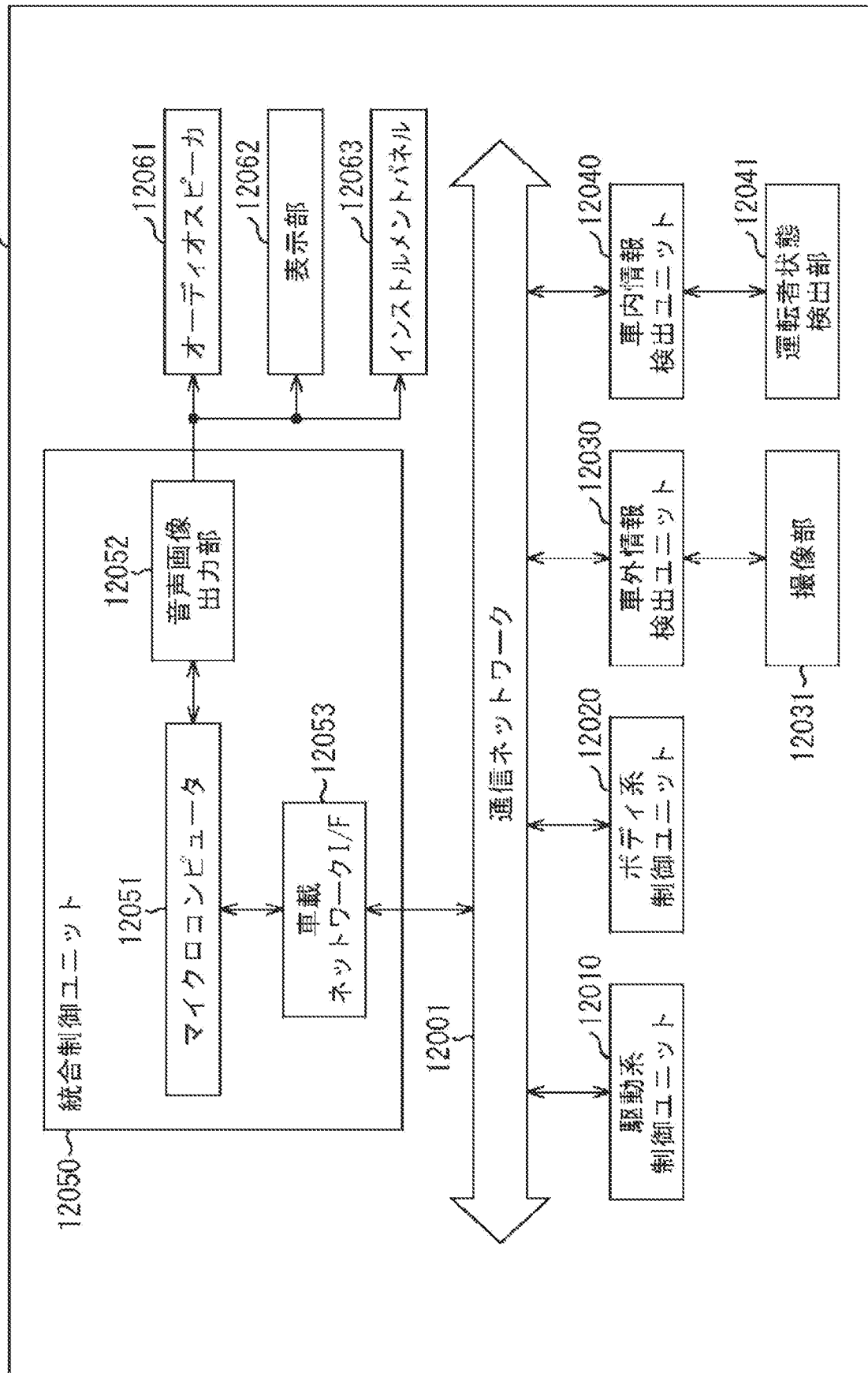
[図14]



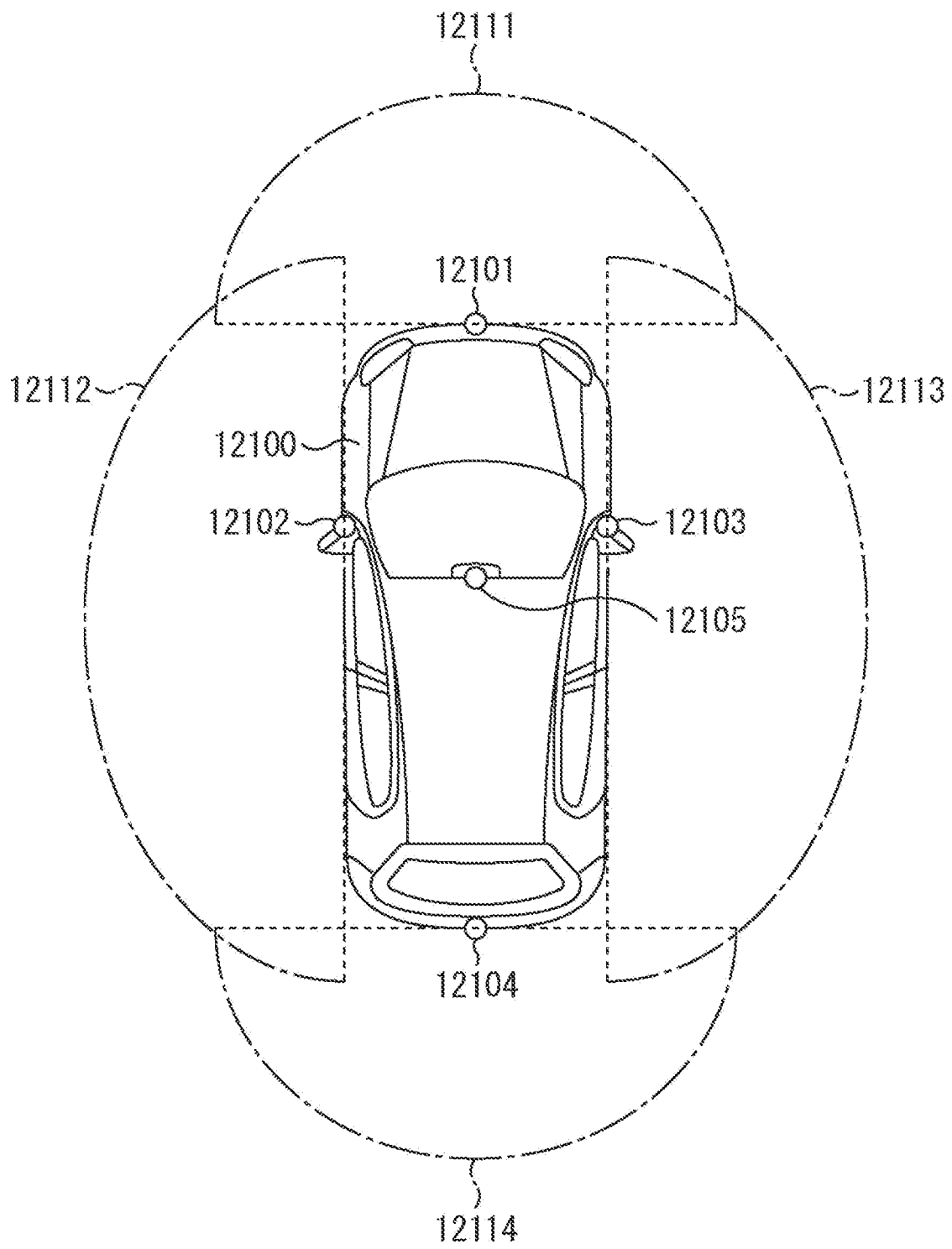
[図15]



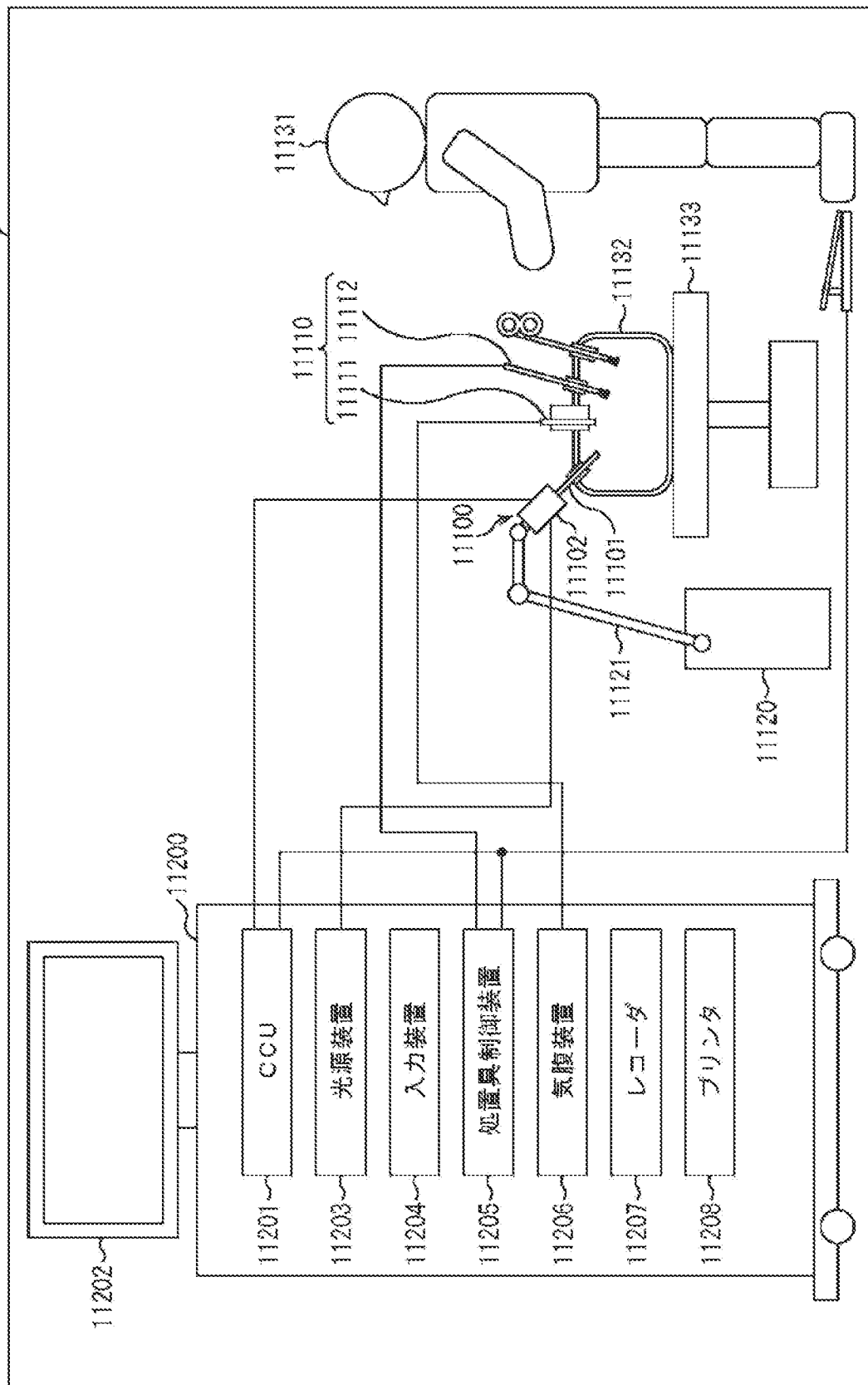
[図16]



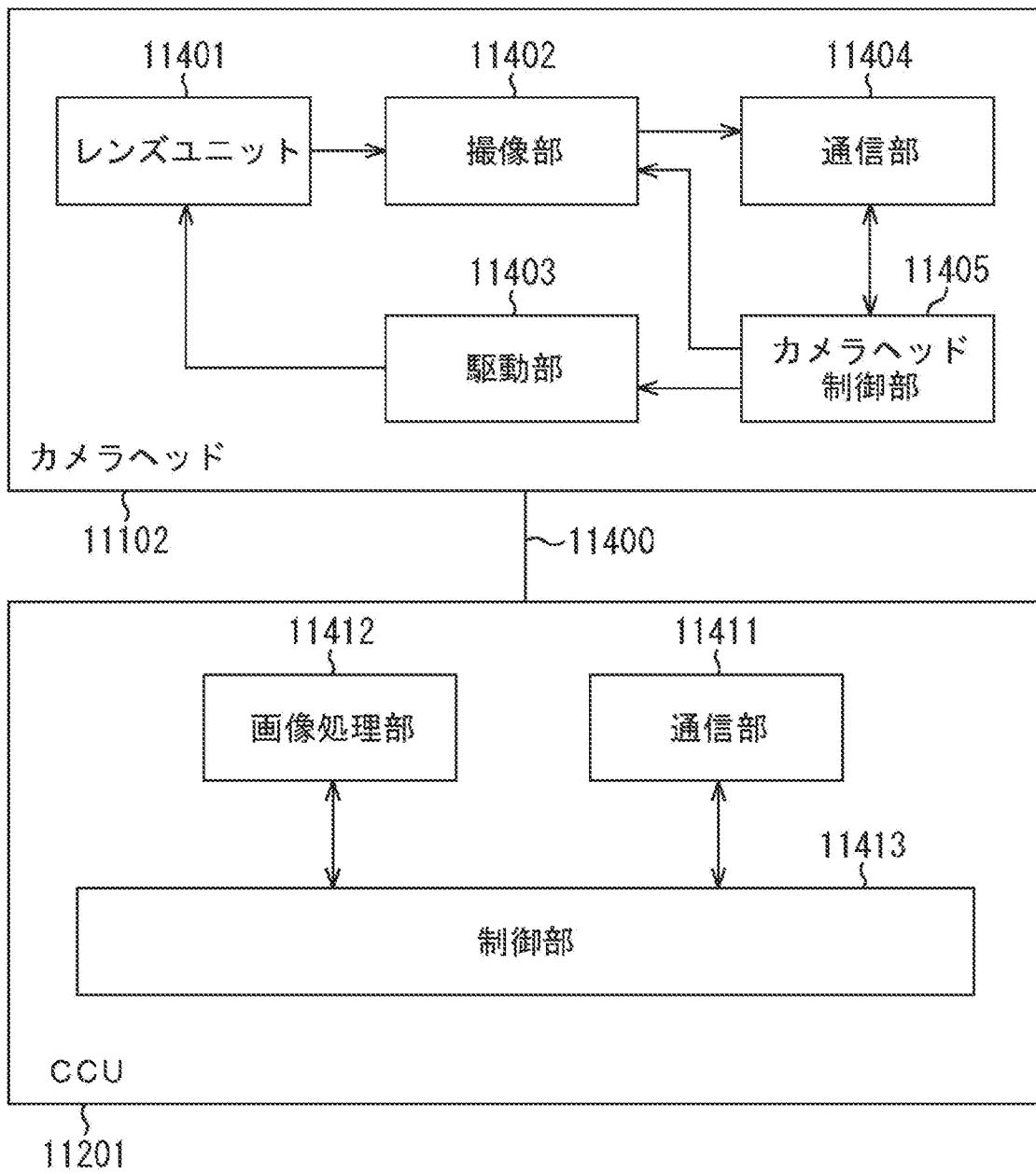
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/028773

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/146 (2006.01)i; H04N 25/70 (2023.01)i FI: H01L27/146 A; H01L27/146 D; H04N25/70 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/146; H04N25/70 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/080130 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 April 2020 (2020-04-23) paragraphs [0031]-[0147], fig. 6, 9, 14, 23	1, 3-10, 12, 15, 20
Y		2, 13, 14, 16-19
A		11
Y	WO 2019/009024 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 10 January 2019 (2019-01-10) paragraphs [0015]-[0027], fig. 1, 2	2, 13, 14, 16-19
A	WO 2022/009644 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 13 January 2022 (2022-01-13) paragraphs [0025]-[0119], fig. 1-34	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 08 October 2024		Date of mailing of the international search report 22 October 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/028773

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2020/080130	A1	23 April 2020	US	2021/0385394	A1	
				paragraphs [0062]-[0179], fig. 6, 9, 14, 23			
WO	2019/009024	A1	10 January 2019	US	2020/0119099	A1	
				paragraphs [0034]-[0046], fig. 1, 2			
				CN	110809821	A	
				KR	10-2020-0019123	A	
WO	2022/009644	A1	13 January 2022	US	2023/0253428	A1	
				paragraphs [0088]-[0263], fig. 1-34			

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H04N 25/70(2023.01)i
FI: H01L27/146 A; H01L27/146 D; H04N25/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H04N25/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/080130 A1（ソニーセミコンダクタソリューションズ株式会社）23.04.2020 (2020 - 04 - 23) [0031]-[0147], 図6, 9, 14, 23	1, 3-10, 12, 15, 20
Y		2, 13, 14, 16-19
A		11
Y	WO 2019/009024 A1（ソニーセミコンダクタソリューションズ株式会社）10.01.2019 (2019 - 01 - 10) [0015]-[0027], 図1, 2	2, 13, 14, 16-19
A	WO 2022/009644 A1（ソニーセミコンダクタソリューションズ株式会社）13.01.2022 (2022 - 01 - 13) [0025]-[0119], 図1-34	1-20

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日08.10.2024国際調査報告の発送日22.10.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

加藤 俊哉 5F 9554

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/028773

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/080130	A1	23.04.2020	US 2021/0385394 A1 [0062]-[0179], FIGS. 6, 9, 14, 23	
WO	2019/009024	A1	10.01.2019	US 2020/0119099 A1 [0034]-[0046], FIGS. 1, 2 CN 110809821 A KR 10-2020-0019123 A	
WO	2022/009644	A1	13.01.2022	US 2023/0253428 A1 [0088]-[0263], FIGS. 1-34	