



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I877586 B

(45)公告日：中華民國 114 (2025) 年 03 月 21 日

(21)申請案號：112110213

(22)申請日：中華民國 112 (2023) 年 03 月 20 日

(51)Int. Cl. : H10D30/01 (2025.01)

H01L21/304 (2006.01)

H10D64/20 (2025.01)

H10D30/67 (2025.01)

(30)優先權：2022/03/30 日本

2022-057454

(71)申請人：日商日本顯示器股份有限公司(日本) JAPAN DISPLAY INC. (JP)

日本

(72)發明人：渡壁創 WATAKABE, HAJIME (JP)；津吹將志 TSUBUKU, MASASHI (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；田丸尊也 TAMARU, TAKAYA (JP)

(74)代理人：陳長文

(56)參考文獻：

TW I565072B

TW I647849B

TW 202147585A

US 20150372023A1

US 20210159268A1

審查人員：趙芝婷

申請專利範圍項數：16 項 圖式數：33 共 76 頁

(54)名稱

半導體裝置之製造方法

(57)摘要

本發明之課題在於，實現高遷移率及高可靠性之半導體裝置。

本發明之半導體裝置之製造方法係於基板之上形成以鋁為主成分之第 1 氧化金屬層，於上述第 1 氧化金屬層之上形成氧化物半導體層，於上述氧化物半導體層之上形成閘極絕緣層，於上述閘極絕緣層之上形成以鋁為主成分之第 2 氧化金屬層，於上述閘極絕緣層之上已形成上述第 2 氧化金屬層之狀態下進行熱處理，於上述熱處理之後將上述第 2 氧化金屬層去除，於上述閘極絕緣層之上形成閘極電極。

指定代表圖：

符號簡單說明：

S2001~S2014:步驟



【圖3】



I877586

【發明摘要】

【中文發明名稱】

半導體裝置之製造方法

【中文】

本發明之課題在於，實現高遷移率及高可靠性之半導體裝置。

本發明之半導體裝置之製造方法係於基板之上形成以鋁為主成分之第1氧化金屬層，於上述第1氧化金屬層之上形成氧化物半導體層，於上述氧化物半導體層之上形成閘極絕緣層，於上述閘極絕緣層之上形成以鋁為主成分之第2氧化金屬層，於上述閘極絕緣層之上已形成上述第2氧化金屬層之狀態下進行熱處理，於上述熱處理之後將上述第2氧化金屬層去除，於上述閘極絕緣層之上形成閘極電極。

【指定代表圖】

圖3

【代表圖之符號簡單說明】

S2001～S2014:步驟

【發明說明書】

【中文發明名稱】

半導體裝置之製造方法

【技術領域】

【0001】

本發明之一實施方式係關於一種半導體裝置之製造方法。尤其，本發明之一實施方式係關於一種使用氧化物半導體作為通道之半導體裝置之製造方法。

【先前技術】

【0002】

近年來，使用氧化物半導體取代非晶矽、低溫多晶矽及單晶矽作為通道之半導體裝置之開發不斷推進(例如，專利文獻1~6)。使用氧化物半導體作為通道之半導體裝置與使用非晶矽作為通道之半導體裝置同樣地，可採用低溫工序以單純之構造形成。已知使用氧化物半導體作為通道之半導體裝置相較於使用非晶矽作為通道之半導體裝置而言具有更高遷移率。

【0003】

若欲使得使用氧化物半導體作為通道之半導體裝置穩定地動作，重點為：於其製造步驟中，向氧化物半導體層供氧，減少氧化物半導體層上形成之氧缺陷。例如，作為向氧化物半導體層供氧之方法之一，已揭示有一種以相關絕緣層包含更多氧之條件，形成覆蓋氧化物半導體層之絕緣層之技術。

[先前技術文獻]

[專利文獻]

【0004】

[專利文獻1]日本專利特開2021-141338號公報

[專利文獻2]日本專利特開2014-099601號公報

[專利文獻3]日本專利特開2021-153196號公報

[專利文獻4]日本專利特開2018-006730號公報

[專利文獻5]日本專利特開2016-184771號公報

[專利文獻6]日本專利特開2021-108405號公報

【發明內容】

[發明所欲解決之問題]

【0005】

然而，以包含更多氧之條件形成之絕緣層包含大量缺陷。於其影響之下，半導體裝置會因電子被該缺陷捕獲而發生特性異常或於可靠性試驗中發生特性變動。另一方面，若使用缺陷較少之絕緣層，則無法使絕緣層內包含之氧增多。從而，無法自絕緣層向氧化物半導體層充分供氧。因此，一直希望實現一種既能減少半導體裝置之特性變動所致之絕緣層中之缺陷，又能修復氧化物半導體層上形成之氧缺陷之構造。

【0006】

進而，藉由將氧化物半導體層內所含之銮之比率相對提高，能獲得具有較高遷移率之半導體裝置。但氧化物半導體層內所含之銮之比率較高之情形時，氧化物半導體層上容易形成氧缺陷。因此，若欲維持較高可靠性地實現較高遷移率，需對氧化物半導體層周圍之絕緣層之構成加以精心設計。

[解決問題之技術手段]

【0007】

本發明之一實施方式之半導體裝置之製造方法係於基板之上形成以鋁為主成分之第1氧化金屬層，於上述第1氧化金屬層之上形成氧化物半導體層，於上述氧化物半導體層之上形成閘極絕緣層，於上述閘極絕緣層之上形成以鋁為主成分之第2氧化金屬層，於上述閘極絕緣層之上已形成上述第2氧化金屬層之狀態下進行熱處理，於上述熱處理之後將上述第2氧化金屬層去除，於上述閘極絕緣層之上形成閘極電極。

【圖式簡單說明】**【0008】**

圖1係表示本發明之一實施方式的半導體裝置之概要之剖視圖。

圖2係表示本發明之一實施方式的半導體裝置之概要之俯視圖。

圖3係表示本發明之一實施方式的半導體裝置之製造方法之順序圖。

圖4係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖5係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖6係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖7係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖8係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖9係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖10係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖11係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖12係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。

圖。

圖13係表示本發明之一實施方式之變化例的半導體裝置之製造方法之順序圖。

圖14係表示本發明之一實施方式之變化例的半導體裝置之製造方法之剖視圖。

圖15係表示本發明之一實施方式之變化例的半導體裝置之製造方法之剖視圖。

圖16係表示本發明之一實施方式之變化例的半導體裝置之概要之剖視圖。

圖17係表示本發明之一實施方式之變化例的半導體裝置之製造方法之順序圖。

圖18係表示本發明之一實施方式之變化例的半導體裝置之概要之剖視圖。

圖19係表示本發明之一實施方式之變化例的半導體裝置之概要之俯視圖。

圖20係表示本發明之一實施方式之變化例的半導體裝置之製造方法之順序圖。

圖21係表示本發明之一實施方式之變化例的半導體裝置之製造方法之剖視圖。

圖22係表示本發明之一實施方式之變化例的半導體裝置之製造方法之剖視圖。

圖23係表示本發明之一實施方式的顯示裝置之概要之俯視圖。

圖24係表示本發明之一實施方式的顯示裝置之電路構成之方塊圖。

圖25係表示本發明之一實施方式的顯示裝置之像素電路之電路圖。

圖26係表示本發明之一實施方式的顯示裝置之概要之剖視圖。

圖27係本發明之一實施方式的顯示裝置之像素電極及共通電極之俯視圖。

圖28係表示本發明之一實施方式的顯示裝置之像素電路之電路圖。

圖29係表示本發明之一實施方式的顯示裝置之概要之剖視圖。

圖30係表示本發明之一實施方式的半導體裝置之電特性之圖。

圖31係表示本發明之一實施方式的半導體裝置之電特性之圖。

圖32係表示本發明之一實施方式的半導體裝置之可靠性試驗結果之圖。

圖33係表示本發明之一實施方式的半導體裝置之電特性之圖。

【實施方式】

【0009】

以下，參照圖式對本發明之各實施方式進行說明。以下揭示歸根到底僅為一例。業者藉由在保持發明主旨不變之前提下適當變更實施方式之構成即可輕易想到之構成當然包含於本發明之範圍內。為了使說明變得更加明確，圖式相較於實際形態而言，有時對各部之寬度、厚度、形狀等模式性地加以表示。然而，圖示之形狀歸根到底僅為一例，並不限定本發明之解釋。本說明書及各圖中，對與已針對既出之圖於上文敘述過之構成相同之構成標註相同之符號，並適當省略詳細說明。

【0010】

本發明之各實施方式中，將自基板向氧化物半導體層之方向稱為上或上方。反之，將自氧化物半導體層向基板之方向稱為下或下方。如此，

為了便於說明，而使用上方或下方之語句加以說明，但例如基板與氧化物半導體層之上下關係亦可按照與圖示不同之方向配置。以下說明中，例如基板上之氧化物半導體層這一表述如上所述僅說明基板與氧化物半導體層之上下關係，基板與氧化物半導體層之間亦可配置有其他構件。上方或下方表示由複數層積層而成之構造中之積層順序，表述為電晶體之上方之像素電極時，亦可為俯視下電晶體與像素電極不重疊之位置關係。另一方面，表述為電晶體之鉛直上方之像素電極時，表示俯視下電晶體與像素電極重疊之位置關係。

【0011】

所謂「顯示裝置」係指使用光電層顯示影像之構造體。例如，顯示裝置一詞有時指包含光電層之顯示面板，有時指對顯示單元安裝了其他光學構件(例如，偏光構件、背光構件、觸控面板等)而成之構造體。只要不發生技術矛盾，「光電層」可包含液晶層、電致發光(EL)層、電致變色(EC)層、電泳層。因此，下述實施方式中，作為顯示裝置，例示包含液晶層之液晶顯示裝置、及包含有機EL層之有機EL顯示裝置來進行說明，但本實施方式中之構造可應用於包含上述其他光電層之顯示裝置。

【0012】

本說明書中，只要未特意明示，則「 α 包含A、B或C」、「 α 包含A、B及C中之任一者」、「 α 包含選自A、B及C所組成之群中之一者」等表述不排除 α 包含A~C之複數種組合之情形。進而，該等表述亦不排除 α 包含其他要素之情形。

【0013】

再者，只要不發生技術矛盾，則以下各實施方式可相互組合。

【0014】

本發明之一實施方式之一課題在於，實現可靠性及遷移率均較高之半導體裝置。

【0015】

〈第1實施方式〉

使用圖1～圖12，對本發明之一實施方式之半導體裝置進行說明。例如，以下所示之實施方式之半導體裝置除了可用於顯示裝置中使用之電晶體以外，還可用於微處理器(Micro-Processing Unit：MPU)等積體電路(Integrated Circuit：IC)、或記憶體電路。

【0016】

[半導體裝置10之構成]

使用圖1及圖2，對本發明之一實施方式之半導體裝置10之構成進行說明。圖1係表示本發明之一實施方式的半導體裝置之概要之剖視圖。圖2係表示本發明之一實施方式的半導體裝置之概要之俯視圖。

【0017】

如圖1所示，半導體裝置10設置於基板100之上方。半導體裝置10包含閘極電極105、閘極絕緣層110、120、氧化金屬層130、氧化物半導體層140、閘極絕緣層150、閘極電極160、絕緣層170、180、源極電極201及汲極電極203。無需特意區分源極電極201與汲極電極203之情形時，有時會將其等統稱為源極/汲極電極200。

【0018】

閘極電極105設置於基板100之上。閘極絕緣層110及閘極絕緣層120設置於基板100及閘極電極105之上。氧化金屬層130設置於閘極絕緣層

120之上。氧化金屬層130與閘極絕緣層120相接。氧化物半導體層140設置於氧化金屬層130之上。氧化物半導體層140與氧化金屬層130相接。將氧化物半導體層140之主面中與氧化金屬層130相接之面稱為下表面142。氧化金屬層130之端部與氧化物半導體層140之端部大體一致。

【0019】

本實施方式中，氧化金屬層130與基板100之間未設置半導體層或氧化物半導體層。

【0020】

本實施方式中，例示出了氧化金屬層130與閘極絕緣層120相接，且氧化物半導體層140與氧化金屬層130相接之構成，但並不限定於該構成。閘極絕緣層120與氧化金屬層130之間亦可設置有其他層。氧化金屬層130與氧化物半導體層140之間亦可設置有其他層。

【0021】

圖1中，氧化金屬層130之側壁與氧化物半導體層140之側壁於直線上並排，但並不限定於該構成。亦可氧化金屬層130之側壁和基板100之主面所成之角度與氧化物半導體層140之側壁和基板100之主面所成之角度不同。亦可氧化金屬層130及氧化物半導體層140中至少任一者之側壁之剖面形狀彎曲。

【0022】

閘極電極160對向於氧化物半導體層140。閘極絕緣層150設置於氧化物半導體層140與閘極電極160之間。閘極絕緣層150與氧化物半導體層140相接。將氧化物半導體層140之主面中與閘極絕緣層150相接之面稱為上表面141。將上表面141與下表面142之間之面稱為側面143。絕緣層

170、180設置於閘極絕緣層150及閘極電極160之上。於絕緣層170、180設置有到達氧化物半導體層140之開口171、173。源極電極201設置於開口171之內部。源極電極201於開口171之底部與氧化物半導體層140相接。汲極電極203設置於開口173之內部。汲極電極203於開口173之底部與氧化物半導體層140相接。

【0023】

閘極電極105具備作為半導體裝置10之底閘極之功能、及作為針對氧化物半導體層140之遮光膜之功能。閘極絕緣層110具備作為阻隔自基板100向氧化物半導體層140擴散之雜質之障壁膜之功能。閘極絕緣層110、120具備作為針對底閘極之閘極絕緣層之功能。氧化金屬層130係包含以鋁為主成分之氧化金屬之層，具備作為阻隔氧、氫等氣體之阻氣膜之功能。

【0024】

氧化物半導體層140被劃分成源極區域S、汲極區域D及通道區域CH。通道區域CH係氧化物半導體層140中閘極電極160之鉛直下方之區域。源極區域S係氧化物半導體層140中與閘極電極160不重疊且較通道區域CH距源極電極201更近之側之區域。汲極區域D係氧化物半導體層140中與閘極電極160不重疊且較通道區域CH距汲極電極203更近之側之區域。通道區域CH中之氧化物半導體層140具備作為半導體之物性。源極區域S及汲極區域D中之氧化物半導體層140具備作為導體之物性。

【0025】

閘極電極160具備作為半導體裝置10之頂閘極及針對氧化物半導體層140之遮光膜之功能。閘極絕緣層150具備作為針對頂閘極之閘極絕緣層

之功能，且具備藉由製造工序中之熱處理而釋放氧之功能。絕緣層170、180具備使閘極電極160與源極/汲極電極200絕緣，從而降低兩者間之寄生電容之功能。半導體裝置10之動作主要藉由供給至閘極電極160之電壓來控制。向閘極電極105供給輔助電壓。但將閘極電極105僅作遮光膜使用之情形時，亦可不向閘極電極105供給特定電壓，而使閘極電極105成為浮動狀態。即，閘極電極105亦可簡稱為「遮光膜」。

【0026】

本實施方式中，例示出了使用閘極電極設置於氧化物半導體層之上方及下方兩處之雙閘極型電晶體作為半導體裝置10之構成，但並不限定於該構成。例如，亦可使用閘極電極僅設置於氧化物半導體層之下方之底閘極型電晶體、或閘極電極僅設置於氧化物半導體層之上方之頂閘極型電晶體作為半導體裝置10。上述構成歸根到底僅為一實施方式，本發明並不限定於上述構成。

【0027】

如圖2所示，俯視下氧化金屬層130之平面圖案與氧化物半導體層140之平面圖案大體相同。參照圖1及圖2，氧化物半導體層140之下表面142被氧化金屬層130覆蓋。尤其，本實施方式中，氧化物半導體層140之下表面142全部被氧化金屬層130覆蓋。於D1方向上，閘極電極105之寬度大於閘極電極160之寬度。D1方向係將源極電極201與汲極電極203連結之方向，且係表示半導體裝置10之通道長度L之方向。具體而言，氧化物半導體層140與閘極電極160重疊之區域(通道區域CH)之D1方向之長度為通道長度L，該通道區域CH之D2方向之寬度為通道寬度W。

【0028】

本實施方式中，例示出了氧化物半導體層140之下表面142全部被氧化金屬層130覆蓋之構成，但並不限定於該構成。例如，亦可氧化物半導體層140之下表面142之一部分與氧化金屬層130不相接。例如，亦可通道區域CH中之氧化物半導體層140之下表面142全部被氧化金屬層130覆蓋，而源極區域S及汲極區域D中之氧化物半導體層140之下表面142全部或部分不被氧化金屬層130覆蓋。即，亦可源極區域S及汲極區域D中之氧化物半導體層140之下表面142全部或部分與氧化金屬層130不相接。但於上述構成中，亦可通道區域CH中之氧化物半導體層140之下表面142之一部分未被氧化金屬層130覆蓋，而該下表面142之其他部分與氧化金屬層130相接。

【0029】

本實施方式中，例示出了閘極絕緣層150形成於整面，且於閘極絕緣層150設置有開口171、173之構成，但並不限定於該構成。閘極絕緣層150亦可圖案化成與設置有開口171、173之形狀不同之形狀。例如，閘極絕緣層150亦可按照使源極區域S及汲極區域D之全部或部分氧化物半導體層140露出之方式圖案化。即，亦可將源極區域S及汲極區域D之閘極絕緣層150去除，而使氧化物半導體層140與絕緣層170於該等區域相接。

【0030】

圖2中例示出了俯視下源極/汲極電極200與閘極電極105及閘極電極160不重疊之構成，但並不限定於該構成。例如，亦可俯視下源極/汲極電極200與閘極電極105及閘極電極160中之至少任一者重疊。上述構成歸根到底僅為一實施方式，本發明並不限定於上述構成。

【0031】

[半導體裝置10之各構件之材質]

作為基板100，可使用玻璃基板、石英基板及藍寶石基板等具有透光性之剛性基板。基板100需具備可撓性之情形時，作為基板100，可使用聚醯亞胺基板、丙烯酸基板、矽氧烷基板、氟樹脂基板等包含樹脂之基板。使用包含樹脂之基板作為基板100之情形時，為了提高基板100之耐熱性，亦可向上述樹脂中導入雜質。尤其，半導體裝置10為頂部發光型顯示器之情形時，基板100無需透明，因此亦可使用會致基板100之透明度變差之雜質。半導體裝置10用於非顯示裝置之積體電路之情形時，作為基板100，可使用如矽基板、碳化矽基板、化合物半導體基板等半導體基板、或不鏽鋼基板等導電性基板般不具備透光性之基板。

【0032】

作為閘極電極105、閘極電極160及源極/汲極電極200，可使用一般之金屬材料。例如，作為該等構件，可使用鋁(Al)、鈦(Ti)、鉻(Cr)、鈷(Co)、鎳(Ni)、鉬(Mo)、鈦(Hf)、鉭(Ta)、鎢(W)、鉍(Bi)、銀(Ag)、銅(Cu)及其等之合金或其等之化合物。作為閘極電極105、閘極電極160及源極/汲極電極200，可採用單層方式使用上述材料，亦可採用積層方式使用上述材料。

【0033】

作為閘極絕緣層110、120及絕緣層170、180，可使用一般之絕緣性材料。例如，作為該等絕緣層，可使用氧化矽(SiO_x)、氧氮化矽(SiO_xN_y)、氮化矽(SiN_x)、氮氧化矽(SiN_xO_y)、氧化鋁(AlO_x)、氧氮化鋁(AlO_xN_y)、氮氧化鋁(AlN_xO_y)、氮化鋁(AlN_x)等無機絕緣層。

【0034】

作為閘極絕緣層150，可使用上述絕緣層中含氧之絕緣層。例如，作為閘極絕緣層150，可使用氧化矽(SiO_x)、氧氮化矽(SiO_xN_y)、氧化鋁(AlO_x)、氧氮化鋁(AlO_xN_y)等無機絕緣層。

【0035】

作為閘極絕緣層120，可使用具備藉由熱處理而釋放氧之功能之絕緣層。例如，閘極絕緣層120釋放氧之熱處理之溫度為 600°C 以下、 500°C 以下、 450°C 以下、或 400°C 以下。即，例如閘極絕緣層120於使用玻璃基板作為基板100之情形時，於半導體裝置10之製造步驟中進行之熱處理溫度下釋放氧。

【0036】

作為閘極絕緣層150，可使用缺陷較少之絕緣層。例如，將閘極絕緣層150中之氧之組成比與組成和閘極絕緣層150相同之絕緣層(以下，稱為「其他絕緣層」)中之氧之組成比進行比較時，閘極絕緣層150中之氧之組成比相較於其他絕緣層中之氧之組成比而言，更接近於相對該絕緣層之化學計量比。具體而言，對閘極絕緣層150及絕緣層180分別使用氧化矽(SiO_x)之情形時，用作閘極絕緣層150之氧化矽中之氧之組成比相較於用作絕緣層180之氧化矽中之氧之組成比而言，更接近於氧化矽之化學計量比。例如，作為閘極絕緣層150，亦可使用藉由電子自旋共振法(ESR)進行評價時未觀測到缺陷之層。

【0037】

上述 SiO_xN_y 及 AlO_xN_y 係含有較氧(O)少之比率($x > y$)之氮(N)的矽化合物及鋁化合物。 SiN_xO_y 及 AlN_xO_y 係含有較氮少之比率($x > y$)之氧的矽化合物及鋁化合物。

【0038】

作為氧化金屬層130及如下所述於製造步驟中使用之氧化金屬層190，可使用以鋁為主成分之氧化金屬。例如，作為氧化金屬層130(或氧化金屬層190)，可使用氧化鋁(AlO_x)、氧氮化鋁(AlO_xN_y)、氮氧化鋁(AlN_xO_y)、氮化鋁(AlN_x)等無機絕緣層。所謂「以鋁為主成分之氧化金屬層」係指氧化金屬層130(或氧化金屬層190)內所含之鋁之比率為氧化金屬層130(或氧化金屬層190)整體之1%以上。氧化金屬層130(或氧化金屬層190)內所含之鋁之比率亦可為氧化金屬層130整體之5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述比率可為質量比，亦可為重量比。

【0039】

作為氧化物半導體層140，可使用具有半導體之特性之氧化金屬。例如，作為氧化物半導體層140，可使用含有包括銦(In)在內之2種以上金屬之氧化物半導體。銦於氧化物半導體層140整體中所占之比率為50%以上。作為氧化物半導體層140，除了銦以外，亦可使用鎵(Ga)、鋅(Zn)、鋁(Al)、鈦(Hf)、釷(Y)、鋯(Zr)、鑷系元素。作為氧化物半導體層140，亦可使用上述以外之元素。

【0040】

氧化物半導體層140可為非晶性，亦可為結晶性。氧化物半導體層140亦可為非晶與結晶之混相。如下所述，銦之比率為50%以上之氧化物半導體層140容易形成氧缺陷。結晶性之氧化物半導體較非晶性之氧化物半導體而言，更不易形成氧缺陷。因此，如上所述之氧化物半導體層140較佳為結晶性。

【0041】

[完成本發明之過程中發現之新問題]

藉由使氧化物半導體層140中之銮之比率為50%以上，能實現高遷移率之半導體裝置10。另一方面，此種氧化物半導體層140中，氧化物半導體層140內所含之氧容易被還原，因此於氧化物半導體層140容易形成氧缺陷。

【0042】

半導體裝置10中，製造工序之熱處理步驟中會自設置於較氧化物半導體層140更靠基板100側之層(例如，閘極絕緣層110、120)釋放氫。該氫到達氧化物半導體層140後，氧化物半導體層140上會產生氧缺陷。氧化物半導體層140之圖案尺寸越大，該氧缺陷之產生越顯著。為了抑制此種氧缺陷之產生，需抑制氫到達氧化物半導體層140之下表面142。上述內容即第一個問題所在。

【0043】

除了上述問題以外，亦存在以下所示之第二個問題。氧化物半導體層140之上表面141會受形成氧化物半導體層140後之步驟(例如，圖案化步驟或蝕刻步驟)之影響。另一方面，氧化物半導體層140之下表面142(氧化物半導體層140之基板100側之面)不受如上所述之影響。

【0044】

因此，氧化物半導體層140之上表面141附近形成之氧缺陷多於氧化物半導體層140之下表面142附近形成之氧缺陷。即，氧化物半導體層140中之氧缺陷並非均勻地存在於氧化物半導體層140之厚度方向上，而是以不均一之分佈存在於氧化物半導體層140之厚度方向上。具體而言，越靠

氧化物半導體層140之下表面142側，氧化物半導體層140中之氧缺陷越少，越靠氧化物半導體層140之上表面141側，氧化物半導體層140中之氧缺陷越多。

【0045】

對具有如上所述之氧缺陷分佈之氧化物半導體層140均勻地進行供氧處理之情形時，若供給修復氧化物半導體層140之上表面141側形成之氧缺陷所需之量之氧，則氧化物半導體層140之下表面142側會被過剩供氧。其結果，下表面142側會因氧過剩而形成與氧缺陷不同之缺陷能階。其結果，會出現於可靠性試驗中發生特性變動、或場效遷移率降低等現象。因此，為了抑制此種現象，既需抑制向氧化物半導體層140之下表面142側之供氧，又需向氧化物半導體層140之上表面141側供氧。

【0046】

上述問題係完成本發明之過程中發現之新問題，而非先前便已發現之問題。於先前之構成及製造方法中，儘管藉由向氧化物半導體層之供氧處理，半導體裝置之初始特性得以改善，但初始特性與可靠性試驗之間存在互為取捨之關係，即可靠性試驗會導致特性發生變動。然而，藉由本實施方式之構成，能解決上述問題，獲得半導體裝置10之良好之初始特性及可靠性試驗結果。

【0047】

[半導體裝置10之製造方法]

使用圖3～圖12，對本發明之一實施方式之半導體裝置之製造方法進行說明。圖3係表示本發明之一實施方式的半導體裝置之製造方法之順序圖。圖4～圖12係表示本發明之一實施方式的半導體裝置之製造方法之剖

視圖。於以下製造方法之說明中，對使用氧化鋁作為氧化金屬層130、190之半導體裝置10之製造方法進行說明。

【0048】

如圖3及圖4所示，於基板100之上形成閘極電極105作為底閘極，於閘極電極105之上形成閘極絕緣層110、120(圖3之步驟S2001之「底部GI(Gate Insulator，閘極絕緣層)/GE(Gate Electrode，閘極電極)形成」)。例如，形成氮化矽作為閘極絕緣層110。例如，形成氧化矽作為閘極絕緣層120。閘極絕緣層110、120係藉由CVD(Chemical Vapor Deposition，化學氣相沈積)法而成膜。有時將閘極絕緣層110、120中之一者或兩者稱為「第1絕緣層」。

【0049】

藉由使用氮化矽作為閘極絕緣層110，閘極絕緣層110能攔截例如自基板100側向氧化物半導體層140擴散之雜質。用作閘極絕緣層120之氧化矽係具備藉由熱處理而釋放氧之物性之氧化矽。

【0050】

如圖3及圖5所示，於閘極絕緣層120之上形成氧化金屬層130及氧化物半導體層140(圖3之步驟S2002之「OS(Oxide Semiconductor，氧化物半導體層)/AlO_x成膜」)。該步驟有時表述為：於基板100之上形成閘極絕緣層110、120，於閘極絕緣層110、120之上形成氧化金屬層130。或者，有時表述為：於基板100之上形成氧化金屬層130，於氧化金屬層130之上形成氧化物半導體層140。具體而言，氧化物半導體層140係以與氧化金屬層130相接之方式形成。氧化金屬層130及氧化物半導體層140係藉由濺鍍法或原子層堆積法(ALD：Atomic Layer Deposition)而成膜。

【0051】

例如，氧化金屬層130之厚度為1 nm以上100 nm以下、1 nm以上50 nm以下、1 nm以上30 nm以下、或1 nm以上10 nm以下。本實施方式中，使用氧化鋁作為氧化金屬層130。氧化鋁對氣體具有較高阻隔性。本實施方式中，用作氧化金屬層130之氧化鋁攔截自閘極絕緣層120釋放之氫及氧，抑制釋放之氫及氧到達氧化物半導體層140。

【0052】

例如，氧化物半導體層140之厚度為10 nm以上100 nm以下、15 nm以上70 nm以下、或20 nm以上40 nm以下。下述熱處理(OS退火)前之氧化物半導體層140為非晶性。

【0053】

藉由下述OS退火將氧化物半導體層140結晶化之情形時，成膜後且OS退火前之氧化物半導體層140較佳為非晶狀態(氧化物半導體之結晶成分較少之狀態)。即，氧化物半導體層140之成膜條件較佳為剛成膜後之氧化物半導體層140儘量不結晶化之條件。例如，藉由濺鍍法成膜氧化物半導體層140之情形時，要於被成膜對象物(基板100及其上形成之構造物)之溫度受到控制之狀態下成膜氧化物半導體層140。

【0054】

若藉由濺鍍法對被成膜對象物進行成膜，則電漿中產生之離子及被濺鍍靶反彈之原子會撞擊被成膜對象物。因此，隨著成膜處理，被成膜對象物之溫度會上升。若成膜處理中之被成膜對象物之溫度上升，則於剛成膜後之狀態下，氧化物半導體層140中會含有微結晶。該微結晶會阻礙其後藉由OS退火進行之結晶化。為了如上所述地控制被成膜對象物之溫

度，例如可一面冷卻被成膜對象物一面進行成膜。例如可自被成膜對象物之被成膜面(表面)之相反側之面冷卻被成膜對象物，以使該被成膜面之溫度(以下稱為「成膜溫度」)成為 100°C 以下、 70°C 以下、 50°C 以下或 30°C 以下。藉由如上所述地一面冷卻被成膜對象物一面進行氧化物半導體層140之成膜，而能夠成膜於剛成膜後之狀態下結晶成分較少之氧化物半導體層140。

【0055】

如圖3及圖6所示，形成氧化物半導體層140之圖案(圖3之步驟S2003之「OS圖案形成」)。雖未圖示，但其實要於氧化物半導體層140之上形成抗蝕遮罩，使用該抗蝕遮罩來蝕刻氧化物半導體層140。作為氧化物半導體層140之蝕刻，可採用濕式蝕刻，亦可採用乾式蝕刻。作為濕式蝕刻，可使用酸性蝕刻劑進行蝕刻。例如，作為蝕刻劑，可使用草酸或氫氟酸。

【0056】

形成氧化物半導體層140之圖案後，對氧化物半導體層140進行熱處理(OS退火)(圖3之步驟S2004之「OS退火」)。本實施方式中，藉由該OS退火，氧化物半導體層140結晶化。

【0057】

如圖3及圖7所示，形成氧化金屬層130之圖案(圖3之步驟S2005之「 AlO_x 圖案形成」)。氧化金屬層130係將於上述步驟中被圖案化後之氧化物半導體層140作為遮罩來進行蝕刻。作為氧化金屬層130之蝕刻，可採用濕式蝕刻，亦可採用乾式蝕刻。例如，作為濕式蝕刻，可使用稀釋氫氟酸(DHF)。如上所述，藉由將氧化物半導體層140作為遮罩來蝕刻氧化

金屬層130，可省略光微影步驟。

【0058】

如圖3及圖8所示，於氧化物半導體層140之上成膜閘極絕緣層150(圖3之步驟S2006之「GI形成」)。例如，形成氧化矽作為閘極絕緣層150。閘極絕緣層150係藉由CVD法而形成。例如，為了如上所述地形成缺陷較少之絕緣層來作為閘極絕緣層150，可於350°C以上之成膜溫度下成膜閘極絕緣層150。例如，閘極絕緣層150之厚度為50 nm以上300 nm以下、60 nm以上200 nm以下、或70 nm以上150 nm以下。成膜閘極絕緣層150後，亦可進行向閘極絕緣層150之一部分擊入氧之處理。有時將閘極絕緣層150稱為「第2絕緣層」。於閘極絕緣層150之上成膜氧化金屬層190(圖22之步驟S2007之「AlO_x成膜」)。氧化金屬層190係藉由濺鍍法而成膜。藉由成膜氧化金屬層190，而向閘極絕緣層150擊入氧。

【0059】

例如，氧化金屬層190之厚度為5 nm以上100 nm以下、5 nm以上50 nm以下、5 nm以上30 nm以下、或7 nm以上15 nm以下。本實施方式中，使用氧化鋁作為氧化金屬層190。氧化鋁對氣體具有較高阻隔性。本實施方式中，用作氧化金屬層190之氧化鋁抑制成膜氧化金屬層190時擊入至閘極絕緣層150之氧向外側擴散。

【0060】

例如，藉由濺鍍法形成了氧化金屬層190之情形時，氧化金屬層190之膜中會殘存濺鍍時使用之處理氣體。例如，使用Ar作為濺鍍之處理氣體之情形時，氧化金屬層190之膜中會殘存Ar。殘存之Ar可藉由對氧化金屬層190進行SIMS(Secondary Ion Mass Spectrometry，二次離子質譜)分析

而檢出。

【0061】

於氧化物半導體層140之上已成膜閘極絕緣層150，且閘極絕緣層150之上已成膜氧化金屬層190之狀態下，進行用以向氧化物半導體層140供氧之熱處理(氧化退火)(圖3之步驟S2008之「氧化退火」)。換言之，對如上所述被圖案化後之氧化金屬層130及氧化物半導體層140進行熱處理(氧化退火)。自成膜氧化物半導體層140起到於氧化物半導體層140之上成膜閘極絕緣層150為止期間之步驟會導致氧化物半導體層140之上表面141及側面143產生大量氧缺陷。藉由上述氧化退火，自閘極絕緣層120、150釋放之氧會被供給至氧化物半導體層140，而將氧缺陷修復。

【0062】

藉由氧化退火而自閘極絕緣層120釋放之氧會被氧化金屬層130攔截。因此，氧不易被供給至氧化物半導體層140之下表面142。自閘極絕緣層120釋放之氧自未形成氧化金屬層130之區域向設置於閘極絕緣層120之上之閘極絕緣層150擴散，經由閘極絕緣層150而到達氧化物半導體層140。其結果，自閘極絕緣層120釋放之氧不易被供給至氧化物半導體層140之下表面142，而主要被供給至氧化物半導體層140之側面143及上表面141。進而，藉由氧化退火，自閘極絕緣層150釋放之氧被供給至氧化物半導體層140之上表面141及側面143。藉由上述氧化退火，有時會自閘極絕緣層110、120釋放氫，但該氫會被氧化金屬層130攔截。

【0063】

如上所述，藉由氧化退火之步驟，既能抑制向氧缺陷量較少之氧化物半導體層140之下表面142供氧，又能向氧缺陷量較多之氧化物半導體

層140之上表面141及側面143供氧。

【0064】

同樣地，於上述氧化退火中，擊入至閘極絕緣層150之氧會被氧化金屬層190攔截。從而，能抑制該氧向大氣中釋放。因此，藉由該氧化退火，能將該氧以良好效率供給至氧化物半導體層140，而將氧缺陷修復。

【0065】

如圖3及圖9所示，氧化退火之後，蝕刻(去除)氧化金屬層190(圖3之步驟S2009之「AlO_x去除」)。作為氧化金屬層190之蝕刻，可採用濕式蝕刻，亦可採用乾式蝕刻。例如，作為濕式蝕刻，可使用稀釋氫氟酸(DHF)。藉由該蝕刻，而去除形成於整面之氧化金屬層190。換言之，去除氧化金屬層190時不使用遮罩。再換言之，藉由該蝕刻，去除至少俯視下與形成為某1個圖案之氧化物半導體層140重疊之區域之所有氧化金屬層190。

【0066】

如圖3及圖10所示，於閘極絕緣層150之上成膜閘極電極160(圖3之步驟S2010之「GE形成」)。閘極電極160係藉由濺鍍法或原子層堆積法而成膜，經由光微影步驟而圖案化。如上所述，閘極電極160係以與藉由去除氧化金屬層190而露出之閘極絕緣層150相接之方式形成。

【0067】

於閘極電極160已圖案化之狀態下，進行氧化物半導體層140之源極區域S及汲極區域D之低電阻化(圖3之步驟S2011之「SD(Source Drain，源極汲極)低電阻化」)。具體而言，藉由離子注入，自閘極電極160側經由閘極絕緣層150向氧化物半導體層140注入雜質。例如，藉由離子注

入，向氧化物半導體層140注入氬(Ar)、磷(P)、硼(B)。藉由進行離子注入而於氧化物半導體層140形成氧缺陷，藉此使氧化物半導體層140低電阻化。由於半導體裝置10之作為通道區域CH發揮功能之氧化物半導體層140之上方設置有閘極電極160，因此不向通道區域CH之氧化物半導體層140注入雜質。

【0068】

如圖3及圖11所示，於閘極絕緣層150及閘極電極160之上成膜絕緣層170、180作為層間膜(圖3之步驟S2012之「層間膜成膜」)。絕緣層170、180係藉由CVD法而成膜。例如，形成氮化矽作為絕緣層170，形成氧化矽作為絕緣層180。用作絕緣層170、180之材料並不限定於上述。絕緣層170之厚度為50 nm以上500 nm以下。絕緣層180之厚度為50 nm以上500 nm以下。

【0069】

如圖3及圖12所示，於閘極絕緣層150及絕緣層170、180形成開口171、173(圖3之步驟S2013之「接觸開孔」)。藉由開口171使源極區域S之氧化物半導體層140露出。藉由開口173使汲極區域D之氧化物半導體層140露出。於藉由開口171、173而露出之氧化物半導體層140之上及絕緣層180之上形成源極/汲極電極200(圖3之步驟S2014之「SD形成」)，藉此完成圖1所示之半導體裝置10。

【0070】

關於藉由上述製造方法而製成之半導體裝置10，能獲得於通道區域CH之通道長度L為2 μm 以上4 μm 以下，且通道區域CH之通道寬度為2 μm 以上25 μm 以下之範圍內，遷移率為50[cm^2/Vs]以上、55[cm^2/Vs]以上或

60[cm²/Vs]以上之電特性。本實施方式中之遷移率係指半導體裝置10之飽和區域中之場效遷移率。具體而言，該遷移率表示源極電極與汲極電極之間之電位差(Vd)較供給至閘極電極之電壓(Vg)減去半導體裝置10之閾值電壓(Vth)所得之值(Vg - Vth)大之區域中的場效遷移率之最大值。

【0071】

〈第1實施方式之變化例1〉

使用圖13～圖15，對本實施方式之變化例1進行說明。變化例1之半導體裝置10之構造與圖1相同，但其製造方法與圖3～圖12不同。於以下說明中，省略與圖3～圖12所示之製造方法共通之製造方法之說明，而主要說明兩者之不同點所涉及之製造方法。

【0072】

圖13係表示本發明之一實施方式之變化例的半導體裝置之製造方法之順序圖。圖14及圖15係表示本發明之一實施方式之變化例的半導體裝置之製造方法之剖視圖。如圖13所示，變化例1中，一次性形成氧化金屬層130及氧化物半導體層140之圖案(步驟S2020之「OS/AlO_x圖案形成」)。即，對圖案化後之氧化金屬層130及氧化物半導體層140進行熱處理(OS退火及氧化退火)。

【0073】

如圖14所示，成膜氧化金屬層130及氧化物半導體層140後，於氧化物半導體層140之上形成抗蝕遮罩220。然後，如圖15所示，使用抗蝕遮罩220，形成氧化金屬層130及氧化物半導體層140之圖案。作為氧化金屬層130及氧化物半導體層140之蝕刻，可採用濕式蝕刻，亦可採用乾式蝕刻。藉由濕式蝕刻來蝕刻氧化金屬層130及氧化物半導體層140之情形

時，可使用與上述相同之蝕刻劑。變化例1中，於已形成氧化金屬層130及氧化物半導體層140之圖案之狀態下進行OS退火(步驟S2004)。其後之步驟S2006～S2014與圖3相同，因此省略詳細說明。

【0074】

〈第1實施方式之變化例2〉

使用圖16及圖17，對本實施方式之變化例2進行說明。變化例2之半導體裝置10之構造及製造方法與圖1及圖3～圖12不同。於以下說明中，省略與圖1及圖3～圖12所示之製造方法共通之製造方法之說明，而主要說明兩者之不同點所涉及之製造方法。

【0075】

圖16係表示本發明之一實施方式之變化例的半導體裝置之概要之剖視圖。圖17係表示本發明之一實施方式之變化例的半導體裝置之製造方法之順序圖。

【0076】

如圖16所示，變化例2之半導體裝置10之構造與圖1所示之半導體裝置10之構造類似，但於未形成氧化金屬層130之圖案這一點，與圖1所示之半導體裝置10之構造不同。即，變化例2中，氧化金屬層130較氧化物半導體層140之圖案向更外側延伸。氧化金屬層130於氧化物半導體層140之圖案之外側與閘極絕緣層150相接。

【0077】

如圖17所示，變化例2之半導體裝置10之製造方法與圖3所示之半導體裝置10之製造方法類似，但於未設置氧化金屬層130之圖案形成步驟(圖3之步驟S2005)這一點，與圖3所示之半導體裝置10之製造方法不同。換

言之，變化例2中，將形成於氧化金屬層130之上之氧化物半導體層140圖案化，對氧化金屬層130及圖案化後之氧化物半導體層140進行熱處理(OS退火及氧化退火)。其後之步驟S2006～S2014與圖3相同，因此省略詳細說明。

【0078】

〈第1實施方式之變化例3〉

使用圖18～圖22，對本實施方式之變化例3進行說明。變化例3之半導體裝置10之構造及製造方法與圖1～圖12不同。於以下說明中，省略與圖1～圖12所示之製造方法共通之製造方法之說明，而主要說明兩者之不同點所涉及之製造方法。

【0079】

圖18係表示本發明之一實施方式的半導體裝置之概要之剖視圖。圖19係表示本發明之一實施方式的半導體裝置之概要之俯視圖。

【0080】

如圖18及圖19所示，變化例3之半導體裝置10之構造與圖1及圖2所示之半導體裝置10之構造類似，但於氧化金屬層130之圖案與氧化物半導體層140之圖案不同這一點，與圖1所示之半導體裝置10之構造不同。具體而言，於圖18之剖視下，氧化物半導體層140之圖案較氧化金屬層130之圖案向更外側延伸。即，氧化物半導體層140越過氧化金屬層130之圖案。氧化物半導體層140於氧化金屬層130之圖案之外側與閘極絕緣層120相接。有時將閘極絕緣層120稱為「第1絕緣層」。

【0081】

源極/汲極電極200於未設置氧化金屬層130之區域與氧化物半導體層

140相接。於圖19之俯視下，氧化金屬層130之圖案位於氧化物半導體層140之圖案之內側。於與氧化金屬層130之圖案不重疊之區域設置有開口171、173。

【0082】

圖20係表示本發明之一實施方式的半導體裝置之製造方法之順序圖。圖21及圖22係表示本發明之一實施方式的半導體裝置之製造方法之剖視圖。如圖20所示，變化例3中，形成氧化金屬層130之圖案(步驟S2030之「AlO_x成膜」及S2031之「AlO_x圖案形成」)後形成氧化物半導體層140之圖案(步驟S2032之「OS成膜」及S2033之「OS圖案形成」)。與圖3不同，OS退火(步驟S2034之「OS退火」)係於形成閘極絕緣層150後進行。對上述構成換一種說法係將氧化金屬層130圖案化後成膜氧化物半導體層140，繼而再將該氧化物半導體層140圖案化。然後，對圖案化後之氧化物半導體層140及氧化金屬層130進行熱處理(OS退火及氧化退火)。

【0083】

如圖21所示，於閘極絕緣層120之上成膜氧化金屬層130(步驟S2030)，再形成氧化金屬層130之圖案(步驟S2031)。氧化金屬層130之圖案形成(蝕刻)採用與上述相同之方法來進行。

【0084】

如圖22所示，於圖案化後之氧化金屬層130之上成膜氧化物半導體層140(步驟S2032)，再形成氧化物半導體層140之圖案(步驟S2033)。氧化物半導體層140之圖案形成(蝕刻)採用與上述相同之方法來進行。然後，於圖22所示之狀態下進行OS退火(步驟S2034)。其後之步驟S2006～

S2012與圖3相同，因此省略詳細說明。

【0085】

綜上所述，根據本實施方式之變化例1~3之半導體裝置10，能獲得與本實施方式相同之效果。

【0086】

〈第2實施方式〉

使用圖23~圖27，對使用本發明之一實施方式之半導體裝置之顯示裝置進行說明。以下所示之實施方式中，對上述第1實施方式中說明之半導體裝置10應用於液晶顯示裝置之電路之構成進行說明。

【0087】

[顯示裝置20之概要]

圖23係表示本發明之一實施方式的顯示裝置之概要之俯視圖。如圖23所示，顯示裝置20具有陣列基板300、密封部310、對向基板320、軟性印刷電路基板330(FPC330)及IC(Integrated Circuit，積體電路)晶片340。陣列基板300與對向基板320藉由密封部310而貼合。於被密封部310包圍之液晶區域22，呈矩陣狀配置有複數個像素電路301。液晶區域22係俯視下與下述液晶元件311重疊之區域。

【0088】

設置有密封部310之密封區域24係液晶區域22之周圍之區域。FPC330設置於端子區域26。端子區域26係陣列基板300自對向基板320露出之區域，設置於密封區域24之外側。所謂密封區域24之外側係指設置有密封部310之區域及被密封部310包圍之區域之外側。IC晶片340設置於FPC330上。IC晶片340供給用以驅動各像素電路301之信號。

【0089】

[顯示裝置20之電路構成]

圖24係表示本發明之一實施方式的顯示裝置之電路構成之方塊圖。如圖24所示，於在D1方向(行方向)上與配置有像素電路301之液晶區域22鄰接之位置設置有源極驅動器電路302，於在D2方向(列方向)上與液晶區域22鄰接之位置設置有閘極驅動器電路303。源極驅動器電路302及閘極驅動器電路303設置於上述密封區域24。但供設置源極驅動器電路302及閘極驅動器電路303之區域並不限定於密封區域24，而可為任意區域，只要處於設置有像素電路301之區域之外側即可。

【0090】

源極配線304自源極驅動器電路302沿著D1方向延伸，且連接於沿著D1方向排列之複數個像素電路301。閘極配線305自閘極驅動器電路303沿著D2方向延伸，且連接於沿著D2方向排列之複數個像素電路301。

【0091】

於端子區域26設置有端子部306。端子部306與源極驅動器電路302藉由連接配線307而連接。同樣地，端子部306與閘極驅動器電路303藉由連接配線307而連接。藉由FPC330連接於端子部306，從而連接有FPC330之外部機器與顯示裝置20連接，利用來自外部機器之信號使設置於顯示裝置20之各像素電路301驅動。

【0092】

第1實施方式所示之半導體裝置10可用作像素電路301、源極驅動器電路302及閘極驅動器電路303內所含之電晶體。

【0093】

[顯示裝置20之像素電路301]

圖25係表示本發明之一實施方式的顯示裝置之像素電路之電路圖。如圖25所示，像素電路301包含半導體裝置10、保持電容350及液晶元件311等元件。半導體裝置10具有閘極電極160、源極電極201及汲極電極203。閘極電極160連接於閘極配線305。源極電極201連接於源極配線304。汲極電極203連接於保持電容350及液晶元件311。本實施方式中，為了便於說明，將以符號「201」表示之電極稱為源極電極，將以符號「203」表示之電極稱為汲極電極，但亦可為以符號「201」表示之電極作為汲極電極發揮功能，以符號「203」表示之電極作為源極電極發揮功能。

【0094】**[顯示裝置20之剖面構造]**

圖26係本發明之一實施方式之顯示裝置之剖視圖。如圖26所示，顯示裝置20係使用半導體裝置10之顯示裝置。本實施方式中，例示出了半導體裝置10用於像素電路301之構成，但半導體裝置10亦可用於包含源極驅動器電路302及閘極驅動器電路303之周邊電路。於以下說明中，半導體裝置10之構成與圖1所示之半導體裝置10相同，因此省略說明。

【0095】

於源極電極201及汲極電極203之上設置有絕緣層360。於絕緣層360之上設置有對複數個像素共通地設置之共通電極370。於共通電極370之上設置有絕緣層380。於絕緣層360、380設置有開口381。於絕緣層380之上及開口381之內部設置有像素電極390。像素電極390連接於汲極電極203。

【0096】

圖27係本發明之一實施方式的顯示裝置之像素電極及共通電極之俯視圖。如圖27所示，共通電極370具有俯視下與像素電極390重疊之重疊區域、及與像素電極390不重疊之非重疊區域。若向像素電極390與共通電極370之間供給電壓，則自重疊區域之像素電極390向非重疊區域之共通電極370形成橫向電場。利用該橫向電場使液晶元件311內所含之液晶分子動作，藉此決定像素之灰階。

【0097】

〈第3實施方式〉

使用圖28及圖29，對使用本發明之一實施方式之半導體裝置之顯示裝置進行說明。本實施方式中，對上述第1實施方式中說明之半導體裝置10應用於有機EL顯示裝置之電路的構成進行說明。顯示裝置20之概要及電路構成與圖23及圖24所示者相同，因此省略說明。

【0098】

[顯示裝置20之像素電路301]

圖28係表示本發明之一實施方式的顯示裝置之像素電路之電路圖。如圖28所示，像素電路301包含驅動電晶體11、選擇電晶體12、保持電容210及發光元件DO等元件。驅動電晶體11及選擇電晶體12具備與半導體裝置10相同之構成。選擇電晶體12之源極電極連接於信號線211，選擇電晶體12之閘極電極連接於閘極線212。驅動電晶體11之源極電極連接於陽極電源線213，驅動電晶體11之汲極電極連接於發光元件DO之一端。發光元件DO之另一端連接於陰極電源線214。驅動電晶體11之閘極電極連接於選擇電晶體12之汲極電極。保持電容210連接於驅動電晶體11之閘極電極

及汲極電極。向信號線211供給決定發光元件DO之發光強度之灰階信號。向閘極線212供給選擇寫入上述灰階信號之像素列之信號。

【0099】

[顯示裝置20之剖面構造]

圖29係本發明之一實施方式之顯示裝置之剖視圖。圖29所示之顯示裝置20之構成與圖26所示之顯示裝置20類似，但圖29之顯示裝置20之較絕緣層360靠上方之構造與圖26之顯示裝置20之較絕緣層360靠上方之構造不同。以下，省略圖29之顯示裝置20之構成中與圖26之顯示裝置20相同之構成之說明，而說明兩者之不同點。

【0100】

如圖29所示，顯示裝置20於絕緣層360之上方具有像素電極390、發光層392及共通電極394(發光元件DO)。像素電極390設置於絕緣層360之上及開口381之內部。於像素電極390之上設置有絕緣層362。於絕緣層362設置有開口363。開口363與發光區域對應。即，絕緣層362劃分出像素。於藉由開口363而露出之像素電極390之上設置有發光層392及共通電極394。像素電極390及發光層392係針對各像素個別地設置。另一方面，共通電極394係針對複數個像素共通地設置。發光層392可根據像素之顯示顏色而選用不同材料。

【0101】

第2實施方式及第3實施方式中，例示出了將第1實施方式中說明之半導體裝置應用於液晶顯示裝置及有機EL顯示裝置之構成，但亦可將該半導體裝置應用於該等顯示裝置以外之顯示裝置(例如，有機EL顯示裝置以外之自發光型顯示裝置或電子紙型顯示裝置)。又，自中小型顯示裝置至

大型顯示裝置，均可應用上述半導體裝置，並無特別限定。

[實施例]

【0102】

[半導體裝置10之電特性]

使用圖30及圖31，對上述實施方式之半導體裝置10之電特性進行說明。圖30及圖31所示之電特性係第1實施方式所示之半導體裝置10之電特性。

【0103】

[初始特性]

圖30及圖31所示之電特性之測定條件如下所示。

- 通道區域CH之尺寸： $W/L = 3.0 \mu\text{m}/3.0 \mu\text{m}$
- 源極/汲極間電壓：0.1 V(虛線)、10 V(實線)
- 閘極電壓： $-15 \text{ V} \sim +15 \text{ V}$
- 測定環境：室溫、暗室

【0104】

圖30及圖31中示出了半導體裝置10之電特性(I_d - V_g 特性)及遷移率。如圖30及圖31之曲線圖中以箭頭所示，對於汲極電流(I_d)之縱軸示於曲線圖之左側，對於根據該汲極電流計算所得之遷移率之縱軸示於曲線圖之右側。

【0105】

如圖30所示，第1實施方式之半導體裝置10之電特性呈現所謂之常閉特性，即：於閘極電壓 V_g 為高於0 V之電壓時，汲極電流 I_d 開始流通。根據該電特性計算所得之遷移率為約 $59[\text{cm}^2/\text{Vs}]$ 。

【0106】

圖31示出了第1實施方式之半導體裝置10之電特性與通道長度L及通道寬度W之依存性。圖31中示出了通道長度為2 μm ~4 μm 且通道寬度為2 μm ~25 μm 時之電特性。如圖31所示，確認可知：無論是通道長度為2 μm 且通道寬度為2 μm 時之電特性，還是通道長度為4 μm 且通道寬度為25 μm 時之電特性，均能獲得良好之電特性。圖31之各曲線圖中，對遷移率為40[cm^2/Vs]及60[cm^2/Vs]之值繪製了水平之虛線。圖31所示之所有尺寸之半導體裝置10中均實現了40[cm^2/Vs]以上之遷移率，一部分尺寸之半導體裝置10中實現了60[cm^2/Vs]以上之遷移率。

【0107】**[可靠性試驗]**

圖32係表示本發明之一實施方式的半導體裝置之可靠性試驗結果之圖。圖32中示出了藉由正偏壓溫度應力(PBTS, Positive Bias Temperature Stress)評價可靠性所得之結果、及藉由負偏壓溫度照射應力(NBTIS, Negative Bias Temperature Illumination Stress)評價可靠性所得之結果。圖32所示之可靠性試驗結果係第1實施方式所示之半導體裝置10之結果。

【0108】

PBTS可靠性試驗之條件如下所示。

- 通道區域CH之尺寸：W/L = 3.0 μm /3.0 μm
- 光照射條件：無照射(暗室)
- 閘極電壓：+30 V
- 源極及汲極電壓：0 V

- 施加應力時之階段溫度：60°C

【0109】

NBTIS可靠性試驗之條件如下所示。

- 通道區域CH之尺寸：W/L = 3.0 μm/3.0 μm
- 光照射條件：有照射(8000 cd/m²)
- 閘極電壓：-30 V
- 源極及汲極電壓：0 V
- 施加應力時之階段溫度：60°C

【0110】

如圖32所示，於施加應力前(0 sec)及施加應力後(3600 sec)分別評價半導體裝置之電特性所得之結果重疊地顯示。圖32中，施加應力前(0 sec)之電特性以虛線顯示，施加應力後(3600 sec)之電特性以實線顯示。

【0111】

施加應力前及施加應力後之半導體裝置10之電特性之測定條件如下所示。

- 源極/汲極間電壓：0.1 V、10 V
- 閘極電壓：-15 V ~ +15 V
- 測定環境：60°C、暗室

【0112】

如圖32所示，第1實施方式之半導體裝置10中，電特性於NBTIS試驗及PBTS試驗兩者中均幾乎未變。

【0113】

[濺鍍法對半導體裝置10之電特性之影響]

使用圖33，表示第1實施方式之半導體裝置10之電特性對氧化物半導體層140之成膜條件之依存性。圖33係表示本發明之一實施方式的半導體裝置之電特性之圖。被測定出圖33所示之電特性之半導體裝置10之製造方法除了氧化物半導體層140之成膜溫度以外，其他條件全部相同。如圖33所示，氧化物半導體層140之成膜溫度越低，半導體裝置10之電特性越有改善。可認為：藉由一面冷卻被成膜對象物一面進行氧化物半導體層140之成膜，能成膜結晶成分較少之狀態之氧化物半導體層140，且可認為：其後藉由OS退火，能獲得氧化物半導體層140之良好之結晶狀態。

【0114】

作為本發明之實施方式而於上文加以敘述之各實施方式只要不相互矛盾，即可適當組合實施。又，業者基於各實施方式之半導體裝置及顯示裝置而適當對構成要素進行追加、刪除或設計變更所形成者、或對步驟進行追加、省略或條件變更所形成者只要符合本發明之主旨，亦包含於本發明之範圍內。

【0115】

對於與藉由上述各實施方式之形態而獲得之作用效果不同之其他作用效果，只要為能根據本說明書之記載明確可知者、或容易被業者預測得知者，自然應理解為本發明所具有之作用效果。

【符號說明】

【0116】

- 10: 半導體裝置
- 11: 驅動電晶體
- 12: 選擇電晶體

- 20:顯示裝置
- 22:液晶區域
- 24:密封區域
- 26:端子區域
- 100:基板
- 105, 160:閘極電極
- 110, 120, 150:閘極絕緣層
- 130, 190:氧化金屬層
- 140:氧化物半導體層
- 141:上表面
- 142:下表面
- 143:側面
- 170, 180:絕緣層
- 171, 173:開口
- 200:源極/汲極電極
- 201:源極電極
- 203:汲極電極
- 210:保持電容
- 211:信號線
- 212:閘極線
- 213:陽極電源線
- 214:陰極電源線
- 220:抗蝕遮罩

- 300:陣列基板
- 301:像素電路
- 302:源極驅動器電路
- 303:閘極驅動器電路
- 304:源極配線
- 305:閘極配線
- 306:端子部
- 307:連接配線
- 310:密封部
- 311:液晶元件
- 320:對向基板
- 330:軟性印刷電路基板(FPC)
- 340:IC晶片
- 350:保持電容
- 360, 362:絕緣層
- 363, 381:開口
- 370:共通電極
- 380:絕緣層
- 390:像素電極
- 392:發光層
- 394:共通電極
- S2001～S2014:步驟

【發明申請專利範圍】**【請求項1】**

一種半導體裝置之製造方法，其係於基板之上形成以鋁為主成分之第1氧化金屬層，

於上述第1氧化金屬層之上形成氧化物半導體層，

以接觸於上述氧化物半導體層之圖案之上表面整體之方式，形成閘極絕緣層，

於上述閘極絕緣層之上形成以鋁為主成分之第2氧化金屬層，

於上述閘極絕緣層之上已形成上述第2氧化金屬層之狀態下進行熱處理，

於上述熱處理之後將上述第2氧化金屬層去除，

於上述閘極絕緣層之上形成閘極電極。

【請求項2】

如請求項1之半導體裝置之製造方法，其中上述閘極電極係以與藉由去除上述第2氧化金屬層而露出之上述閘極絕緣層相接之方式形成。

【請求項3】

如請求項1之半導體裝置之製造方法，其中於上述基板之上形成第1絕緣層，

於上述第1絕緣層之上形成上述第1氧化金屬層。

【請求項4】

一種半導體裝置之製造方法，其係於基板之上形成閘極電極，

於上述閘極電極之上形成閘極絕緣層，

於上述閘極絕緣層之上形成以鋁為主成分之第1氧化金屬層，

於上述第1氧化金屬層之上形成氧化物半導體層，

以接觸於上述氧化物半導體層之圖案之上表面整體之方式，形成第1絕緣層，

於上述第1絕緣層之上形成以鋁為主成分之第2氧化金屬層，

於上述第1絕緣層之上已形成上述第2氧化金屬層之狀態下進行熱處理，

於上述熱處理之後將上述第2氧化金屬層去除。

【請求項5】

如請求項1至4中任一項之半導體裝置之製造方法，其中上述氧化物半導體層係以與上述第1氧化金屬層相接之方式形成。

【請求項6】

如請求項1至4中任一項之半導體裝置之製造方法，其中去除上述第2氧化金屬層時不使用遮罩。

【請求項7】

如請求項1至4中任一項之半導體裝置之製造方法，其中藉由濺鍍法形成上述第1氧化金屬層。

【請求項8】

如請求項1至4中任一項之半導體裝置之製造方法，其中藉由濺鍍法形成上述第2氧化金屬層。

【請求項9】

如請求項1至4中任一項之半導體裝置之製造方法，其中一面冷卻上述基板，一面藉由濺鍍法形成上述氧化物半導體層。

【請求項10】

如請求項1至4中任一項之半導體裝置之製造方法，其中一面冷卻上述基板，以使上述基板之表面之溫度成為50°C以下，一面藉由濺鍍法形成上述氧化物半導體層。

【請求項11】

如請求項1至4中任一項之半導體裝置之製造方法，其中將形成於上述第1氧化金屬層之上之上述氧化物半導體層圖案化，

對上述第1氧化金屬層及圖案化後之上述氧化物半導體層進行熱處理。

【請求項12】

如請求項1至4中任一項之半導體裝置之製造方法，其中將上述氧化物半導體層及上述第1氧化金屬層圖案化，

對圖案化後之上述氧化物半導體層及上述第1氧化金屬層進行熱處理。

【請求項13】

如請求項1至4中任一項之半導體裝置之製造方法，其中將上述氧化物半導體層圖案化，

以圖案化後之上述氧化物半導體層為遮罩將上述第1氧化金屬層圖案化，

對圖案化後之上述氧化物半導體層及上述第1氧化金屬層進行熱處理。

【請求項14】

如請求項1至4中任一項之半導體裝置之製造方法，其中成膜上述氧化物半導體層前，將上述第1氧化金屬層圖案化，

將上述第1氧化金屬層圖案化後，成膜上述氧化物半導體層，

將上述氧化物半導體層圖案化，

對圖案化後之上述氧化物半導體層及上述第1氧化金屬層進行熱處理。

【請求項15】

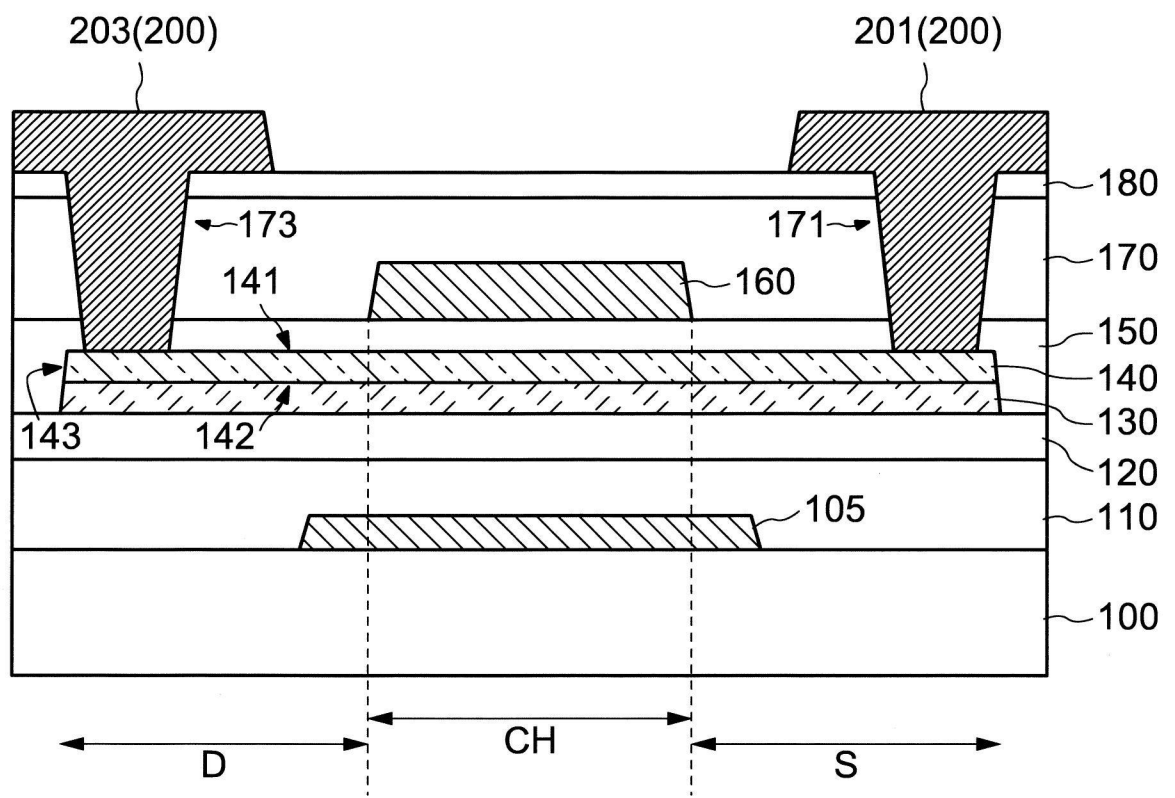
如請求項1至4中任一項之半導體裝置之製造方法，其中於1個獨立之上述氧化物半導體層之圖案中，至少將俯視下與上述氧化物半導體層重疊之所有上述第2氧化金屬層去除。

【請求項16】

如請求項1至4中任一項之半導體裝置之製造方法，其中藉由上述製造方法所得之上述半導體裝置之遷移率為 $50[\text{cm}^2/\text{V} \cdot \text{s}]$ 以上。

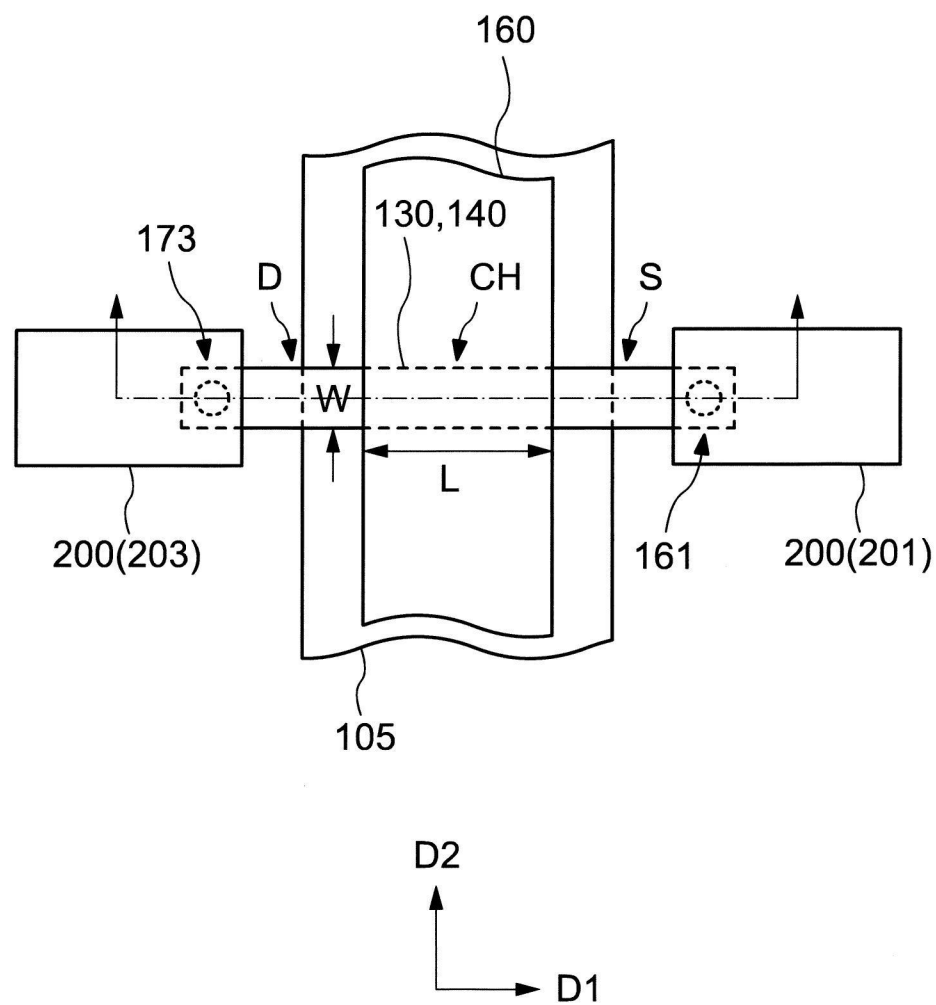
【發明圖式】

10



【圖1】

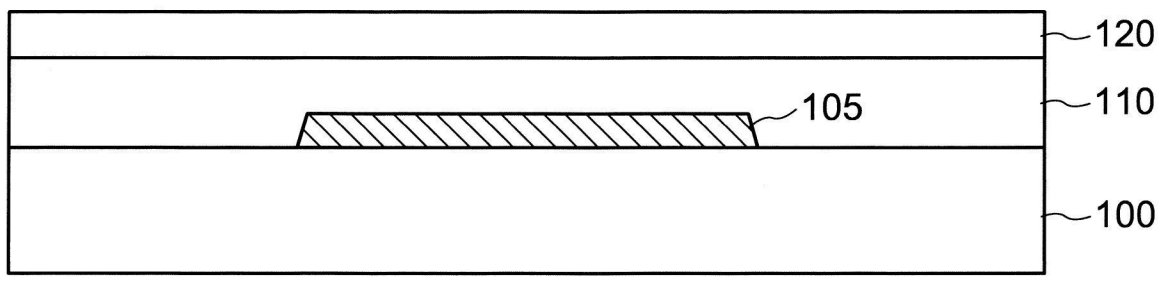
10



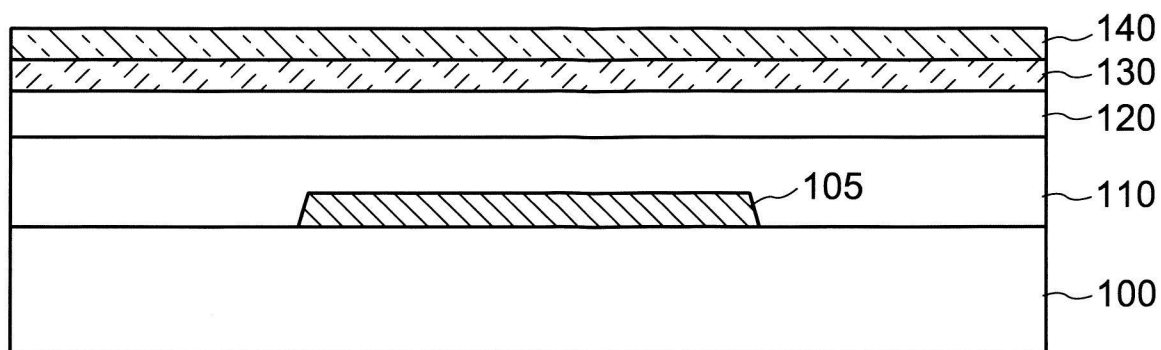
【圖2】



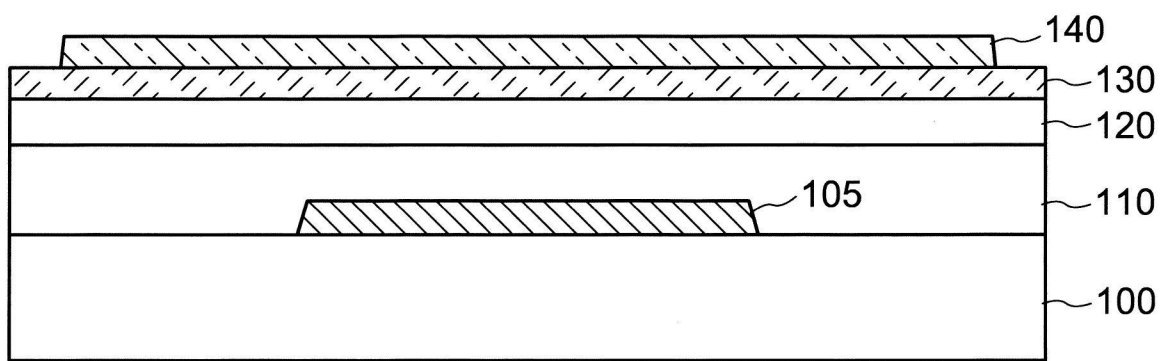
【圖3】



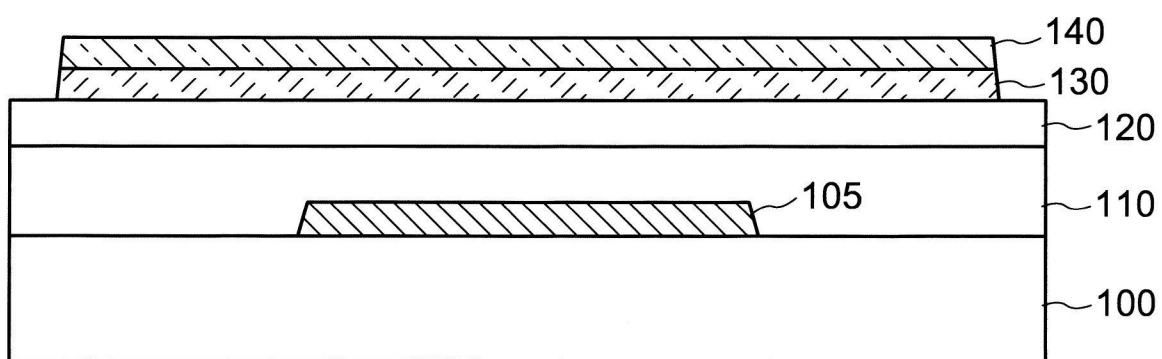
【圖4】



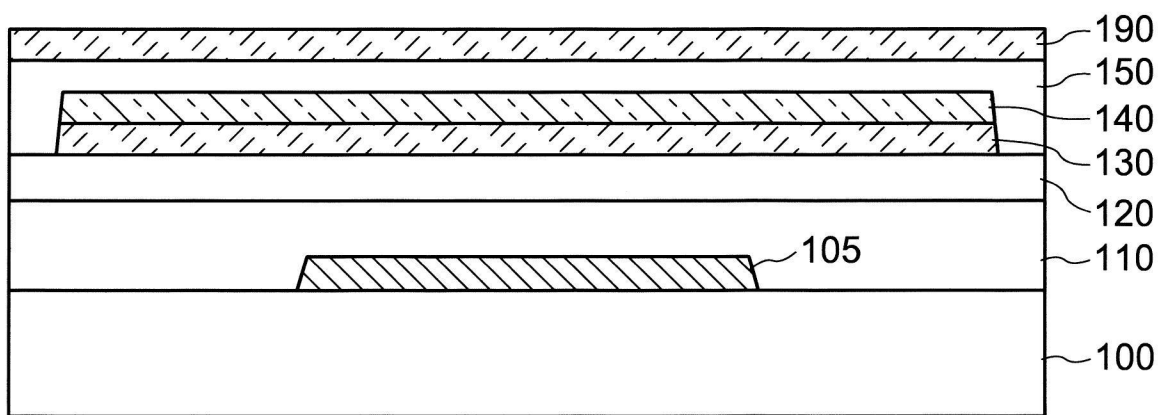
【圖5】



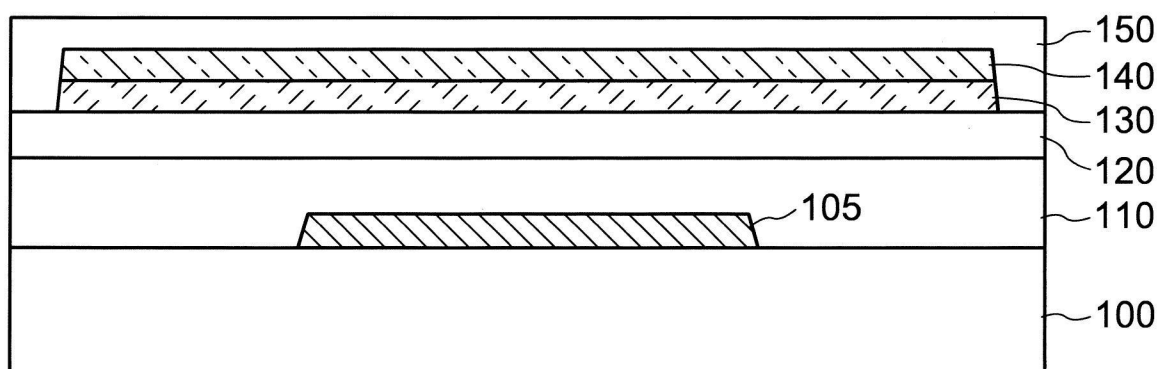
【圖6】



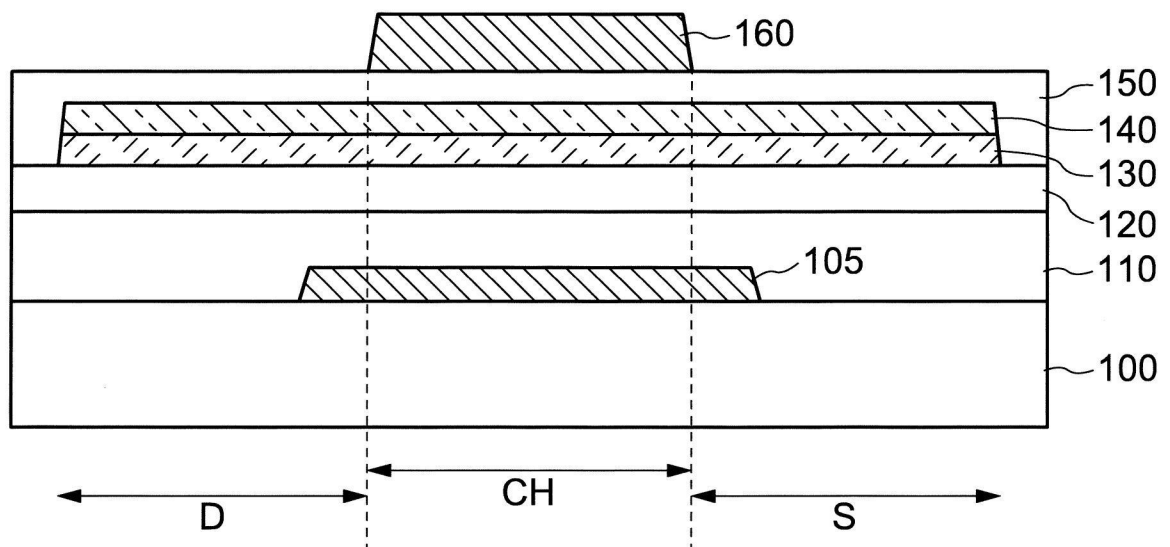
【圖7】



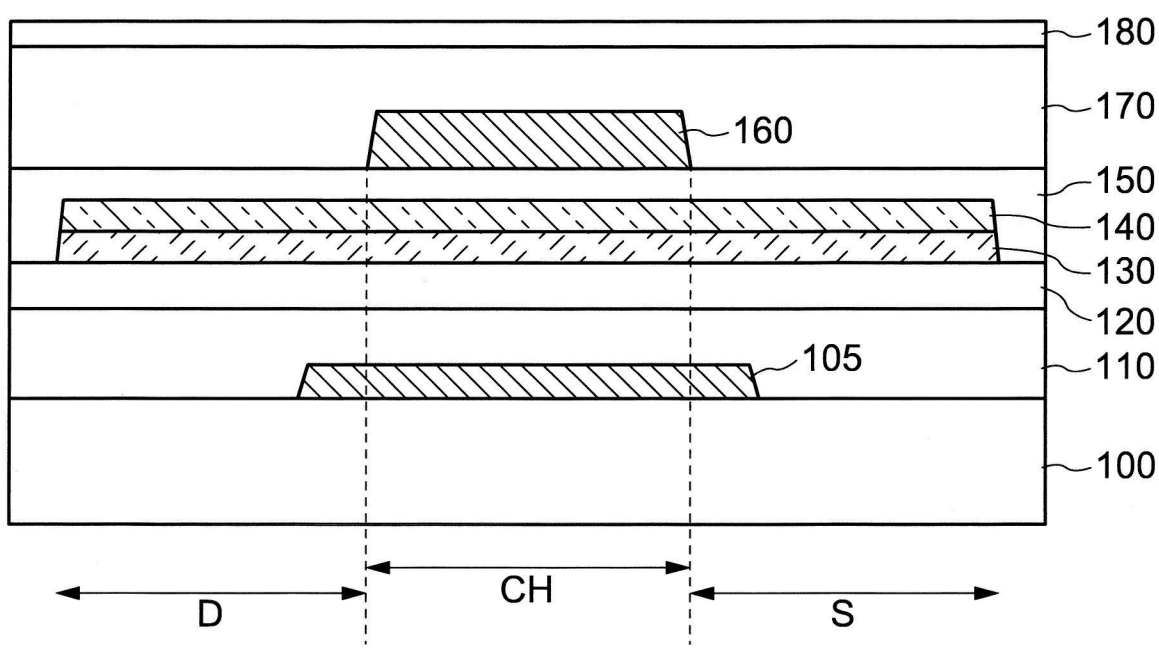
【圖8】



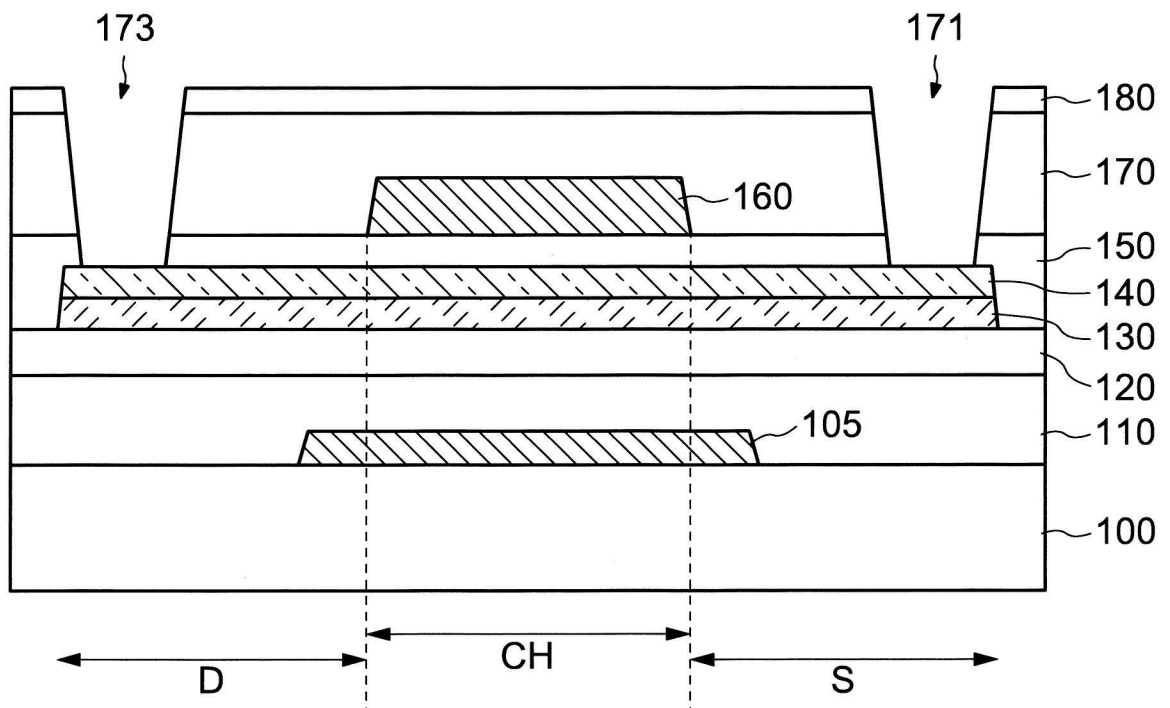
【圖9】



【圖10】



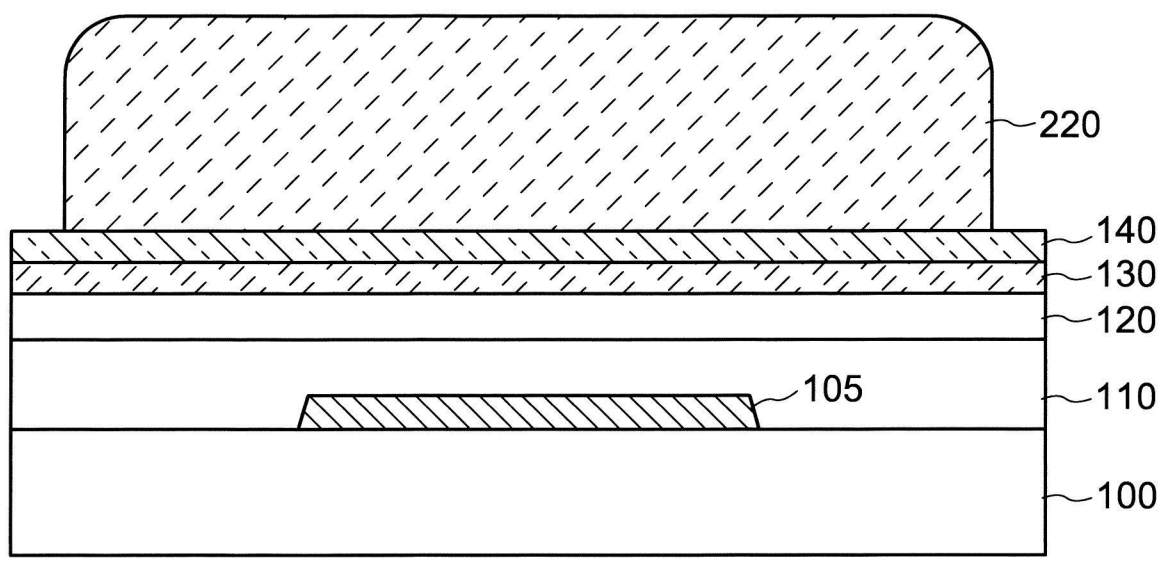
【圖11】



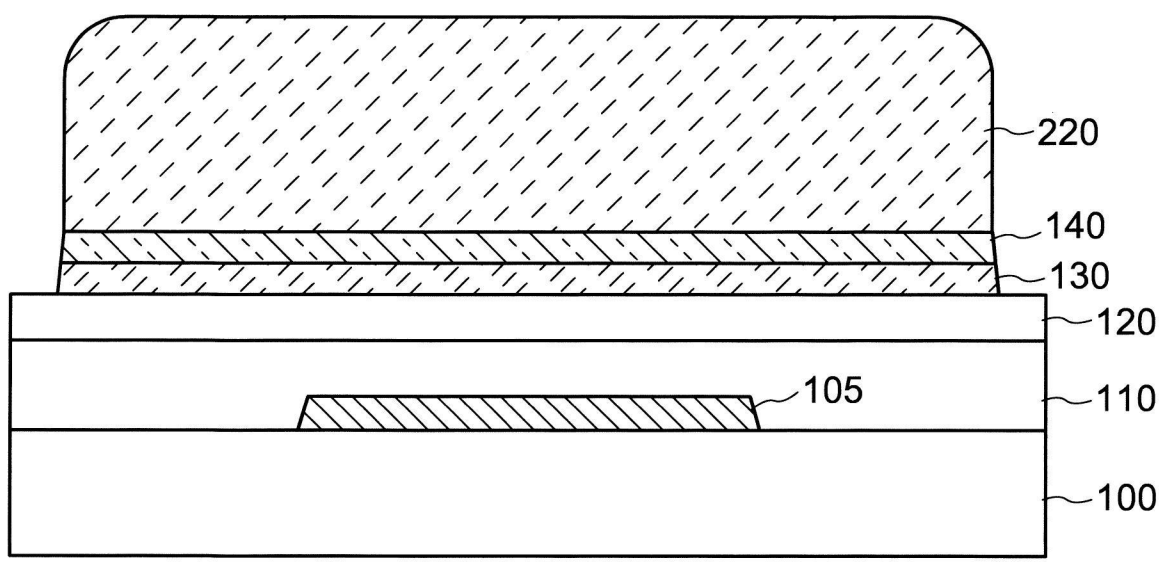
【圖12】



【圖13】

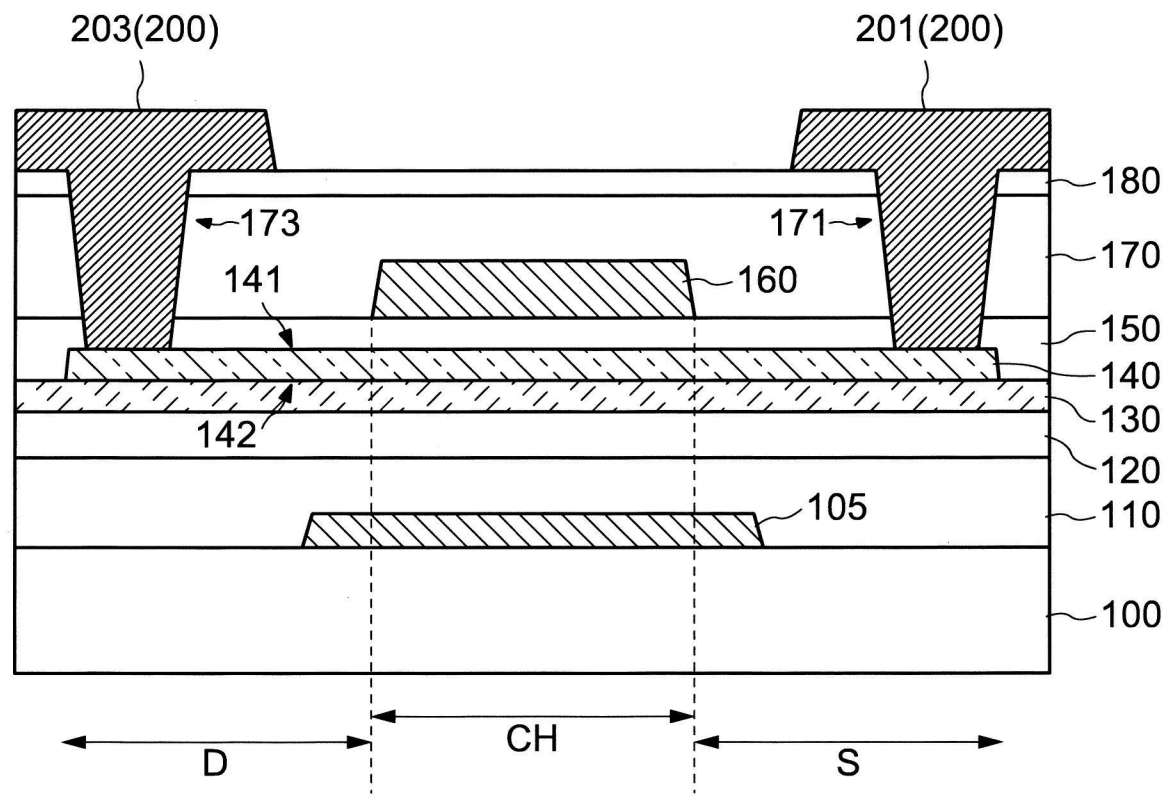


【圖14】



【圖15】

10

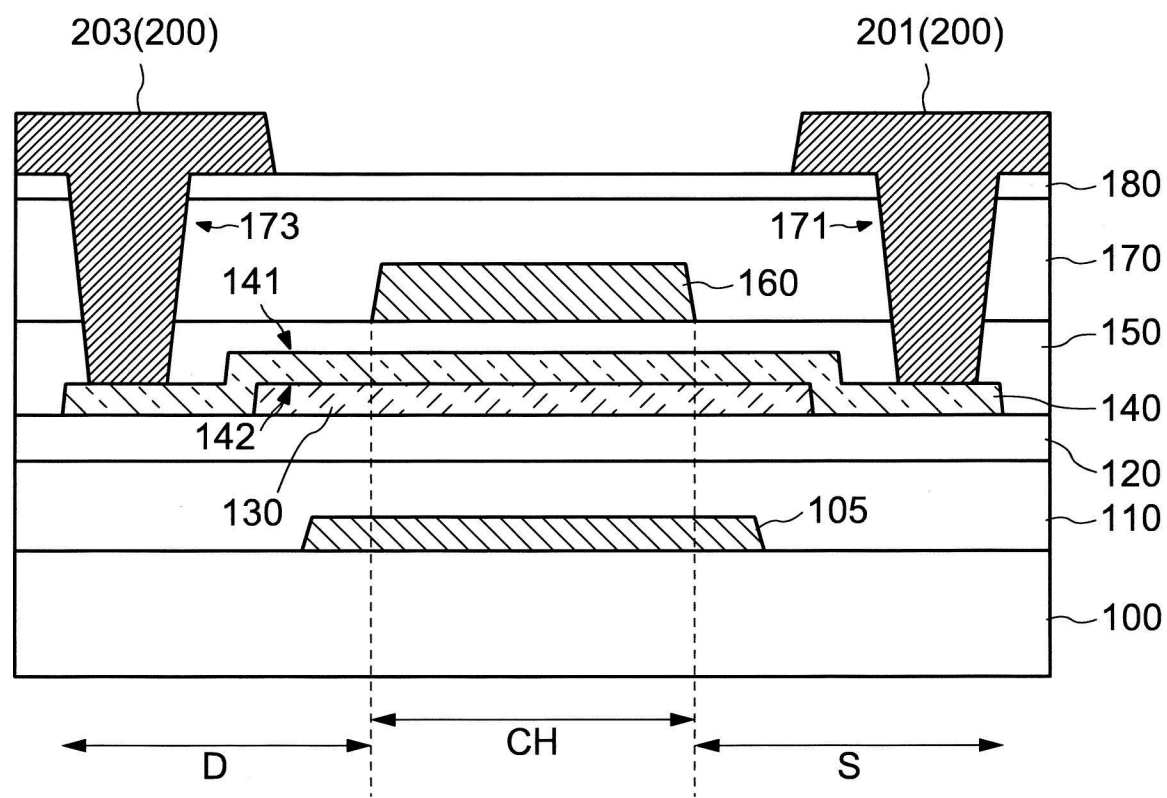


【圖16】



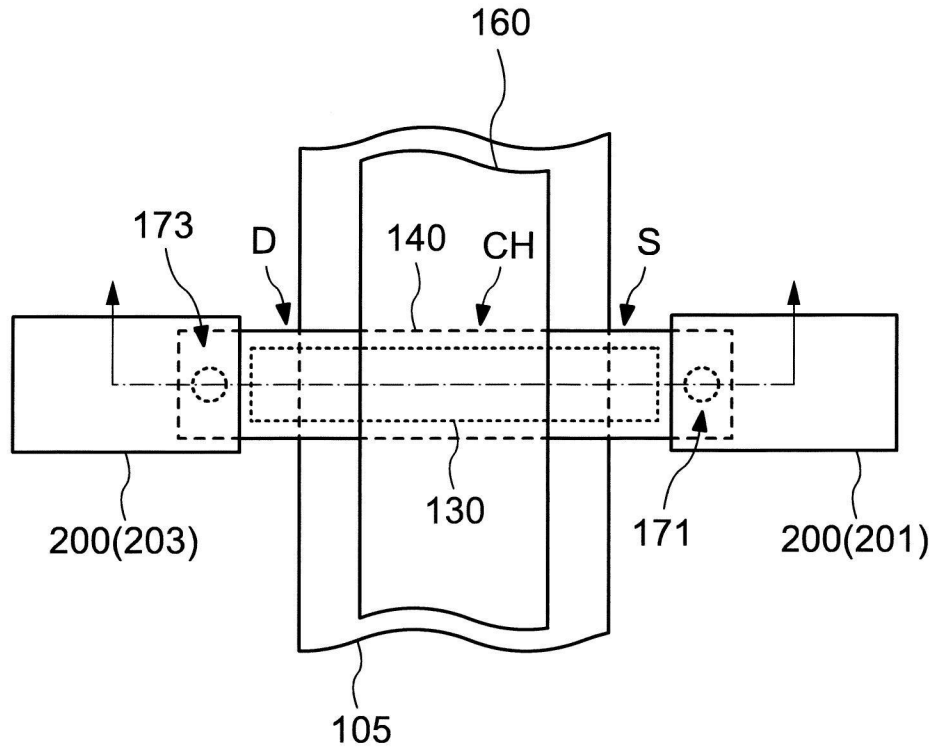
【圖17】

10



【圖18】

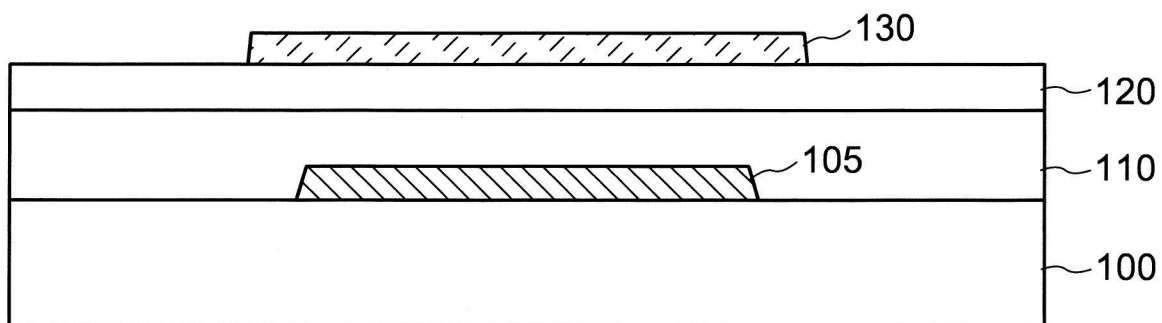
10



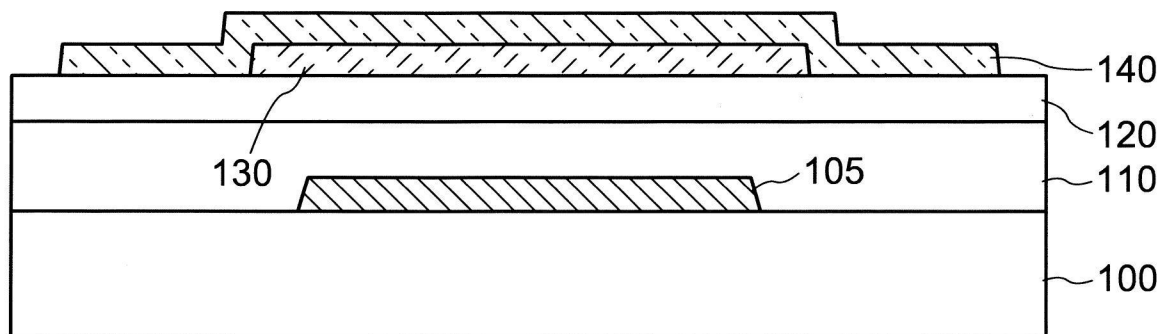
【圖19】



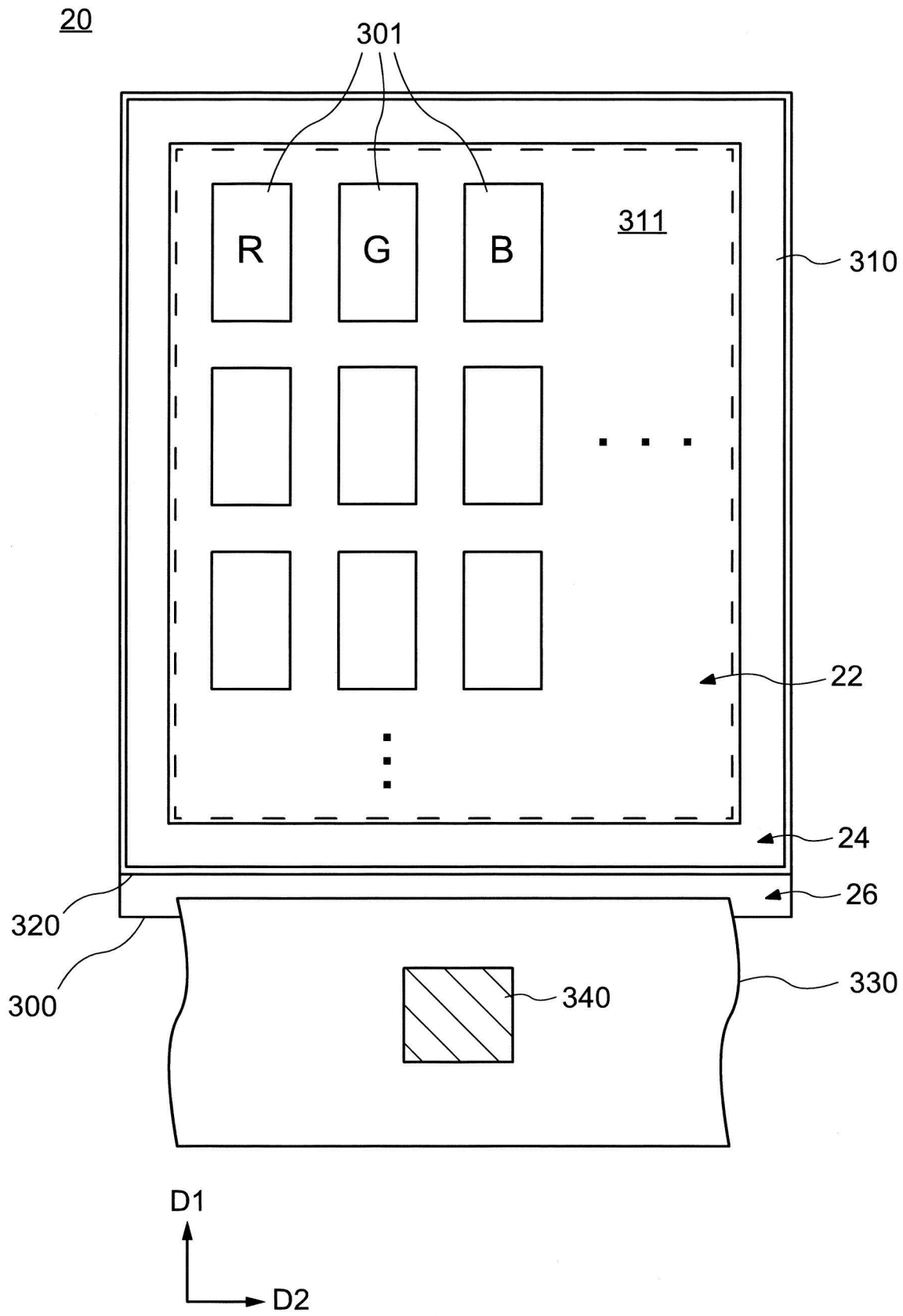
【圖20】



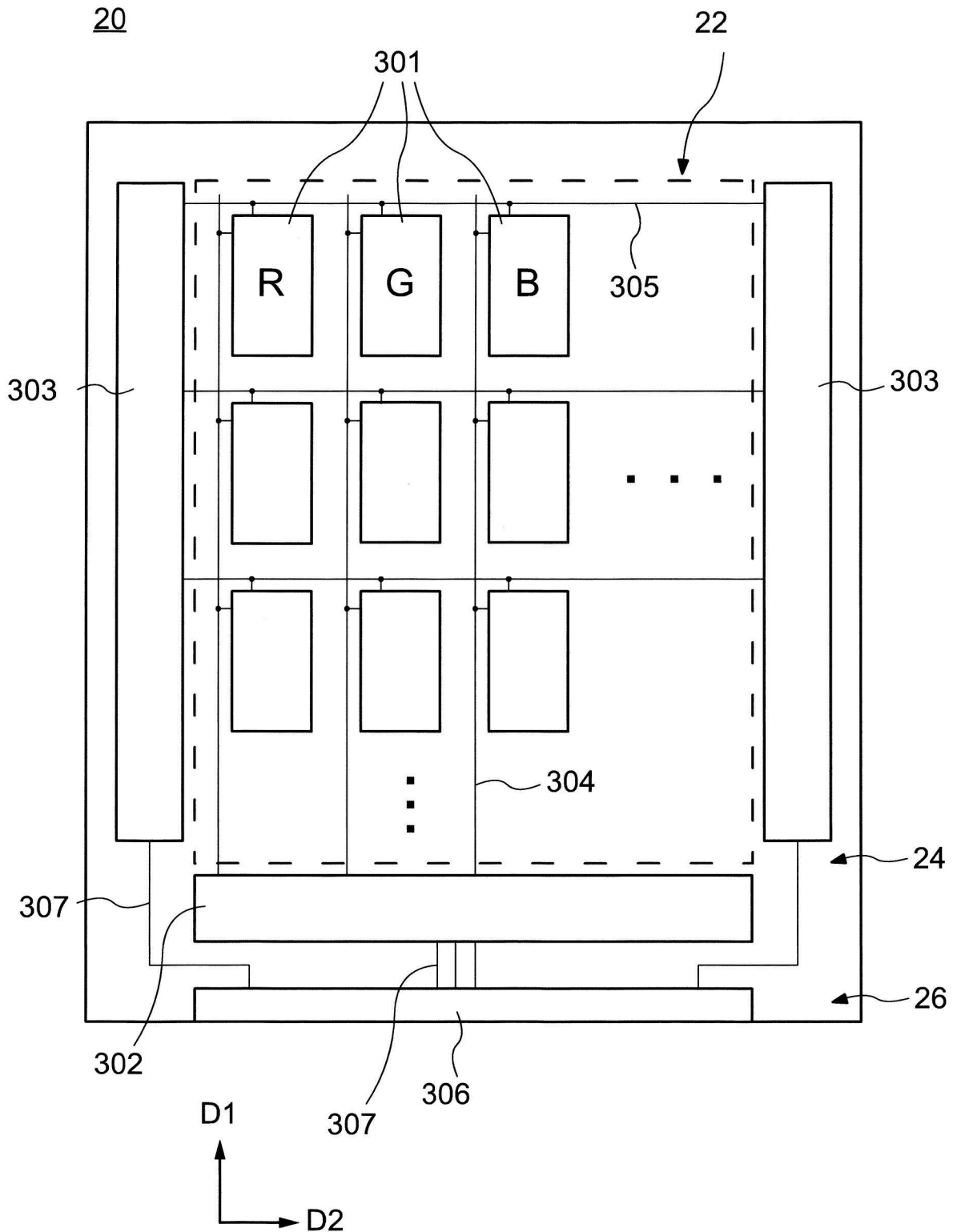
【圖21】



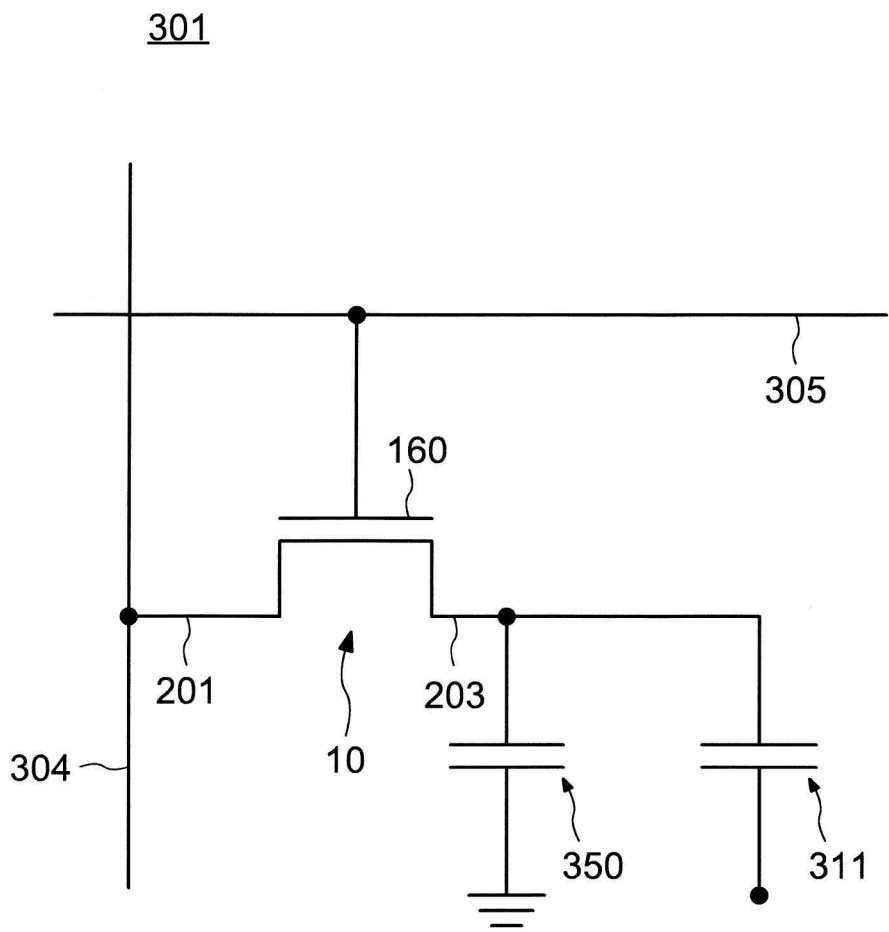
【圖22】



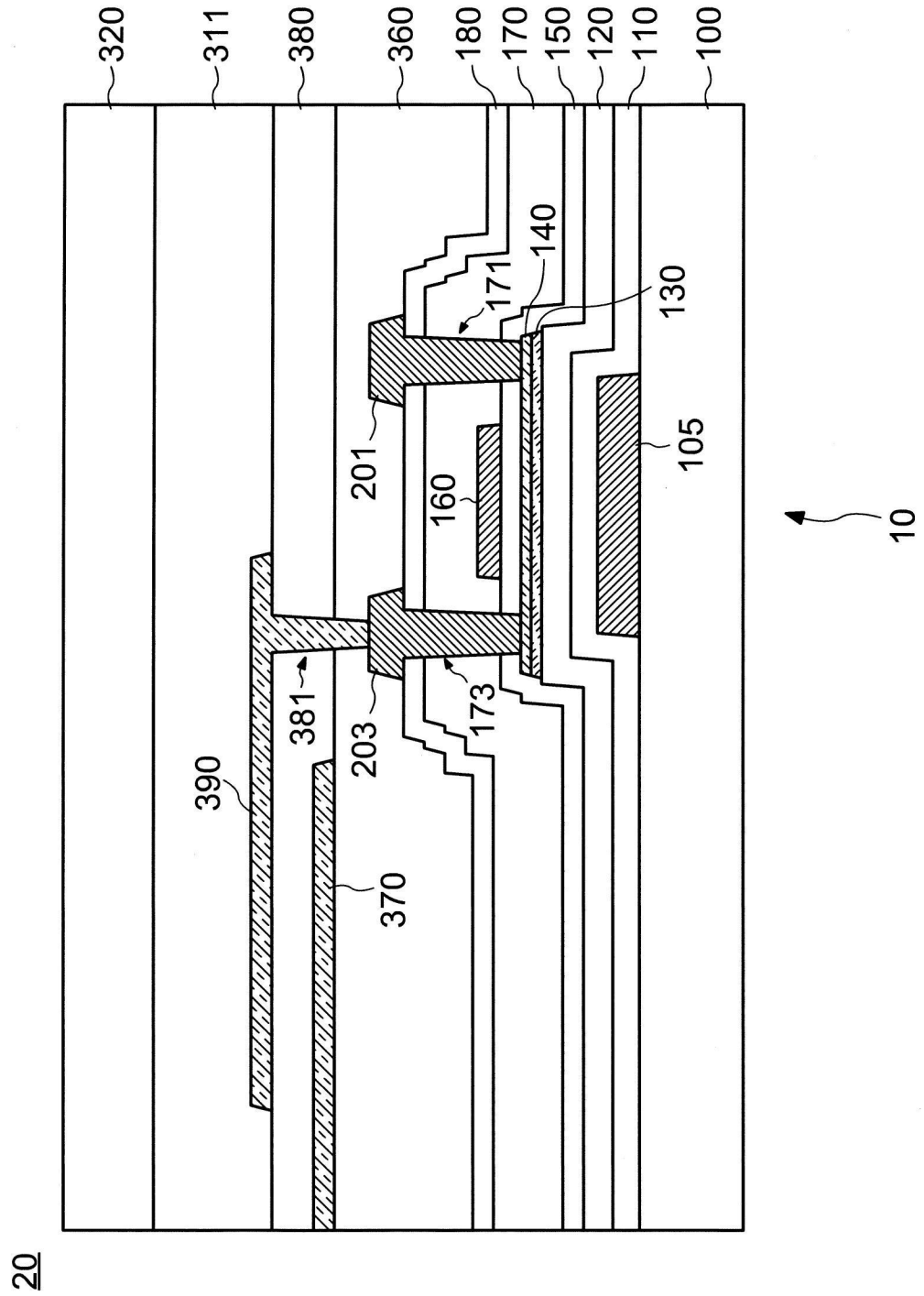
【圖23】



【圖24】

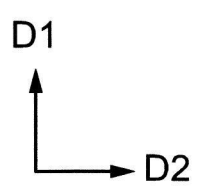
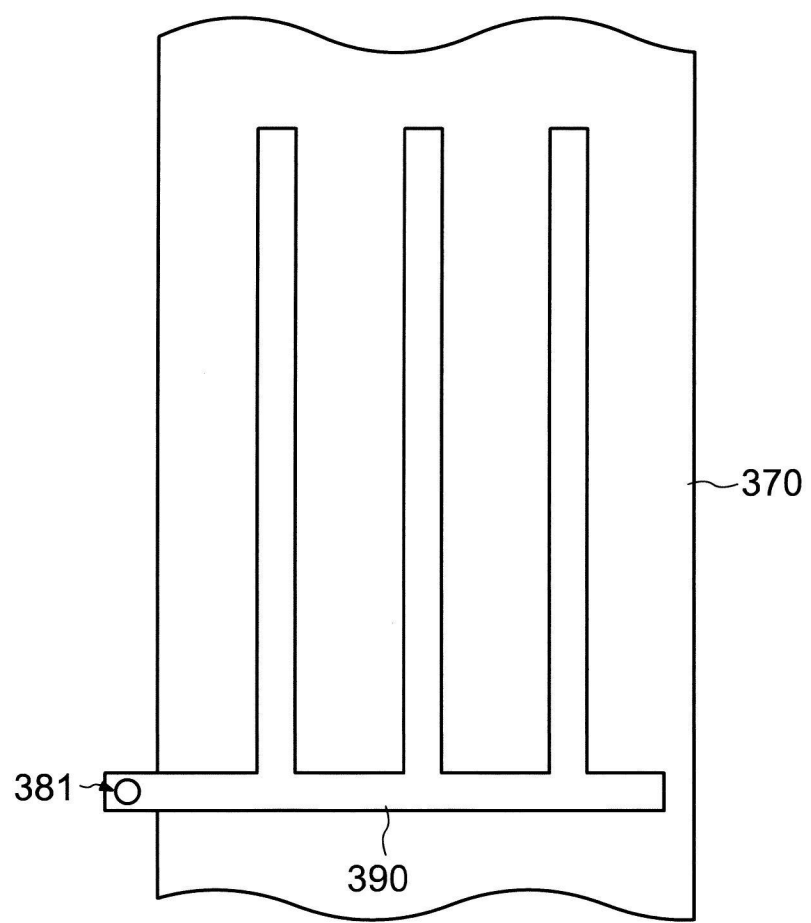


【圖25】

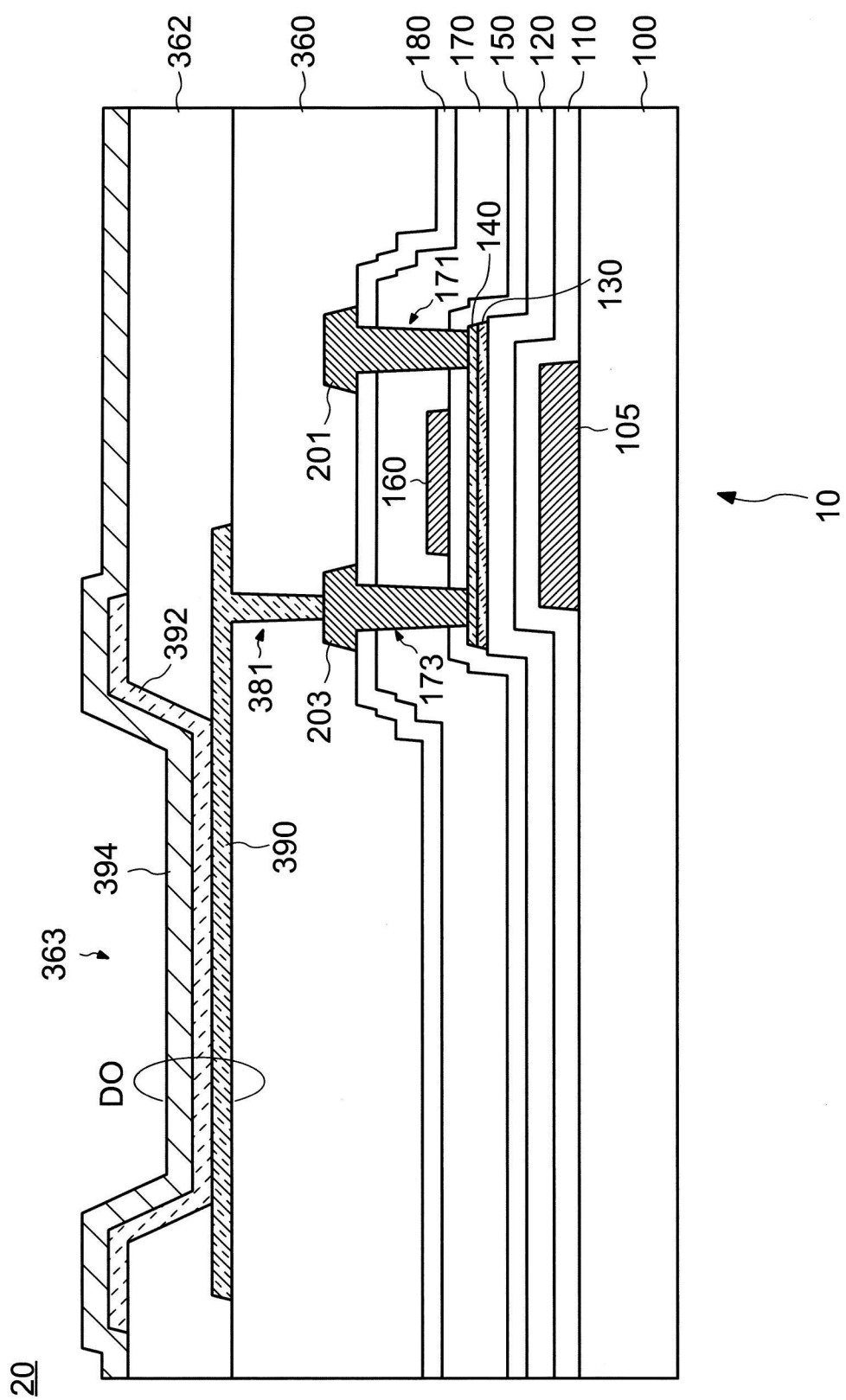


【圖26】

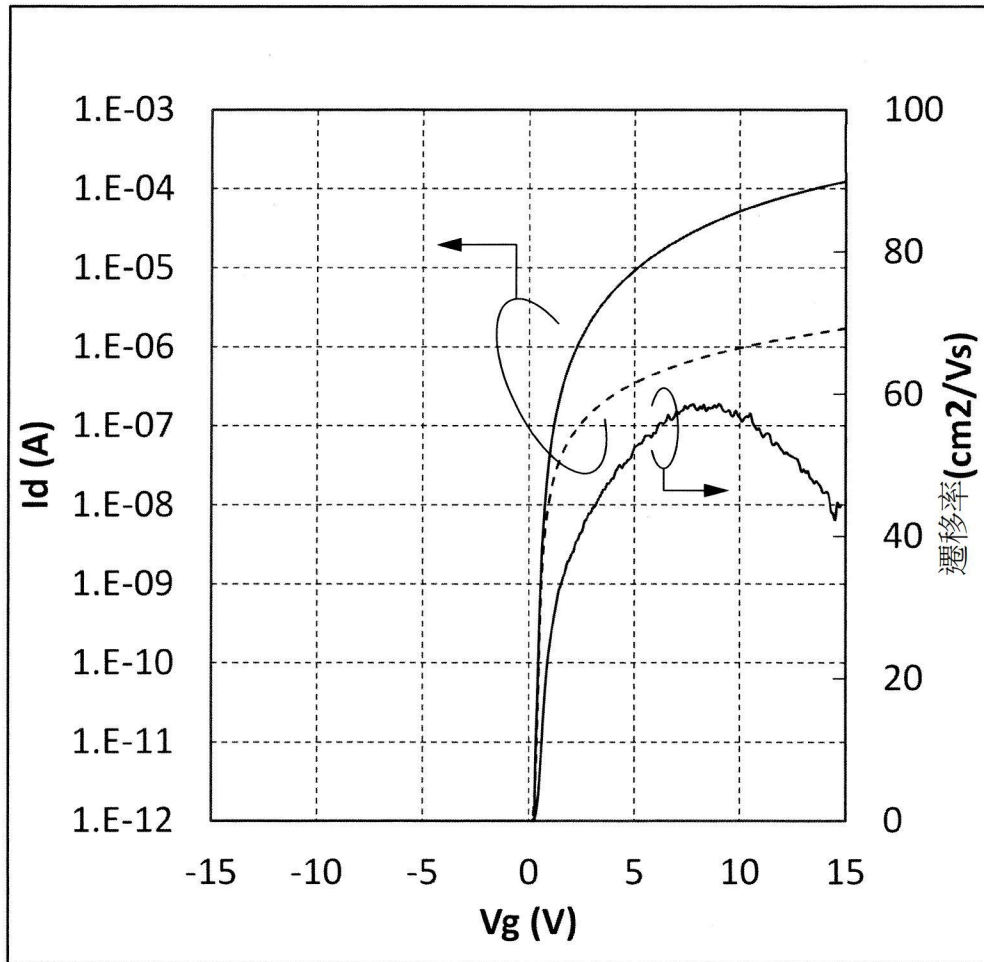
20



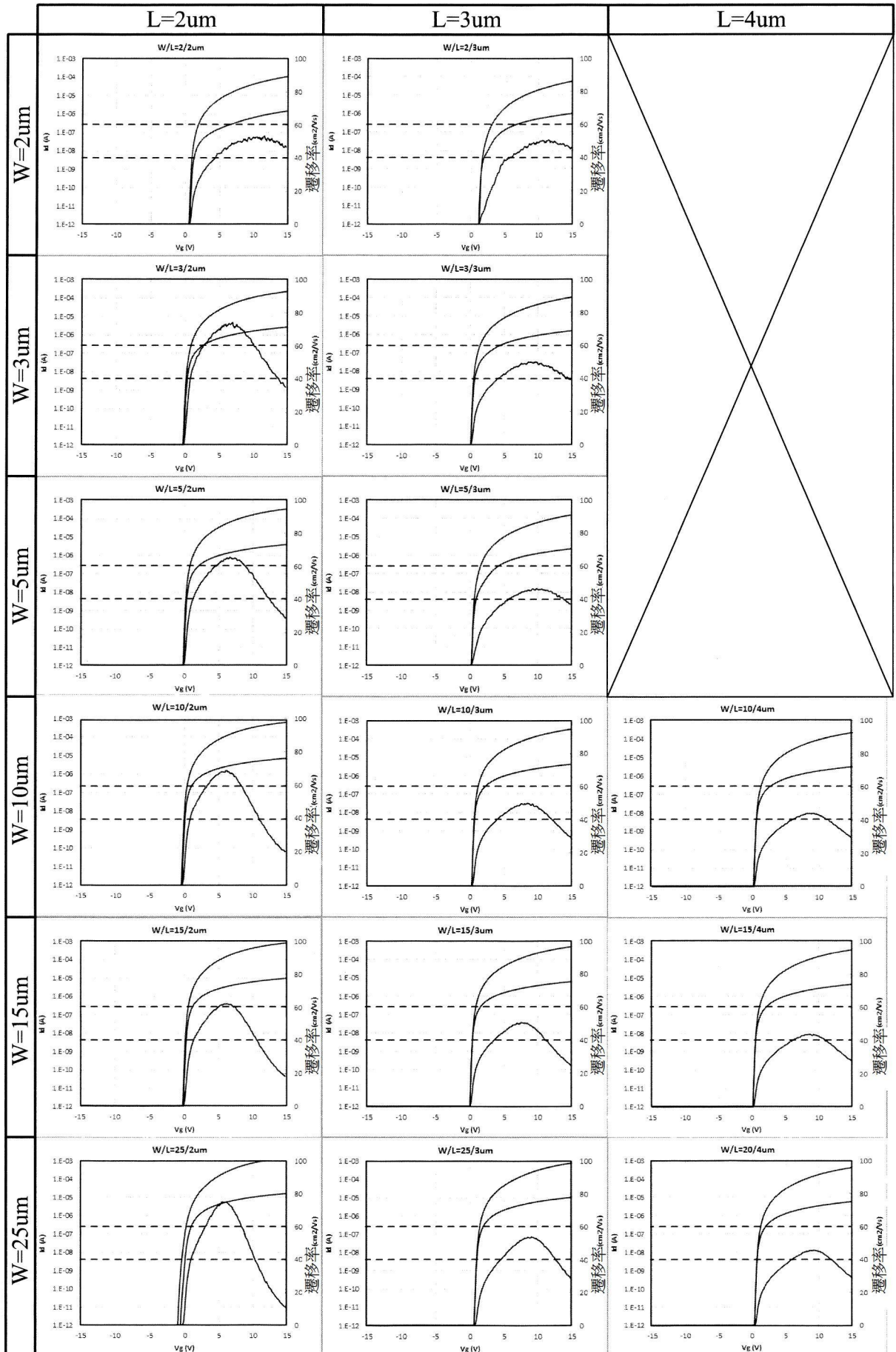
【圖27】



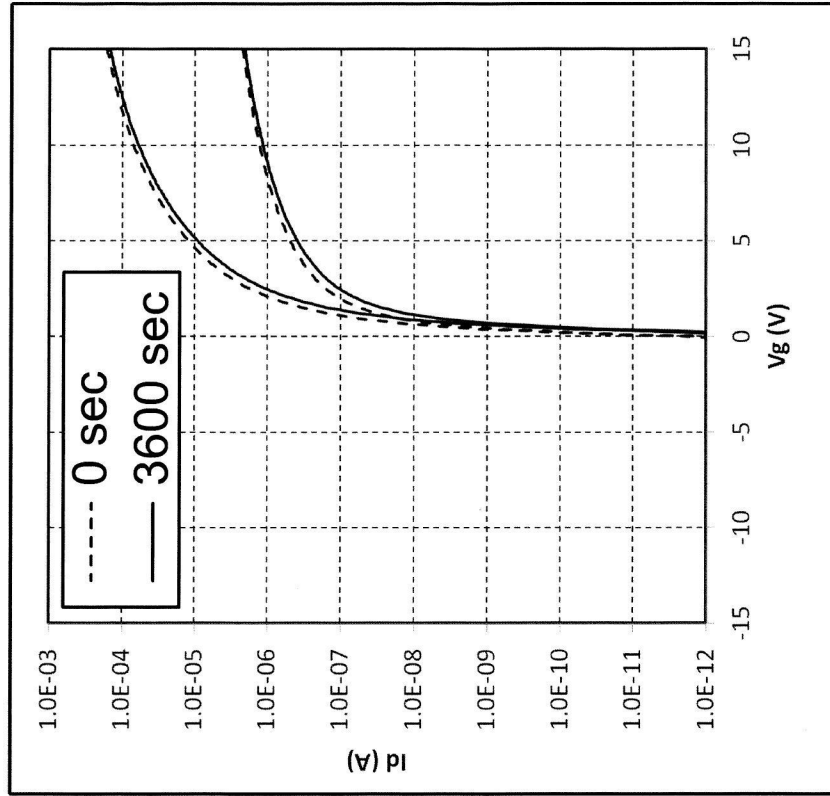
【圖29】



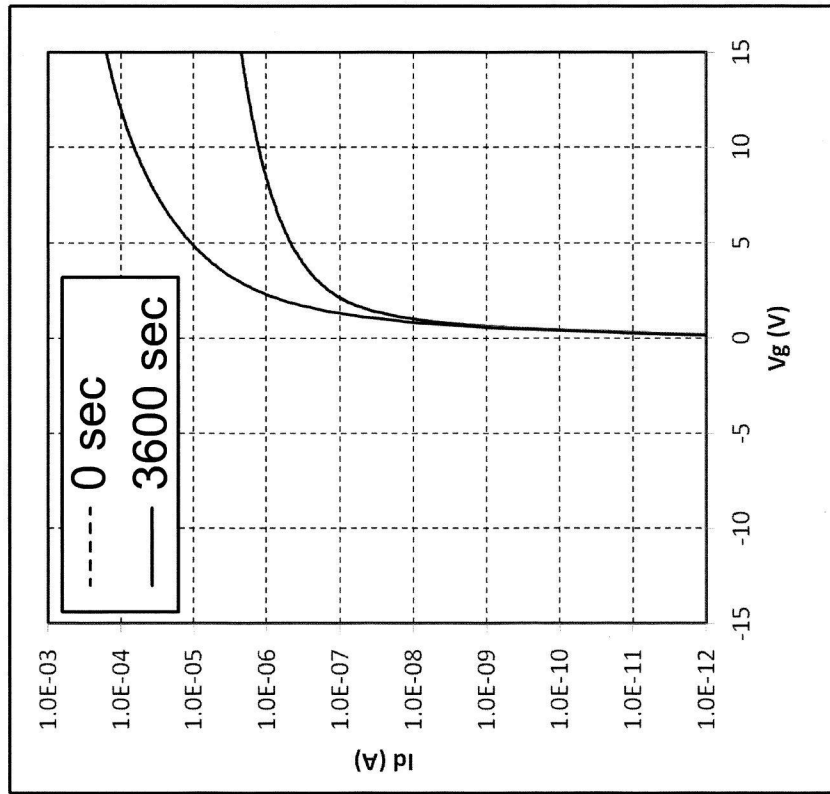
【圖30】



【圖31】

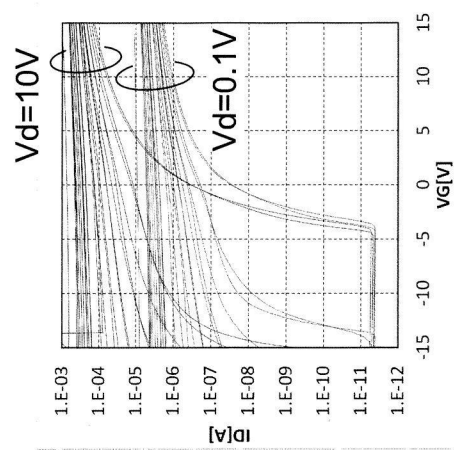


PBTS

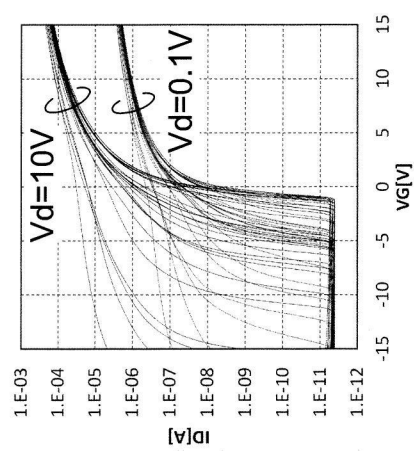


NBTIS

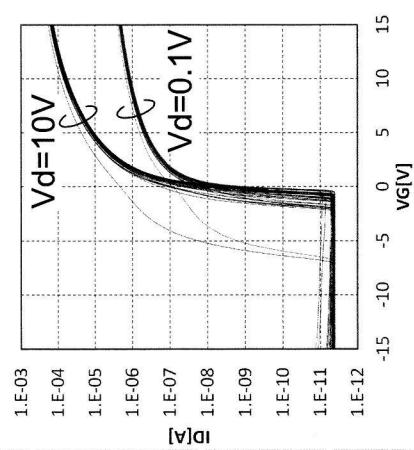
【圖32】



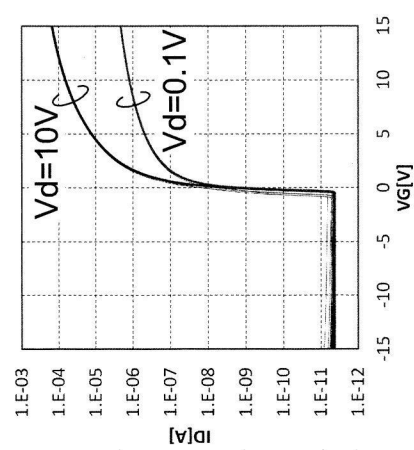
100°C



75°C



50°C



30°C

【圖33】