

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成18年5月11日(2006.5.11)

【公開番号】特開2000-268581(P2000-268581A)

【公開日】平成12年9月29日(2000.9.29)

【出願番号】特願平11-72639

【国際特許分類】

G 11 C 14/00 (2006.01)

G 11 C 11/22 (2006.01)

【F I】

G 11 C 11/34 352 A

G 11 C 11/22

【手続補正書】

【提出日】平成18年3月15日(2006.3.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のビット線と複数のワード線との交差位置に設けられた複数のメモリセルを有する強誘電体メモリ装置において、

前記複数のメモリセルは、第1のヒステリシス特性の強誘電体キャパシタを有する第1のメモリセルと、第2のヒステリシス特性の強誘電体キャパシタを有する第2のメモリセルとを有し、

第1のデータが前記第1及び第2のヒステリシス特性に基づいて前記メモリセルに記憶され、当該第1及び第2のヒステリシス特性にしたがって読み出され、

第2のデータが前記ヒステリシス特性の第1及び第2の分極状態に基づいて前記メモリセルに記憶され、当該第1及び第2の分極状態にしたがって読み出されることを特徴とする強誘電体メモリ装置。

【請求項2】

請求項1において、前記第1のヒステリシス特性は、前記強誘電体キャパシタに印加される所定の電圧又は電界変化に対して第1の分極変化を有し、前記第2のヒステリシス特性は、前記所定の電圧又は電界変化に対して前記第1の分極変化より大きい第2の分極変化を有することを特徴とする強誘電体メモリ装置。

【請求項3】

請求項1において、前記第1のヒステリシス特性の強誘電体キャパシタは、前記第2のヒステリシス特性の強誘電体キャパシタより容量が小さいことを特徴とする強誘電体メモリ装置。

【請求項4】

請求項1において、前記第1のヒステリシス特性の強誘電体キャパシタは、前記第2のヒステリシス特性の強誘電体キャパシタより面積が小さい又は膜厚が大きいことを特徴とする強誘電体メモリ装置。

【請求項5】

請求項1乃至4のいずれかにおいて、前記メモリセルは、前記ビット線と強誘電体キャパシタとの間に設けられ前記ワード線により導通を制御されるセルトランジスタを有し、前記強誘電体キャパシタを前記ビット線に接続した状態で、前記強誘電体キャパシタに対

して、第1の電圧又は電界を印加して前記ヒステリシス特性に応じた第1の分極状態にし、前記第1の電圧又は電界から第2の電圧又は電界に変化させて前記ヒステリシス特性に応じた第2の分極状態にし、前記第1の分極状態から第2の分極状態への変化に対応して変化する前記ビット線の電位変化によって、所望の記録データが読み出されることを特徴とする強誘電体メモリ装置。

【請求項6】

請求項5において、前記所望の記録データが読み出された時の前記ビット線の電位に従って、前記強誘電体キャパシタが対応する分極状態にされて、前記所望の記録データが前記メモリセルに書き込まれることを特徴とする強誘電体メモリ装置。

【請求項7】

請求項5において、更に、前記ビット線対を所定の電位に駆動して前記強誘電体キャパシタに対して前記第1の電圧又は電界を印加するリセット回路と、前記第1の分極状態から第2の分極状態への変化に対応して変化する前記ビット線の電位変化を検出するセンスアンプ回路とを有することを特徴とする強誘電体メモリ装置。

【請求項8】

請求項1乃至7のいずれかにおいて、前記ビット線は1対のビット線で構成され、前記メモリセルはそれぞれのビット線対に接続された1対のセルトランジスタと、当該1対のセルトランジスタにそれぞれ接続された1対の強誘電体キャパシタを有し、当該1対の強誘電体キャパシタが異なるヒステリシス特性を有し、前記ヒステリシス特性の組み合わせによって所望の記録データが記録されることを特徴とする強誘電体メモリ装置。

【請求項9】

請求項1乃至7のいずれかにおいて、前記メモリセルは、前記ビット線に接続された1つのセルトランジスタと、前記セルトランジスタに接続された前記強誘電体キャパシタとを有することを特徴とする強誘電体メモリ装置。