(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
20. September 2012 (20.09.2012)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2012/123276 A1

(51) Internationale Patentklassifikation:
H03K 17/082 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2012/053768

(22) Internationales Anmeldedatum:
6. März 2012 (06.03.2012)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2011 005 708.0 17. März 2011 (17.03.2011) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **SB LIMOTIVE GERMANY GMBH** [DE/DE]; Kruppstrasse 20, 70469 Stuttgart (DE). **SB LIMOTIVE COMPANY LTD.** [KR/KR]; 428-5 Gongse-dong, Giheung-gu, Yongin-si, Gyeonggi-do 446-577 (KR).

(72) Erfinder; und

(75) Erfinder/Anmelder *(nur für US)*: **BUTZMANN, Stefan** [DE/DE]; Heilbronner Str. 23, 71717 Beilstein (DE).

(74) Anwalt: **BEE, Joachim**; Postfach 30 02 20, Wernerstr. 1, 70442 Stuttgart (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[Fortsetzung auf der nächsten Seite]

(54) Title: DEVICE FOR DEACTIVATING A POWER TRANSISTOR

(54) Bezeichnung : VORRICHTUNG ZUM ABSCHALTEN EINES LEISTUNGS-TRANSISTORS

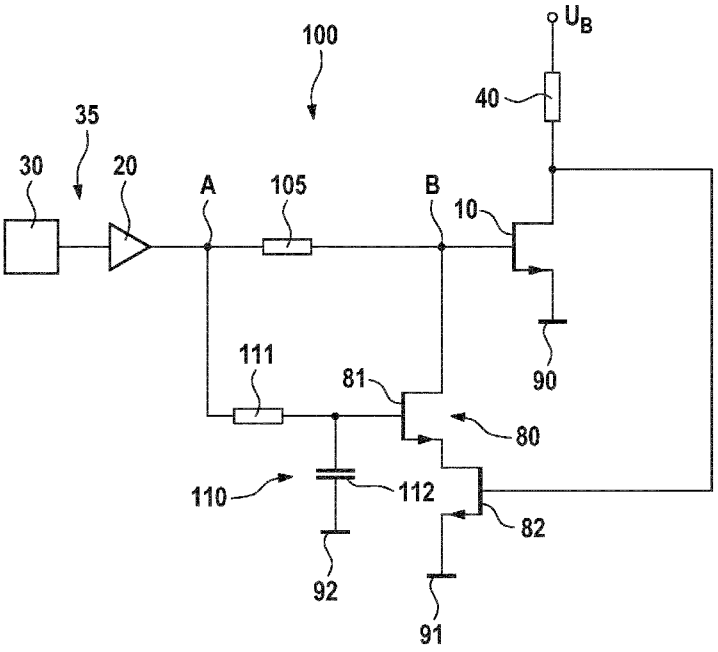


FIG. 4

(57) Abstract: The invention relates to a device (100) for deactivating a power field effect transistor (10) during short-circuiting of the load (40) thereof, wherein the device (100) comprises means for deactivating the power field effect transistor (10) to protect the power field effect transistor (10), wherein the means have a transistor series connection (80) which connects the gate terminal of the power field effect transistor (10) to the electrical potential (90, 91) of the source terminal of the transistor.

(57) Zusammenfassung: Es wird eine Vorrichtung (100) zum Abschalten eines Leistungs-Feldeffekttransistors (10) beim Kurzschluss seiner Last (40) beschrieben, wobei die Vorrichtung (100) zum Schützen des Leistungs-Feldeffekttransistors (10) Mittel zum Abschalten des Leistungs-Feldeffekttransistors (10) umfasst, wobei die Mittel eine Transistor-Reihenschaltung (80) aufweisen, die den Gate-Anschluss des Leistungs-Feldeffekttransistors (10) mit dem elektrischen Potenzial (90, 91) seines Source-Anschlusses verbindet.

WO 2012/123276 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

Beschreibung

Titel

Vorrichtung zum Abschalten eines Leistungs-Transistors

Die vorliegende Erfindung betrifft eine Vorrichtung zum Abschalten eines Leistungs-Feldeffekttransistors beim Kurzschluss seiner Last.

Stand der Technik

In vielen Steuergeräten für automotive und industrielle Anwendungen werden so genannte Leistungsendstufen (Leistungsverstärker) eingesetzt, die dazu dienen, eine Last mit einem hohen Strom zu versorgen. Figur 1 zeigt eine typische Konfiguration, bei der ein Leistungs-MOSFET 10 über einen Treiber 20 von einem Mikrocontroller 30 angesteuert wird. Da diese Endstufen elektrisch meist mit den Pins eines Steckers verbunden sind, besteht die Gefahr, dass sie von außen kurzgeschlossen werden, beispielsweise wenn die Last 40 einen Defekt aufweist.

Wie in der Figur 2 gezeigt, ist eine mögliche Abhilfemaßnahme für diesen Fall der Einsatz eines Shunt-Widerstands 50, über welchem im Kurzschlussfall ein hoher Strom fließt, was durch eine Schaltung zur Überstromerkennung 60 erkannt werden kann. Es wird dann ein entsprechender Fehler an den Mikrocontroller 30 zurückgemeldet, welcher die Leistungs-Endstufe 20 dann abschaltet, oder es wird der Treiber 20 direkt über eine Analogschaltung 60 für eine gewisse Zeit deaktiviert.

Figur 3 zeigt eine weitere Möglichkeit nach dem Stand der Technik, wobei die Temperatur des Transistors 10 über einen Temperatursensor 70 zu messen ist. Dabei wird bei Erreichen einer Übertemperatur die Abschaltung der Leistungs-Endstufe 20 herbeigeführt. Dieses Verfahren findet insbesondere bei

intelligenten Leistungs-MOSFETs Anwendung, bei denen das temperaturabhängige Element direkt auf den Chip geklebt wird und beim Erreichen einer Schwelltemperatur ein Thyristor zum Abschalten des Gates gezündet wird.

Nachteilig an diesen Verfahren ist, dass sowohl der Einsatz eines Shunt-Widerstands wie auch die Verwendung selbstschützender Leistungs-MOSFETs relativ kostenintensiv sind.

Aus der EP 0 384 937 A1 ist eine Schaltungsanordnung zum Schutz eines Leistungs-MOSFETs bei Kurzschluss seiner Last bekannt, wobei die Schaltungsanordnung Mittel aufweist, die die Gate-Source-Spannung des Leistungs-MOSFETs auf einen niedrigeren Wert als die Eingangspannung einstellen, wenn seine Drain-Source-Spannung über einem vorgegebenen Wert liegt. Dabei weisen die Mittel eine Reihenschaltung aus einer Zener-Diode und einem Transistor auf. Diese genannte Reihenschaltung ist zwischen dem Gate-Anschluss und dem Source–Anschluss des Leistuns-MOSFETs geschaltet.

Nachteilig dabei ist, dass die Gate-Source–Spannung des Leistungs-MOSFETs auch im Kurzschluss seiner Last auf einen solchen Wert eingestellt wird, dass der Leistungs-MOSFET leitend bleibt. Dadurch bleibt der Kurzschluss in der Schaltungsanordnung möglicherweise unbeobachtet, der Leistungs-MOSFET wird trotz eines fehlerhaften Zustands weiter betrieben und dadurch auf Dauer beschädigt.

Offenbarung der Erfindung

Erfindungsgemäß wird eine Vorrichtung zum Schützen eines Leistungs-Feldeffekttransistors beim Kurzschluss seiner Last bereitgestellt, wobei die Vorrichtung Mittel zum Abschalten des Leistungs-Feldeffekttransistors beim Kurzschluss seiner Last umfasst. Die Mittel weisen eine Transistor-Reihenschaltung auf, die den Gate-Anschluss des Leistungs-Feldeffekttransistors mit dem elektrischen Potenzial seines Source-Anschlusses verbindet. Insbesondere wird ein Leistungs-Metall-Oxid-Halbleiter-Feldeffekttransistor (Leistungs-MOSFET) verwendet beziehungsweise geschützt.

Die erfindungsgemäße Vorrichtung hat den Vorteil, dass der Leistungs-Feldeffekttransistor beim Kurzschluss seiner Last auf einfache und kostengünstige Weise mittels einer Transistor-Reihenschaltung abgeschaltet wird. Das geschieht, indem der Gate-Anschluss des Leistungs-Feldeffekttransistors mit einer Stelle, die das elektrische Potenzial seines Source-Anschlusses aufweist, mittels der Transistor-Reihenschaltung leitend verbunden ist. Im Kurzschlussfall werden die Transistoren der Reihenschaltung leitend geschaltet, und der Strom fließt dann über die Transistor-Reihenschaltung zwischen dem Gate-Anschluss des Leistungs-Feldeffekttransistors und der Stelle mit dem elektrischen Potenzial seines Source-Anschlusses. Da die Transistoren der Reihenschaltung einen sehr kleinen Innenwiderstand haben, wird der Gate-Anschluss des Leistungs-Feldeffekttransistors auf das Potenzial seines Source-Anschlusses gezogen. Dadurch wird der Leistungs-Feldeffekttransistor abgeschaltet.

Mittels der erfindungsgemäßen Vorrichtung wird ein Kurzschluss der Last des Leistungs-Feldeffekttransistors erkannt und der Leistungs-Feldeffekttransistor ausgeschaltet, wodurch sichergestellt wird, dass der Leistungs-Feldeffekttransistor in einem fehlerhaften Zustand nicht mehr weiter betrieben wird und nicht beschädigt wird.

Gemäß einer vorteilhaften Ausführung der Erfindung ist es vorgesehen, dass der Source-Anschluss des Leistungs-Feldeffekttransistors an Masse gekoppelt ist, und dass der Gate-Anschluss des Leistungs-MOSFETs über die Transistor-Reihenschaltung mit Masse verbunden ist. Dadurch kann erreicht werden, dass der Gate-Anschluss des Leistungs-Feldeffekttransistors mit dem elektrischen Potenzial seines Source-Anschlusses in einfacher und sicherer Weise verbunden wird.

Die Transistor-Reihenschaltung kann in einfacher Weise durch zwei in Reihe geschaltete Transistoren, insbesondere durch zwei in Reihe geschaltete Feldeffekttransistoren, realisiert werden.

In einer besonderen Ausführungsform der Erfindung ist zwischen der Ansteuerung des Leistungs-Feldeffekttransistors und dem Gate-Anschluss des

Leistungs-Feldeffekttransistors ein Gate-Widerstand geschaltet. Dadurch wird es möglich, dass der Gate-Anschluss des Leistungs-Feldeffekttransistors auf das Potenzial seines Source-Anschlusses, insbesondere auf Masse gezogen wird. Wenn der Gate-Anschluss des Leistungs-Feldeffekttransistors auf ein solches hohes Potenzial durch die Ansteuerung des Leistungs-Feldeffekttransistors gezogen wird, dass zwischen dem Gate-Anschluss und dem Source-Anschluss des Leistungs-Feldeffekttransistors eine Spannung vorliegt, die größer als seine Threshold-Spannung ist, und ein Kurzschluss der Last des Leistungs-Feldeffekttransistors vorliegt, liegt der größte Teil der von der Ansteuerung des Leistungs-Feldeffekttransistors erzeugten Spannung an dem Gate-Widerstand, der viel größer als der Innenwiderstand der im Kurzschlussfall leitenden Transistor-Reihenschaltung ist. Im Kurzschlussfall fließt dann Strom durch die Transistor-Reihenschaltung zwischen dem Gate-Anschluss des Leistungs-Feldeffekttransistors und der Stelle mit dem Potenzial des Source-Anschlusses des Leistungs-Feldeffekttransistors. So wird das Potenzial des Gate-Anschlusses des Leistungs-Feldeffekttransistors auf das Potenzial seines Source-Anschlusses, insbesondere auf Masse, gezogen und der Leistungs-Feldeffekttransistor in einfacher Weise abgeschaltet.

In einer besonders vorteilhaften Ausführungsform der Erfindung ist zwischen der Ansteuerung des Leistungs-Feldeffekttransistors und dem Gate-Anschluss eines ersten Feldeffekttransistors der Transistor-Reihenschaltung ein Tiefpass geschaltet. Aufgrund der von dem Tiefpass erzeugten zeitlichen Verzögerung einer von dem Tiefpass ausgegebenen Ausgangsspannung im Vergleich zu einer an dem Tiefpass liegenden Eingangsspannung bleibt der erste Transistor der Transistor-Reihenschaltung ausgeschaltet, wenn der Leistungs-Feldeffekttransistor durch seine Ansteuerung eingeschaltet wird und kein Kurzschluss an der Last des Leistungs-Feldeffekttransistors vorliegt. Der erste Transistor der Transistor-Reihenschaltung wird erst im Kurzschlussfall eingeschaltet, um den Strom zu leiten. Dadurch wird der erste Transistor der Transistor-Reihenschaltung schonend eingesetzt und nur im Kurzschlussfall berieben, wodurch eine verfrühte Abnutzung vermieden wird. Außerdem wird verhindert, dass der erste Transistor zu früh eingeschaltet wird, wenn kein Kurzschluss vorliegt. Ein anderer Transistor der Transistor-Reihenschaltung kann daher vor dem Einschalten des ersten Transistors abgeschaltet werden, wenn kein Kurzschluss vorliegt und das Gate des anderen Transistors auf ein niedriges

Potenzial, insbesondere auf Masse, gezogen wird, wenn ein Strom durch die Last fließt. Dadurch wird sichergestellt, dass in dem Fall, wenn kein Kurzschluss vorliegt, immer mindestens ein Transistor der Transistor-Reihenschaltung ausgeschaltet ist.

Insbesondere wird der Tiefpass sehr einfach durch einen Widerstand und einen Kondensator realisiert, wobei der Widerstand zwischen der Ansteuerung des Leistungs-Feldeffekttransistors und dem Gate-Anschluss des ersten Transistors der Transistor-Reihenschaltung und der Kondensator zwischen dem Gate-Anschluss des ersten Transistors der Transistor-Reihenschaltung und Masse geschaltet sind.

Gemäß einer weiteren Ausführungsform der Erfindung ist es vorgesehen, dass der Gate-Anschluss eines zweiten Transistors der Transistor-Reihenschaltung und der Drain-Anschluss des Leisungs-Feldeffekttransistors elektrisch miteinander gekoppelt sind. Dadurch wird ermöglicht, dass der Leistungs-Feldeffekttransistor und die Transistor-Reihenschaltung einfach miteinander elektrisch gekoppelt werden.

In einer bevorzugten Ausführungsform der Erfindung ist zwischen dem Gate-Anschluss des zweiten Transistors der Transistor-Reihenschaltung und dem Drain-Anschluss des Leistungs-Feldeffekttransistors eine Schutzschaltung zum Schützen des zweiten Transistors der Transistor-Reihenschaltung geschaltet, die die Gate-Source-Spannung des zweiten Transistors der Reihenschaltung begrenzt.

Denn bei Vorliegen eines Kurzschlusses der Last des Leistungs-Feldeffekttransistors kann das Potenzial des Gate-Anschlusses auf ein solches hohes Potenzial gezogen werden, dass zwischen dem Gate- und dem Source-Anschluss des zweiten Transistors der Transistor-Reihenschaltung eine sehr hohe Spannung anliegt. Durch die vorhandene Schutzvorrichtung wird die Gate-Source-Spannung des zweiten Transistors der Reihenschaltung so begrenzt, dass der zweite Transistor der Transistor-Reihenschaltung unterhalb seiner maximalen Verlustleistung betrieben wird. Dadurch wird eine Beschädigung des zweiten Transistors der Transistor-Reihenschaltung vermieden.

Insbesondere ist die Schutzschaltung durch eine Zener-Diode und einen Vorwiderstand realisiert, wobei die Zener-Diode zwischen dem Gate-Anschluss des zweiten Transistors der Transistor-Reihenschaltung und Masse umgekehrt zu ihrer Durchlassrichtung geschaltet ist und der Vorwiderstand zwischen dem Gate-Anschluss des zweiten Transistors der Transistor-Reihenschaltung und dem Drain-Anschluss des Leistungs-Feldeffekttransistors geschaltet ist.

Falls zwischen dem Drain-Anschluss des Leistungs-Feldeffekttransistors und dem Gate-Anschluss des zweiten Transistors der Transistor-Reihenschaltung eine hohe Spannung anliegt, so fällt diese wegen des kleinen Innenwiderstandes der Transistor-Reihenschaltung zum größten Teil über den Vorwiderstand ab. So wird das Gate-Potenzial des zweiten Transistors der Transistor-Reihenschaltung auf ein grundsätzlich durch den Vorwiderstand begrenztes Potenzial gezogen. Da der Source-Anschluss des zweiten Transistors der Transistor-Reihenschaltung mit Masse gekoppelt ist, stellt sich eine begrenzte Gate-Source-Spannung des zweiten Transistors der Transistor-Reihenschaltung ein. Dadurch wird der zweite Transistor der Transistor-Reihenschaltung unterhalb seiner maximalen Verlustleistung betrieben und langzeitig unbeschädigt bleiben.

Sollte die Spannung zwischen dem Drain-Anschluss des Leistungs-Feldeffekttransistors und dem Gate-Anschluss des zweiten Transistors der Transistor-Reihenschaltung beim Vorliegen eines Kurzschlusses der Last des Leistungs-Feldeffekttransistors doch so groß sein, dass insbesondere, trotz der Verwendung des Vorwiderstands, der Gate-Anschluss des zweiten Transistors der Transistor-Reihenschaltung auf ein zu hohes Potenzial gezogen wird, so wird die Zenerspannung der an Masse gekoppelten Zener-Diode überschritten und die Zener-Diode wird leitend. In diesem Fall fließt ein Strom durch die Zener-Diode zur Masse hin und das Gate-Potenzial des zweiten Transistors der Transistor-Reihenschaltung wird auf Masse gezogen. Da das Source-Potenzial des zweiten Transistors der Transistor-Reihenschaltung auch an Masse gekoppelt ist, sinkt die Gate-Source-Spannung des zweiten Transistors der Transistor-Reihenschaltung auf Null. Der zweite Transistor wird dann abgeschaltet und so vor jeglicher Beschädigung geschützt.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben und in der Beschreibung beschrieben.

Zeichnungen

Ausführungsbeispiele der Erfindung werden anhand der Zeichnungen und der nachfolgenden Beschreibung näher erläutert. Es zeigen:

Figur 1 eine erste schematische Schaltungsanordnung einer Vorrichtung zum Schützen eines Leistungs-Feldeffekttransistors nach dem Stand der Technik,

Figur 2 eine zweite schematische Schaltungsanordnung einer Vorrichtung zum Schützen eines Leistungs-Feldeffekttransistors nach dem Stand der Technik,

Figur 3 eine dritte schematische Schaltungsanordnung einer Vorrichtung zum Schützen eines Leistungs-Feldeffekttransistors nach dem Stand der Technik,

Figur 4 eine schematische Schaltungsanordnung einer erfindungsgemäßen Vorrichtung zum Abschalten eines Leistungs-Feldeffekttransistors gemäß einer ersten Ausführungsform der Erfindung, und

Figur 5 eine schematische Schaltungsanordnung einer erfindungsgemäßen Vorrichtung zum Abschalten eines Leistungs-Feldeffekttransistors gemäß einer zweiten Ausführungsform der Erfindung.

Ausführungsformen der Erfindung

In Figur 4 wird eine schematische Schaltungsanordnung einer erfindungsgemäßen Vorrichtung 100 zum Abschalten eines Leistungs-Feldeffekttransistors 10 gemäß einer ersten Ausführungsform der Erfindung gezeigt, die eine Transistor-Reihenschaltung 80 aufweist, die den Gate-Anschluss des Leistungs-Feldeffekttransistors 10 mit dem elektrischen Potenzial seines Source-Anschlusses verbindet. Bei der in Figur 1 dargestellten Vorrichtung ist der Source-Anschluss des Leistungs-Feldeffekttransistors 11 direkt an der Masse 90 gekoppelt.

Der Gate-Anschluss des Leistungs-Feldeffekttransistors 10 ist über die Transistor-Reihenschaltung 80 mit der Masse 91 gekoppelt.
Dabei ist zwischen der Ansteuerung 35 des Leistungs-Feldeffekttransistors 10 und dem Gate-Anschluss des Leistungs-Feldeffekttransistors 10 ein Gate-Widerstand 105 geschaltet. Die Ansteuerung 35 des Leistungs-Feldeffekttransistors 10 umfasst einen Mikrocontroller 30 und einen Treiber 20.

Weiterhin umfasst die Transistor-Reihenschaltung 80 zwei Feldeffekttransistoren 81 und 82. Dabei ist zwischen der Ansteuerung 35 des Leistungs-Feldeffekttransistors 10 und dem Gate-Anschluss eines ersten Transistors 81 der Transistor-Reihenschaltung 80 ein Tiefpass 110 geschaltet, der einen Widerstand 111 und einen Kondensator 112 aufweist, wobei der Widerstand 111 zwischen der Ansteuerung 35 des Leistungs-Feldeffekttransistors 10 und dem Gate-Anschluss des ersten Transistors 81 der Transistor-Reihenschaltung 80 geschaltet ist. Der Kondensator 112 ist zwischen dem Gate-Anschluss des ersten Transistors 81 der Transistor-Reihenschaltung 80 und Masse 92 geschaltet.

Bei der erfindungsgemäßen Vorrichtung aus der Figur 1 sind der Gate-Anschluss eines zweiten Transistors 82 der Transistor-Reihenschaltung 80 und der Drain-Anschluss des Leistungs-Feldeffekttransistors 10 elektrisch miteinander gekoppelt.

Bei dem in der Figur 1 gezeigten Schaltungsaufbau der erfindungsgemäßen Vorrichtung ist der Leistungs-Feldeffekttransistor 10 insbesondere ein Leistungs-MOSFET 10, der von dem Mikrocontroller 30 mit nachgeschalteter Treiberendstufe (Treiber-Leistungsverstärker) 20 über einen Gate-Widerstand 105 angesteuert wird. Dabei kann der Gate-Anschluss des Leistungs-Feldeffekttransistors 10 über die Transistoren 81 und 82 mit Masse 91 verbunden werden.

Ist der Leistungs-Feldeffekttransistor 10 ausgeschaltet, so ist der Gate-Anschluss von dem zweiten Transistor 82 der Transistor-Reihenschaltung 80 auf hohem Potenzial. Folglich ist der zweite Transistor 82 der Transistor-Reihenschaltung 80 leitend, während der erste Transistor 81 der Transistor-Reihenschaltung 80

ausgeschaltet ist. Soll der Leistungs-Feldeffekttransistor 10 nun eingeschaltet werden, so wird zunächst der Punkt A zwischen dem Treiber 20 und dem Gate-Widerstand 105 und mit leichter Verzögerung der Punkt B zwischen dem Gate-Widerstand 105 und dem Leistungs-Feldeffekttransistor 10 von der Treiberschaltung 20 auf eine Spannung größer oder gleich der Treshold-Spannung des Leistungs-Feldeffekttransistors 10 gezogen, während der erste Transistor 81 der Transistor-Reihenschaltung 80 – bedingt durch den Tiefpass 110 – noch ausgeschaltet bleibt.

Liegt kein Kurzschluss vor, so sinkt das Drain-Potenzial des Leistungs-Feldeffekttransistors 10 auf Masse, da Strom durch den Lastwiderstand 40 fließt und die Gate-Drain-Spannung des Leistungs-Feldeffekttransistors 10 auf Null abfällt. Über den Lastwiderstand 40 fällt dann eine Spannung U_B ab. Der zweite Transistor 82 der Transistor-Reihenschaltung 80 schaltet in diesem Fall ab, bevor der erste Transistor 81 der Transistor-Reihenschaltung 80 einschaltet. Der zweite Transistor 82 der Transistor-Reihenschaltung 80 schaltet in diesem Fall deswegen ab, weil sein Gate-Potenzial auf Masse gezogen wird. Falls es sich bei dem zweiten Transistor 82 der Transistor-Reihenschaltung 80 um einen Bipolartransistor handelt, so würde dieser auch abschalten, da aufgrund seines Innenwiderstandes kein Basisstrom fließen würde.

Falls nämlich der erste Transistor 81 der Transistor-Reihenschaltung 80 zu früh einschaltet beziehungsweise der zweite Transistor 82 der Transistor-Reihenschaltung 80 zu spät einschaltet, also für den Fall, dass beide Transistoren 81 und 82 der Transistor-Reihenschaltung 80 angeschaltet sind, wird der Leistungs-Feldeffekttransistor 10 ausgeschaltet, da sein Gate-Anschluss an den Punkt B gekoppelt ist und das Potenzial des Punktes B und somit auch das Gate-Potenzial des Leistungs-Feldeffekttransistors 10 durch die Transistor-Reihenschaltung 80 auf Masse gezogen werden. Dadurch sinkt die Gate-Source-Spannung des Leistungs-Feldeffekttransistors 10 etwa auf Null und der Leistungs-Feldeffekttransistor 10 wird ausgeschaltet.

Liegt hingegen ein Kurzschluss an dem Lastwiderstand 40 vor, so fällt keine Spannung über den Lastwiderstand 40 ab, und der zweite Transistor 82 der Transistor-Reihenschaltung 80 bleibt eingeschaltet, weil sein Gate-Potenzial auf

hohem Potenzial (quasi auf dem Potenzial des Punktes B) bleibt. Im Kurzschlussfall schaltet sich der erste Transistor 81 der Transistor-Reihenschaltung 80 ebenfalls ein, und der Leistungs-Feldeffekttransistor 10 wird abgeschaltet. Der Leistungs-Feldeffekttransistor 10 wird abgeschaltet, weil der Strom über die Transistoren-Reihenschaltung 80 abfließt und daher die Spannung am Punkt B wieder sinkt, weil, wenn Strom fließt, dann die Spannung über den Gate-Widerstand 105 wieder abfällt.

Dieser Zustand hält so lange an, bis der Treiber den Punkt A wieder zurück auf Masse-Potenzial schaltet.

Figur 5 ist eine schematische Schaltungsanordnung einer erfindungsgemäßen Vorrichtung 100 zum Schützen eines Leistungs-Feldeffekttransistors 10 gemäß einer zweiten Ausführungsform der Erfindung.

Die erfindungsgemäße Vorrichtung 100 zum Schützen eines Leistungs-Feldeffekttransistors 10 lässt sich vorteilhaft auch bei hohen Spannungen U_{HV} einsetzen, wobei dann wegen der maximal zulässigen Gate-Source–Spannung des Leistungs-Feldeffekttransistors 10 der Gate-Anschluss des zweiten Transistors 82 der Transistor-Reihenschaltung 80 durch eine Schutzschaltung 120 (hier dargestellt durch einen Vorwiderstand 121 und eine Zener-Diode 122) vor Überspannung geschützt wird.

Dabei ist zwischen dem Gate-Anschluss des zweiten Transistors 82 der Transistor-Reihenschaltung 80 und dem Drain-Anschluss des Leistungs-Feldeffekttransistors 10 die Schutzschaltung 120 zum Schützen des zweiten Transistors 82 der Transistor-Reihenschaltung 80 geschaltet, die die Gate-Source-Spannung des zweiten Transistors 82 der Transistor-Reihenschaltung 80 begrenzt. Dabei umfasst die Schutzschaltung 120 den Vorwiderstand 121 und die Zener-Diode 122. Der Vorwiderstand 121 ist zwischen dem Gate-Anschluss des zweiten Transistors 82 der Transistor-Reihenschaltung 80 und dem Drain-Anschluss des Leistungs-Feldeffekttransistors 10 geschaltet. Die Zener-Diode 122 ist zwischen dem Gate-Anschluss des zweiten Transistors 82 der Transistor-Reihenschaltung 80 und einer Masse 93 umgekehrt zu ihrer Durchlassrichtung geschaltet.

Bei Vorliegen eines Kurzschlusses der Last 40 des Leistungs-Feldeffekttranistors 10 kann zwischen dem Drain-Anschluss des Leistungs-Feldeffekttransistors 10 und dem Gate-Anschluss des zweiten Transistors 82 der Transistor-Reihenschaltung 80 eine hohe Spannung anliegen, die wegen des kleinen Innenwiderstandes der Transistor-Reihenschaltung zum größten Teil über den Vorwiderstand 121 abfällt. So wird das Gate-Potenzial des zweiten Transistors 82 der Transistor-Reihenschaltung 80 auf ein grundsätzlich durch den Vorwiderstand 121 begrenztes Potenzial gezogen. Da der Source-Anschluss des zweiten Transistors 82 der Transistor-Reihenschaltung 80 mit Masse 91 gekoppelt ist, stellt sich eine begrenzte Gate-Source-Spannung des zweiten Transistors 82 der Transistor-Reihenschaltung 80 ein. Dadurch wird der zweite Transistor 82 der Transistor-Reihenschaltung 80 unterhalb seiner maximalen Verlustleistung betrieben und langzeitig unbeschädigt bleiben.

Sollte die Spannung zwischen dem Drain-Anschluss des Leistungs-Feldeffekttransistors 10 und dem Gate-Anschluss des zweiten Transistors 82 der Transistor-Reihenschaltung 80 doch so groß sein, dass der Gate-Anschluss des zweiten Transistors 82 der Transistor-Reihenschaltung 80 auf ein zu hohes Potenzial gezogen wird, so wird die Sperrspannung der an Masse 93 gekoppelten Zener-Diode 122 überschritten, und die Zener-Diode 122 wird leitend. In diesem Fall fließt ein Strom durch die Zener-Diode 122 zur Masse hin und das Gate-Potenzial des zweiten Transistors 82 der Transistor-Reihenschaltung 80 wird auf Masse gezogen. Da das Source-Potenzial des zweiten Transistors 82 der Transistor-Reihenschaltung 80 auch an Masse 91 gekoppelt ist, sinkt die Gate-Source-Spannung des zweiten Transistors 82 der Transistor-Reihenschaltung 80 auf Null. Der zweite Transistor 82 der Transistor-Reihenschaltung 80 wird dann abgeschaltet und so vor Beschädigung geschützt.

Die erfindungsgemäße Vorrichtung ist insbesondere anwendbar in Batteriesystemen mit vorzugsweise Lithium-Ionen-Batterien, welche in Kraftfahrzeugen mit elektrischem Antriebsmotor eingesetzt werden.

Ansprüche

1. Vorrichtung (100) zum Abschalten eines Leistungs-Feldeffekttransistors (10) beim Kurzschluss seiner Last (40), dadurch gekennzeichnet, dass die Vorrichtung (100) zum Schützen des Leistungs-Feldeffekttransistors (10) Mittel zum Abschalten des Leistungs-Feldeffekttransistors (10) umfasst, wobei die Mittel eine Transistor-Reihenschaltung (80) aufweisen, die den Gate-Anschluss des Leistungs-Feldeffekttransistors (10) mit dem elektrischen Potenzial (90, 91) seines Source-Anschlusses verbindet.

2. Vorrichtung (100) nach Anspruch 1, wobei der Source-Anschluss des Leistungs-Feldeffekttransistors (10) mit Masse (90) verbunden ist und der Gate-Anschluss des Leistungs-Feldeffekttransistors (10) über die Transistor-Reihenschaltung (80) mit Masse (91) verbunden ist.

3. Vorrichtung (100) nach Anspruch 1 oder 2, wobei zwischen der Ansteuerung (35) des Leistungs-Feldeffekttransistors (10) und dem Gate-Anschluss des Leistungs-Feldeffekttransistors (10) ein Gate-Widerstand (105) geschaltet ist.

4. Vorrichtung (100) nach einem der Ansprüche 1 bis 3, wobei die Transistor-Reihenschaltung (80) zwei Feldeffekttransistoren (81, 82) aufweist.

5. Vorrichtung (100) nach Anspruch 4, wobei zwischen der Ansteuerung (35) des Leistungs-Feldeffekttransistors (10) und dem Gate-Anschluss eines ersten Transistors (81) der Transistor-Reihenschaltung (80) ein Tiefpass (110) geschaltet ist.

6. Vorrichtung (100) nach Anspruch 5, wobei der Tiefpass (110) einen Widerstand (111) und einen Kondensator (112) aufweist, wobei der

Widerstand (111) zwischen der Ansteuerung (35) des Leistungs-Feldeffekttransistors (10) und dem Gate-Anschluss des ersten Transistors (81) der Transistor-Reihenschaltung (80) geschaltet ist und der Kondensator (112) zwischen dem Gate-Anschluss des ersten Transistors (81) der Transistor-Reihenschaltung (80) und Masse (92) geschaltet ist.

7. Vorrichtung (100) nach einem der Ansprüche 4 bis 6, wobei der Gate-Anschluss eines zweiten Transistors (82) der Transistor-Reihenschaltung (80) und der Drain-Anschluss des Leistungs-Feldeffekttransistors (10) elektrisch miteinander gekoppelt sind, insbesondere mittels einer Schutzschaltung (120) zum Schützen des zweiten Transistors (82) der Transistor-Reihenschaltung (80), die zwischen dem Gate-Anschluss des zweiten Transistors (82) der Transistor-Reihenschaltung (80) und dem Drain-Anschluss des Leistungs-Feldeffekttransistors (10) geschaltet ist und die Gate-Source-Spannung des zweiten Transistors (82) der Reihenschaltung (80) begrenzt.

8. Vorrichtung (100) nach Anspruch 7, wobei die Schutzschaltung (120) einen Vorwiderstand (121) und eine Zener-Diode (122) aufweist, wobei die Zener-Diode (122) zwischen dem Gate-Anschluss des zweiten Transistors (82) der Transistor-Reihenschaltung (80) und Masse (93) umgekehrt zu ihrer Durchlassrichtung geschaltet ist und der Vorwiderstand (121) zwischen dem Gate-Anschluss des zweiten Transistors (82) der Transistor-Reihenschaltung (80) und dem Drain-Anschluss des Leistungs-Feldeffekttransistors (10) geschaltet ist.

9. Batteriesystem mit vorzugsweise Lithium-Ionen-Batterien, welches mit einer Vorrichtung (100) nach einem der Ansprüche 1 bis 8 verbunden ist.

10. Kraftfahrzeug mit einem elektrischen Antriebsmotor und einem die Vorrichtung (100) gemäß der Ansprüche 1 bis 9 enthaltenden Batteriesystem.

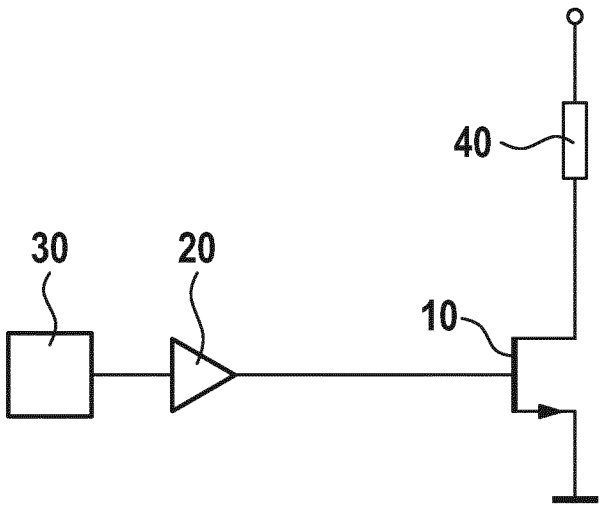


FIG. 1

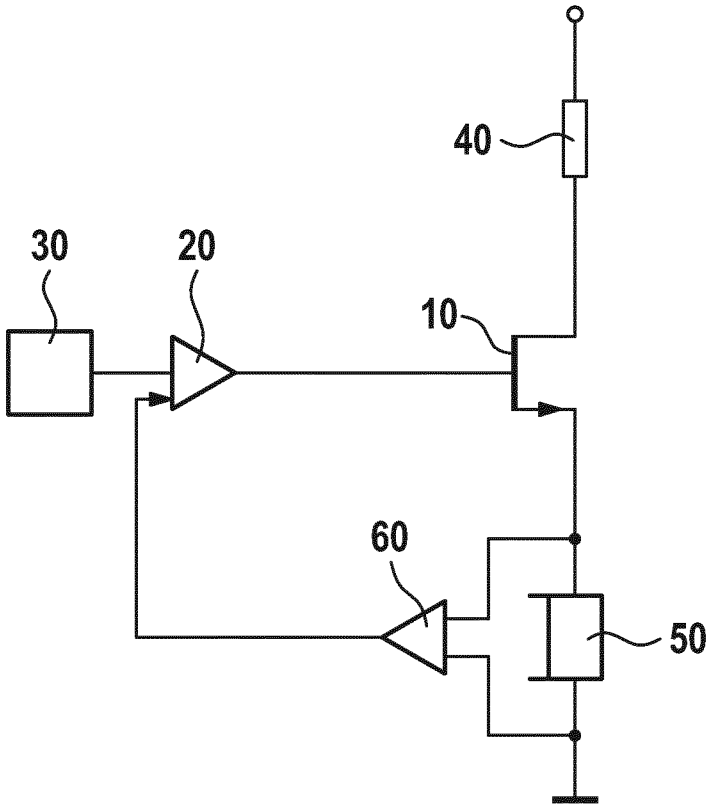


FIG. 2

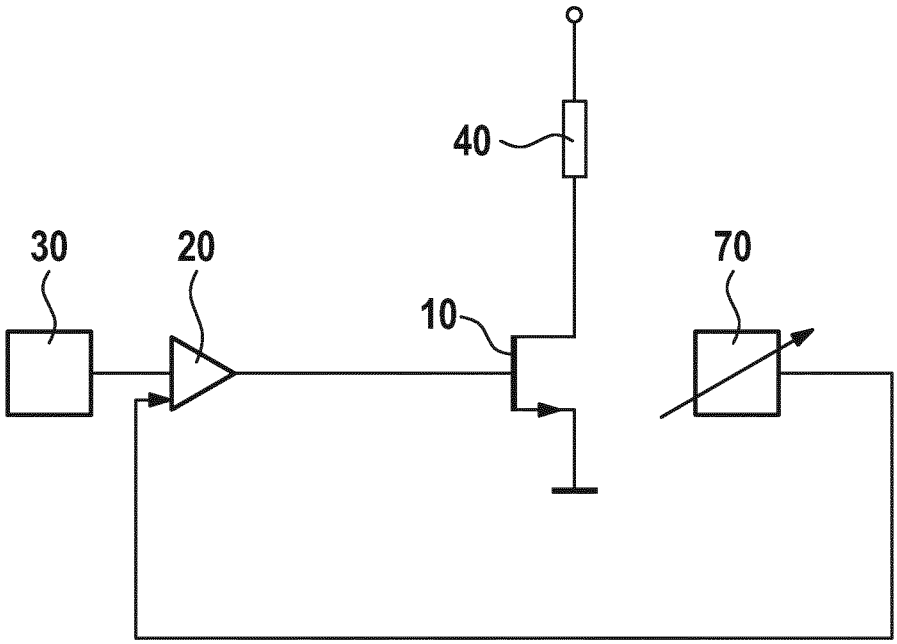


FIG. 3

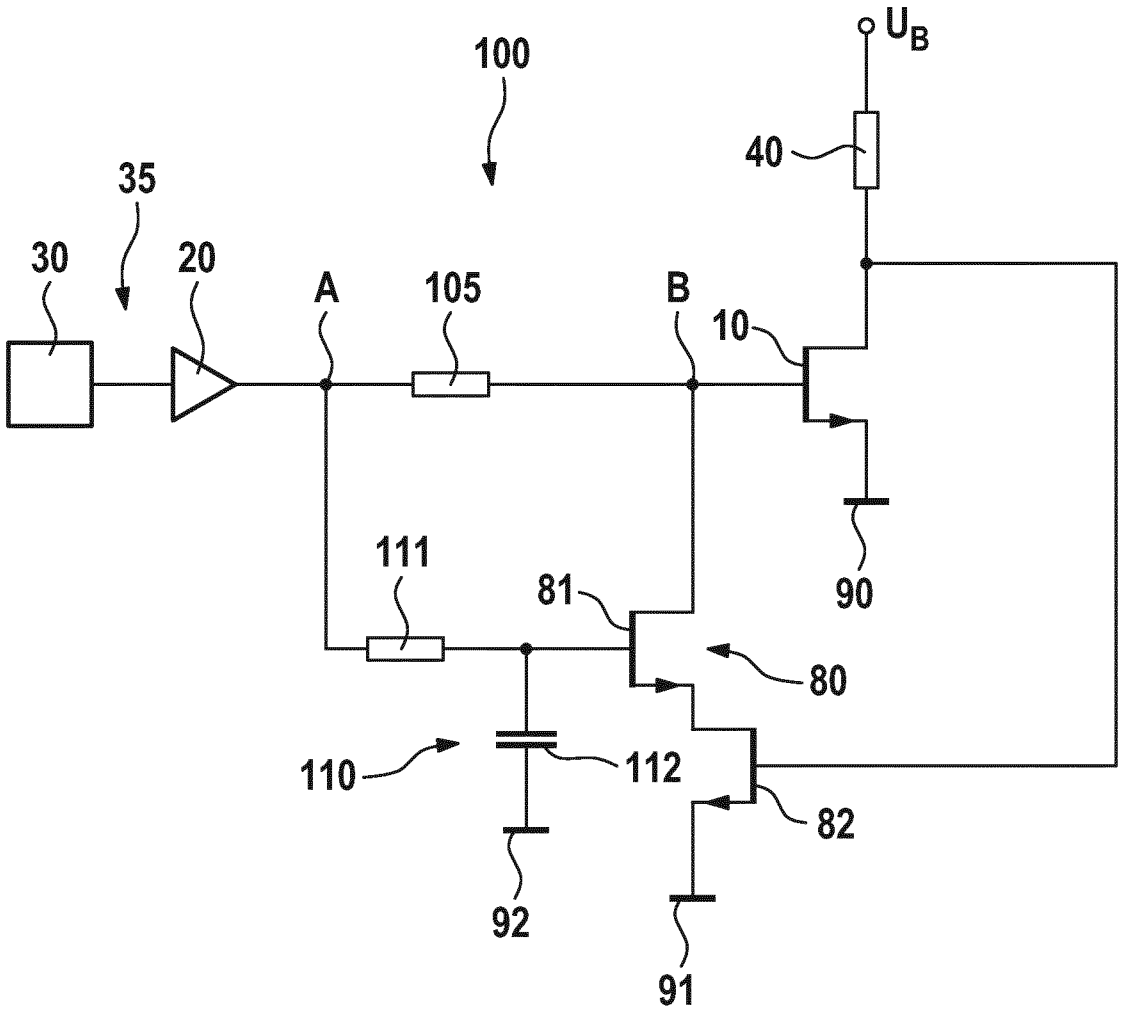


FIG. 4

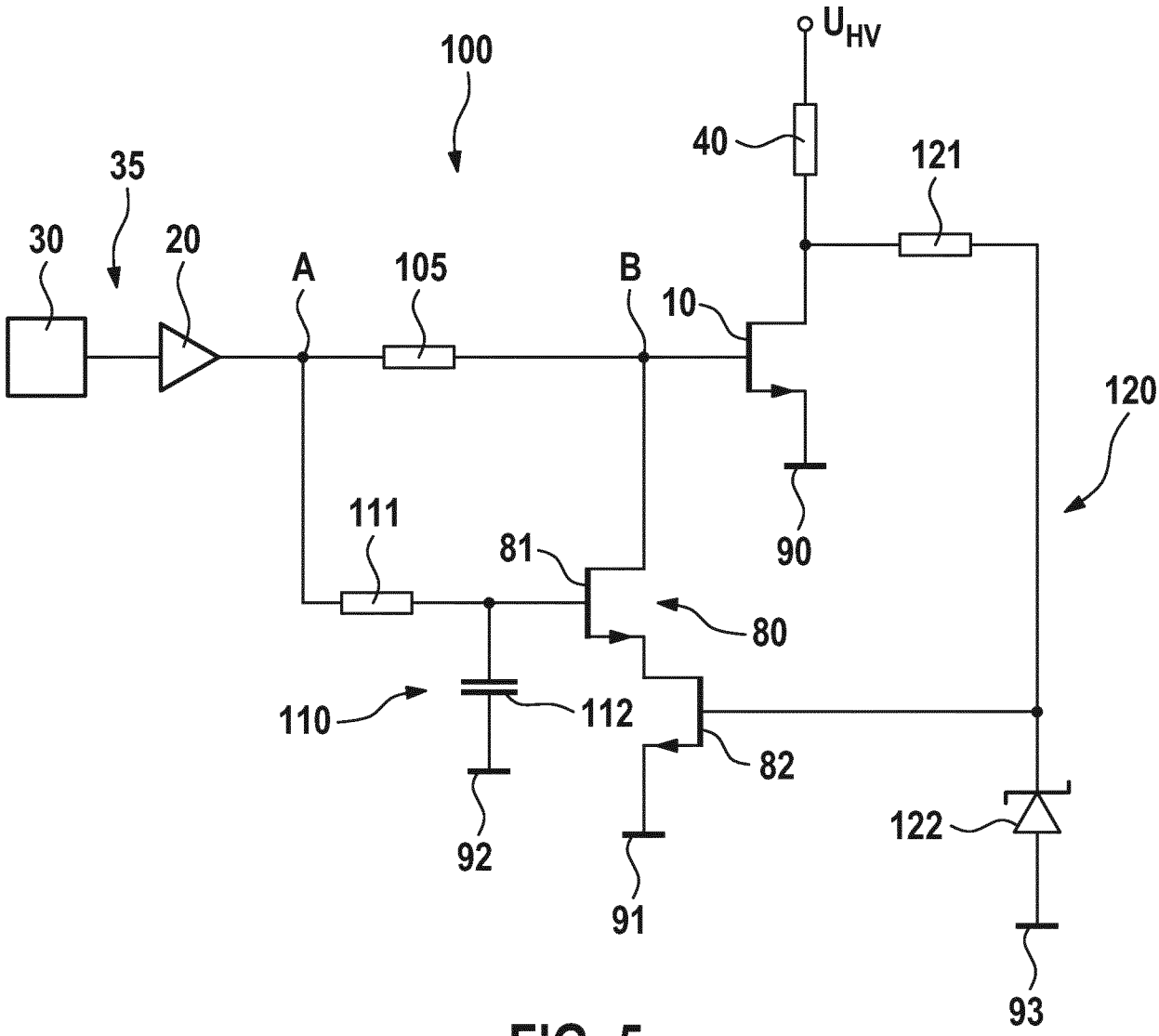

100
U_{HV}
40
121
35
30
20
A
105
B
10
120
111
81
90
80
110
112
82
92
91
122
93

FIG. 5

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/053768

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03K17/082
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 529 448 A2 (MOTOROLA INC [US] MOTOROLA INC [SE]) 3 March 1993 (1993-03-03) column 3, lines 2-7; figure 1 column 3, line 41 - column 4, line 46; figure 2	1-10
X	DE 43 16 185 A1 (FAHRZEUGKLIMAREGELUNG GMBH [DE]) 17 November 1994 (1994-11-17) column 1, lines 41-46 column 6, lines 17-43; figure 3	1-10
A	DE 195 11 930 A1 (HELLA KG HUECK & CO [DE]) 10 October 1996 (1996-10-10) column 1, lines 3-16 column 2, line 65 - column 3, line 15; figures	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
4 June 2012	12/06/2012

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Martínez Martínez, J

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2012/053768

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0529448 A2	03-03-1993	EP 0529448 A2	03-03-1993
		JP 5206748 A	13-08-1993
		US 5257155 A	26-10-1993
DE 4316185 A1	17-11-1994	DE 4316185 A1	17-11-1994
		FR 2705508 A1	25-11-1994
		GB 2278025 A	16-11-1994
DE 19511930 A1	10-10-1996	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2012/053768

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H03K17/082
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H03K

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 529 448 A2 (MOTOROLA INC [US] MOTOROLA INC [SE]) 3. März 1993 (1993-03-03) Spalte 3, Zeilen 2-7; Abbildung 1 Spalte 3, Zeile 41 - Spalte 4, Zeile 46; Abbildung 2	1-10
X	DE 43 16 185 A1 (FAHRZEUGKLIMAREGELUNG GMBH [DE]) 17. November 1994 (1994-11-17) Spalte 1, Zeilen 41-46 Spalte 6, Zeilen 17-43; Abbildung 3	1-10
A	DE 195 11 930 A1 (HELLA KG HUECK & CO [DE]) 10. Oktober 1996 (1996-10-10) Spalte 1, Zeilen 3-16 Spalte 2, Zeile 65 - Spalte 3, Zeile 15; Abbildungen	1-10

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
4. Juni 2012	12/06/2012

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Martínez Martínez, J

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2012/053768

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0529448 A2	03-03-1993	EP 0529448 A2	03-03-1993
		JP 5206748 A	13-08-1993
		US 5257155 A	26-10-1993
DE 4316185 A1	17-11-1994	DE 4316185 A1	17-11-1994
		FR 2705508 A1	25-11-1994
		GB 2278025 A	16-11-1994
DE 19511930 A1	10-10-1996	KEINE	