

公告本

申請日期: 90.12.11

案號: 90130655

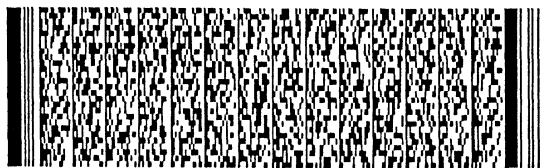
類別: H01K 27/12

(以上各欄由本局填註)

發明專利說明書

520568

一、 發明名稱	中文	半導體裝置
	英文	SEMICONDUCTOR DEVICE
二、 發明人	姓名 (中文)	1. 松本拓治 2. 前田茂伸 3. 岩松俊明 4. 一法師隆志
	姓名 (英文)	1. Takuji MATSUMOTO 2. Shigenobu MAEDA 3. Toshiaki IWAMATSU 4. Takashi IPPOSHI
	國籍	1. 日本 2. 日本 3. 日本 4. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內 2. 同1 3. 同1 4. 同1
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

2001/02/13 2001-035180

案號

主張優先權

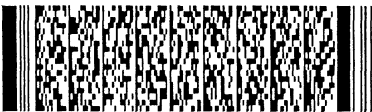
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

〔發明所屬之技術領域〕

本發明，係關於SOI構造的半導體裝置及其製造方法。

〔先前技術〕

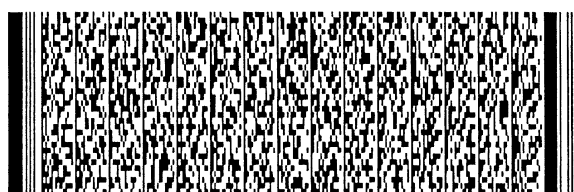
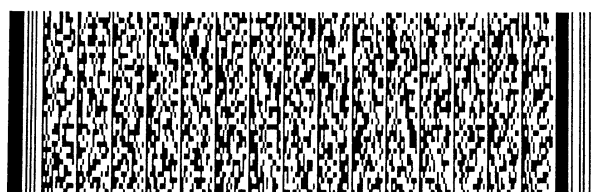
稱為SOI (Silicon-On-Insulator) 裝置的半導體裝置，係作為一種其高速、低消耗裝置而成為最近矚目的對象。

該SOI裝置，係作在SOI層和基板之間夾住埋入的氧化膜的SOI構造的SOI基板上。尤其是，將作為上層矽膜的SOI層薄膜化（到大約數個 μm ）的SOI裝置，被稱為薄膜SOI而廣受重視，可期待應用於攜帶機器用LSI等。歷來，SOI元件（形成在SOI構造的SOI層上的半導體元件），貫通SOI層的矽，被延伸形成於所埋入的氧化膜上的元件分離用氧化膜而完全分離。

〔發明所欲解決之課題〕

該完全分離之技術，因為使得元件和其他元件之間完全成為電性絕緣，所以具有latch up free（不產生門鎖現象）、以及不怕干擾等特長。但是，因為電晶體係在電性浮動狀態下動作，所以在延遲時間中產生頻率依賴性，而因汲極電流-汲極電壓特性在峰值（hump）造成扭曲

（kink）效應等所謂的基板浮動效應等問題。為制止該基板浮動效應，將分離氧化膜（一部分的氧化膜）形成於上層部分而不接觸於埋入氧化膜，而和下層部分的SOI層的一部分同時構成部份分離區域，在被部份分離區域而分離元件的區域所設置主體區域上設置主體端子，藉此可介由



五、發明說明 (2)

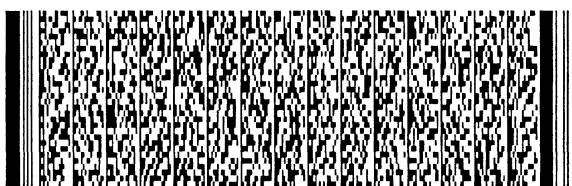
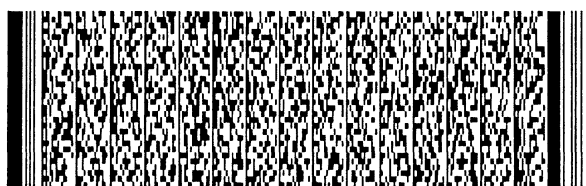
在部分氧化膜下的SOI層而將基板電位(主體電位)固定，此部份分離技術是相當有效的。但是問題在於：先前在完全分離技術當中的非閃鎖等優點，在此部份分離技術中則完全喪失。

於此，開發了將雙方的優點結合的部份分離・完全分離併用之技術。所謂部份分離・完全分離併用技術，係部份分離・完全分離併用的溝渠深度不同。因此，在將分離氧化膜的氧化膜沉積後的CMP處理之後，溝渠深度較深的完全分離部份，和部份分離相比較，容易發生碟狀凹陷。從而，部份分離和完全分離，對於維持閘極氧化膜的可信賴性很重要的分離邊緣的形狀不同的問題因而發生。而且，在併用過程中，因為完全分離的邊緣較低，邊緣部份上的MOS電晶體的臨限值電壓會局部性降低，造成可能增加漏電流的疑慮。

此外，若僅用先前技術的裝置，因為從主體到各電晶體之間的距離各不相同，所以主體電阻不盡相同，造成臨限值電壓不均勻的問題。

再加上，即使介由部份氧化膜下的SOI層固定主體電位的部份分離技術，也不能完全穩定固定主體電位，也是一個主要問題點。

本發明係為解決上述問題點而成，其目的為提供：可在藉由部份分離區域來分離元件的元件形成區域進行之主體區域穩定性良好的主體電位固定的SOI構造的半導體裝置，在用部份分離-完全分離併用技術之際，可構成高性



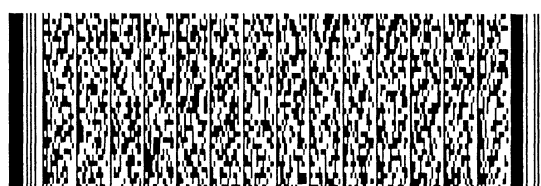
五、發明說明 (3)

能之半導體積體電路的半導體裝置及其製造方法。

〔解決課題之手段〕

本發明之半導體裝置，係為半導體基板、埋入絕緣層以及SOI層所組成的SOI構造之半導體裝置，具備：MOS電晶體係設於前述SOI層的元件形成區域上；及部份分離區域係設於前述SOI層，用以元件分離前述元件形成區域；前述部份分離區域，包括：設於前述SOI層上層部的部份絕緣膜，和存在於下層部之為前述SOI層之一部分的部份絕緣膜下半導體區域；前述MOS電晶體，具備第1導電型的源極和汲極區域，分別在前述SOI層內選擇性的形成；閘極，具有在前述源極以及汲極區域之間的前述SOI層的區域上，介由閘極氧化膜而形成的閘極主要部；以及主體區域，包括主體區域主要部，係在前述源極及汲極區域間之前述SOI層的第2導電型的區域；和主體區域電位設定部，係在前述元件形成區域內，電氣性連接於前述主體區域主要部，且，可從外部進行電位固定。

此外，本發明之上述半導體裝置，前述主體區域電位設定部，包括主體區域源極、汲極鄰接部，係在前述源極和汲極區域的閘極寬度方向上鄰接，並且從前述主體區域主要部向閘極長邊方向延伸而形成，前述閘極，又具有從前述閘極主要部的端部向前述閘極長邊方向延伸，形成在前述主體區域源極、汲極鄰接部的一部分上的閘極延伸區域，藉由前述閘極延伸區域，將前述主體區域源極、汲極鄰接部和前述源極和汲極區域作電性隔離。



五、發明說明 (4)

此外，本發明之上述半導體裝置，前述主體區域源極、汲極鄰接部，包括第1主體區域源極、汲極鄰接部，係從前述主體區域主要部向第1方向延伸而形成；和第2主體區域源極、汲極鄰接部，從前述主體區域主要部向和前述第1方向相反的第2方向延伸而形成，前述閘極延伸區域，包括第1閘極延伸區域，形成在前述第1主體區域源極、汲極鄰接部附近上；及第2閘極延伸區域，形成在前述第2主體區域源極、汲極鄰接部附近上。

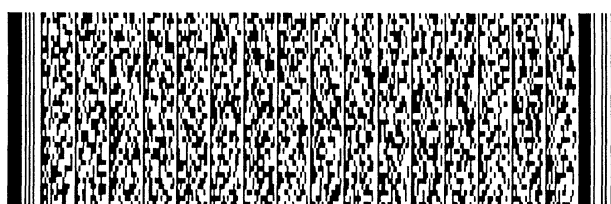
此外，本發明之上述半導體裝置，前述主體區域源極、汲極鄰接部，包括一個主體區域源極、汲極鄰接部，前述閘極延伸區域，包括形成在前述一個主體區域源極、汲極鄰接部附近上的一個閘極延伸區域。

此外，本發明之上述半導體裝置，前述主體區域源極、汲極鄰接部，在從前述閘極延伸區域隔開指定的距離的區域上，具有比其他區域之第2導電型雜質濃度更高的高濃度區域。

此外，本發明之上述半導體裝置，前述閘極延伸區域，含有第2導電型雜質濃度在 $5 \times 10^{18} \text{ cm}^{-3}$ 以下的閘極延伸區域。

此外，本發明之上述半導體裝置，前述主體區域電位設定部，包括和前述源極區域混合存在而形成的第2導電型的主體固定用半導體區域。

此外，本發明之上述半導體裝置，前述部份絕緣膜下半導體區域，具有第2導電型，是和前述主體區域相接而形成



五、發明說明 (5)

成，又具有第1導電型元件形成區域外主體區域，係設於前述SOI層的元件形成區域外，而可從外部進行電位固定，該元件形成區域外主體區域，是和前述部份絕緣膜下半導體區域相接而形成。

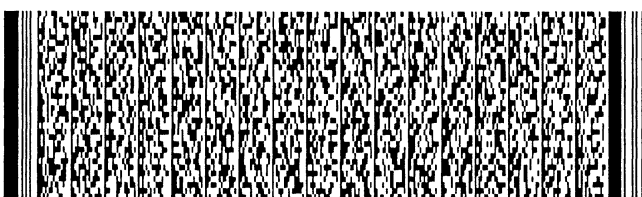
此外，本發明之上述半導體裝置，前述源極和汲極區域，具有到達前述埋入絕緣層的形成深度。

此外，本發明之上述半導體裝置，前述源極和汲極區域，具有在通常動作時，從前述源極和汲極區域延伸的空乏層不到達前述埋入絕緣層的形成深度。

此外，本發明之上述半導體裝置，前述源極和汲極區域具有不到達前述埋入絕緣層，而在通常動作時，從前述汲極區域延伸的空乏層到達前述埋入絕緣層的形成深度。

此外，本發明之上述半導體裝置，前述汲極區域具有比前述源極區域之形成深度更深的深度，並且具有在通常動作時，從前述汲極區域延伸的空乏層到達前述埋入絕緣層的形成深度。

本發明之半導體裝置，係為半導體基板、埋入絕緣層以及SOI層所組成的SOI構造之半導體裝置，包含：第1以及第2半導體區域，係設於前述SOI層的元件形成區域上並具有指定的導電型；部份絕緣膜，設於前述元件形成區域的上層部；以及部份絕緣膜下半導體區域，作為下層部的前述元件形成區域的一部分具有指定的導電型，而前述部份絕緣膜下半導體區域和前述第1以及第2半導體區域作電性連接，構成電阻元件。



五、發明說明 (6)

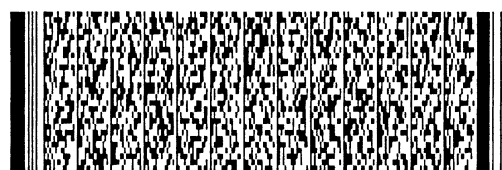
此外，本發明之上述半導體裝置，又具備：完全絕緣膜，貫穿上述SOI層而設，將前述元件形成區域作元件分離。

此外，本發明之上述半導體裝置，使得前述部份絕緣膜、前述第1及第2半導體區域以外的前述元件形成區域，成為前述電阻元件的形成區域的一部分。

此外，本發明之上述半導體裝置，其中前述電阻元件，包含SRAM記憶單元的負載電阻。

本發明之半導體裝置，係為半導體基板、埋入絕緣層以及SOI層所組成的SOI構造之半導體裝置，具備：第1以及第2元件形成區域，係設於前述SOI層上；部份分離區域，係由設於前述SOI層上層部的部份絕緣膜、和前述部份絕緣膜下之為前述SOI層之一部分的半導體區域所組成，將前述第1以及第2元件形成區域之間作元件分離；及第1和第2MOS電晶體，係分別形成在前述第1和第2元件形成區域上，在前述第1和第2MOS電晶體間之主體區域的構造、閘極的構造、及是否有主體電位固定等三種選項當中，使得其中至少一種不相同，而使得前述第1和第2MOS電晶體的電晶體特性產生差異。

本發明之半導體裝置，係為半導體基板、埋入絕緣層以及SOI層所組成的SOI構造之半導體裝置，具備：第1和第2元件形成區域，係設於前述SOI層上；部份分離區域，係由設於前述SOI層上層部的部份絕緣膜、和前述部份絕緣膜下之為前述SOI層之一部分的半導體區域所組成，將前

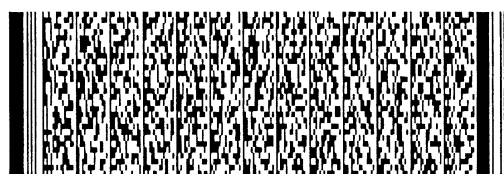
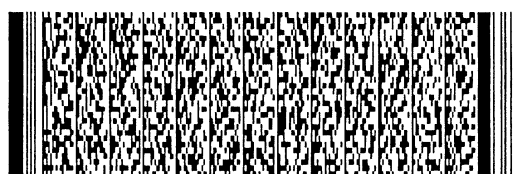


五、發明說明 (7)

述第1元件形成區域和其他區域之間作元件分離；完全分離區域，係由貫穿前述SOI層而設的完全絕緣膜所形成，將前述第2元件形成區域從其他區域作元件分離；第1MOS電晶體，係形成於前述第1元件形成區域上；以及第2MOS電晶體，係形成在前述第2元件形成區域上，而前述第1及第2MOS電晶體具有不同的電晶體特性。

本發明之半導體裝置的製造方法，具備：(a)準備具有半導體基板、埋入絕緣層以及SOI層組成之SOI構造之SOI基板之步驟；及(b)在前述SOI層的上層部，選擇性地形成部份絕緣膜的步驟，前述部份絕緣膜藉由前述部份絕緣膜下之為前述SOI層之一部分的半導體區域，構成將前述SOI層之第1及第2元件形成區域之間作元件分離之部份分離區域，並且具有(c)分別在前述第1及第2元件形成區域上，形成第1及第2MOS電晶體之步驟，前述(c)步驟，在前述第1及第2MOS電晶體間之主體區域的構造、閘極的構造、以及是否有主體電位固定等三種選項當中，使得其中至少一種不相同，而使得前述第1以及第2MOS電晶體的電晶體特性產生差異。

本發明之半導體裝置的製造方法，具備：(a)準備具有半導體基板、埋入絕緣層以及SOI層組成之SOI構造之SOI基板之步驟；及(b)在前述SOI層的上層部，選擇性地形成部份絕緣膜的步驟，前述部份絕緣膜藉由前述部份絕緣膜下之為前述SOI層之一部分的半導體區域，構成將前述SOI層之第1元件形成區域從其他區域之間作元件分離之部份



五、發明說明 (8)

分離區域；又具備(c)貫穿前述SOI層而選擇性形成完全絕緣膜的步驟，前述完全絕緣膜將前述第2元件形成區域從其他區域作元件分離，構成完全分離區域；又具備(d)將第1MOS電晶體，形成於前述第1元件形成區域上之步驟；及(e)將第2MOS電晶體，形成在前述第2元件形成區域上的步驟，而前述步驟(d)和步驟(e)形成第1及第2MOS電晶體具有不同的電晶體特性。

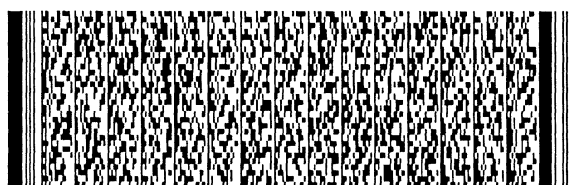
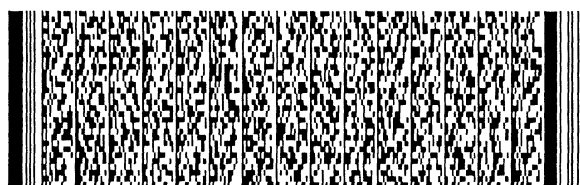
[發明之實施形態]

<發明之概述>

(技術背景)

部份分離技術的優點為：可以從外部設定該以部份分離區域將設在元件形成區域外的主體區域的電位，藉以經由部份氧化膜下的SOI層來固定基板電位，但此一優點，對於需要高度耐壓程度的元件或者高度熱載子(hot-carrier)信賴性的裝置而言，並不能算是充分。因為部份氧化膜正下方的SOI層的膜厚度較薄，因此存在有限的主體電阻，所以此裝置，在高電壓區域，因為其主體電阻，而有可能造成扭曲產生的情況。如此，即使在部份分離技術，熱載子的信賴性、延遲時間的頻率依賴性並不一定充分，此為其技術背景。

於此，部份分離技術或者部份分離・完全分離併用技術，以不同的分離邊緣來防止閘極氧化膜信賴性低落，尤其在需要信賴性的部份，需要有用後述的H閘極或者T閘極等半導體裝置，以提高主體電位固定的信賴性，同時也可



五、發明說明 (9)

壓制邊緣漏電流的增加。

(單一類型的電晶體)

具有主體端子的部份分離技術，使用詳述於後的H閘極、T閘極或者源極連接 (source tied) 構造的其中之一種構造的單一類型電晶體，藉此，可使得固定主體電位的穩定性提昇，熱載子、延遲時間頻率依賴性等的問題獲得改善。但是，如此的方法，因為會降低電路的速度，所以在需要高速性的部份，最好還是使用先前技術的裝置 (使用普通構造的閘極的裝置等)。

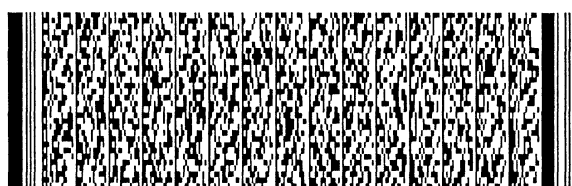
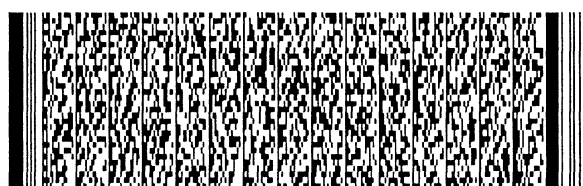
(多種電晶體的組合)

此外，一部分不設置主體端子，在浮動的狀態下，使得電晶體動作的話，臨限值電壓即可降低，故可製作汲極電流大的電晶體。從而，以主體端子的主體固定構造的電晶體，可以和主體浮動構造的電晶體同時混同設置，因此可以製作高速度、低消耗電力的電路。

而且，在部份分離技術中，因距主體端子的距離不同而造成的臨限值不平均，可藉由分別在各電晶體設置主體端子的H閘極、T閘極或者源極連接構造而加以抑制。此外，使用不具主體端子的浮動構造的話，當然很明顯的更可以藉由主體電阻而抑制臨限值的不平均。但是，在浮動構造中，其缺點是臨限值具有頻率依賴性。

如此，將具有各種不同特長的多種電晶體組合，可藉以提供在設計上具有高性能的裝置。

< 實施形態1 >



五、發明說明 (10)

(習知的PDSOI-MOSFET)

圖1為顯示習知MOS電晶體之一的PD(Partially-Depleted)SOI-MOSFET之一例的剖面圖，圖2為顯示習知PDSOI-MOSFET之一例的平面圖，圖2的A1-A1剖面則相當於圖1。

PDSOI-MOSFET，如圖1所示，閘極7正下方的空乏層90，具有並不到達埋入氧化膜2的特徵。因該特徵，PDSOI-MOSFET的臨限值電壓的控制性極為優越。

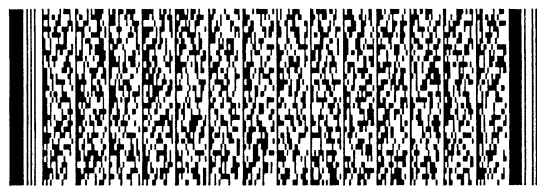
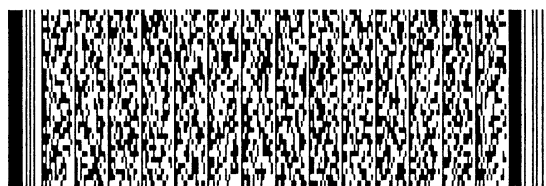
如圖1以及圖2所示，形成在半導體基板（並未圖示）上的埋入氧化膜2上，形成SOI層4，藉此可以實現SOI溝渠的SOI基板。SOI層4為部份氧化膜31以及在部份氧化膜31下的p井區域11所成的部份分離區域而成元件分離。

在SOI層4上選擇性形成的源極區域51以及汲極區域61，分別形成為從SOI層4的表面到達裡面（埋入氧化膜2的表面）的深度。

源極區域51、汲極區域61之間的SOI層4上，形成閘極氧化膜5，在閘極氧化膜5上形成閘極7。此外，在閘極7的側面形成側壁6。而且，在源極區域51以及汲極區域61上分別設置源極端子26以及汲極端子27。

另外，在部份氧化膜31以及其下方的p井區域11，元件分離的主體區域10（元件形成區域外的主體區域），從SOI層4的表面形成到裡面。主體區域10經由p井區域11而在閘極7下的SOI層4之主體區域主要部分作電性連接。

從而，對設於該主體區域10上的主體端子25賦予指定的



五、發明說明 (11)

電位，將圖1中的PDSOI-MOSFET的主體固定（將閘極氧化膜5下的SOI層4的通道電位固定），藉此即可抑制上述浮動效應。

（實施形態1的PDSOI-MOSFET）

圖3為顯示本發明實施形態1的半導體裝置平面構造的平面圖，圖4為顯示沿著圖3中A2-A2剖面所作的剖面圖，圖5為顯示沿著圖3中的B1-B1剖面所作的剖面圖。

實施形態1的半導體裝置，設在部份分離的SOI層上，為以具有H閘極的PDSOI-MOSFET而成主體固定的半導體裝置。

如圖3所示，H閘極71藉由左右（在圖中為上下）的"I"（閘極延伸設置區域、第1以及第2主體區域源極、汲極相鄰部份），將沿閘極寬W方向鄰接於源極區域51及汲極區域61而形成的主體區域13和汲極區域61及源極區域51作電性分離，中央的"-"（閘極主要部份）則作為原來的MOS電晶體的閘極而發揮功能。此外附帶說明，在H閘極71左右（圖中為上下）的"I"下方，經由絕緣膜而形成p⁻主體區域。

爾後，如圖3以及圖5所示，從H閘極71的閘極主要部分下方的SOI層4之主體區域主要部分，沿著閘極長度方向的第1方向以及其反方向的第2方向延伸，並且和源極區域51以及汲極區域61在閘極寬度方向相鄰接，形成兩個主體區域13、13（第1以及第2主體區域源極、汲極相鄰接部份）。



五、發明說明 (12)

從而，藉由H閘極71的左右的"I"，源極區域51及汲極區域61和主體區域13、13之間即可成為電性分斷，得自主體端子28的主體電位，不會直接傳達到汲極區域61、源極區域51。

選擇性的形成在SOI層4上的源極區域51以及汲極區域61，分別形成為可從SOI層4表面到達裡面的深度。

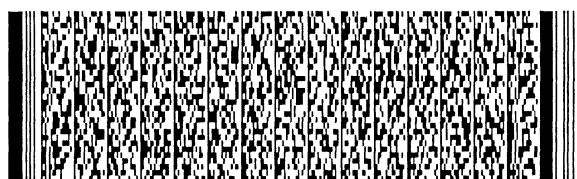
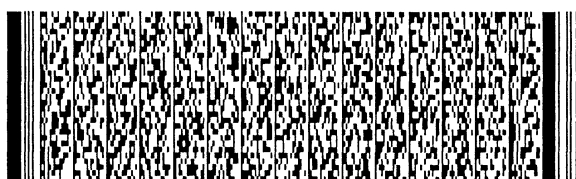
在源極區域51和汲極區域61之間的SOI層4上，形成閘極氧化膜5，在閘極氧化膜5上形成H閘極71中央的"- "部份，在H閘極71側面形成側壁6。然後，在源極區域51和汲極區域61上分別設置源極端子26以及汲極端子27（在圖4中省略之）。

此外，經由部份氧化膜31以及其下方的p井區域11的部份分離區域而被元件分離的主體區域10，從SOI層4表面形成到裡面。主體區域10經由p井區域11而和在H閘極71下的SOI層4之主體主要部分作電性連接。

而且，如同前述，主體區域13和閘極氧化膜5下的SOI層4之主體區域主要部分（通道區域）相鄰接形成。

從而，除了設於主體區域10上的主體端子25之外，對設於主體區域13上的主體端子28賦予指定的電位，也可藉以使得實施形態1的PDSOI-MOSFET的主體固定，所以主體區域主要部分的電位亦即主體電位固定可以穩定的進行，而可大幅控制浮動效應。

如此構造的實施形態1的PDSOI-MOSFET，在H閘極71中央的"- "部份正下方的空乏層90，具有不到達埋入氧化膜2的



五、發明說明 (13)

特徵。因為有此特徵，使得PDSOI-MOSFET的臨限值電壓的控制性更為優越。

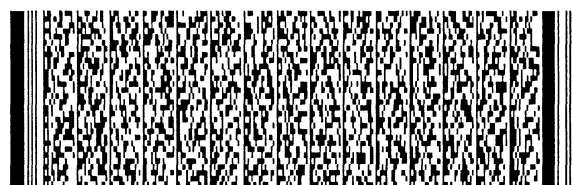
從而，實施形態1的半導體裝置，以H閘極構造在PDSOI-MOSFET的形成區域內設置主體區域13、13，藉此，如圖1以及圖2所示，比現行的PDSOI-MOSFET更能降低主體電阻、並可獲得穩定性更優良的電位固定。以下，詳細說明此特點。

如圖1以及圖2所示的現行PDSOI-MOSFET，主體端子25和通道區域，經由部份分離正下方的較薄p井區域11而作電性連接，因此，主體電阻比較高，由於與主體端子25之間的距離關係電晶體特性較容易產生不平均。

相對於此，實施形態1的構造，在介由部份分離區域（部份氧化膜31以及在其下方的p井區域11）設置在主體區域10上的主體端子25之外，形成在PDSOI-MOSFET形成區域內的源極區域51以及汲極區域61附近的主體區域13上，可以設主體端子28。藉由此兩種類的主體端子25、28，可以降低主體電阻的電阻值，而能有效的抑制電晶體特性的不均。

而且，因能降低主體電阻，而可藉以將汲極崩潰電壓（breakdown voltage）提高。相反的，在部份氧化膜31下的p井區域11的膜厚度和SOI層4的膜厚度成正比例的情形，設定為同樣的主體電阻的話，藉由採用H閘極構造，即可減薄SOI層4的膜厚度。

將SOI層4的厚度減薄，即可降源極、汲極的線成分（在



五、發明說明 (14)

縱向上的成分)的接合容量減少，而可達成高速化。此外，經由H閘極構造，可以減少邊緣漏電(邊緣寄生MOS)等造成分離的起因。而且，分離邊緣所引起的閘極氧化膜的信賴性惡化等也可得以抑制。附帶提及，關於分離起因的邊緣漏電以及閘極氧化膜信賴性的惡化，將詳述於後。

具有上述特徵的實施形態1的PDSOI-MOSFET，尤其在用於：主體電位固定的需求特別強烈的電路、I/O電路、類比式電路(PLL、感應放大電路)、時脈電路、動態電路等之際，特別有效。

(依照源極、汲極區域分類)

(第1樣態：源極區域以及汲極區域兩者皆直接連接於埋入氧化膜2之構造(如圖3~圖5所示之構造))

如圖4所示，源極區域51以及汲極區域61因為直接接觸埋入氧化膜2，所以主體區域10上的主體端子25所造成的主體電位固定效果就因而減弱。

但是，以第1樣態的構造，因為在源極區域51以及汲極區域61的底面上，並不形成pn接合，使得pn接合面積變小，所以可以阻止接合漏電發生，並且，可以減少接合電容量。

(第2樣態：除了源極區域以及汲極區域之外，包括從源極區域以及汲極區域延伸出的空乏層也都不接觸於埋入氧化膜的構造)

圖6為顯示實施形態1的第2樣態的剖面圖。附帶說明，圖6相當於圖3的A2-A2剖線圖。



五、發明說明 (15)

如該圖所示，源極區域52以及汲極區域62形成在SOI層4內而不到達埋入氧化膜2，並且，從源極區域52以及汲極區域62在一般動作時延伸的空乏層91也不到達埋入氧化膜2，此外，其他構造和第1樣態相同。

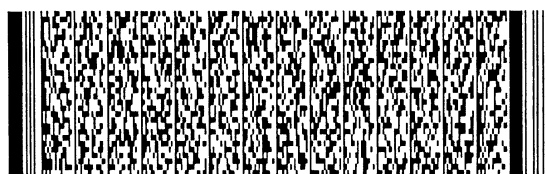
如此，在第2樣態中，源極區域52以及汲極區域62、和從源極區域52以及汲極區域62延伸的空乏層91都同樣不到達埋入氧化膜2，所以從主體端子25到通道區域的主體電阻R1即得以降低，具有主體端子25所獲得的主體電位固定效果最大的優點。但是，也有pn接合電容量加大的缺點。

(第3樣態：汲極區域不接觸於埋入氧化膜、或者從汲極區域延伸的空乏層不接觸埋入氧化膜的構造)

圖7為顯示實施形態1的第3樣態的剖面圖。附帶說明，圖7相當於圖3的A2-A2剖線圖。

如該圖所示，源極區域53以及汲極區域63形成在SOI層4內而不到達埋入氧化膜2，但是，從源極區域53以及汲極區域63在一般動作時延伸的空乏層92則到達埋入氧化膜2，此外，其他構造和第1樣態相同。

如此，在第3樣態中，因為汲極區域63不直接接觸埋入氧化膜2，所以主體電位固定效果比第1樣態更好。而且，因為空乏層92不接觸埋入氧化膜2，所以可以減少pn接合電容量。而可減低pn接合電容量的該優點，效果比從汲極區域63延伸的空乏層92以電壓0V接於埋入氧化膜2的效果更大。附帶說明，在圖7的例子中，來自源極區域53的空乏層92也接於埋入氧化膜2，不過即使不接於埋入氧化膜2



五、發明說明 (16)

的構造也可同樣奏效。

(第4樣態：汲極區域深度形成得比源極區域更深，從源極區域或者汲極區域延伸的空乏層接於埋入氧化膜的非對稱構造)

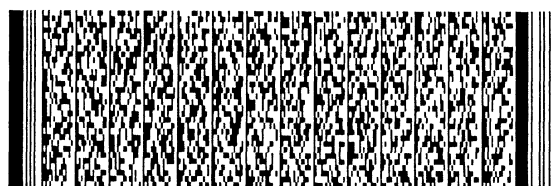
圖8為顯示實施形態1的第4樣態的剖面圖。附帶說明，圖8相當於圖3的A2-A2剖線圖。

如該圖所示，源極區域52以及從源極區域52延伸的空乏層94並不到達埋入氧化膜2，相反的，汲極區域61則直接接於埋入氧化膜2，而呈源極、汲極非對稱構造。此外，其他構造和第1樣態相同。

附帶說明，源極、汲極非對稱構造，可以阻蝕光罩將源極、汲極的離子植入分開製作。

如此所構成的第4樣態，因為源極區域52的接合電容量幾乎不會對電路的動作速度造成影響，所以從源極區域52延伸出的空乏層94即使不接觸於埋入氧化膜2也不會有任何不良影響。來自源極區域52的空乏層94，因為不接於埋入氧化膜2，所以可以使得從通道區域到源極區域52附近的主體電阻R1S的電阻值減小。而且，空乏層94接於埋入氧化膜2的構造，雖然也可以形成源極區域，但是為了pn接合界面面積縮小的分，空乏層94最好還是不要到達埋入氧化膜2比較適當。

至於汲極區域61，則因汲極區域61接於埋入氧化膜2，而可使接合電容量和pn接合介面的面積減少。並且，汲極區域61因為不接於埋入氧化膜2，在通常動作時若採用來



五、發明說明 (17)

自汲極區域61的空乏層接於埋入氧化膜2的構造，即可使得主體電阻達到電阻值減低的目的。

< 實施形態2 >

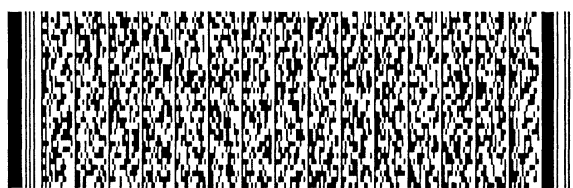
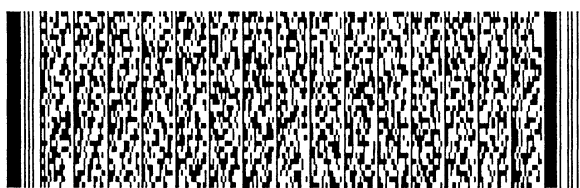
圖9為顯示本發明實施形態2的半導體裝置之平面構造的平面圖。附帶說明，圖9的A3-A3剖面 and 圖4所示形狀相同，圖9的A1-A1剖面，除了只有一邊形成主體區域13的特點之外，其他都和圖5所示的形狀相同。

如圖9所示，實施形態2的PDSOI-MOSFET，係採用以T閘極72來代替實施形態1中的H閘極71的構造。換句話說，在實施形態1中，係於H閘極71為左右的"I"附近分別形成主體區域13，而在實施形態2中的T閘極72，係於一個"I"附近，和H閘極71同樣的形成主體區域13。其他構成則和實施形態1相同故在此省略其說明。

從而，實施形態2的T閘極72，和實施形態1同樣的，藉由設在兩種形態的主體區域10以及13上的主體端子25以及28來進行主體固定，因此能降低主體電阻的電阻值，而能有有效的壓抑電晶體特性的不平均。

此外，實施形態2的T閘極72，因為可減小覆蓋動作(active)區域(源極區域51、汲極區域61等，未形成部份氧化膜31的區域)邊緣的面積，所以和H閘極71相比，更能減小閘極電容量。因此，和實施形態1的PDSOI-MOSFET比較，電路動作能更高速。

而且，分離邊緣的問題，和實施形態1同樣的在具有T閘極72的實施形態2之中也是有效的。



五、發明說明 (18)

從而，實施形態2的PDSOI-MOSFET，尤其在用於：主體電位固定的需求特別強烈的電路、I/O電路、類比式電路（PLL、感應放大電路）、時脈電路、動態電路等之際，特別有效。

此外，實施形態2的構造，也和實施形態1同樣的，可依照源極、汲極區域的接合位置不同，而同樣分類成從第1樣態到第4樣態的類別。

< 實施形態3 >

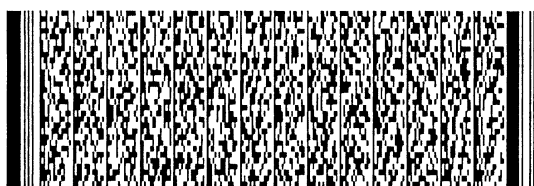
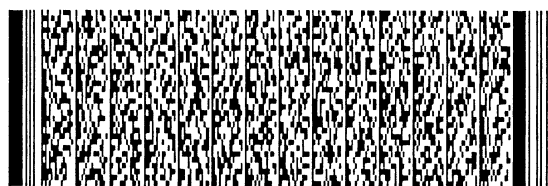
圖10為顯示本發明實施形態3的半導體裝置之平面構造的平面圖。圖11為顯示沿著圖10中的A4-A4剖面所作的剖面圖，圖12為顯示沿著圖11中的A5-A5剖面所作的剖面圖。

如該圖等所示，實施形態3的源極區域，呈在兩個分離形成的源極區域54之間以 p^+ 區域55所成的源極連接（source tied）構造。

而且，源極區域54、 p^+ 區域55以及汲極區域61，分別都形成從SOI層4表面到達裡面的深度。

在源極區域54（ p^+ 區域55）和汲極區域61之間的SOI層4上，形成閘極氧化膜5，在閘極氧化膜5上形成閘極7，閘極7側面則形成側壁6。

此外，被部份氧化膜31以及其下方的p井區域11作元件分離的主體區域10，在SOI層4表面到裡面形成。主體區域10經由在31下的p井區域11而和作為閘極7下的SOI層4之主體區域主要部分作電性連接。



五、發明說明 (19)

如此而成的實施形態3的PDSOI-MOSFET中，源極連接 (source tied) 構造，如圖10、圖11以及圖12所示，在源極接合區域，可以同時固定源極和主體的電位。具體而言，因為源極區域的一部分成為 p^+ 區域55，所以可將源極區域54和 p^+ 區域55設定為同樣電位，藉此即可穩定的進行主體電位固定。當然，經由主體區域10的主體固定也可進行。

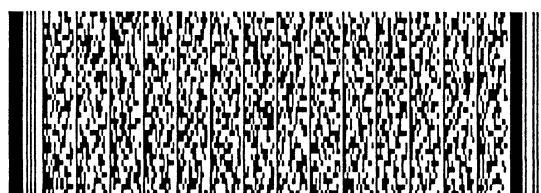
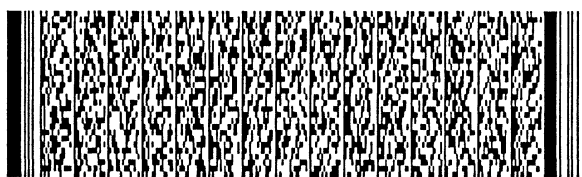
從而，實施形態3的PDSOI-MOSFET，尤其在用於：主體電位固定的需求特別強烈的電路、I/O電路、類比式電路 (PLL、感應放大電路)、時脈電路、動態電路等之際，特別有效。

此外，實施形態3的構造，可依照源極、汲極區域的接合的不同位置，而也和實施形態1同樣分類成從第1樣態到第4樣態的類別。

< 實施形態4 >

圖13為顯示本發明實施形態4第1樣態的半導體裝置之平面構造的平面圖。附帶說明，圖13中的A6-A6剖面 and 圖11所示形狀同樣，圖13中的A7-A7剖面 and 圖12所示形狀同樣，而圖13的B3-B3剖面 and 圖5所示形狀同樣。

實施形態4的第1樣態的構造，位實施形態1的H閘極71和實施形態3的源極連接 (source tied) 構造的組合構造，將實施形態1以及實施形態3個別的主體電位固定 (主體區域10、兩個主體區域13以及 p^+ 區域55的主體電位固定) 合併，藉以使得主體電位固定更加強化。



五、發明說明 (20)

圖14為顯示本發明實施形態4之第2樣態的半導體裝置之平面構造的平面圖。附帶說明，圖14中的A8-A8剖面 and 圖11所示形狀同樣，圖14中的A9-A9剖面 and 圖12所示形狀同樣。

實施形態4的第2樣態的構造，為實施形態2的T閘極72和實施形態3的源極連接 (source tied) 構造的組合構造，將實施形態2以及實施形態3個別的主體電位固定 (主體區域10、其中一個主體區域13以及 p^+ 區域55的主體電位固定) 合併，藉以使得主體電位固定更加強化。

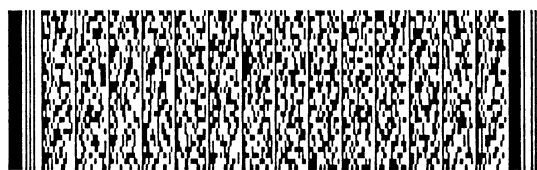
圖15為顯示本發明實施形態4之第3樣態的半導體裝置之平面構造的平面圖。附帶說明，圖15中的A10-A10剖面 and 圖11所示形狀同樣，圖15中的A11-A11剖面 and 圖12所示形狀同樣，而圖15的B4-B4剖面 and 圖5所示形狀同樣。

實施形態4的第3樣態的構造，為將實施形態1的H閘極71改良以後的特殊H閘極73和實施形態3的源極連接 (source tied) 構造的組合構造，將實施形態1以及實施形態3個別的主體電位固定合併，藉以使得主體電位固定更加強化。

而且，在實施形態4之第3樣態中，特殊H閘極73，係以分離部73a分離為源極區域54和 p^+ 區域55兩部份。

實施形態3以及實施形態4的第1以及第2樣態的閘極，因為不具有相當於分離部73a的部份，在源極區域54上形成矽化合物區域之際，源極區域54和 p^+ 區域55兩部份就被短路。因此，無法將源極和汲極的功效反過來利用。

另一方面，實施形態4的第3樣態，因為有分離部73a存



五、發明說明 (21)

在，記憶在源極區域54上形成矽化合物，也因有分離部73a而使得源極區域54不會和 p^+ 區域55短路，故能將源極和汲極的功效反過來利用。但是，也因有分離部73a存在，使得閘極點容量增加，而使得動作速度比第1樣態慢。附帶說明，分離部73a下方，經由氧化膜而形成 p^- 區域。

如同上述，實施形態4的第1~第3樣態的PDSOI-MOSFET，尤其在用於：主體電位固定的需求特別強烈的電路、I/O電路、類比式電路（PLL、感應放大電路）、時脈電路、動態電路等之際，特別有效。

此外，實施形態4的構造，可依照源極、汲極區域的接合的不同位置，而也和實施形態1同樣分類成從第1樣態到第4樣態的類別。

< 實施形態5 >

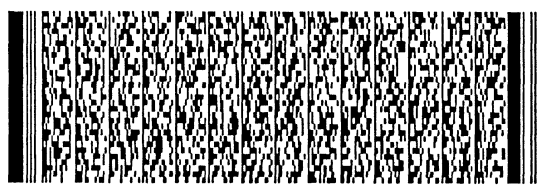
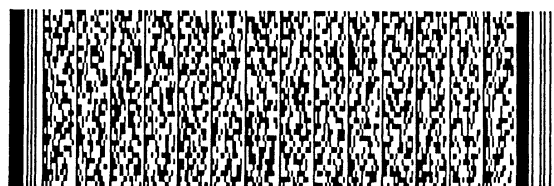
實施形態1~實施形態4，皆係分別具有以部份分離區域而使得元件分離的單一PDSOI-MOSFET之半導體裝置，而實施形態5中則為具有以部份分離區域而使得元件分離的多種PDSOI-MOSFET之半導體裝置。以下，列舉各種類的PDSOI-MOSFET：

形式1：以一般的閘極構造（參照圖1以及圖2）進行主體電位固定。

形式2：以H閘極構造進行主體電位固定（實施形態1）。

形式3：以T閘極構造進行主體電位固定（實施形態2）。

形式4：以源極連接構造進行主體電位固定（實施形態3）。



五、發明說明 (22)

此外，形式4和形式2或者形式3有時候會有重複的情形（實施形態4）。

（主體浮動形式-body floating type）

圖16為顯示PDSOI-MOSFET的形式5（其1）的平面構造之平面圖。如該圖所示，並無主體區域10以及主體端子25存在而PDSOI-MOSFET的主體區域主要部分成為浮動狀態。

圖17為顯示PDSOI-MOSFET的形式5（其2）的平面構造之平面圖。如該圖所示，即使設有主體區域10也不以主體端子進行電位固定的構成，也使得PDSOI-MOSFET的主體區域成為浮動狀態。

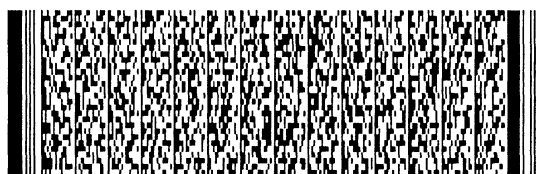
如此，使得主體區域成為浮動狀態的形式，就分類為新種的形式。此形式5可以獲得的效果為：PDSOI-MOSFET將臨限電壓設定得比進行主體電位固定的形式1~形式4更低。

在如此的主體浮動形式中，使如閘極7之類的一般電極構造者為形式5、而用和形式2以及形式3的H閘極構造以及T閘極構造來代替閘極7成為浮動構造者則分類為形式6以及形式7。附帶說明，形式6以及形式7中，當然不以主體區域13上的主體端子28進行主體電位固定。

以下，列舉PDSOI-MOSFET的浮動形式種類：

形式5：以一般閘極構造使主體浮動化（通常，為不設如圖15所示之主體區域10的连接型主體-linked body構造）。

形式6：以H閘極構造使主體浮動化。



五、發明說明 (23)

形式7：以T閘極構造使主體浮動化。

附帶說明，因為主體區域的大小順序為：形式6 > 形式7 > 形式5，所以在其他條件同樣的情形下，依照載子逃向主體區域的容易程度，臨限電壓之順序為：形式5 < 形式7 < 形式6。

以上，在所敘述的形式1~形式7當中，將兩種以上的形式的PDSOI-MOSFET以部份分離區域作元件分離，形成兩個以上的元件形成區域，即為實施形態5的半導體裝置。

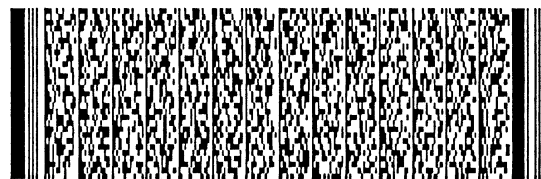
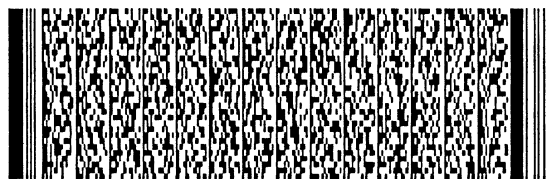
如此構成的實施形態5的半導體裝置，可以設置：以部份分離區域而成元件分離的多個元件形成區域，在主體區域的構造、閘極的構造、以及是否有主體電位固定的選項當中，至少一項不同，臨限值電壓等電晶體特性不同的多種PDSOI-MOSFET。

其結果，多種PDSOI-MOSFET當中，即可依照不同電晶體特性使用不同的PDSOI-MOSFET以構成高性能的半導體積體電路。

此外，在多種PDSOI-MOSFET中，可分別改變通道濃度、SOI層4膜厚度、閘極氧化膜5的厚度、材質等，可使得多種PDSOI-MOSFET的臨限值電壓分別設定為不同的數值。

而且，用形式1~形式4當中任何兩種以上的PDSOI-MOSFET，其個別的基板偏壓（主體電位固定電壓）設定為不同數值，也可獲得臨限值電壓分別不同的PDSOI-MOSFET。

< 實施形態6 >



五、發明說明 (24)

實施形態6的半導體裝置，除了以部份分離區域作元件分離的第1元件形成區域之外，也具有以完全分離區域（從SOI層4表面到達裡面（埋入氧化膜2）的元件分離用的絕緣膜）作元件分離的第2元件形成區域，為部份分離、完全分離併用的半導體裝置。

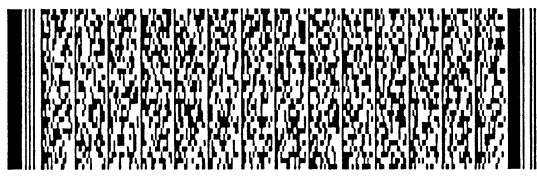
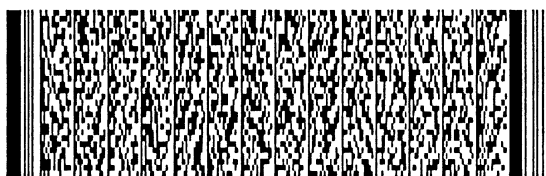
以下，列舉以完全分離區域作元件分離的PDSOI-MOSFET的種類。

圖18為顯示形式A的PDSOI-MOSFET的剖面構造的剖面圖。如該圖所示，在從SOI層4表面到達裡面（埋入氧化膜2）而設的完全分離區域亦即完全氧化膜32作元件分離的區域上，形成PDSOI-MOSFET。附帶說明，除了以完全氧化膜32替換部份氧化膜31之特點、不存在有主體區域10以及主體端子25之特點以外，其他都和圖4所示的實施形態1的平面構造相同。

圖19為顯示形式A的PDSOI-MOSFET平面構造之平面圖。圖19的A12-A12剖面相當於圖18。

如該圖所示，除了以完全氧化膜32替換部份氧化膜31之特點、不存在有主體區域10以及主體端子25之特點以外，其他都和圖4所示的實施形態1的平面構造相同。

從而，形式A的PDSOI-MOSFET，藉由設在兩個主體區域13上的兩個主體端子28來進行主體電位固定，藉以降低主體電阻的電阻值，而能有效抑制電晶體特性的不平均。但是，並不進行如實施形態1中，以設在主體區域10上的主體端子25進行的主體電位固定。



五、發明說明 (25)

圖20為顯示形式B的PDSOI-MOSFET平面構造之平面圖。如該圖所示，除了以完全氧化膜32替換部份氧化膜31之特點、不存在有主體區域10之特點以外，其他都和實施形態2的平面構造相同。而圖20的A13-A13剖面則和圖18所示的剖面構造同樣。

從而，形式B的PDSOI-MOSFET，藉由設在一個主體區域13上的主體端子28來進行主體電位固定，藉以降低主體電阻的電阻值，而能有效抑制電晶體特性的不平均。但是，並不進行如實施形態2中，以設在主體區域10上的主體端子25進行的主體電位固定。

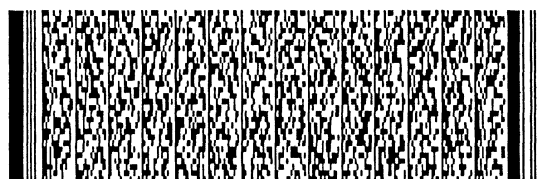
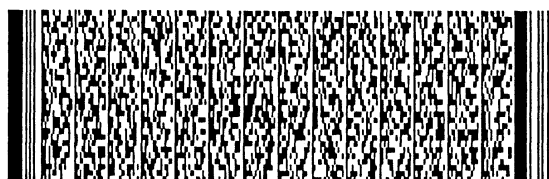
此外，如實施形態3一般，在完全分離區域上以源極連接構造進行主體電位固定的，即為形式C。

圖21為顯示形式D的PDSOI-MOSFET平面構造之平面圖。如該圖所示，除了以完全氧化膜32替換部份氧化膜31之特點以外，其他都和圖16所示得部份分離形式5的PDSOI-MOSFET相同。而圖21的A14-A14剖面則和圖18所示的剖面構造相同。

同樣的，除了將部份氧化膜31置換為完全氧化膜32的特點以外，其他都和形式6以及形式7同樣構成的PDSOI-MOSFET就成了形式E和形式F的存在。

附帶說明，和形式5、形式6、形式7同樣的理由，在其他條件都相同的情形下，臨限值電壓的關係為：形式D < 形式F < 形式E。

以上，形式A~形式F係以完全分離區域作元件分離的第2



五、發明說明 (26)

區域上所形成的PDSOI-MOSFET的類別。上述形式A~形式F綜合整理如下：

形式A：以H閘極構造進行主體電位固定（類似實施形態1，但是不以主體區域10進行主體電位固定）。

形式B：以T閘極構造進行主體電位固定（類似實施形態2，但是不以主體區域10進行主體電位固定）。

形式C：以源極連接構造進行主體電位固定（類似實施形態3，但是不以 p^+ 區域55進行主體電位固定）。

形式D：以一般的閘極構造進行浮動化。

形式E：以H閘極構造進行浮動化。

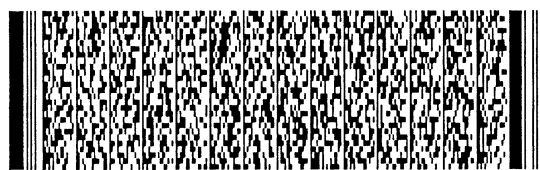
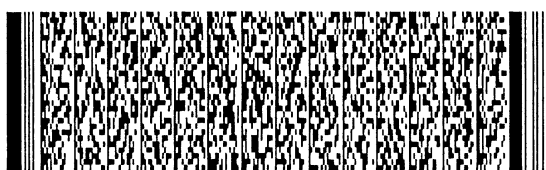
形式F：以T閘極構造進行浮動化。

此等形式A~形式F的PDSOI-MOSFET，因為形成在以完全分離區域作元件分離的第2元件形成區域上，所以可有效阻止閂鎖現象產生（latch up free）。

此外，如同形式A以及形式B一般採用H閘極構造以及T閘極構造、或者如形式C一般採用源極連接構造，可藉以固定主體電位而抑制基板游移效應。

另一方面，關於PDSOI-MOSFET的臨限值電壓，在其他條件相同的情形下，可成立以下的關係：「完全分離浮動構造（形式D~F）<部份分離浮動構造（形式5~7）<主體電位固定構造（形式A、形式B、形式1~形式4）」。

附帶說明，部份分離浮動構造，比完全分離浮動構造的主體區域更大，具有將造成基板游移效應的載子（在



五、發明說明 (27)

NMOS 為電洞、在PMOS則為電子) 消滅的效果。

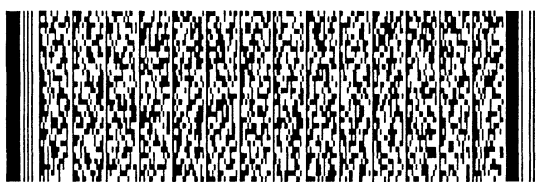
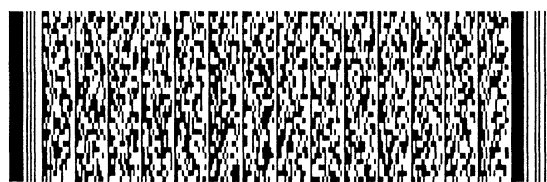
實施形態6為：在部份分離、完全分離併用的構造中，在以部份分離區域作元件分離的第1元件形成區域上，形成上述形式1~形式7其中一種以上的形式的PDSOI-MOSFET，同時，在以完全分離區域作元件分離的第2元件形成區域上，形成上述形式A~F其中一種以上的形式的PDSOI-MOSFET的半導體裝置。

如此所構成的實施形態6的半導體裝置，具有多種PDSOI-MOSFET，藉此即可設使用於各種不同的用途上的PDSOI-MOSFET。

並且，多種PDSOI-MOSFET皆可分別改變通道濃度、SOI層4膜的厚度、閘極氧化膜5的厚度、材質等，藉以分別將多種PDSOI-MOSFET的臨限值電壓作不同設定。

另外，使用形式1~形式4當中兩種以上的形式的PDSOI-MOSFET，分別將基板偏壓（主體電位固定電壓）設為不同的數值，也可藉以獲得分別不同臨限值電壓的PDSOI-MOSFET。

圖22為概念化顯示實施形態6的半導體裝置的平面構造的說明圖。如該圖所示，以部份氧化膜31所成的部份分離區域131（131A~131G）和以完全氧化膜32所成的完全分離區域132，係為混合設置。在圖22的例子，在部份分離區域131B設形式1~4的主體電位固定形式的PDSOI-MOSFET，而在完全分離區域132設形式A、形式B、形式D~形式F的PDSOI-MOSFET，在部份分離區域131D設形式5的主體浮動



五、發明說明 (28)

形式的PDSOI-MOSFET，在部份分離區域131E設形式6以及形式7的主體浮動形式的PDSOI-MOSFET。

(應用例1)

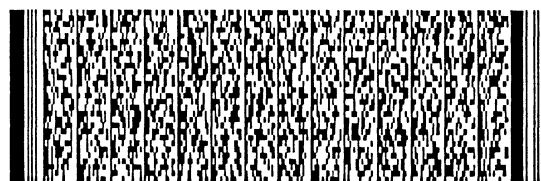
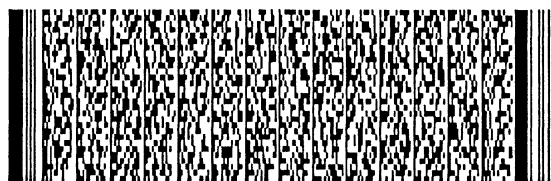
圖23為顯示實施形態6的半導體裝置的應用例的電路圖。如該圖所示，以PMOS電晶體Q11~Q13以及NMOS電晶體Q21~Q23B來構成三輸入的NAND閘（半導體積體電路）。

在節點N1和接地位準之間依Q21~Q23的順序串聯連接NMOS電晶體Q21~Q23，在輸出端子33和節點N1之間將PMOS電晶體Q11~Q13並聯連接。然後，將輸入信號IN1輸入給PMOS電晶體Q11以及NMOS電晶體Q21的閘極，而將輸入信號IN2輸入給PMOS電晶體Q12以及NMOS電晶體Q22的閘極，輸入信號IN3輸入給PMOS電晶體Q13以及NMOS電晶體Q23的閘極。

如此的構成當中，NMOS電晶體Q21使用完全分離浮動構造（例如：形式D），NMOS電晶體Q22使用部份分離浮動構造並且不具有主體區域和主體端子的連接型主體（linked body）構造（形式5），NMOS電晶體Q23使用部份分離主體電位固定構造（形式1~形式4其中任何一種）。

如此分別將多種的PDSOI-MOSFET使用於NMOS電晶體Q21~Q23，從NMOS電晶體Q21~Q23配置為使基板偏壓效果更大。

換句話說，基板偏壓效果的影響依照容易受到影響的順序排列Q21~Q23的狀況來排列NMOS電晶體Q21~Q23，依Q21~Q23的順序將基板偏壓效果的影響用於較強特性的MOS



五、發明說明 (29)

電晶體，藉此即可有效抑制基板偏壓效果的速度降低。

(應用例2)

圖24為顯示實施形態6的半導體裝置的應用例2的電路圖。如該圖所示，將多個反相器IV串聯連接，藉以組成反相器鏈（或者環狀震盪器）。

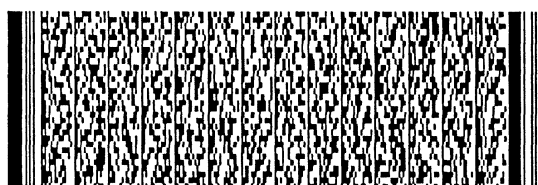
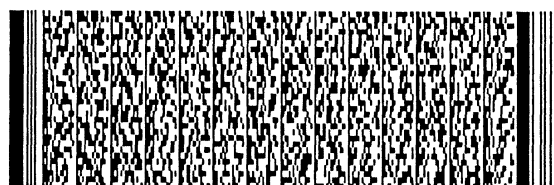
各反相器IV係由PMOS電晶體Q15以及NMOS電晶體Q25所構成，PMOS電晶體Q的汲極共同連接於節點N2，節點N2經由PMOS電晶體Q14而連接於電源電壓VDD，PMOS電晶體Q14的閘極上施加控制信號S14。而且，NMOS電晶體Q25的源極都共同接地。

附帶說明，當PMOS電晶體Q25在OFF的狀態時，可使得各反相器IV成為非活性狀態，而在PMOS電晶體Q14在ON的狀態時，可使得各反相器IV成活性狀態。

在如此的構成中，在構成反相器IV的PMOS電晶體Q15以及NMOS電晶體Q25，使用完全分離浮動構造（形式D~形式F）或者部份分離連接主體構造（形式5）。因為該等構造可藉由主體電位固定構造，將臨限值電壓降低，故可使得反相器IV高速動作。

另一方面，在反相器IV的開關控制用PMOS電晶體Q14，使用部份分離主體電位固定構造（形式1~形式4），藉以提高臨限值電壓，故在電源OFF狀態時可以將消耗電力減低。

如此將多種PDSOI-MOSFET，分別使用構成反相器IV的MOS電晶體Q15以及Q25和PMOS電晶體Q14，改變兩者的臨限



五、發明說明 (30)

值電壓，可藉以使速度更高速化、並且更降低消耗電力。
(補充)

圖25為顯示以完全分離區域作元件分離的FD (Fully-Depleted) SOI-MOSFET構造的剖面圖。如該圖所示，在外表看來構造和圖16所示的完全分離浮動構造相同。

但是，FDSOI-MOSFET，在閘極7正下方的空乏層94到達埋入氧化膜2的特點和PDSOI-MOSFET不同。而且，在FDSOI-MOSFET中，採用源極、汲極的 n^- 區域到達埋入氧化膜2的構造亦可。

附帶說明，圖25所示的FDSOI-MOSFET，在完全分離構造的形式A~形式F的任何構造皆能實現，部份分離構造的形式1~形式7的任何構造也都能實現。

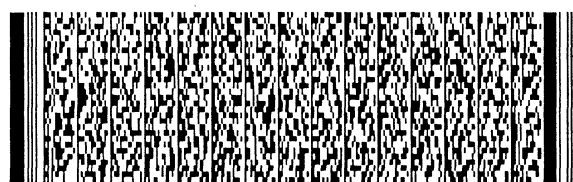
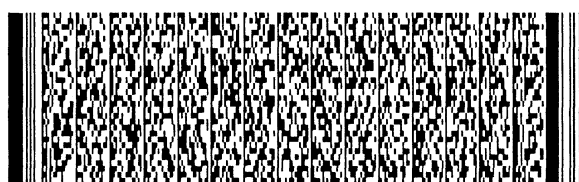
FDSOI-MOSFET具有的優點是副臨限值係數 (sub threshold coefficient) 優良、換句話說，是開關速度優良的優點。但是，也有因為SOI層4的膜厚度不平均而造成臨限值不平均的缺點。關於這一點，PDSOI-MOSFET，因為閘極正下方的空乏層不接於埋入氧化膜，所以臨限值電壓的控制性較佳。

用實施形態5或者實施形態6的電晶體類別，加上圖25所示的FDSOI-MOSFET，所使用的電晶體類別就更為多樣化。

附帶說明，實施形態1~實施形態6，主要以NMOS電晶體的構造顯示，但是當然也可以應用在PMOS、CMOS上。

< 實施形態7 >

(第1樣態)



五、發明說明 (31)

圖26為顯示本發明實施形態7的第1樣態的半導體裝置之電阻元件之剖面圖，圖27為其平面圖。圖27的C1-C1剖面則相當於圖26。

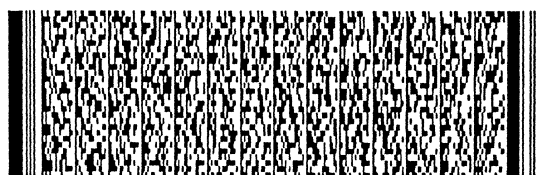
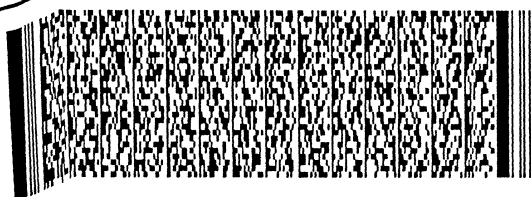
如該等圖所示，設置有被部份氧化膜31a以及在其下方的p井區域11分離的p⁺區域21以及22。p⁺區域21以及p⁺區域22，經由在部份氧化膜31a下的p井區域11作電性連接，在p⁺區域21上的電阻端子23和p⁺區域22上的電阻端子24之間，可以形成電阻元件R3。

換句話說，電阻元件R3，係用部份氧化膜31a下的SOI層4之p井區域11而形成。而後，可以依照部份氧化膜31a的膜厚度(也就是部份氧化膜31a下的p井區域11的膜厚度)，來控制電阻元件R3的電阻值。

爾後，以不同於部份氧化膜31a的部份氧化膜31將電阻元件R3作元件分離。形成n井區域12和n⁺防護環區域20。n⁺防護環區域20為在n井區域12上選擇性形成的區域。藉由n⁺防護環區域20以及n井區域12，形成電阻元件R3的電阻元件形成區域得以和其他元件分離。

圖28為顯示一般電阻元件的剖面圖。如該圖所示，在p井區域11的上層部份選擇性的形成p⁺區域21和22。p⁺區域21和22經由p井區域11而成電性連接，藉此，在p⁺區域21上的電阻端子23和p⁺區域22上的電阻端子24之間，可形成電阻元件R3。至於其他構成則和第1樣態相同。

圖23所示的第1樣態，因為係利用部份氧化膜31下的p井區域11來形成電阻，故如圖28所示的一般性的電阻元件的



五、發明說明 (32)

電阻得以擴大。

(第2樣態)

圖29為顯示本發明實施形態7的第2樣態的半導體裝置之電阻元件之剖面圖。第2樣態採用部份分離・完全分離併用構造。

如該圖所示，和第1樣態同樣的，在 p^+ 區域21上的電阻端子23和 p^+ 區域22上的電阻端子24之間，可以部份氧化膜31下的p井區域11形成電阻元件R3。

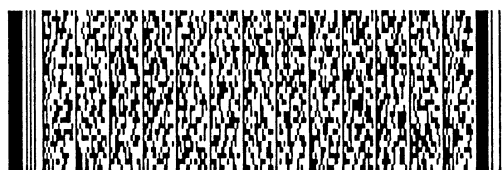
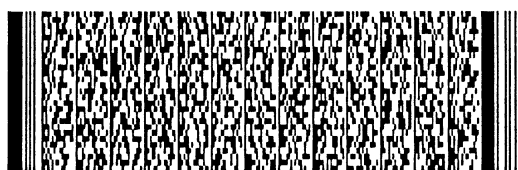
因為電阻元件R3係以完全氧化膜32而被和周圍完全分離，故不必如第1樣態設置n井區域12以及 n^+ 防護環區域20。

(第3樣態)

圖30為顯示本發明實施形態7的第3樣態的半導體裝置之電阻元件形成區域之剖面圖。

如該圖所示，以部份氧化膜31以及其下方的p井區域11所成的部份分離區域而作元件分離設置 p^+ 區域21以及22。 p^+ 區域21以及22，經由在兩個部份氧化膜31a下沒有形成p井區域11以及部份氧化膜31的p井區域11以及不形成部份氧化膜31的p井區域11a而作電性接觸，在 p^+ 區域21上的電阻端子23和 p^+ 區域22上的電阻端子24之間，可形成電阻元件R34。其他構成就和第1樣態相同。

第3樣態的部份氧化膜31上部以不形成的p井區域11a而形成電阻元件R34，故在部份氧化膜31形成時可以抑制凹碟狀扭曲的問題。



五、發明說明 (33)

以上所示的實施形態7，決定電阻值的雜質，在源極、汲極區域形成時，因為係通過部份氧化膜31而植入，故如第3樣態一般設置不形成部份氧化膜31的區域，可藉以抑制電阻值的不平均。

(應用例)

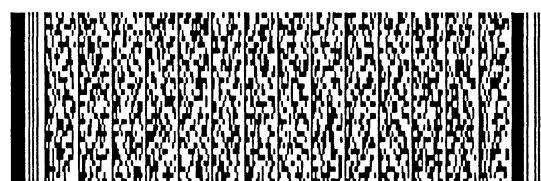
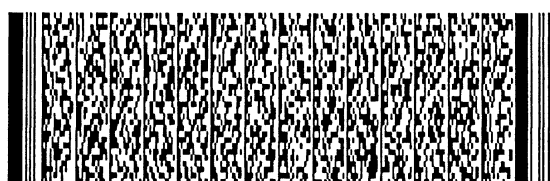
圖31為顯示電晶體CMOS構成的SRAM單元之電路圖。如該圖所示，將NMOS電晶體Q1以及PMOS電晶體Q5所成的CMOS反相器和NMOS電晶體Q2以及PMOS電晶體Q6所成的CMOS反相器，在節點N11、N12之間交叉連接，藉以構成閃鎖(latch)電路。

此後，在位元線BL1和節點N11之間介插入NMOS電晶體Q3，位元線BL2和節點N12之間插入NMOS電晶體Q4，NMOS電晶體Q3以及Q4的閘極連接於字線WL。NMOS電晶體Q1、Q2、PMOS電晶體Q5、Q6稱為驅動電晶體，而NMOS電晶體Q3、Q4稱為存取電晶體。

圖32為顯示實現圖31中所示的SRAM單元用的佈局構成之平面圖。如該圖所示，一部份氧化膜31作元件分離，選擇性的形成活性區域66~69。附帶說明，活性區域66、69為n型雜質區域，而活性區域67、68為p型雜質區域。

而後，在圖32上，橫切過活性區域66上而形成閘極78，橫切過活性區域66上以及67上形成閘極79，橫切過活性區域68上以及68上形成閘極80，橫切過活性區域69上形成閘極81。

此外，活性區域66~69，閘極78~82都分別在所規定的地



五、發明說明 (34)

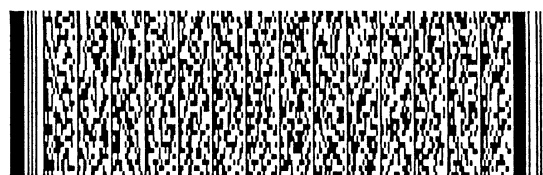
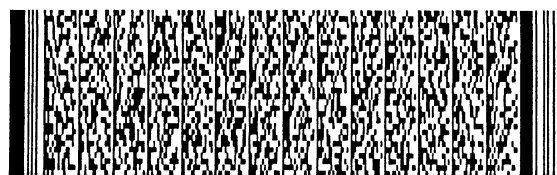
方設置接點76，經由該接點76而和並未圖示的位元線BL、字線WL等配線作電性連接。而且，活性區域67經由共同接點77而和閘極80作電性連接，活性區域68經由共同接點77而和閘極79作電性連接。

依照如此的構成，以活性區域66以及閘極79構成NMOS電晶體Q1；以活性區域69以及閘極80構成NMOS電晶體Q2；以活性區域66以及閘極78構成NMOS電晶體Q3；以活性區域69以及閘極81構成NMOS電晶體Q4；以活性區域67以及閘極79構成PMOS電晶體Q5；以活性區域68以及閘極80構成PMOS電晶體Q6。

圖33為顯示高電阻負載單元構成的SRAM單元的電路圖。如該圖所示，將NMOS電晶體Q1以及電阻R11所成的NMOS反相器和NMOS電晶體Q2以及電阻R12所成的NMOS反相器，在節點N11、N12之間交叉連接形成閃鎖電路。而其他構成和圖31所示的SRAM單元相同。

圖34為顯示實現圖33所示的SRAM單元用的佈局構成之平面圖。如該圖所示，一部份氧化膜31作元件分離，選擇性的形成活性區域66、69，而且，活性區域66、69為n型雜質區域。

並且，選擇性的形成 p^+ 區域21a、21b、22a、以及22b，在 p^+ 區域21a、22a以及21b、22b之間分別設置可形成如實施形態7的第2樣態所示電阻元件的電阻層形成井區域82a以及82b。此外，電阻層形成井區域82a以及 p^+ 區域21a、22a、並且還有電阻層形成井區域82b以及 p^+ 區域21b、



五、發明說明 (35)

22b，皆以形成在周圍的完全氧化膜32而和其他元件完全分離。

而後，在圖34上，橫切過活性區域66上而形成閘極78，橫切過活性區域67上形成閘極79，橫切過活性區域69上形成閘極80，橫切過活性區域69上形成閘極81。

此外，活性區域66、69，閘極78~82都分別在所規定的地方設置接點76，經由該接點76而和並未圖示的位元線BL、字線WL等配線作電性連接。而且， p^+ 區域21a經由共同接點77而和閘極80作電性連接， p^+ 區域21b經由共同接點77而和閘極79作電性連接。

依照如此的構成，以活性區域66以及閘極79構成NMOS電晶體Q1；以活性區域69以及閘極80構成NMOS電晶體Q2；以活性區域66以及閘極78構成NMOS電晶體Q3；以活性區域69以及閘極81構成NMOS電晶體Q4；以 p^+ 區域21a、22a以及電阻層形成井區域82a構成作為負載電阻（LOAD元件）的電阻R11；以 p^+ 區域21b、22b以及電阻層形成井區域82b構成作為負載電阻的電阻R12。

將圖32和圖34比較可知，使電阻層形成井區域82a、82b的形成面積，比活性區域67、68的形成面積更狹窄，即可藉以縮小SRAM單元的面積。

< 實施形態8 >

圖35為顯示一般性的H閘極之平面圖。如圖35所示，H閘極71經由左右的"I"，而和源極區域50以及汲極區域60在閘極寬度W方向鄰接形成的主體區域16和汲極區域60以及



五、發明說明 (36)

源極區域50成為電性分離，中央的“-”作為原本的MOS電晶體的閘極而發揮功能。

在如此的構成中，將 p^+ 植入主體區域16的植入光罩開口部15，覆蓋在H閘極71的端部上。從而，在H閘極71的端部，p型雜質也和n型雜質一同植入，對於在H閘極71下面的閘極氧化膜的雜質植入時的損傷較大，成為其主要問題點。此外，依照其過程溫度，作為p型雜質而植入的B、BF₂等，擴散到形成在活性(active)區域的閘極區域，造成臨限值電壓不平均的問題。

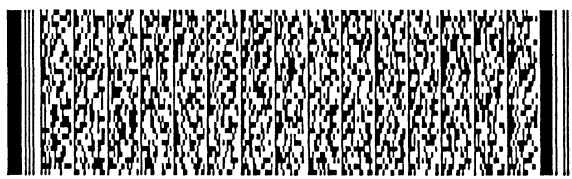
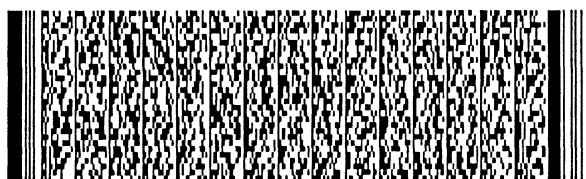
圖36為顯示本發明實施形態8半導體裝置的平面構造之平面圖。圖37為顯示沿著圖36中的D1-D1剖面所作的剖面圖。

如該圖等所示，H閘極71在相鄰於左右的“I”的區域設置 p^- 主體區域17b，而相鄰於 p^- 主體區域17b設置 p^+ 主體區域17a，藉以形成主體區域17。

如此，在 p^+ 主體區域17a和H閘極71之間設置距離r1，即可確實設置不覆蓋H閘極71的 p^+ 植入光罩開口部16。

從而，和圖35所示的構造相比較，對於在H閘極71下面的閘極氧化膜的雜質植入時的損傷可以大幅減輕，故可提昇閘極氧化膜的可信程度、有效抑制臨限值電壓不平均的問題。

此外加上，因為在 p^+ 主體區域17a和H閘極71之間設置距離r1，在植入B、BF₂等作為 p^+ 主體區域17a形成用的p型雜質時，B、BF₂等不會擴散到閘極區域、故不會引起臨限值



五、發明說明 (37)

電壓的不平均。

換句話說，在圖36的構成中，p型雜質植入到H閘極71的端部，最多也僅僅是在口袋區域形成時的程度，故可將在H閘極71的端部的p型雜質的濃度抑制在 $5 \times 10^{18} \text{ cm}^{-3}$ 以下，故可抑制臨限值電壓的不平均。

此外，如圖37所示，在H閘極71下的SOI層4和 p^+ 主體區域17a之間，設置雜質濃度較低的 p^- 主體區域17b，可能有使得主體電阻的電阻值上升之虞。

但是，在 p^- 主體區域17b上設置矽化物等方法，即可使得如此的問題比較容易解決。此外，實施形態8不僅是H閘極，當然也可照樣運用在T閘極構造上。

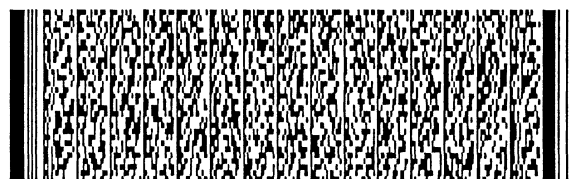
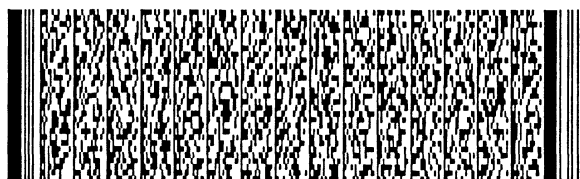
此外，關於分離技術，使用完全分離、部份分離、部份分離・完全分離併用構造所作的H閘極、T閘極構造。該構造，也顯然可應用於PMOS、CMOS。

附帶說明，實施形態1~實施形態8，係針對在單結晶矽上的SOI電晶體而敘述，但是也可以應用在多晶矽上所作的聚矽TFT (Thin Film Transistor) 上，自然不在言下。

< 部份分離流程 >

部份分離、部份分離・完全分離併用流程的一例子說明如下：

圖38~圖52所示為以部份分離區域在完成元件分離後的第1區域形成元件的部份分離流程之剖面圖。以下，參照該圖等說明部份分離流程。



五、發明說明 (38)

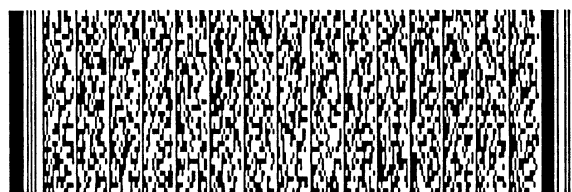
首先，如圖38所示，準備作為SOI基板的初期晶圓。SOI基板為半導體基板1、埋入氧化膜2以及SOI層4的沉積構造所形成，一般典型的SOI層4的膜厚度，大約在30~400nm左右，埋入氧化膜2的膜厚度為100~500nm。在強力裝置用途中，SOI層4的膜厚度可為數 μm ~數十 μm 。

接著，如圖39所示，在SOI層4的表面上形成氧化膜35。可以熱氧化膜、TEOS氧化膜等作為氧化膜35。35的膜厚度大約為5~40nm左右。接下來，在氧化膜35沉積氮化膜36。氮化膜36的膜厚度為大約50~300nm左右。氮化膜36可以LPCVD (Low Pressure Chemical Vapor Deposition) 或者電漿氮化膜CVD沉積。

其次，對氮化膜36進行微影術佈局。換句話說，就是用形成在氮化膜36上的光阻為光罩，以RIE (Reactive Ion Etching) 或者ECR (Electron Cyclotron Resonance) 裝置將氮化膜36施加圖案佈局，接著以灰化處理或者過硫酸水將光阻除去。

其後，如圖41所示，以已經微影術佈局後的氮化膜36作為光罩，用RIE裝置或者ECR裝置，對氧化膜35以及SOI層4進行蝕刻，選擇性的形成溝渠37。此時，留下一部分的SOI層4而形成溝渠37。

接著，如圖41所示，在全面上沉積氧化膜38。氧化膜38可以電漿TEOS裝置、HDP (High Density Plasma) 裝置等來沉積。氧化膜38的厚度，大約100~500nm左右，接下來，以CMP (Chemical Mechanical Polishing) 裝置研磨



五、發明說明 (39)

使表面平坦化。如此，即可使得氧化膜38成為埋入在溝渠37內的狀態。

此後，以 $1000^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ 進行熱處理，提昇所沉積的氧化膜38的膜品質。而且，在沉積氧化膜38之間如圖40所示的階段，將溝渠37內壁施加 $900^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ 的高溫進行熱氧化，使得溝渠上部以及底部的SOI層4的角部成為圓形角，對於緩和壓力非常有效。

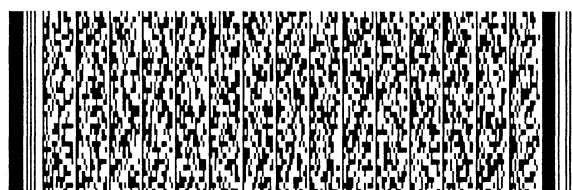
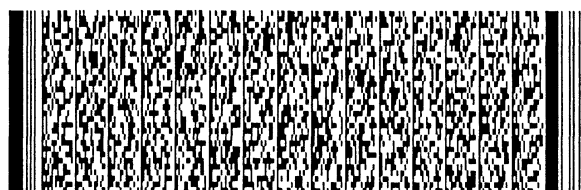
接著，如圖42所示，用RIE、ECR或者濕式蝕刻法將氧化膜進行回蝕後，接著使用熱磷酸將氮化膜36除去，藉此完成部份氧化膜31。藉由該部份氧化膜31和在部份氧化膜31下的SOI層4而分離的區域即為元件形成區域。此時，也可將留在SOI層4 (active) 上的氧化膜35全部除去，再度沉積熱氧化膜或者氧化膜。

然後，如圖43所示，以在微影術處理中形成圖案佈局的光阻39為光罩，將B (硼) 離子40植入以形成p井區域11。

接下來，如圖44所示，以在微影術處理中形成圖案佈局的光阻41為光罩，將P (磷) 離子42植入以形成n井區域12。

除此之外，n井區域12除了P離子以外還可以用As、Sb等雜質來形成，而p井區域11的形成，除了B之外，也可用BF₂、In等。p井區域11和n井區域12都同樣，使得雜質濃度為 $1 \times 10^{15} \sim 1 \times 10^{19} \text{ cm}^{-2}$ 的範圍內。

此後，入圖45所示，將形成在SOI層4表面上的氧化膜35，以濕式蝕刻法除去以後，形成作閘極氧化膜用的氧化膜56。氧化膜56除了通常使用的熱氧化膜、氮化氧化膜之



五、發明說明 (40)

外，也可使用 Al_2O_3 等金屬氧化膜、或者 Ta_2O_5 、BST等高介電體氧化膜。

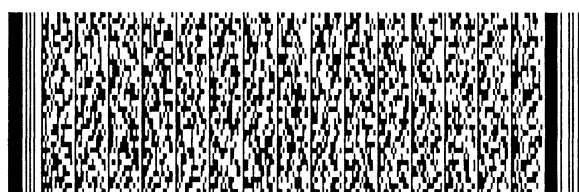
接著，使用LPCVD裝置，沉積大約100~400nm的聚矽層。也可用摻雜有P、B等雜質的聚矽作為聚矽層。而且此外，也可以W、Ta、Al等金屬電極來代替聚矽層作為該閘極的材料。

其次，在進行微影術處理之後，將該聚矽層以RIE或者ECR等各向異性蝕刻裝置加工形成閘極7。此時，也可在聚矽層上沉積氧化膜或者氮化膜、氧化膜的絕緣膜，形成圖形之後，以該絕緣膜為光罩，將聚矽層加工。圖45所示為代表性的閘極7，也可以H閘極71、T閘極72、特殊H閘極73等構造形成閘極，即使每個不同的元件形成區域都改用不同的閘極構造也無妨。

此後，如圖46所示，以在微影術處理後形成佈局圖案的光阻43以及閘極7為光罩，將p型雜質植入以形成袋狀區域11a。袋狀區域11a可以發揮抑制隨細微化而來的短通道效應的效果。短通道效應，也會因源極、汲極結合的深度、閘極氧化膜等條件發生影響。從而，將該等條件調整為最佳狀態，抑制短通道效應，即可省略該袋狀區域形成的步驟。

在袋狀區域形成之際所用的p型雜質，可用大約 $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 的濃度植入B、In或者BF以形成袋狀區域11a。

並且，在形成袋狀區域之後，再以阻蝕層43以及閘極7為光罩，植入n型雜質，形成n延伸區域44。n型雜質，可



五、發明說明 (41)

用大約 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 的濃度植入As、P或者Sb。

此後，如圖47所示，以在微影術處理後形成佈局圖案的光阻45以及閘極7為光罩，將n型雜質植入以形成袋狀區域12a。

在袋狀區域形成之際所用的n型雜質，可用大約 $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 的濃度植入As、P或者Sb以形成袋狀區域12a。

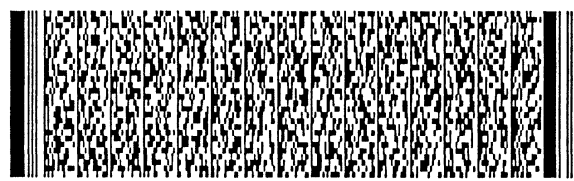
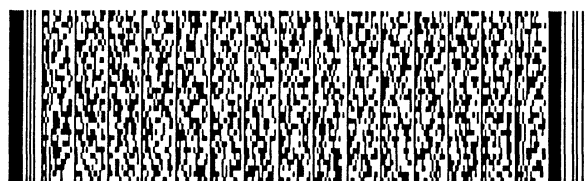
並且，在形成袋狀區域之後，再以光阻45以及閘極7為光罩，植入p型雜質，形成p延伸區域46。p型雜質，可用大約 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 的濃度植入B、In或者BF。

附帶說明，在圖46以及圖47中，袋狀區域11a以及p延伸區域46為便利起見，以「p⁻」圖示，但實際上p延伸區域46的雜質濃度較高。同樣的袋狀區域12a以及n延伸區域44也為方便起見標示為「n⁻」，但實際上是n延伸區域44的濃度比較高。

在圖48以後的圖表說明中，NMOS電晶體以及PMOS電晶體當中，以NMOS電晶體為代表來進行說明。附帶說明，PMOS電晶體除了導電型和NMOS電晶體相反的關係以外，其他形成都和NMOS電晶體相同。

接著，如圖48所示，在閘極7側面沉積側壁膜。該側壁膜可使用TEOS膜、電漿氧化膜等。而且，也可以用LPCVD或者電漿CVD等所形成的Si₃N₄、Si₃N₄和SiO₂的雙層構造的絕緣膜。沉積後，進行回蝕，形成側壁6。

接著，進行微影術，在NMOS形成區域植入n型雜質，以形成源極區域52以及汲極區域62。n型雜質，可用大約 $1 \times$



五、發明說明 (42)

$10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的濃度將As、P或者Sb植入。在形成源極區域52、汲極區域62時，也可將PMOS的n型主體區域一併形成。

此外，雖然並未圖示，PMOS的源極、汲極區域，是以大約 $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的濃度植入B、In或者BF等p型雜質所形成。此時，也可將NMOS的p型主體區域一併形成。接著，進行源極、汲極區域活性化的退火（ $800^\circ\text{C} \sim 1150^\circ\text{C}$ ）處理。

接下來，如圖49所示，將進行矽化的部份（源極區域52、汲極區域62上以及閘極7上等並未圖示的主體區域上）的氧化膜56除去。從而，僅僅留下閘極7以及側壁6a下的氧化膜56，閘極7下的氧化膜56成為閘極氧化膜5，側壁6a下的氧化膜56和側壁6a則成為側壁6。然後，在源極區域52、汲極區域62以及閘極7表面上，形成矽化物區域47、48、和49。

此時，在形式1~形式7得PDSOI-MOSFET當中，將兩種以上的PDSOI-MOSFET以部份分離區域作元件分離的兩個以上的元件形成區域分別形成，即可藉以獲取實施形態5的半導體裝置。

在圖49中，顯示在源極、汲極以及閘極上也都有進行矽化的金屬矽化過程。僅僅將閘極矽化的多晶矽化過程、依不同用途（ESD：Electro-Static Discharge等），也有源極、汲極以及閘極也都形成矽化物保護氧化膜，完全不進行矽化的情形。所謂的矽化物包括： TiSi_2 、 CoSi_2 、



五、發明說明 (43)

NiSi_2 、 WSi_2 、 TaSi_2 、 HfSi 、 PdSi 、 PtSi 、 ZrSi_2 等。

接著，如圖50所示，將氧化膜所成的層間絕緣膜85沉積全面上大約 $1\ \mu\text{m}$ 。接著對層間絕緣膜85進行平坦化用的CMP。其後，進行接點形成用的微影術，經由蝕刻處理而在矽化物區域矽化物區域47、48上形成接觸孔84。

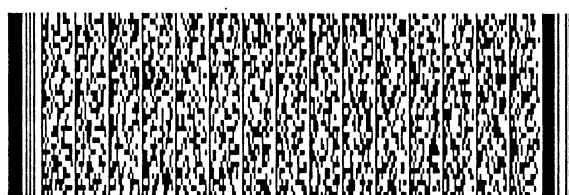
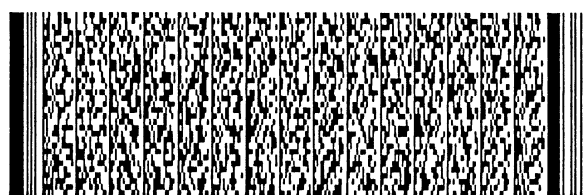
其次，如圖51所示，在全面上沉積W（鎢）。也可沉積Al、TiN、D-聚矽層來代替鎢。而且，作為成膜方法，關於W，有覆蓋CVD法和選擇CVD法。至於Al，有高溫濺鍍法和逆流濺鍍法；而TiN、D-聚矽層有LPCVD法。為提升W和下層絕緣膜之間的密接程度，可以在沉積W之前，先形成Al、TiN、D-聚矽層、TiW。於此，在使用覆蓋CVD法的情形以W作說明。在沉積W之後，可以回蝕將其完全平坦化。

接著，如圖52所示，沉積作為第1層金屬的鋁配線層88。當然，鋁配線層88的材料，也可用AlCuSi、Cu或者D-聚矽層。在微影術後，將鋁配線層88加工。

接下來，在包含鋁配線層88在內的全面上沉積層間絕緣膜87，為了減少凹凸段差，用CMP等技術進行平坦化。

接著，如圖53所示，將和第2層金屬的金屬配線之間的接觸孔（via hole 介層孔）開孔，和接觸同樣的進行鎢層89的埋入步驟後，和第1層同樣的形成作為第2層金屬的鋁配線層97之後，在全面上沉積層間絕緣膜96，和層間絕緣膜87同樣進行平坦化。

以後，在需要第3層以上的金屬配線的裝置，反覆操作圖52或者圖53所示的步驟之後，沉積晶片保護膜（研磨膜



五、發明說明 (44)

），將黏晶線連接用的窗戶（連接墊）開孔，所有的步驟即可結束。

該CMOS步驟，係以 n^+ 閘極、 p^+ 閘極的Dual gate過程加以說明，當然，也可以用Single閘極過程、金屬閘極（W、Ta等）過程。

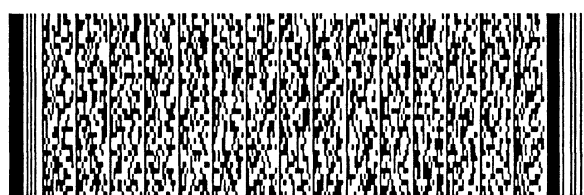
<部份分離・完全分離併用流程>

圖54~圖57為部份分離・完全分離併用的半導體裝置的製造方法中，顯示完全分離區域形成步驟的剖面圖。以下，參照該圖等，說明部份分離・完全分離併用的流程。

首先，施行圖38~圖40所示的部份分離流程後，如圖54所示，以微影術處理圖形佈局後的光阻98為光罩，對溝渠37進行追加溝渠蝕刻，而完全分離的部份，進行貫通SOI層4的蝕刻形成到達埋入氧化膜2的溝渠57。

接著，如圖55所示，將阻蝕層98剝落後，在全面上沉積氧化膜99，該氧化膜99，可以電漿TEOS、HDP裝置等來沉積。氧化膜99的膜厚度大約為100~500nm。部份分離用的溝渠37和完全分離用的溝渠57之間的深度存在有差異 t_1 ，所以在圖中的 t_1 分，在溝渠37上和溝渠57上之間，氧化膜99的形成高度上發生反映 t_1 的段差 t_2 。

其後，如圖56所示，用CMP裝置將表面平坦化，成為在溝渠37內埋入氧化膜99，在溝渠57埋入氧化膜100的狀態。但是，在部份分離區域和完全分離區域，氧化膜99上因為發生了上述的段差 t_2 高度，完全分離部份（氧化膜100）即發生碟狀凹陷。其後，進行1000℃~1100℃的熱處



五、發明說明 (45)

理，提昇沉積膜的品質。此外，在沉積氧化膜之前，將溝渠內壁進行 $900^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ 的高溫熱氧化，使得溝渠上部以及底部的SOI層4的角部成為圓形角，對於緩和壓力非常有效。

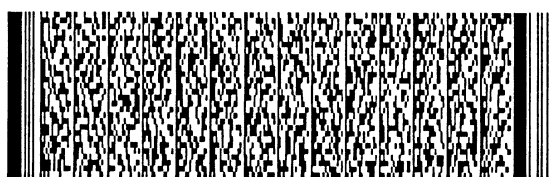
接著，如圖57所示，用RIE、ECR或者濕式蝕刻法將氧化膜99和100進行回蝕後，接著使用熱磷酸將氮化膜35除去。其結果，即可分別完成部份氧化膜31和完全氧化膜32。

藉由該部份氧化膜31而和周圍分離的第1元件形成區域、和藉由完全氧化膜32而和周圍作元件分離的第2元件形成區域即可因而形成。此時，也可將留在SOI層4 (active) 上的氧化膜35全部除去，再度沉積熱氧化膜或者氧化膜。

圖58為閘極7用聚矽層70形成時，顯示其部份分離區域周邊區域的剖面圖。如該圖所示，將聚矽層70形成為膜厚度 t_0 的情形，反映在部份氧化膜31和氧化膜56之間發生的比較大的段差，使得部份氧化膜31的邊緣附近區域上的膜厚度為 $t_{11} (>t_0)$ 。

圖59為閘極7用聚矽層70形成時，顯示其完全分離區域周邊區域的剖面圖。如該圖所示，將聚矽層70形成為膜厚度 t_0 的情形，反映在部份氧化膜32和氧化膜56之間發生的比較小的段差，使得部份氧化膜32的邊緣附近區域上的膜厚度為 $t_{12} (>t_0)$ 。

如此，在部份分離用的部份氧化膜31和完全分離用的完



五、發明說明 (46)

全氧化膜32上，分別不同的邊緣形狀造成分離邊緣形狀不同，因此使得在部份氧化膜31和氧化膜56之間發生的段差，比完全氧化膜32和氧化膜56之間發生的段差更大，所以成立 $t_{11} > t_{12}$ 的關係。

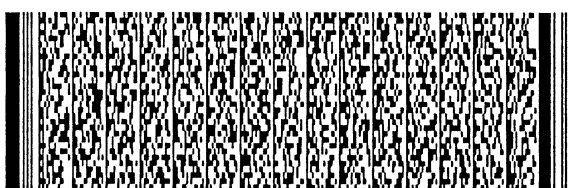
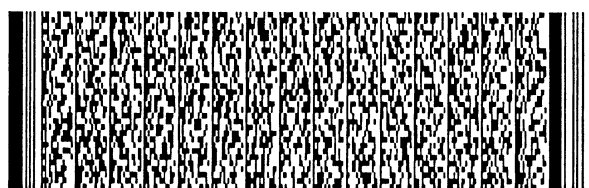
從而，為獲取圖45所示的閘極7，在對聚矽層70進行蝕刻之際，為使在聚矽層70的最大膜厚度 t_{11} 部份能確實除去，以決定蝕刻時間等蝕刻係數而進行。

因此，膜厚度 t_{12} 的部份，以相當於 $(t_{11}-t_{12})$ 部份的過度蝕刻，使得蝕刻損害（電漿損害）變大。其結果，可能在完全氧化膜32的邊緣附近，造成作為閘極氧化膜的氧化膜56的信賴程度降低。

該問題，在H閘極中，因為將比一般閘極更多的分離邊緣部份，用"I"的部份覆蓋，故可抑制分離邊緣部份的閘極氧化膜信賴程度降低的問題。

換句話說，以H閘極的形成，可以有效的將容易受損害影響的分離邊緣部份減少。而且，在分離邊緣形狀較低的完全分離部份上作成的電晶體，因為閘極氧化膜變薄臨限值電壓降低所引起的局部性的寄生MOS，可能造成漏電流增加的問題。該問題也可藉由本發明的H閘極而加以抑制。

其後的步驟，和部份分離流程的圖42~圖54所示的步驟同樣，在以部份分離區域而成元件分離的第1元件形成區域上，形成例如形式1~形式7其中之一的PDSOI-MOSFET，在以完全分離區域而成元件分離的第2元件分離區域上，



五、發明說明 (47)

形成形式A~形式F 其中之一的PDSOI-MOSFET，即可完成實施形態6的半導體裝置。

〔發明的效果〕

如同以上所說明，本發明的半導體裝置，因為來自外部的可電位固定的主體區域電位設定部，在元件形成區域內，所以主體區域電位設定部的電位亦即主體電位，即可穩定良好的固定。

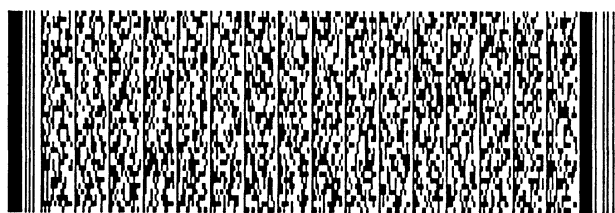
此外，該半導體裝置，以閘極的閘極延伸區域，將主體區域源極、汲極相鄰部以及汲極區域作電性切斷，藉此，主體區域源極、汲極相鄰部的存在，可以不對MOS電晶體的動作造成任何不良影響，而使得主體電位穩定良好而加以固定。

此外，該半導體裝置，以第1以及第2的主體區域源極、汲極相鄰部分別進行主體電位固定，藉此，可使得主體電位穩定良好而加以固定。

此外，該半導體裝置，以閘極的閘極延伸區域，將主體區域源極、汲極相鄰部以及汲極區域作電性切斷，藉此，主體區域源極、汲極相鄰部的存在，可以不對MOS電晶體的動作造成任何不良影響，而使得主體電位穩定良好而加以固定。

此外，該半導體裝置，以一閘極延伸區域，將閘極電容量抑制在所需的最小限度，而以一主體區域源極、汲極相鄰部，可使得主體電位穩定良好而加以固定。

此外，在該半導體裝置中，主體區域源極、汲極相鄰



五、發明說明 (48)

部，再從閘極延伸區域隔著指定距離的區域上，因為具有比其他區域的雜質濃度更高的高濃度區域，所以在高濃度區域形成用的第2導電型的雜質植入之際，可以確實使得第2導電型的雜質不會植入閘極延伸區域上。

此外，在該半導體裝置中，閘極延伸區域，因為將第2導電型的雜質濃度抑制在 $5 \times 10^{18} \text{ cm}^{-3}$ 以下，所以可以抑制MOS電晶體的臨限值電壓的不平均。

此外，該半導體裝置，和源極區域混合形成的第2導電型的主體電位固定用半導體區域的電位固定之進行，即可藉以將主體電位穩定良好的固定。主體電位固定用半導體區域的存在，對於將主體區域和源極區域設定在同電位而動作的MOS電晶體，並無任何不良影響。

此外，該半導體裝置，除了主體電位設定部之外，從元件形成區域外主體區域，可經由部份絕緣膜下半導體區域而進行主體區域的電位固定。

此外，該半導體裝置的MOS電晶體之源極以及汲極區域，因為具有到達埋入氧化層的形成深度，所以其個別的底面上不形成pn接合，因此可抑制接合漏電。

此外，該半導體裝置的MOS電晶體之源極以及汲極區域，因為在通常動作時，從源極以及汲極區域延伸的空乏層具有不到達埋入氧化層的形成深度，所以從元件形成區域外將主體區域電位固定的時候，可以穩定性良好的將主體電位固定。

此外，該半導體裝置的MOS電晶體之源極以及汲極區



五、發明說明 (49)

域，並不到達埋入氧化層，因為在通常動作時，從汲極區域延伸的空乏層具有到達埋入氧化層的形成深度，在可減少接合電容量的同時，也能從元件形成區域外進行主體電位固定。

此外，該半導體裝置的MOS電晶體中，比源極區域的形成深度更深，並且在通常動作時，從汲極區域延伸的空乏層具有到達埋入氧化層的形成深度，所以從元件形成區域外經由源極區域下，在進行主體電位固定之同時，也可抑制並減少在汲極區域的接合電容量。

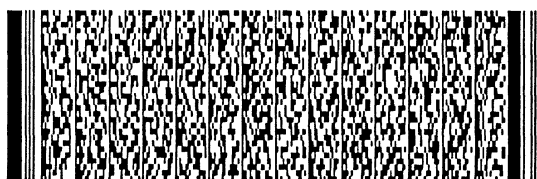
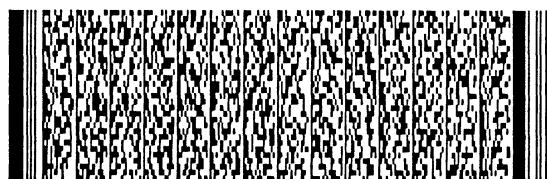
本發明的半導體裝置，以在部份絕緣膜下的SOI層的一部分之指定導電型的部份絕緣膜下半導體區域，作為電阻元件的構成要件，因此，可以比較狹窄的形成面積獲得電阻值較高的電阻元件，其結果，可構成集中度更優良的半導體積體電路。

此外，該半導體裝置，以完全絕緣膜將電阻元件和外部完全作元件分離。

此外，該半導體裝置，將部份絕緣膜、第1以及第2半導體區域以外的元件形成區域，作為電阻元件的形成區域的一部分，藉此即可抑制電阻元件的電阻值的不平均。

此外，該半導體裝置，用電阻元件作為SRAM的負載電阻，藉此刻構成集中度優良的SRAM。

本發明的半導體裝置，在第1以及第2MOS電晶體之間的主體區域的構造、閘極的構造、以及是否有主體電位固定等各特性當中，使得至少其中一個不同，即可使得第1以



五、發明說明 (50)

及第2MOS電晶體的電晶體特性不同，藉此可以構成由第1以及第2MOS電晶體所成的高機能的半導體積體電路。

本發明的半導體裝置，在以部份分離區域作元件分離的第1MOS電晶體、和以完全分離區域作元件分離的第2電晶體之間，使電晶體的特性不同，藉此即可構成由第1以及第2MOS電晶體所成的高機能的半導體積體電路。

依照本發明的半導體裝置的製造方法所製造的半導體裝置，在第1以及第2MOS電晶體之間的主體區域的構造、閘極的構造、以及是否有主體電位固定等各特性當中，使得至少其中一個不同，即可使得第1以及第2MOS電晶體的電晶體特性不同，藉此可構成由第1以及第2MOS電晶體所成的高機能的半導體積體電路。

依照本發明的半導體裝置的製造方法所製造的半導體裝置，在以部份分離區域作元件分離的第1MOS電晶體、和以完全分離區域作元件分離的第2電晶體之間，使電晶體的特性不同，藉此即可構成由第1以及第2MOS電晶體所成的高機能的半導體積體電路。

〔元件編號之說明〕

- 2 埋入氧化膜
- 4 SOI層
- 5 閘極氧化膜
- 6 側壁
- 7 閘極
- 10 主體區域



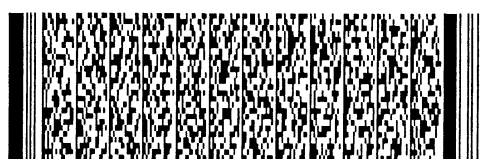
五、發明說明 (51)

- 11 p 井 區 域
- 11a 袋 狀 區 域
- 12 n 井 區 域
- 13 主 體 區 域
- 15 注 入 光 罩 開 口 部
- 16 主 體 區 域
- 17 主 體 區 域
- 17a p⁺ 主 體 區 域
- 17b p⁻ 主 體 區 域
- 20 n⁺ 防 護 環 區 域
- 21 p⁺ 區 域
- 22 p⁺ 區 域
- 23 電 阻 端 子
- 24 電 阻 端 子
- 25 主 體 端 子
- 26 源 極 端 子
- 27 汲 極 端 子
- 28 主 體 端 子
- 31 部 份 氧 化 膜
- 31a 部 份 氧 化 膜
- 32 完 全 氧 化 膜
- 33 輸 出 端 子
- 35 氧 化 膜
- 36 氮 化 膜



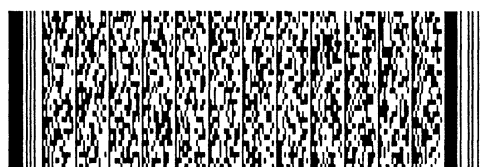
五、發明說明 (52)

- 37 溝渠
- 38 氧化膜
- 39 光阻
- 43 光阻
- 44 n 延伸區域
- 46 p 延伸區域
- 47 矽化物區域
- 51 源極區域
- 52 源極區域
- 53 源極區域
- 54 源極區域
- 55 p^+ 區域
- 56 氧化膜
- 57 溝渠
- 60 汲極區域
- 61 汲極區域
- 62 汲極區域
- 63 汲極區域
- 66 活性區域
- 70 聚矽層
- 71 H 閘極
- 72 T 閘極
- 73 特殊H 閘極
- 73a 分離部



五、發明說明 (53)

76	接 點
77	共 同 接 點
78	閘 極
79	閘 極
82	電 阻 層 形 成 井 區 域
84	接 觸 孔
85	層 間 絕 緣 膜
87	層 間 絕 緣 膜
88	鋁 配 線 層
89	鎢 層
90	空 乏 層
91	空 乏 層
92	空 乏 層
94	空 乏 層
96	層 間 絕 緣 膜
97	鋁 配 線 層
98	光 阻
99	氧 化 膜
100	氧 化 膜
131	部 份 分 離 區 域
132	完 全 分 離 區 域
R1	主 體 電 阻
R3	電 阻 元 件
R34	電 阻 元 件



圖式簡單說明

圖1為顯示習知技術之PDSOI-MOSFET之一例的剖面圖。

圖2為顯示習知技術之PDSOI-MOSFET之一例的平面圖。

圖3為顯示本發明實施形態1（第1樣態）的半導體裝置的平面構造的平面圖。

圖4為顯示沿著圖3中的A2-A2剖面所作的剖面圖。

圖5為顯示沿著圖3中的B1-B1剖面所作的剖面圖。

圖6為顯示實施形態1的第2樣態的剖面圖。

圖7為顯示實施形態1的第3樣態的剖面圖。

圖8為顯示實施形態1的第4樣態的剖面圖。

圖9為顯示本發明實施形態2的半導體裝置的平面構造的平面圖。

圖10為顯示本發明實施形態3的半導體裝置的平面構造的平面圖。

圖11為顯示沿著圖10中的A4-A4剖面所作的剖面圖。

圖12為顯示沿著圖11中的A5-A5剖面所作的剖面圖。

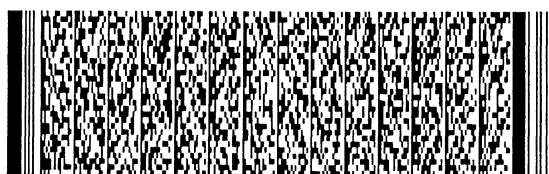
圖13為顯示本發明實施形態4的第1樣態的半導體裝置的平面構造的平面圖。

圖14為顯示本發明實施形態4的第2樣態的半導體裝置的平面構造的平面圖。

圖15為顯示本發明實施形態4的第3樣態的半導體裝置的平面構造的平面圖。

圖16為顯示PDSOI-MOSFET的形式5（其1）的平面構造的平面圖。

圖17為顯示PDSOI-MOSFET的形式5（其2）的平面構造的平面圖。



圖式簡單說明

平面圖。

圖18為顯示形式A的PDSOI-MOSFET的剖面構造的剖面圖。

圖19為顯示形式A的PDSOI-MOSFET的平面構造的平面圖。

圖20為顯示形式B的PDSOI-MOSFET的平面構造的平面圖。

圖21為顯示形式D的PDSOI-MOSFET的平面構造的平面圖。

圖22為概念化顯示實施形態6的半導體裝置的平面構造的說明圖。

圖23為顯示實施形態6的半導體裝置的應用例1的電路圖。

圖24為顯示實施形態6的半導體裝置的應用例2的電路圖。

圖25為顯示完全分離的FDSOI-MOSFET構造的剖面圖。

圖26為顯示本發明實施形態7之第1樣態之半導體裝置的電阻元件形成區域的剖面圖。

圖27為顯示實施形態7的第1樣態的平面圖。

圖28為顯示一般性電阻元件形成區域的剖面圖。

圖29為顯示實施形態7第2樣態的半導體裝置的電阻元件形成區域的剖面圖。

圖30為顯示實施形態7第3樣態的半導體裝置的電阻元件形成區域的剖面圖。



圖式簡單說明

圖31為顯示6電晶體CMOS構成的SRAM單元的電路圖。

圖32為顯示實現圖31中所示的SRAM單元用的佈局構成的平面圖。

圖33為顯示高電阻負載型單元構成的SRAM單元的電路圖。

圖34為顯示實現圖33中所示SRAM單元用的佈局構成的平面圖。

圖35為顯示一般性的H閘極的平面圖。

圖36為顯示本發明實施形態8之半導體裝置之平面構造的平面圖。

圖37為顯示沿著圖36中的D1-D1剖面所作的剖面圖。

圖38為顯示部份分離流程的剖面圖。

圖39為顯示部份分離流程的剖面圖。

圖40為顯示部份分離流程的剖面圖。

圖41為顯示部份分離流程的剖面圖。

圖42為顯示部份分離流程的剖面圖。

圖43為顯示部份分離流程的剖面圖。

圖44為顯示部份分離流程的剖面圖。

圖45為顯示部份分離流程的剖面圖。

圖46為顯示部份分離流程的剖面圖。

圖47為顯示部份分離流程的剖面圖。

圖48為顯示部份分離流程的剖面圖。

圖49為顯示部份分離流程的剖面圖。

圖50為顯示部份分離流程的剖面圖。



圖式簡單說明

圖51為顯示部份分離流程的剖面圖。

圖52為顯示部份分離流程的剖面圖。

圖53為顯示完全分離流程的剖面圖。

圖54為顯示完全分離流程的剖面圖。

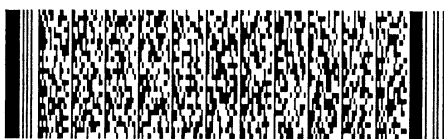
圖55為顯示完全分離流程的剖面圖。

圖56為顯示完全分離流程的剖面圖。

圖57為顯示完全分離流程的剖面圖。

圖58為顯示閘極用聚矽層形成時的部份分離區域周邊區域的剖面圖。

圖59為顯示閘極用聚矽層形成時的完全分離區域周邊區域的剖面圖。



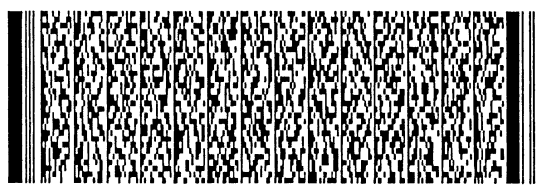
四、中文發明摘要 (發明之名稱：半導體裝置)

本發明之目的在於，提供一種可穩定性良好地固定藉由部份分離區域來分離元件的元件形成區域之主體區域電位的SOI構造的半導體裝置。

作為解決手段，本發明係在以部份氧化膜31作元件分離的元件形成區域，形成由源極區域51、汲極區域61以及H閘極71所組成的MOS電晶體。H閘極71藉由左右（圖中為上下）的"I"，將沿閘極寬度W方向鄰接於源極區域51及汲極區域61而形成的主體區域13和汲極區域61及源極區域51，作電性分離，中央的"-"則作為原來的MOS電晶體的閘極之機能。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE)

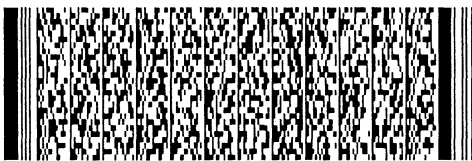
It is an object to provide a semiconductor device having an SOI structure in which an electric potential of a body region in an element formation region isolated by a partial isolation region can be fixed with a high stability. A MOS transistor comprising a source region (51), a drain region (61) and an H gate electrode (71) is formed in an element formation region isolated by a partial oxide film (31). The H gate electrode (71) electrically isolates a body region (13)



四、中文發明摘要 (發明之名稱：半導體裝置)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE)

formed in a gate width W direction adjacently to the source region (51) and the drain region (61) from the drain region (61) and the source region (51) through "I" in a transverse direction (a vertical direction in the drawing), a central "-" functions as a gate electrode of an original MOS transistor.



六、申請專利範圍

1. 一種半導體裝置，係為半導體基板、埋入絕緣層以及SOI層所組成的SOI構造之半導體裝置，其特徵為：

具備MOS電晶體，係設於前述SOI層的元件形成區域上；
及

部份分離區域，係設於前述SOI層，用以元件分離前述元件形成區域，而前述部份分離區域，包括設於前述SOI層上層部的部份絕緣膜，和存在於下層部之為前述SOI層之一部分的部份絕緣膜下半導體區域；

前述MOS電晶體，具備

第1導電型的源極和汲極區域，分別在前述SOI層內選擇性的形成；

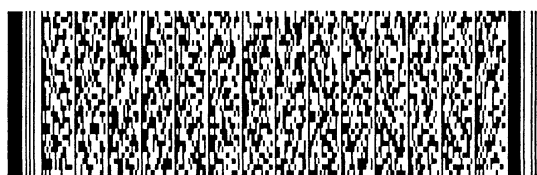
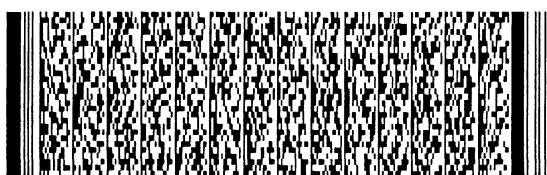
閘極，具有在前述源極以及汲極區域之間的前述SOI層的區域上，介由閘極氧化膜而形成的閘極主要部；以及

主體區域，包括主體區域主要部，係在前述源極及汲極區域間之前述SOI層的第2導電型區域；和主體區域電位設定部，係在前述元件形成區域內，電性連接於前述主體區域主要部，且，可從外部進行電位固定。

2. 如申請專利範圍第1項之半導體裝置，其中

前述主體區域電位設定部，包括主體區域源極、汲極鄰接部，係在前述源極和汲極區域的閘極寬度方向上鄰接，並且從前述主體區域主要部向閘極長邊方向延伸而形成，

前述閘極，又具有從前述閘極主要部的端部向前述閘極長邊方向延伸，形成在前述主體區域源極、汲極鄰接部的一部分上的閘極延伸區域，藉由前述閘極延伸區域，將前



六、申請專利範圍

述主體區域源極、汲極鄰接部和前述源極及汲極區域作電性隔離。

3. 如申請專利範圍第2項之半導體裝置，其中

前述主體區域源極、汲極鄰接部，包括第1主體區域源極、汲極鄰接部，係從前述主體區域主要部向第1方向延伸而形成；及第2主體區域源極、汲極鄰接部，從前述主體區域主要部向和前述第1方向相反的第2方向延伸而形成，

前述閘極延伸區域，包括第1閘極延伸區域，形成在前述第1主體區域源極、汲極鄰接部附近上；及第2閘極延伸區域，形成在前述第2主體區域源極、汲極鄰接部附近上。

4. 如申請專利範圍第2項之半導體裝置，其中

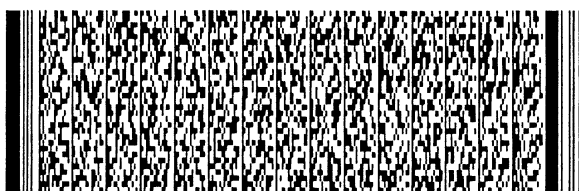
前述主體區域源極、汲極鄰接部，包括一個主體區域源極、汲極鄰接部，

前述閘極延伸區域，包括形成在前述一個主體區域源極、汲極鄰接部附近上的一個閘極延伸區域。

5. 如申請專利範圍第2至4項中任一項之半導體裝置，其中，

前述主體區域源極、汲極鄰接部，在從前述閘極延伸區域隔開指定距離的區域上，具有比其他區域之第2導電型雜質濃度更高的高濃度區域。

6. 如申請專利範圍第2至4項中任一項之半導體裝置，其中，



六、申請專利範圍

前述閘極延伸區域，含有第2導電型雜質濃度在 $5 \times 10^{18} \text{ cm}^{-3}$ 以下的閘極延伸區域。

7. 如申請專利範圍第1項之半導體裝置，其中

前述主體區域電位設定部，包括和前述源極區域混合存在而形成的第2導電型主體固定用半導體區域。

8. 如申請專利範圍第1項之半導體裝置，其中

前述部份絕緣膜下半導體區域，具有第2導電型，是和前述主體區域相接而形成，

又具有第1導電型之元件形成區域外主體區域，係設於前述SOI層的元件形成區域外，而可從外部進行電位固定，該元件形成區域外主體區域，是和前述部份絕緣膜下半導體區域相接而形成。

9. 如申請專利範圍第1項之半導體裝置，其中

前述源極和汲極區域，具有到達前述埋入絕緣層的形成深度。

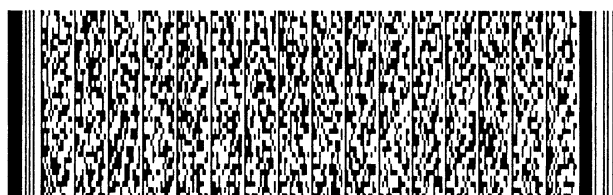
10. 如申請專利範圍第1項之半導體裝置，其中

前述源極和汲極區域，具有在通常動作時，從前述源極和汲極區域延伸的空乏層不到達前述埋入絕緣層的形成深度。

11. 如申請專利範圍第1項之半導體裝置，其中

前述源極和汲極區域具有不到達前述埋入絕緣層，而在通常動作時，從前述汲極區域延伸的空乏層到達前述埋入絕緣層的形成深度。

12. 如申請專利範圍第1項之半導體裝置，其中



六、申請專利範圍

前述汲極區域具有比前述源極區域之形成深度更深的深度，並且具有在通常動作時，從前述汲極區域延伸的空乏層，到達前述埋入絕緣層的形成深度。

13. 一種半導體裝置，係為半導體基板、埋入絕緣層以及SOI層所組成的SOI構造之半導體裝置，其特徵為：

具備第1以及第2元件形成區域，係設於前述SOI層上；

部份分離區域，係由設於前述SOI層上層部的部份絕緣膜、和前述部份絕緣膜下之為前述SOI層之一部分的半導體區域所組成，將前述第1以及第2元件形成區域之間作元件分離；及

第1和第2MOS電晶體，係分別形成在前述第1和第2元件形成區域上，

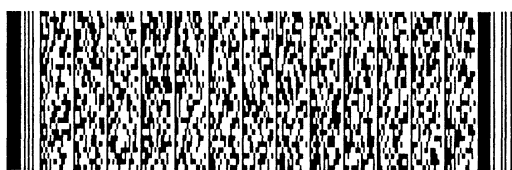
在前述第1和第2MOS電晶體間之主體區域構造、閘極構造、及是否有主體電位固定等三種選項當中，使得其中至少一種不相同，而使得前述第1和第2MOS電晶體的電晶體特性產生差異。

14. 一種半導體裝置，係為半導體基板、埋入絕緣層以及SOI層所組成的SOI構造之半導體裝置，其特徵為：

具備第1和第2元件形成區域，係設於前述SOI層上；

部份分離區域，係由設於前述SOI層上層部的部份絕緣膜、和前述部份絕緣膜下之為前述SOI層之一部分的半導體區域所組成，將前述第1元件形成區域和其他區域之間作元件分離；

完全分離區域，係由貫穿前述SOI層而設的完全絕緣膜



六、申請專利範圍

所形成，將前述第2元件形成區域從其他區域作元件分離；

第1MOS電晶體，係形成於前述第1元件形成區域上；以及

第2MOS電晶體，係形成在前述第2元件形成區域上，而前述第1以及第2MOS電晶體具有不同的電晶體特性。



圖 2

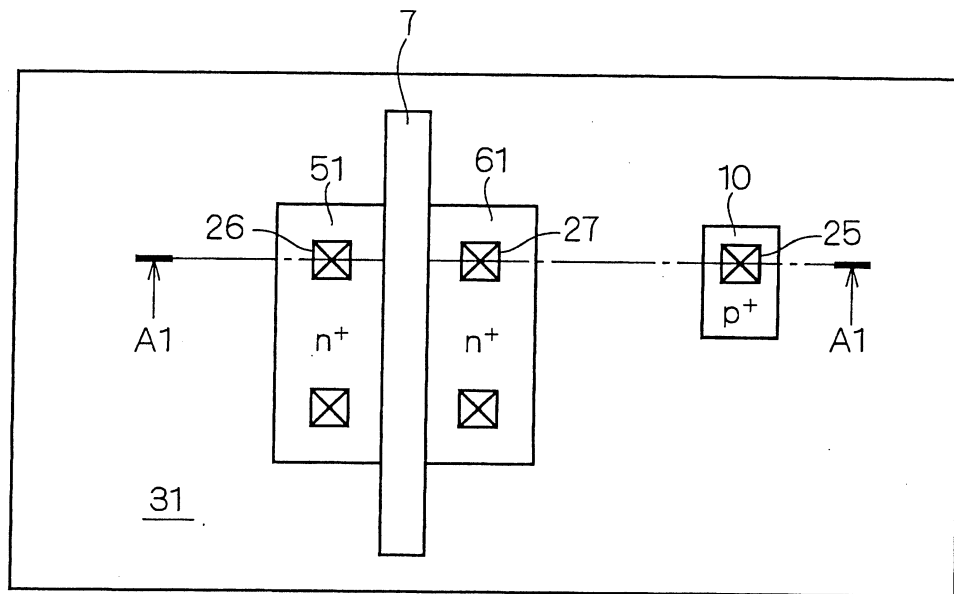
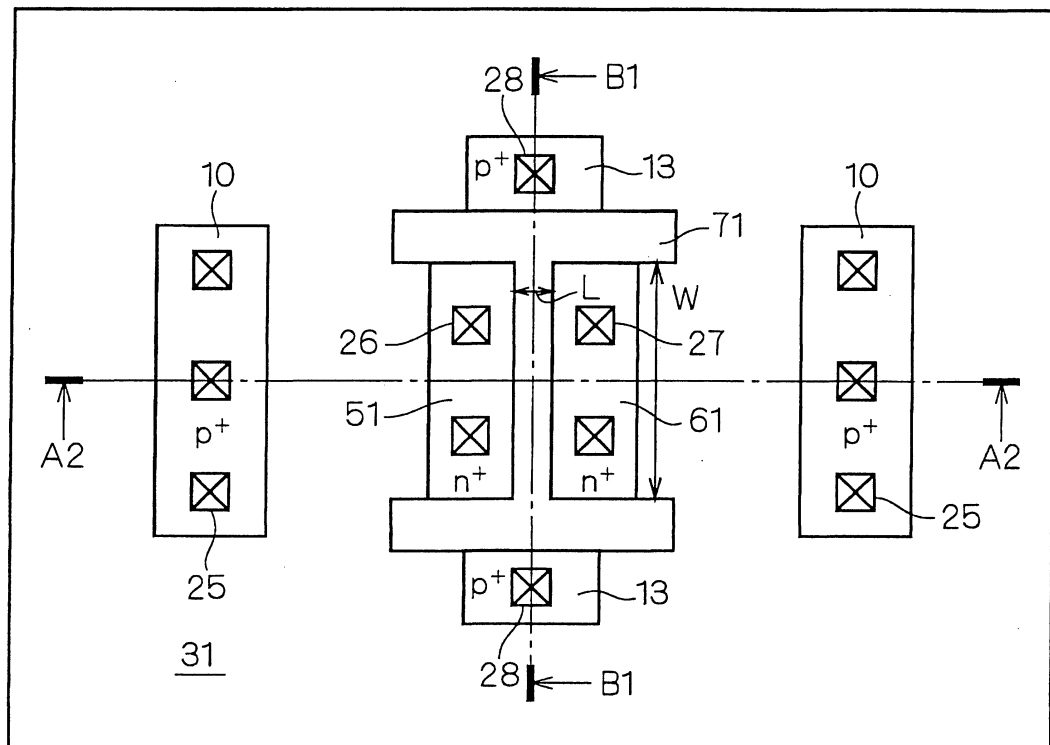


圖 3



15

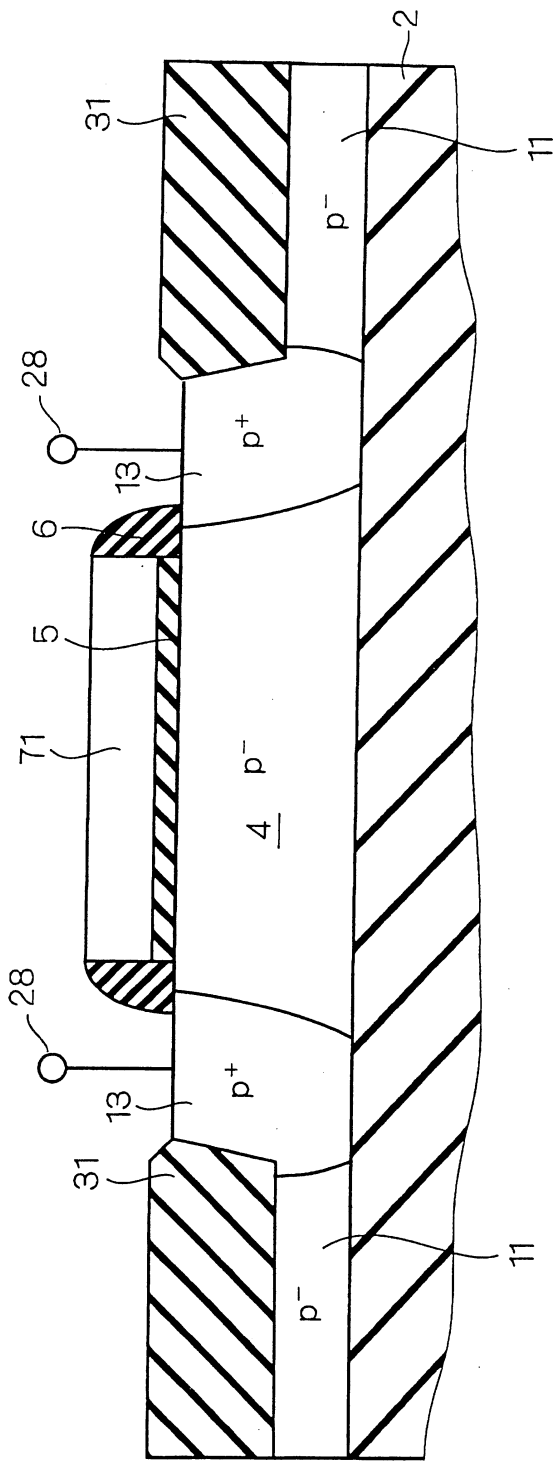


Fig 6

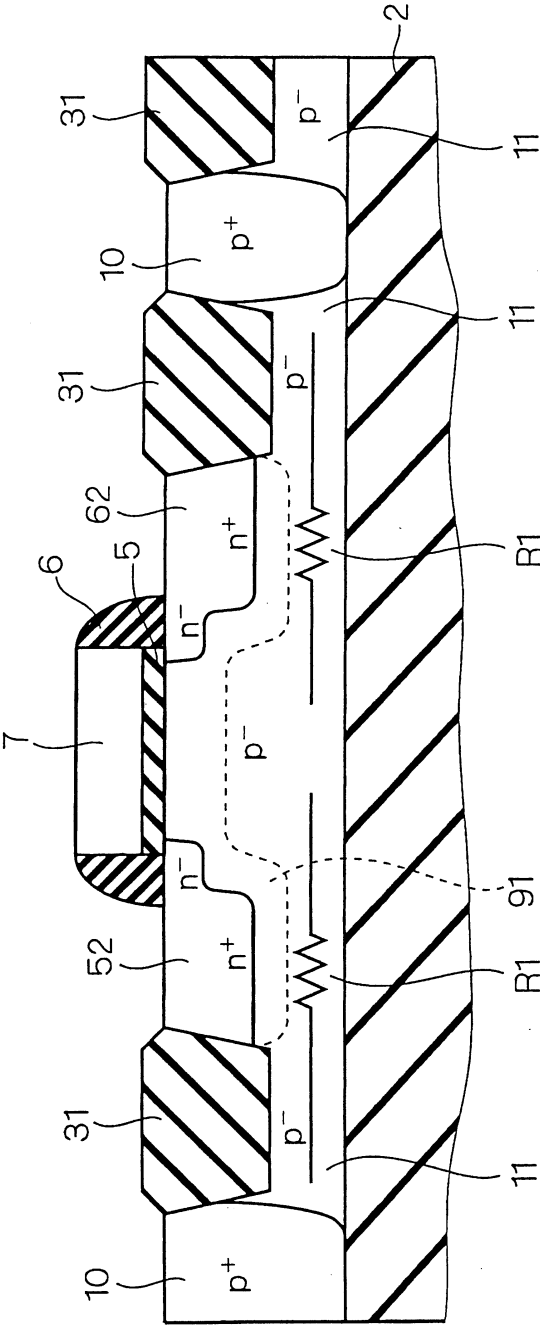


圖 7

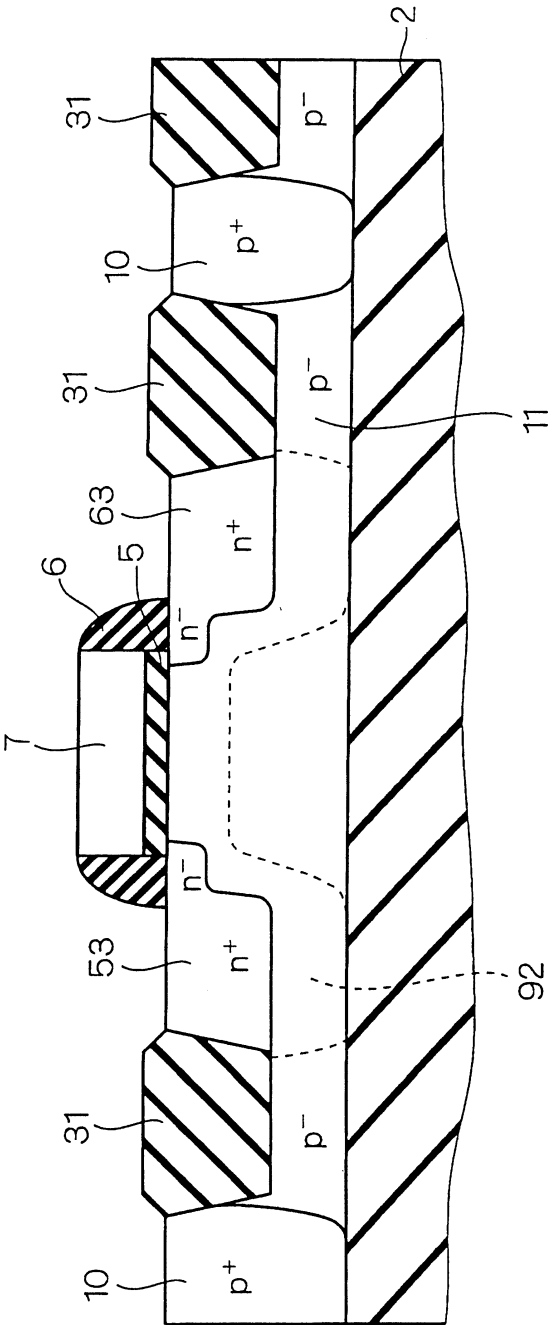
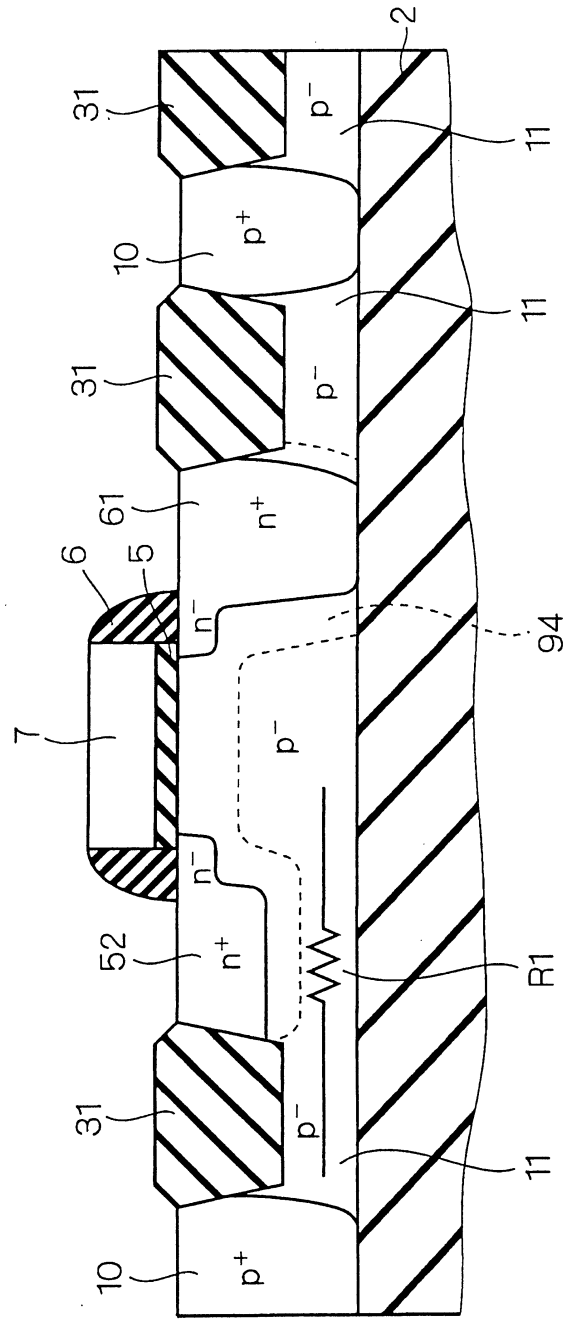


圖 8



9

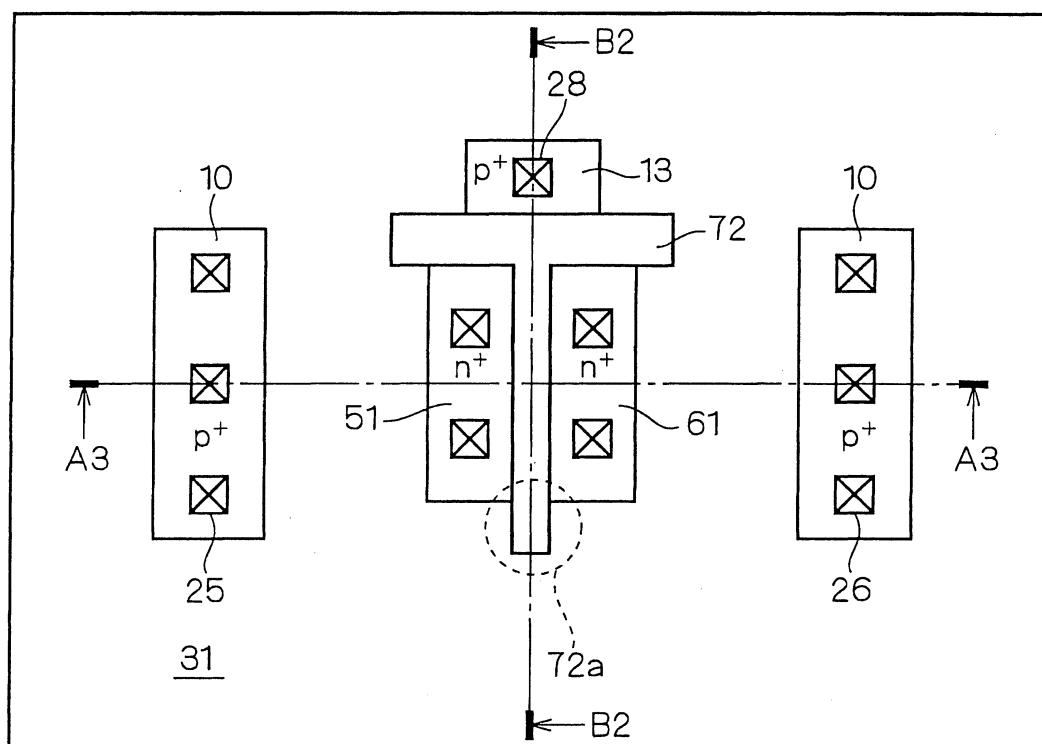


FIG. 10

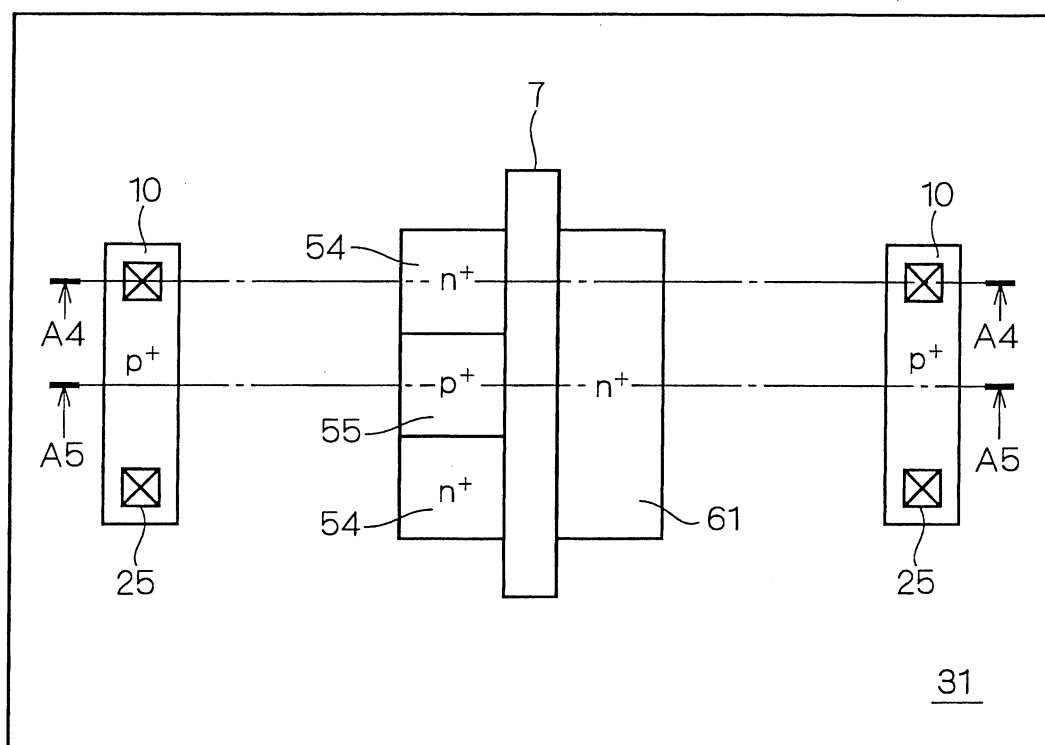


圖 11

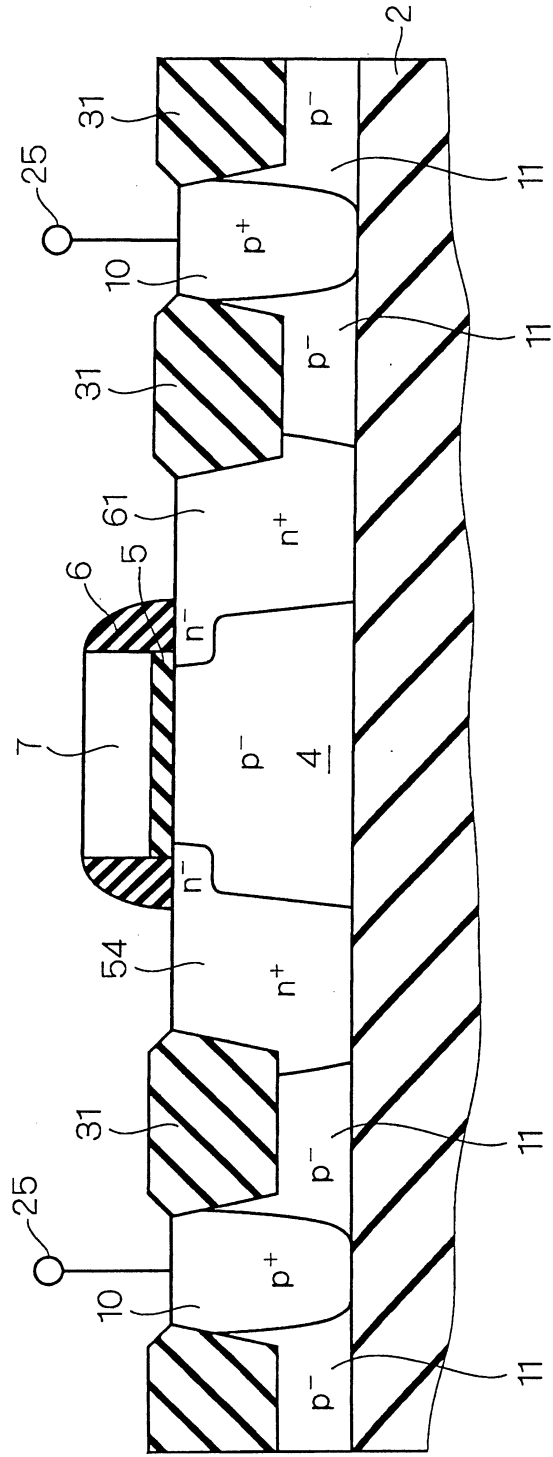
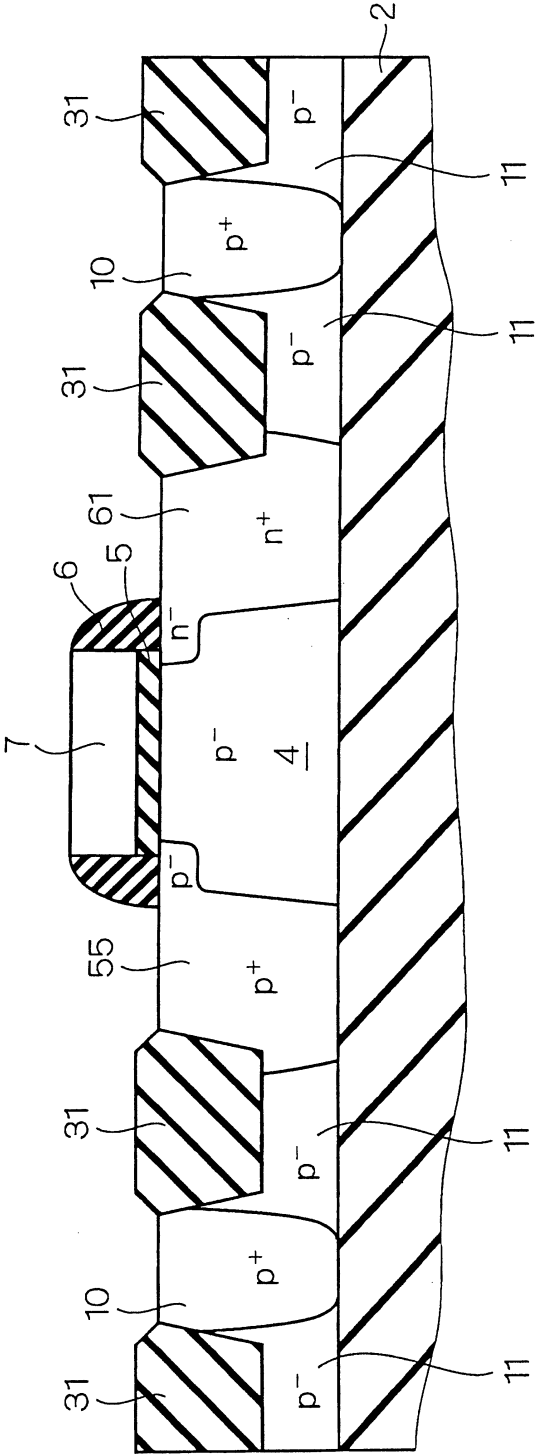
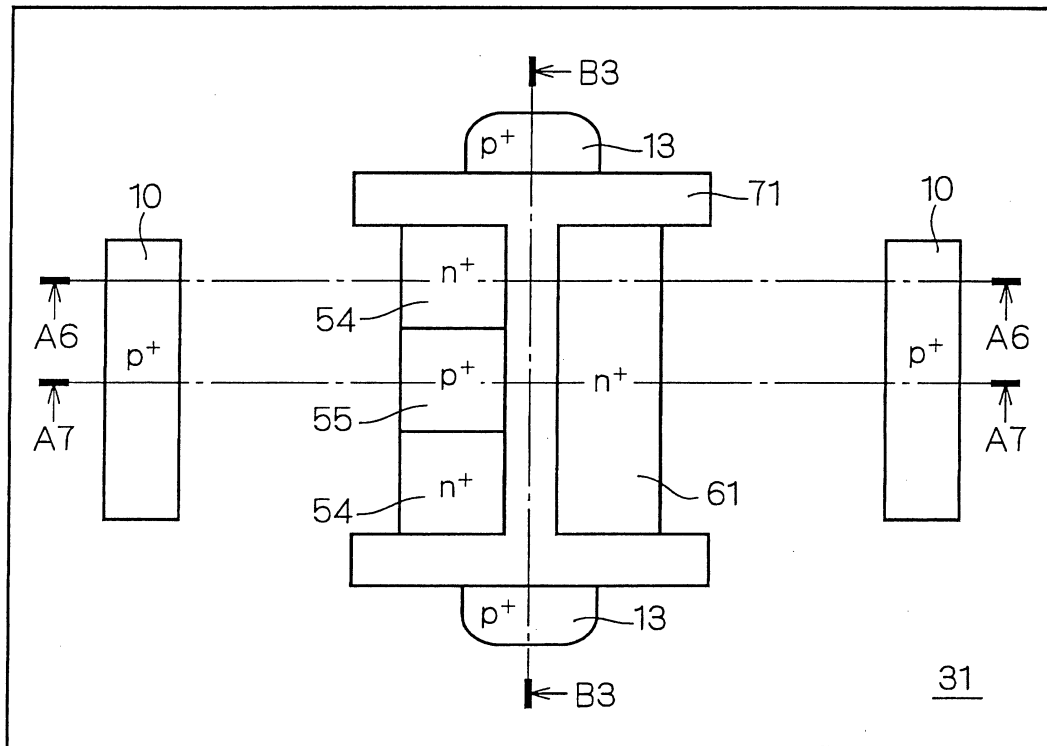


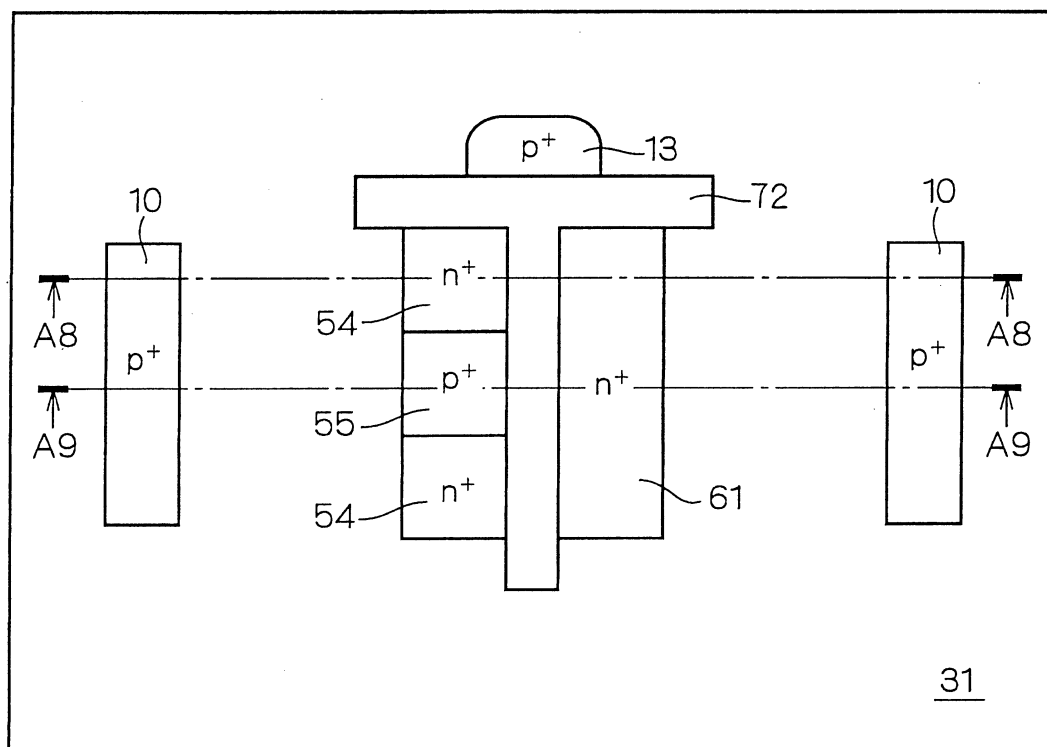
图 12



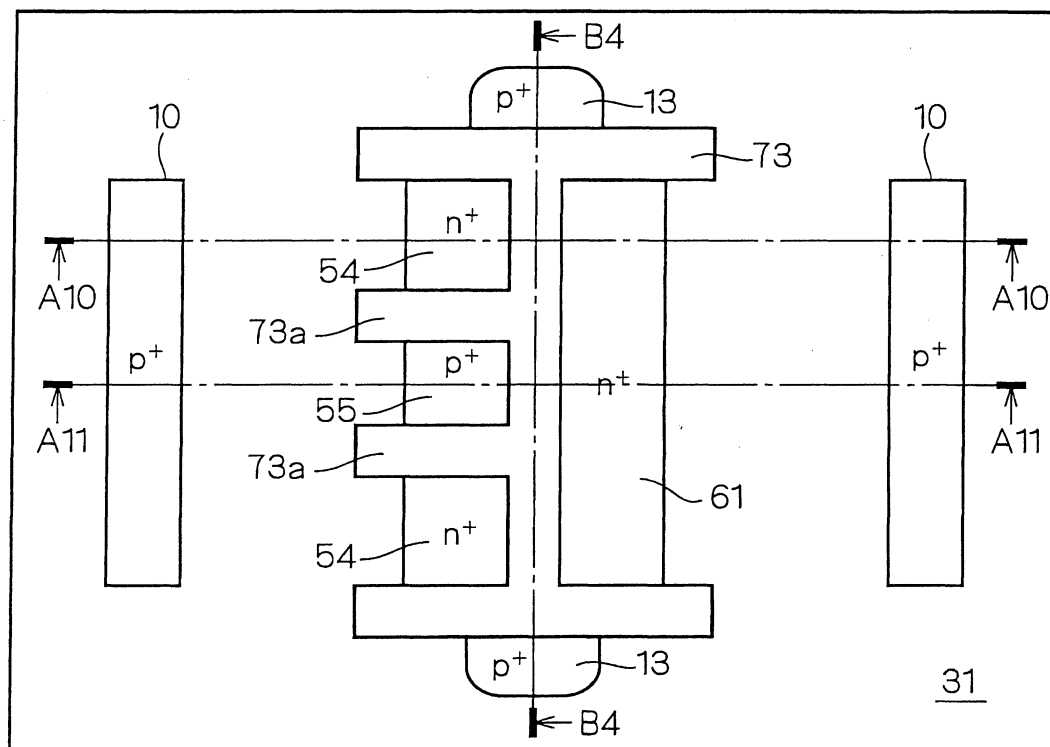
1 3



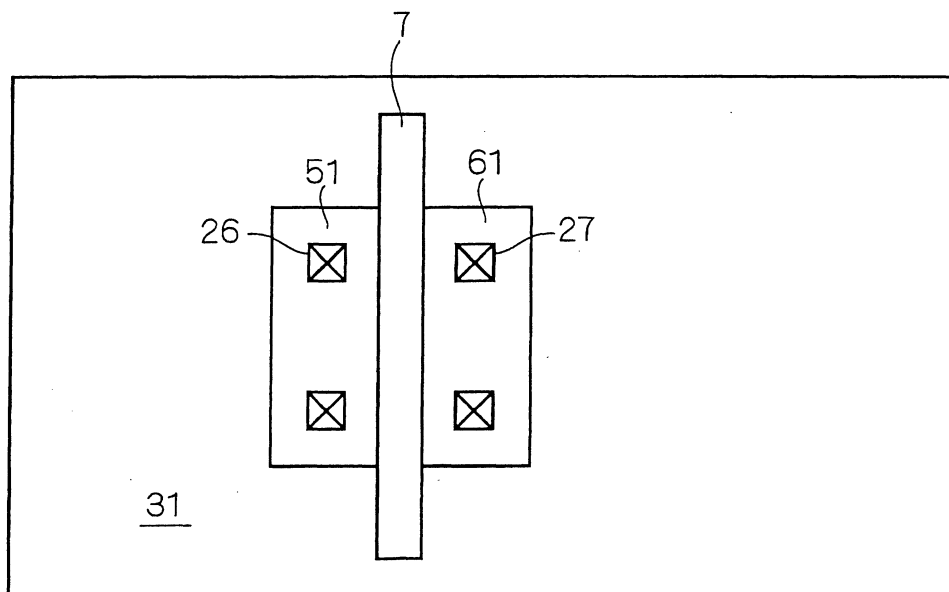
1 4



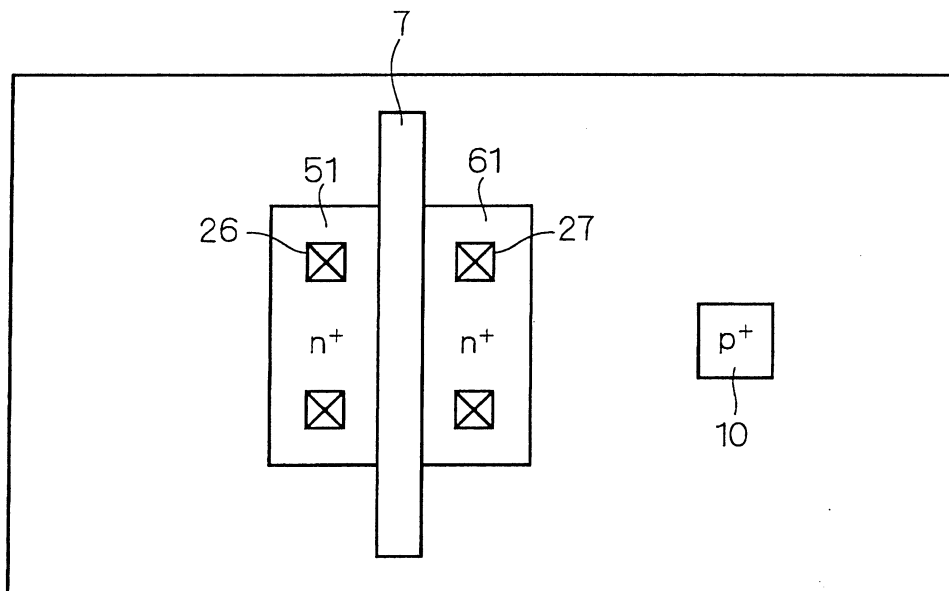
15



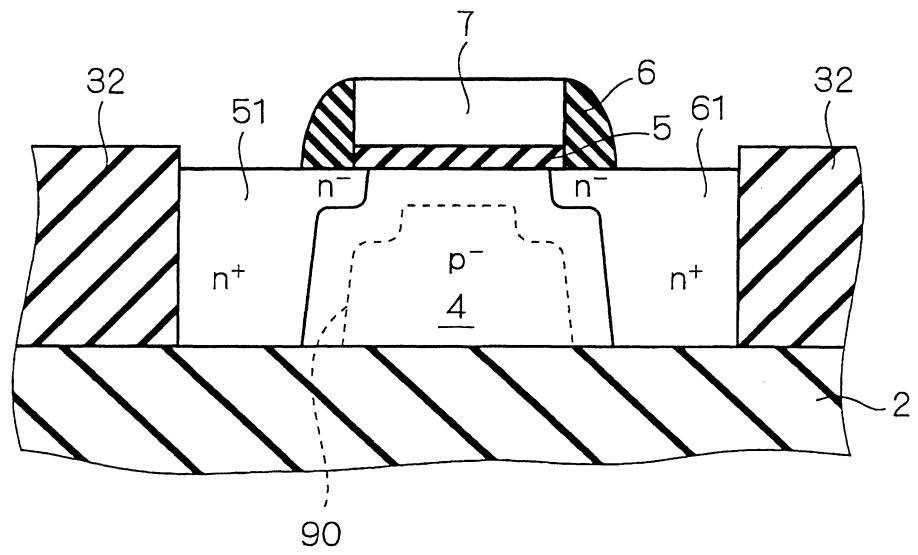
16



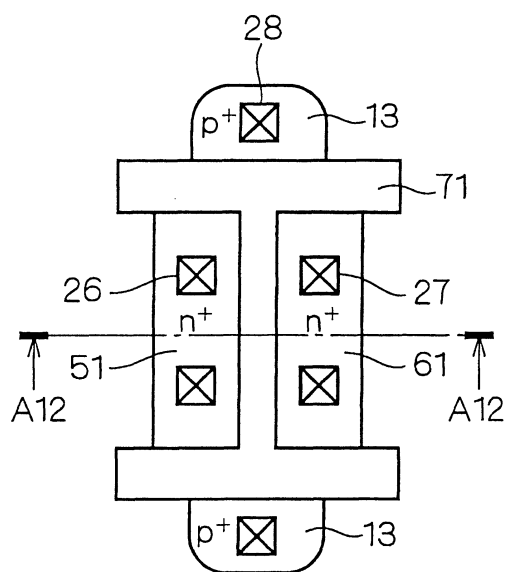
117



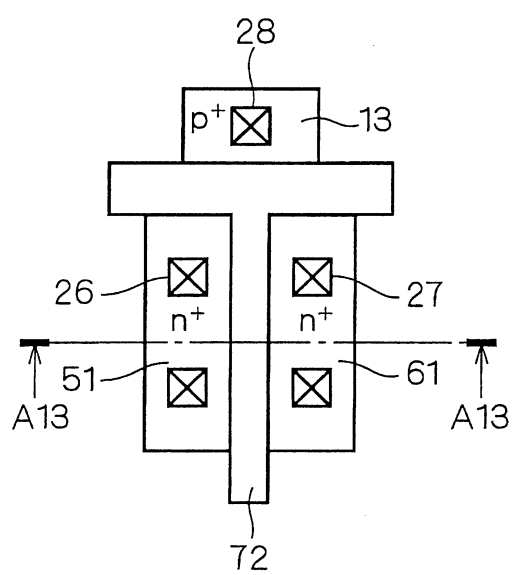
18



11 9

32

20

32

2 1

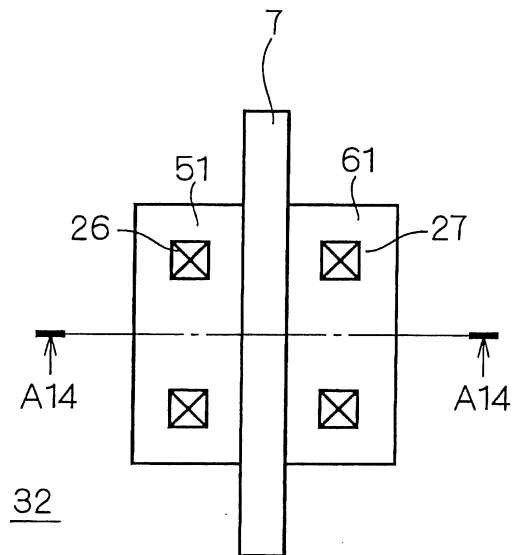


圖 2 2

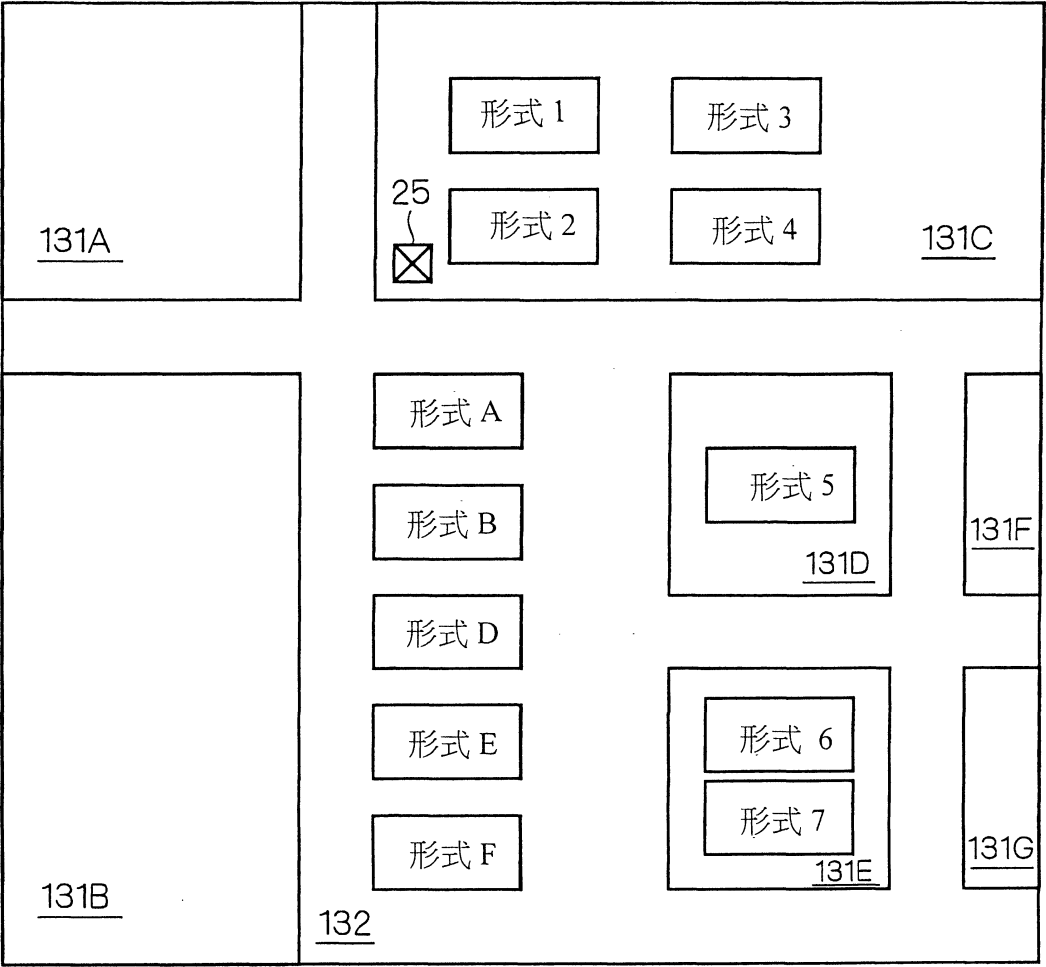


圖 2 3

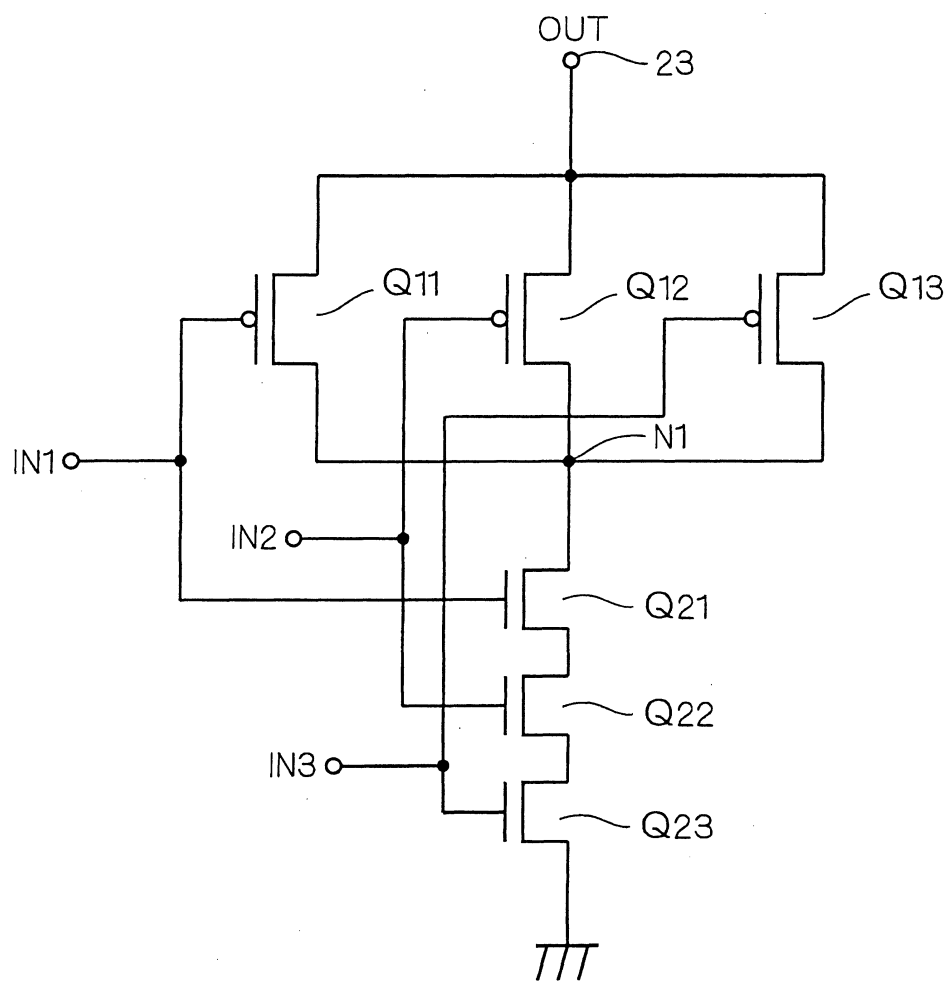


圖 2 6

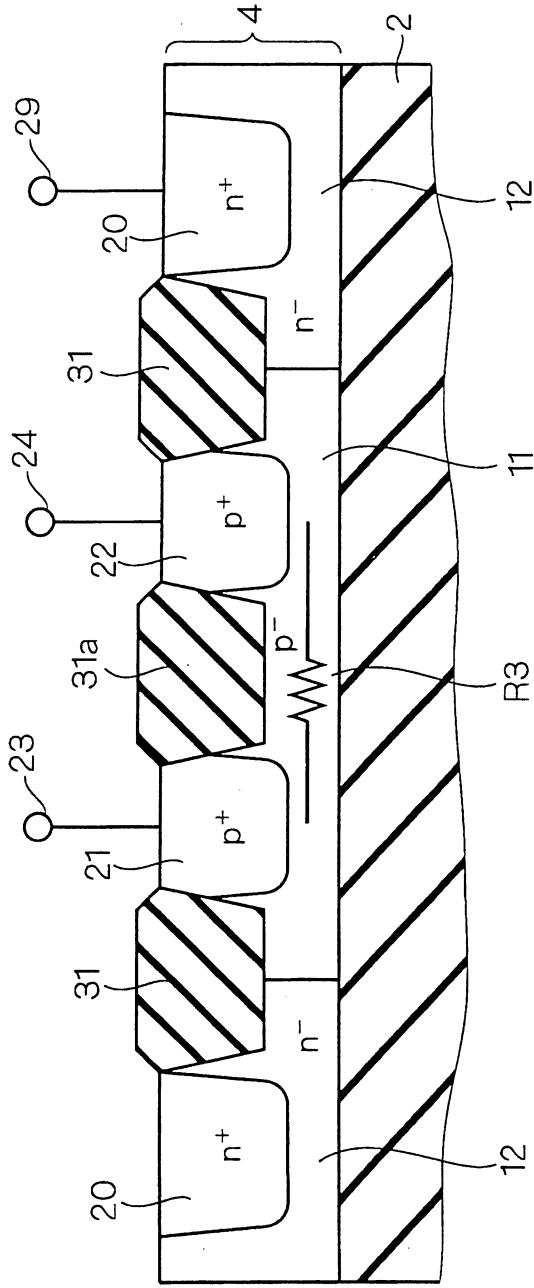


Fig. 27

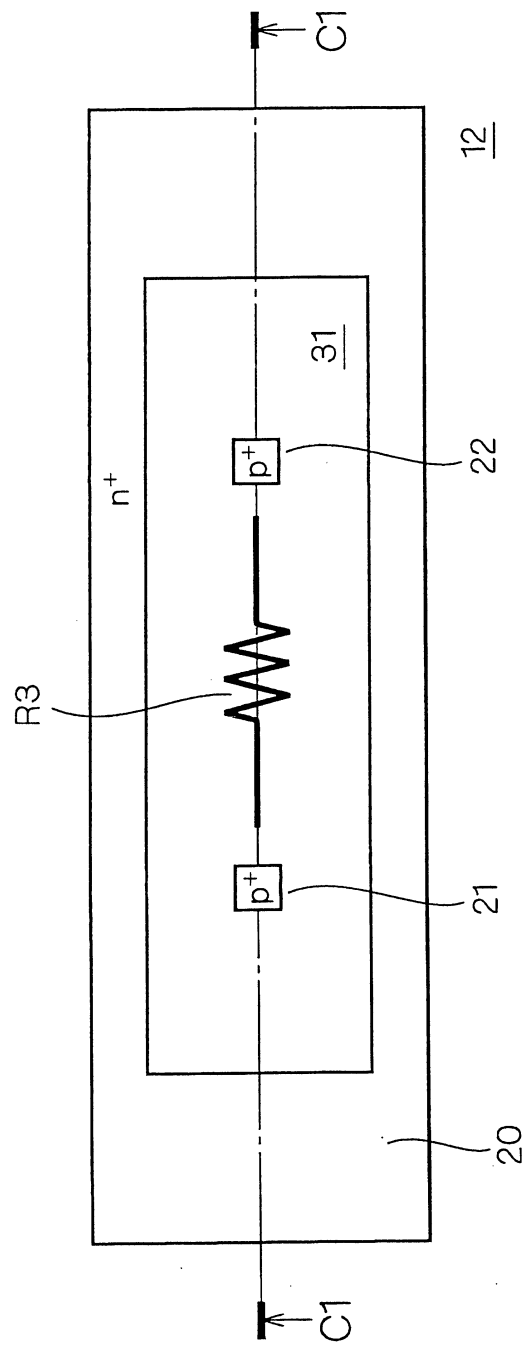
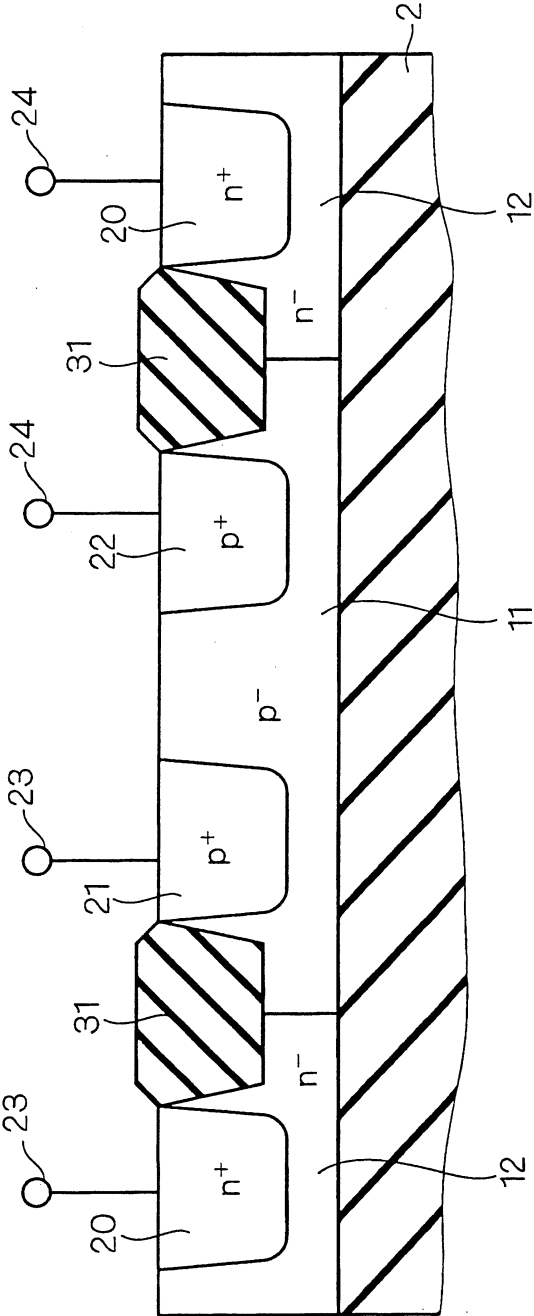


圖 28



29

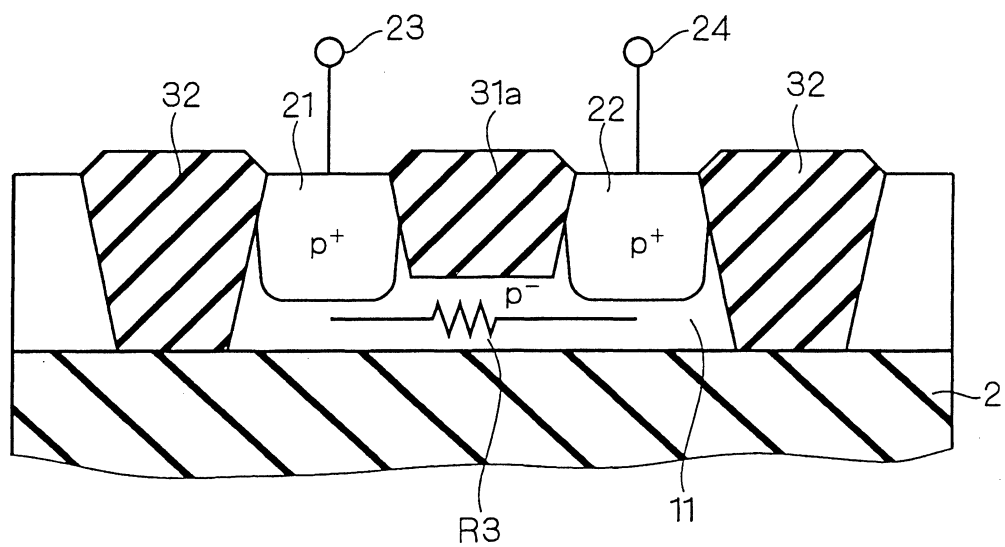


圖 30

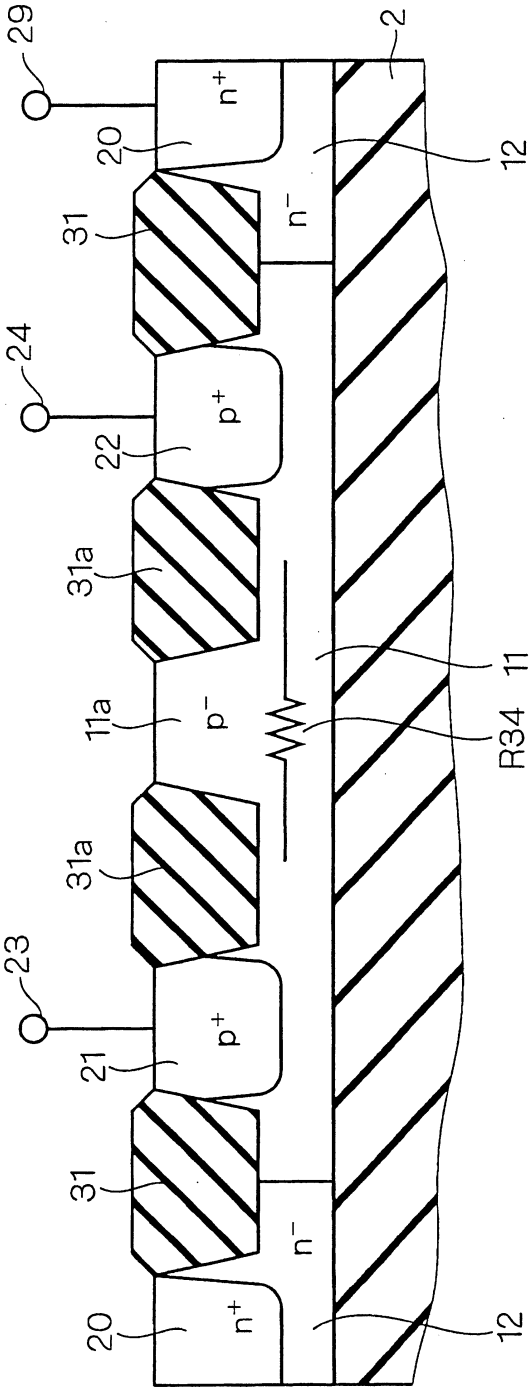
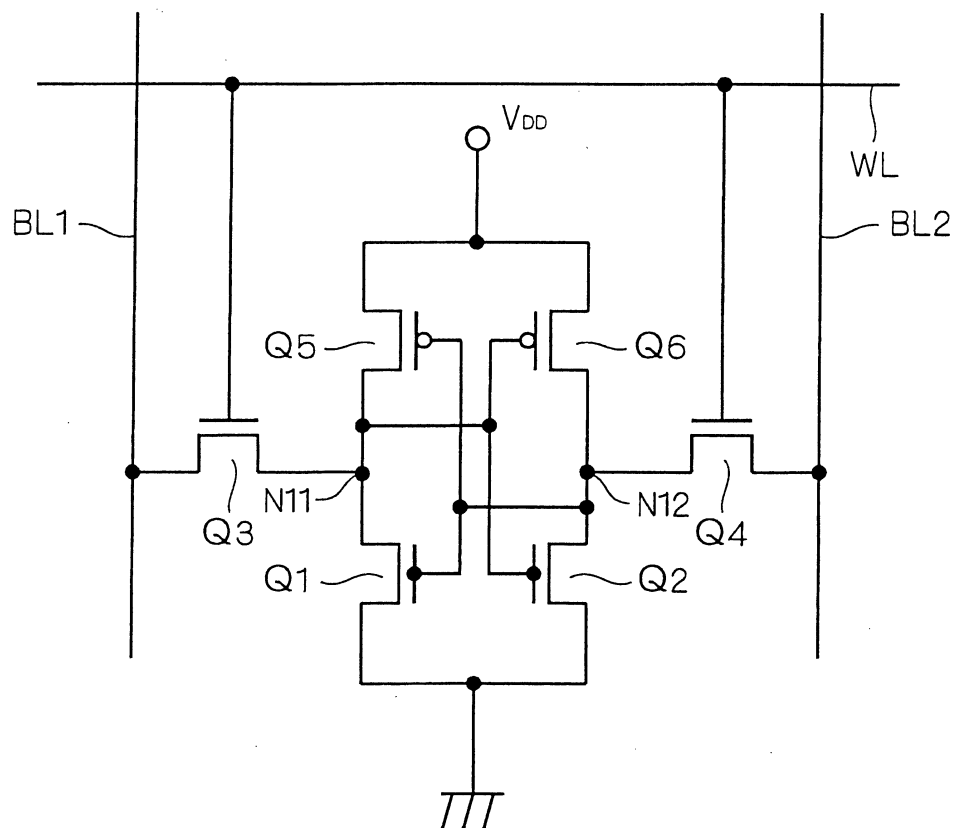


圖 3 1



3 2

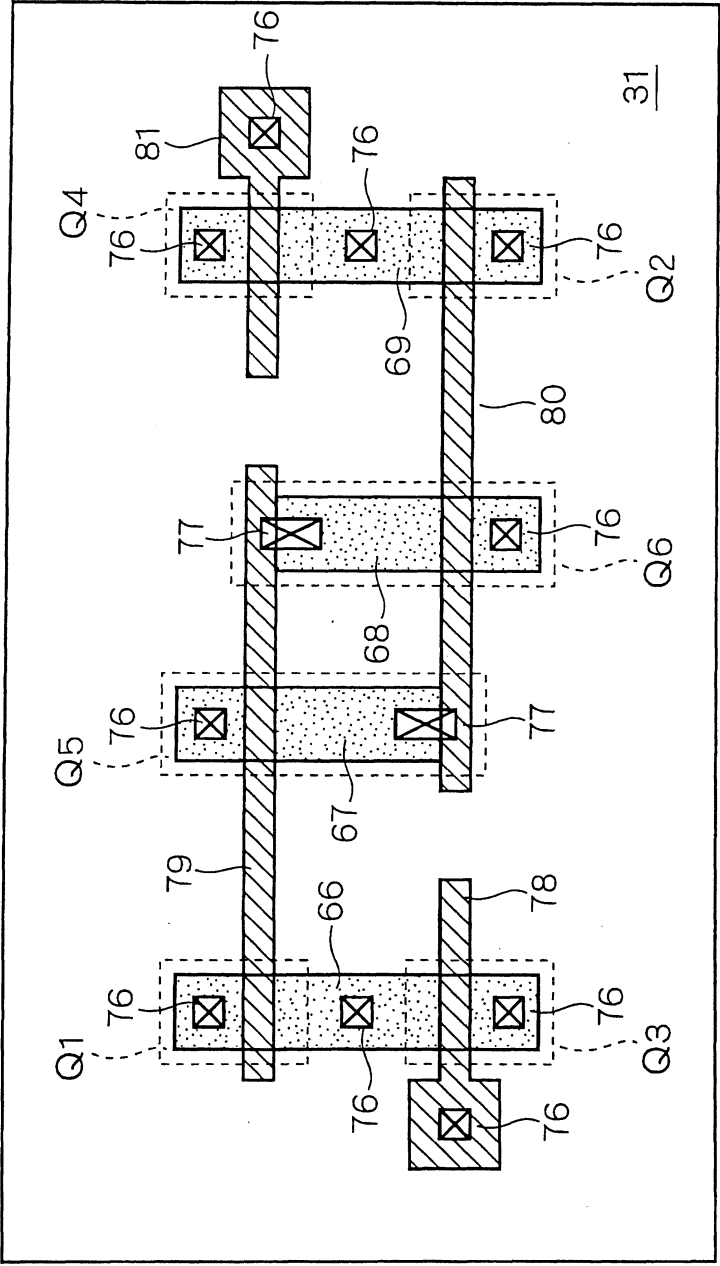
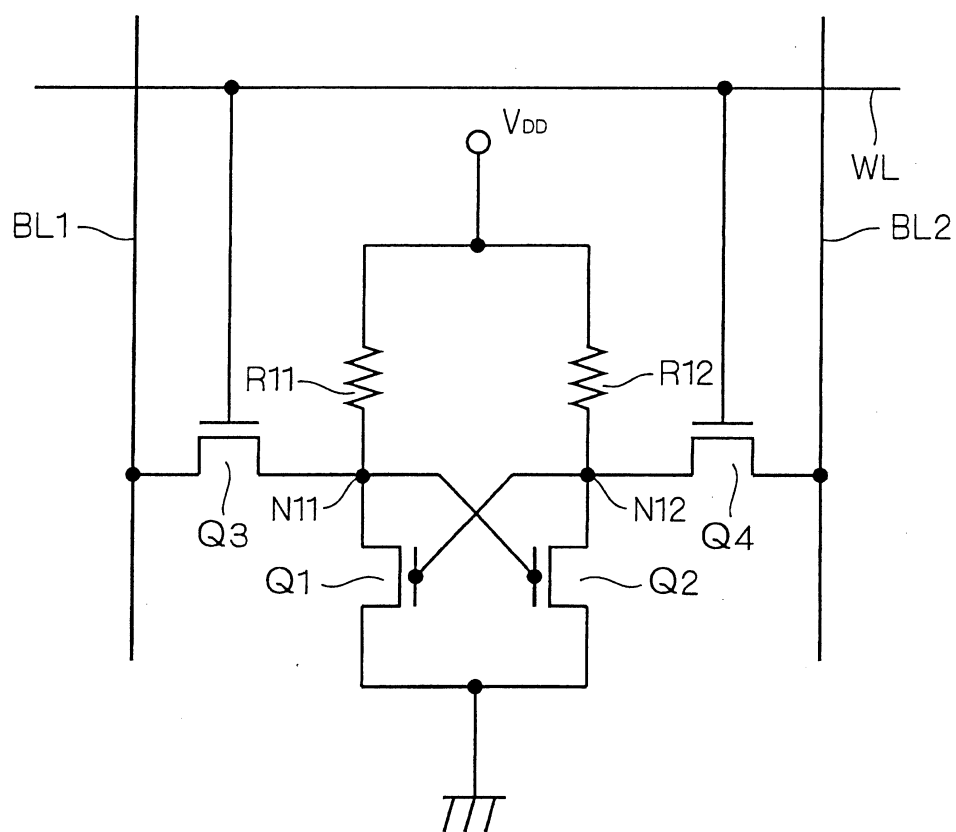
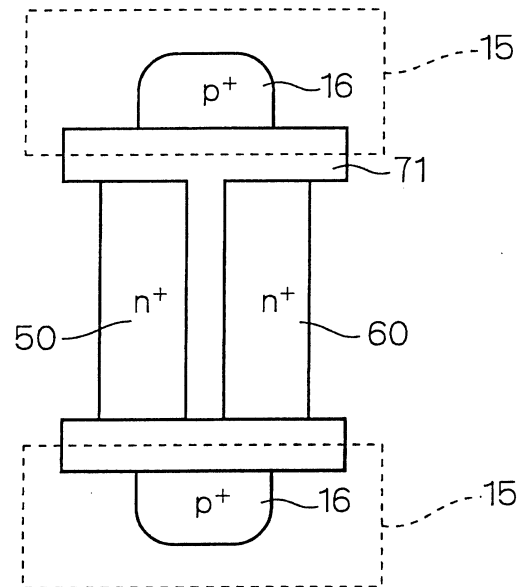


图 3 3



3 5



3 6

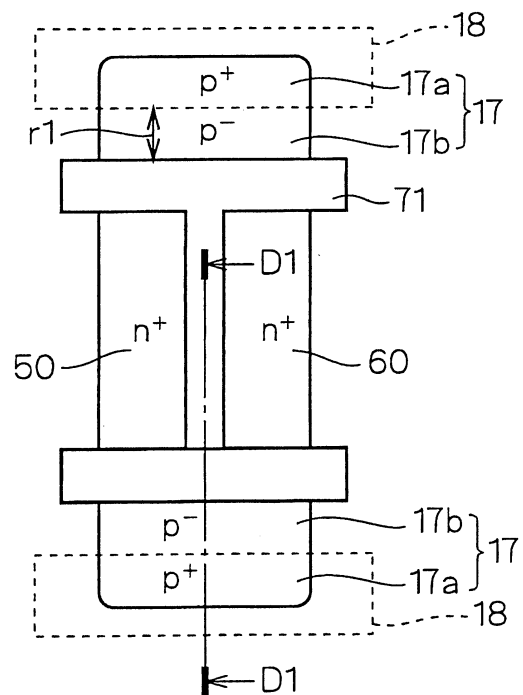


图 3 7

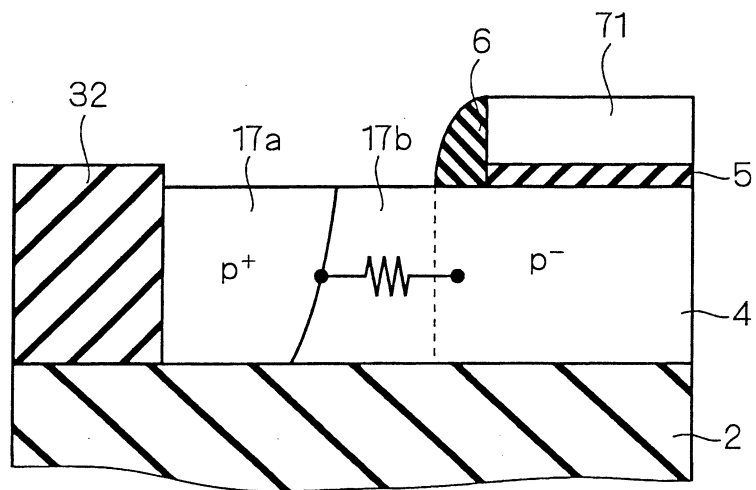


圖 3 8

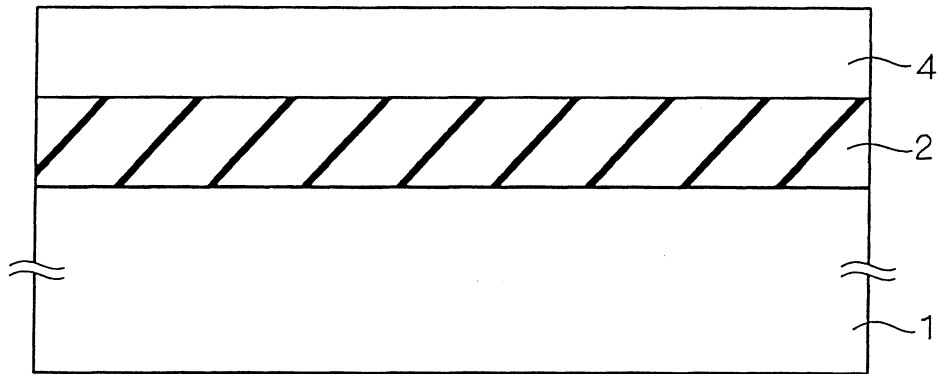


圖 3 9

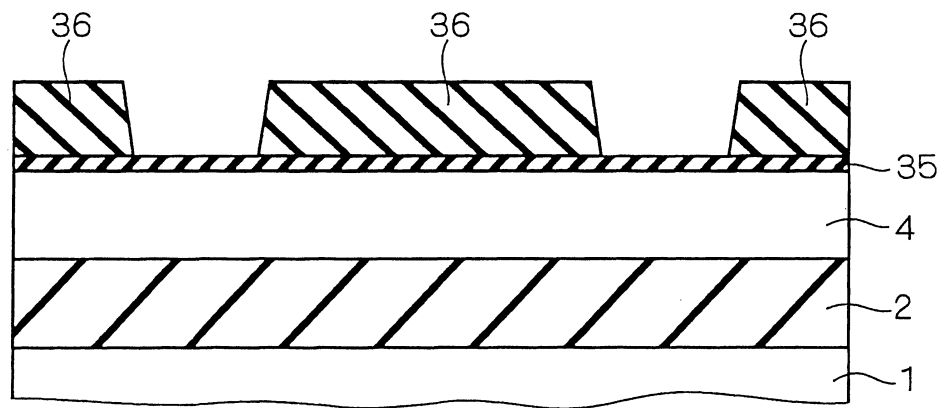


圖 4 0

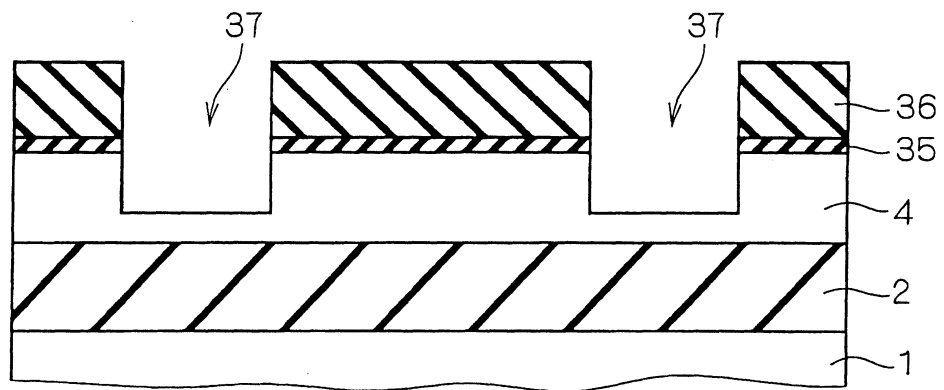
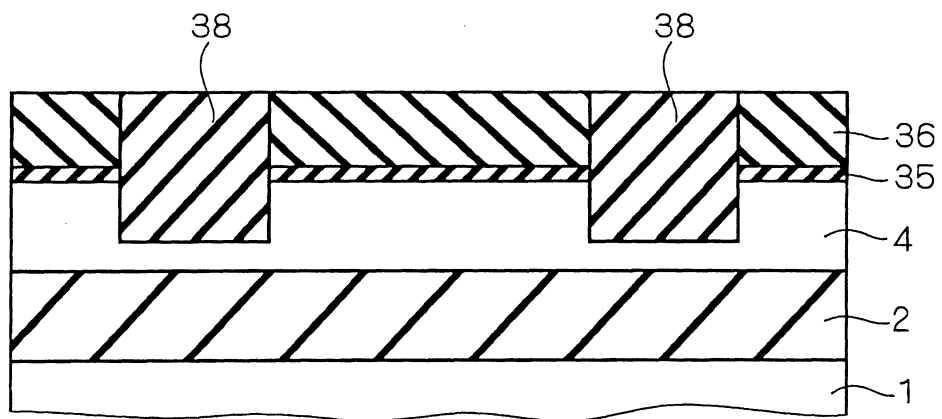


圖 4 1



4 2

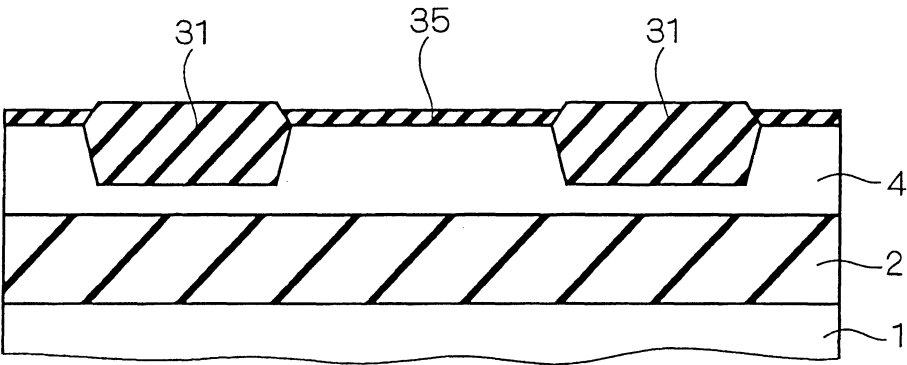


圖 4 3

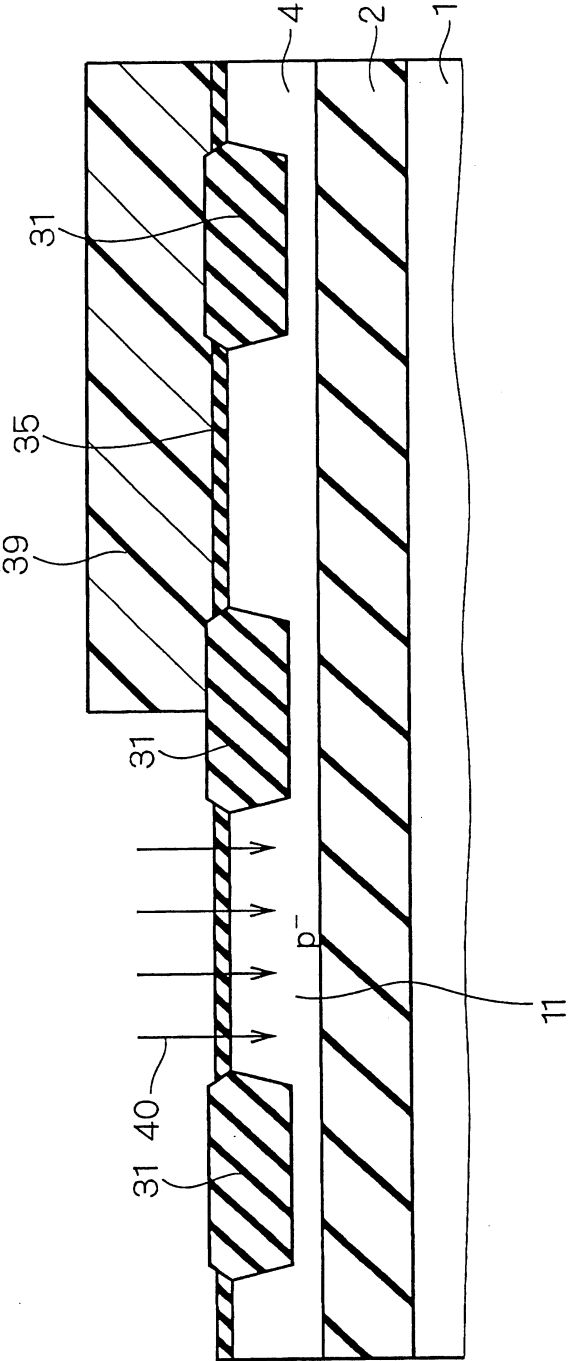


圖 4 4

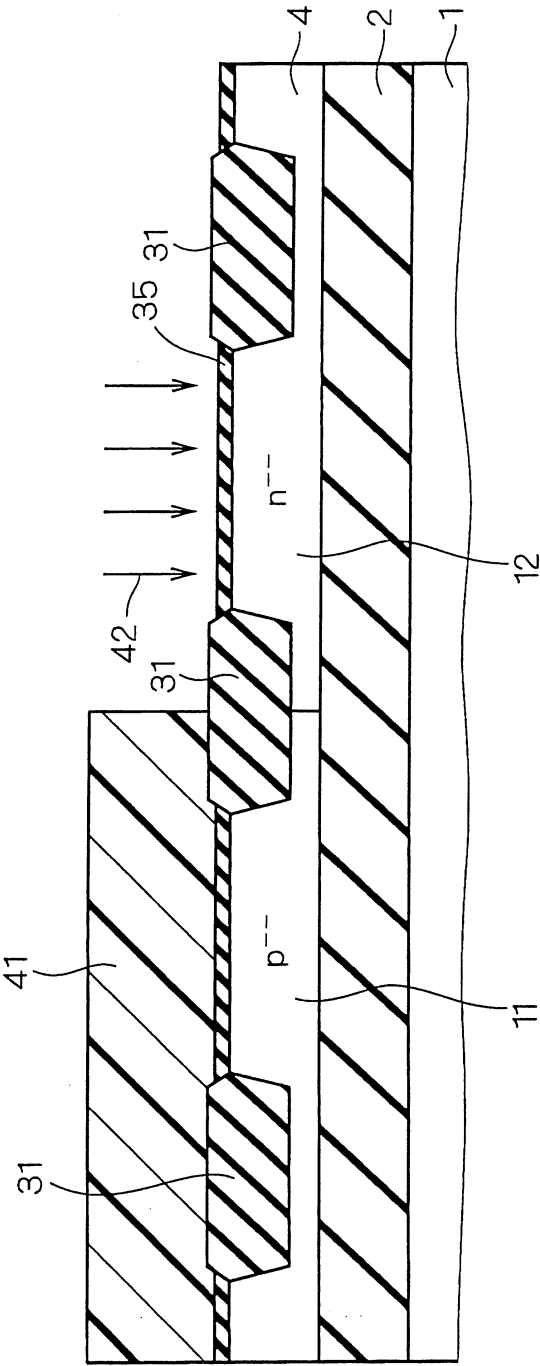


圖 4 5

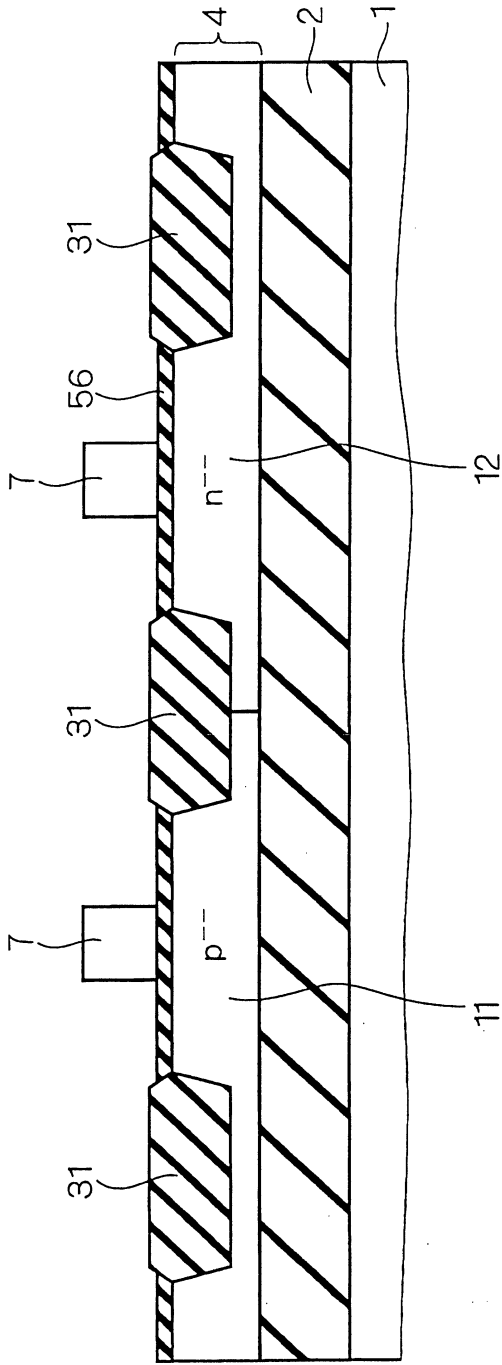


圖 4 6

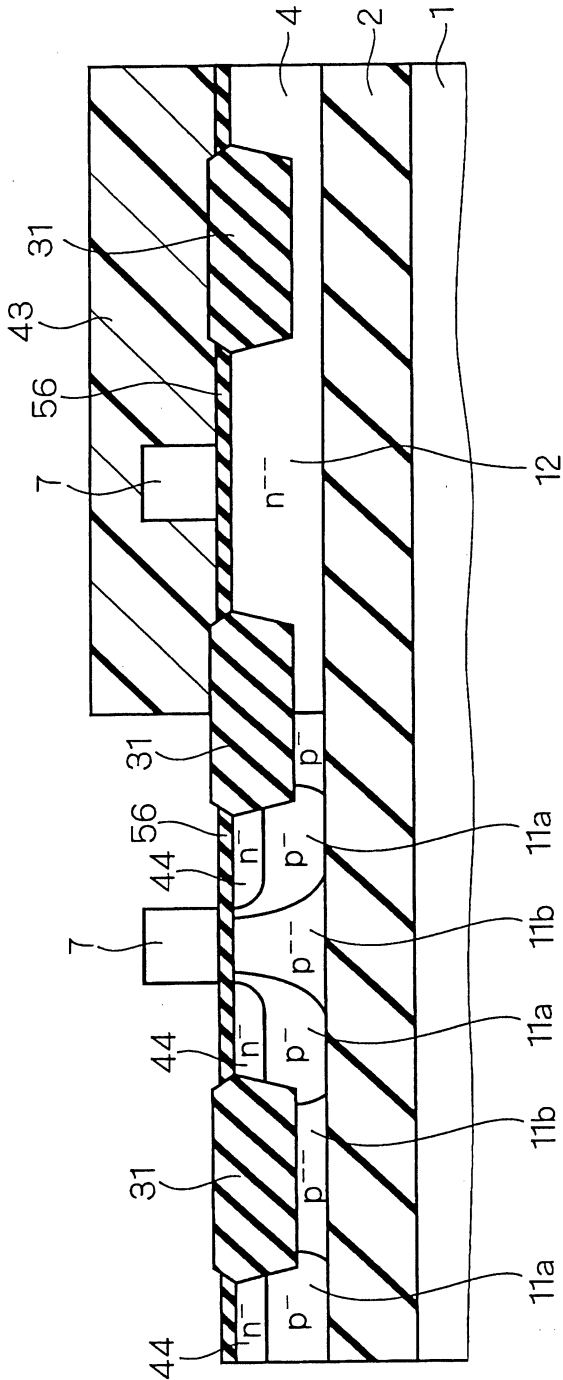


圖 4 7

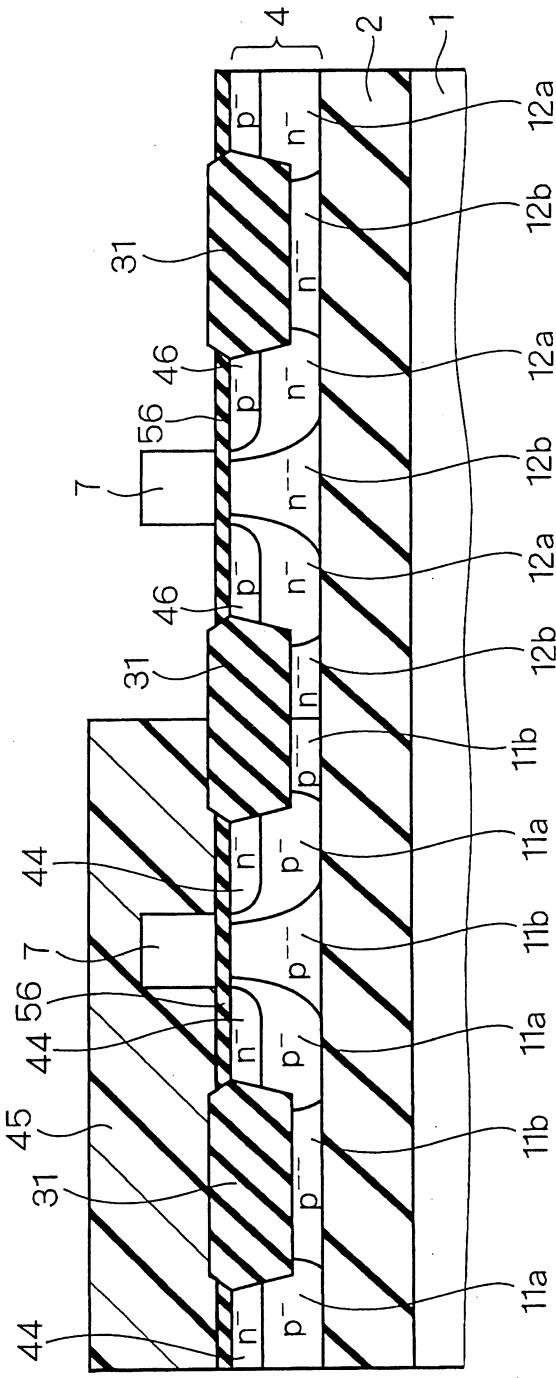


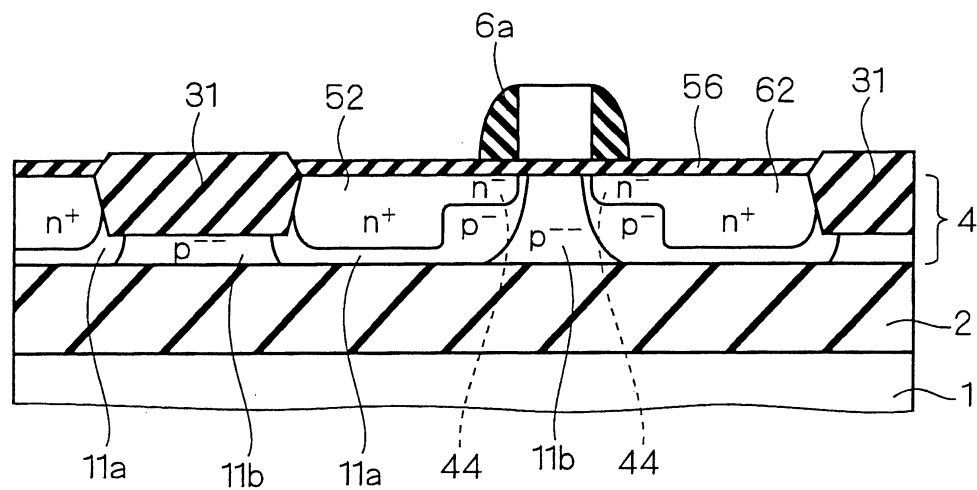
Figure 48 is a cross-sectional view of a semiconductor device. It shows a substrate (1) with a patterned layer (2) on top. A layer (4) is formed on top of (2), containing regions labeled n^+ , p^- , and n^- . A central structure (6a) is formed on top of (4). Other labels include 31, 52, 56, 62, 11a, 11b, and 44.


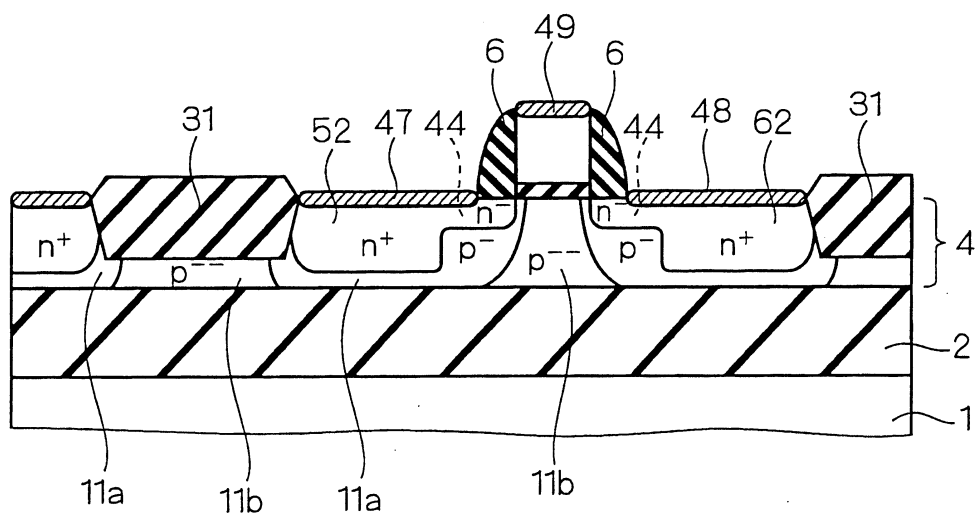
 Figure 49 is a cross-sectional view of a semiconductor device. It shows a substrate (1) with a patterned layer (2) on top. A layer (4) is formed on top of (2), containing regions labeled n^+ , p^- , and n^- . A central structure (6) is formed on top of (4). Other labels include 31, 52, 47, 44, 48, 62, 11a, 11b, and 49.


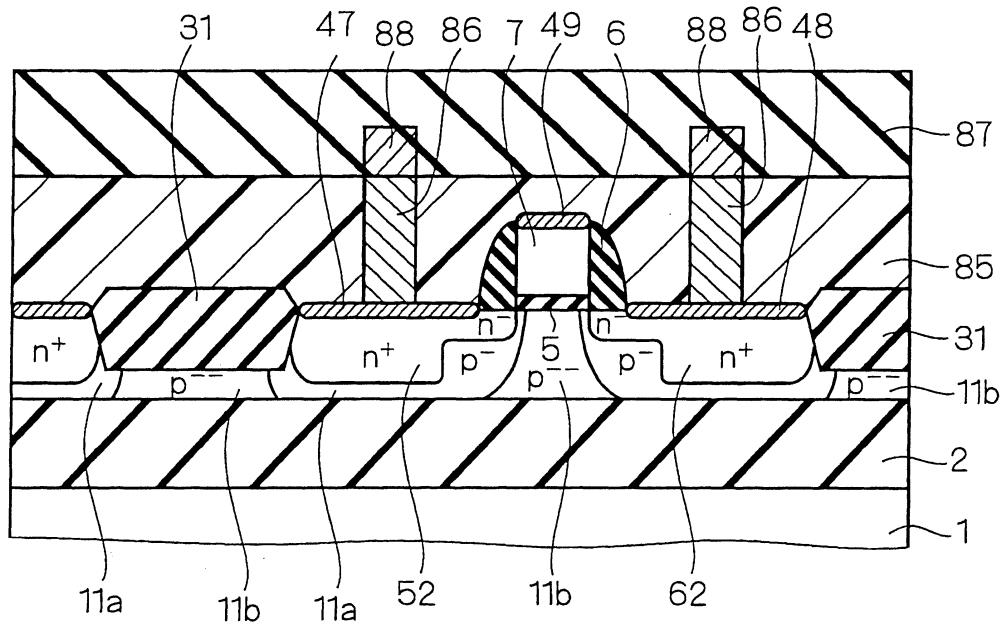
Figure 5 2 is a cross-sectional view of a semiconductor device. It shows a substrate with layers 1, 2, and 31. A central region contains a p⁻ layer 5, flanked by n⁺ regions 11a and 11b. Above the central region is a p⁻ layer 52. The device is covered by a top layer 87, with a layer 85 below it. Various components are labeled with numbers: 31, 47, 88, 86, 7, 49, 6, 88, 86, 48, 87, 85, 31, 11b, 2, 1, 11a, 11b, 11a, 52, 11b, 62.


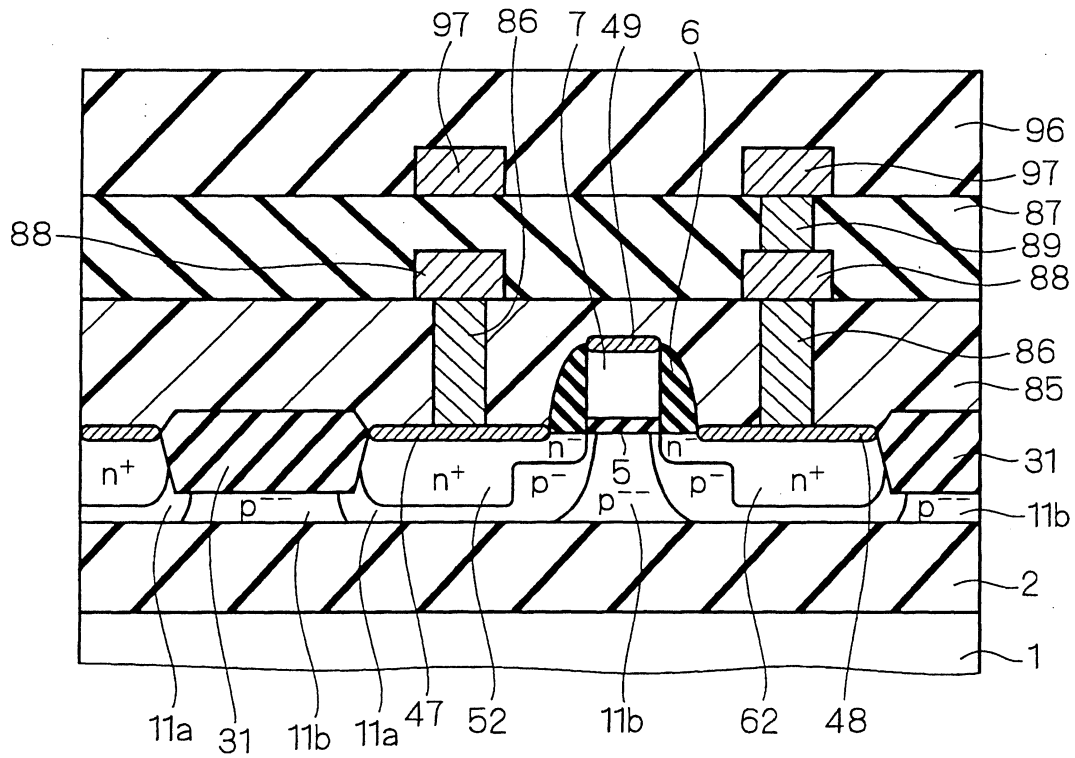
 Figure 5 3 is a cross-sectional view of a semiconductor device. It shows a substrate with layers 1, 2, and 31. A central region contains a p⁻ layer 5, flanked by n⁺ regions 11a and 11b. Above the central region is a p⁻ layer 52. The device is covered by a top layer 96, with a layer 97 below it. Various components are labeled with numbers: 97, 86, 7, 49, 6, 96, 97, 87, 89, 88, 86, 85, 31, 11b, 2, 1, 11a, 31, 11b, 11a, 47, 52, 11b, 62, 48.


圖 5 4

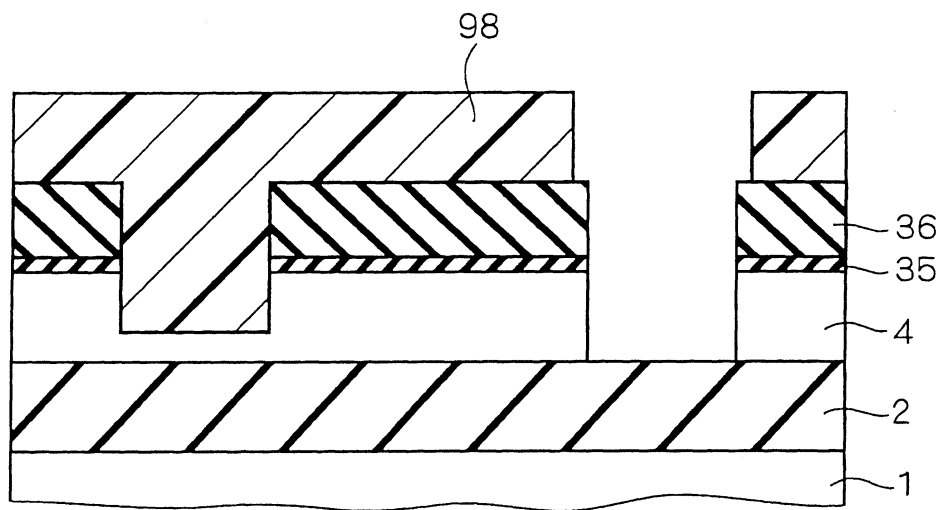


圖 5 5

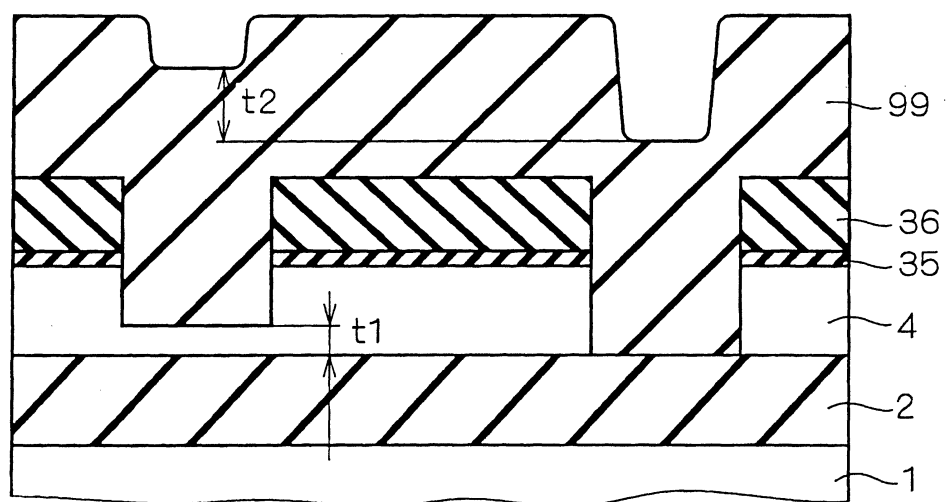


圖 5 6

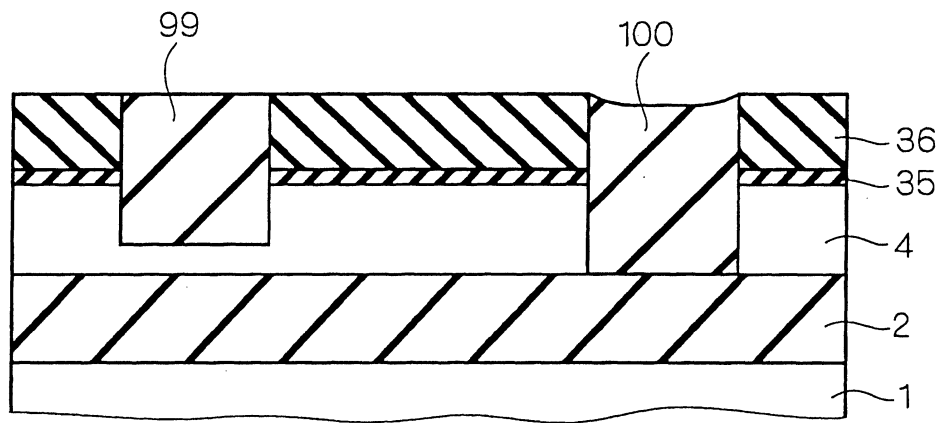


圖 5 7

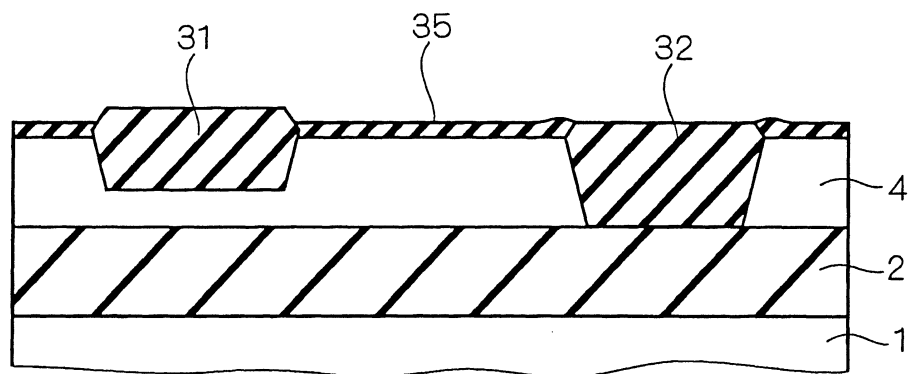


圖 5 8

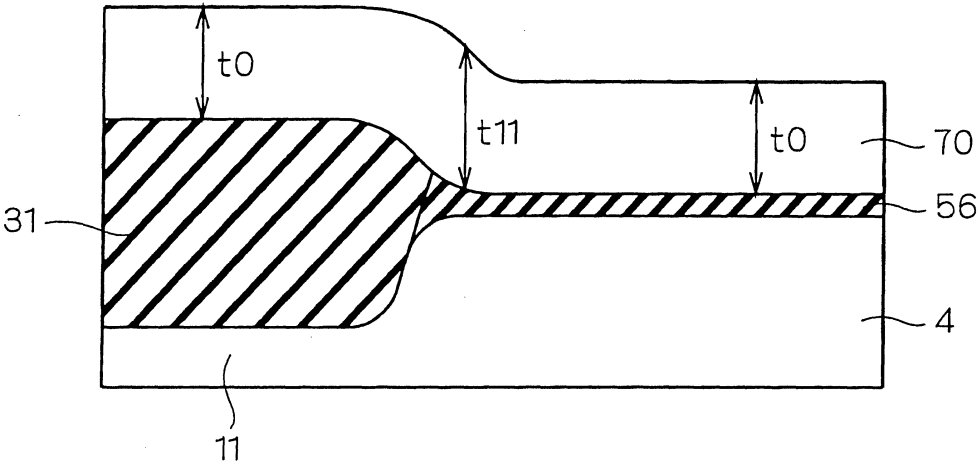


圖 5 9

