

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247735

(P2004-247735A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/3205	H O 1 L 21/88 Q	4 M 1 0 4
H O 1 L 21/20	H O 1 L 21/20	5 F 0 3 3
H O 1 L 21/28	H O 1 L 21/28 3 O 1 S	5 F 0 4 8
H O 1 L 21/8234	H O 1 L 29/50 M	5 F 0 5 2
H O 1 L 21/8238	H O 1 L 27/08 1 O 2 D	5 F 0 8 3
審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2004-34272 (P2004-34272)
 (22) 出願日 平成16年2月10日 (2004.2.10)
 (31) 優先権主張番号 2003-009139
 (32) 優先日 平成15年2月13日 (2003.2.13)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市靈通区梅灘洞 4 1 6
 (74) 代理人 100072349
 弁理士 八田 幹雄
 (74) 代理人 100102912
 弁理士 野上 敦
 (74) 代理人 100110995
 弁理士 奈良 泰男
 (74) 代理人 100111464
 弁理士 齋藤 悦子
 (74) 代理人 100114649
 弁理士 宇谷 勝幸
 (74) 代理人 100124615
 弁理士 藤井 敏史

最終頁に続く

(54) 【発明の名称】 選択的エピタキシャル成長を利用した半導体素子の局部配線形成方法

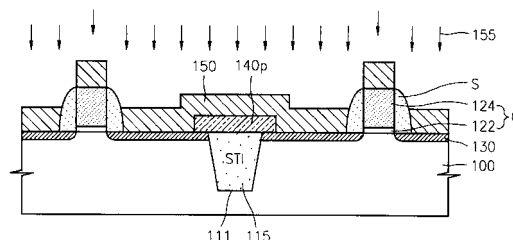
(57) 【要約】

【課題】 選択的エピタキシャル成長を利用した半導体素子の局部配線形成方法を提供する。

【解決手段】 局部配線が形成される半導体基板上の領域であって選択的エピタキシャル成長シード層(140)のない領域上に選択的エピタキシャル成長シード層パターン(140P)を形成した後、選択的エピタキシャル成長を実施し、形成された選択的エピタキシャル層(150)の抵抗を下げて局部配線を完成する。本発明により、単純かつ容易な工程で局部配線を形成できる。

【選択図】

図4



【特許請求の範囲】

【請求項 1】

局部配線が形成される半導体基板上の領域であって選択的エピタキシャル成長シード層のない領域上に選択的エピタキシャル成長シード層パターンを形成する段階と、

前記結果物に対して選択的エピタキシャル成長を実施して選択的エピタキシャル層を形成する段階と、

前記選択的エピタキシャル層の抵抗を下げて前記局部配線として完成する段階と、を含むことを特徴とする局部配線を含む半導体素子の製造方法。

【請求項 2】

前記選択的エピタキシャル成長シード層パターンを形成する段階前に、

10

前記半導体基板に浅いトレンチ素子分離領域を形成して活性領域を定義する段階と、

前記活性領域上にそれぞれゲートを形成する段階と、

前記ゲート側壁にスペーサを形成する段階と、をさらに具備し、

前記選択的エピタキシャル成長シード層パターンを形成する段階は、

前記浅いトレンチ素子分離領域上に前記選択的エピタキシャル成長シード層パターンを形成する段階であり、

前記選択的エピタキシャル層を形成する段階は、

前記活性領域、前記選択的エピタキシャル成長シード層パターン、及び前記ゲート上に前記選択的エピタキシャル層を形成する段階であり、

前記局部配線はトランジスタのソース／ドレインと隣接トランジスタのソース／ドレインとを連結する局部配線であることを特徴とする請求項 1 に記載の局部配線を含む半導体素子の製造方法。

20

【請求項 3】

前記選択的エピタキシャル成長シード層パターンを形成する段階前に、

前記半導体基板に浅いトレンチ素子分離領域を形成して活性領域を定義する段階と、

前記活性領域上に相互隣接した第 1 及び第 2 ゲートを形成する段階と、

前記第 1 及び第 2 ゲート側壁にスペーサを形成する段階と、

前記第 1 ゲートが形成されている活性領域と前記第 2 ゲートとを露出させる絶縁膜パターンとを形成する段階と、をさらに具備し、

前記選択的エピタキシャル成長シード層パターンを形成する段階は、

30

前記絶縁膜パターン上に前記選択的エピタキシャル成長シード層パターンを形成する段階であり、

前記選択的エピタキシャル層を形成する段階は、

前記第 1 ゲートが形成されている活性領域、前記選択的エピタキシャル成長シード層パターン、及び前記第 2 ゲート上に前記選択的エピタキシャル層を形成する段階であり、

前記局部配線はトランジスタのソース／ドレインと隣接トランジスタのゲートとを連結する局部配線であることを特徴とする請求項 1 に記載の局部配線を含む半導体素子の製造方法。

【請求項 4】

前記選択的エピタキシャル層の抵抗を下げて前記局部配線として完成する段階は、

40

前記選択的エピタキシャル層にイオンを注入して抵抗を下げる段階であることを特徴とする請求項 1 ないし請求項 3 のうち何れか 1 項に記載の局部配線を含む半導体素子の製造方法。

【請求項 5】

前記選択的エピタキシャル層の抵抗を下げて前記局部配線として完成する段階は、

前記選択的エピタキシャル層をシリサイド化して抵抗を下げる段階であることを特徴とする請求項 1 ないし請求項 3 のうち何れか 1 項に記載の局部配線を含む半導体素子の製造方法。

【請求項 6】

前記選択的エピタキシャル層の抵抗を下げて前記局部配線として完成する段階は、

50

前記選択的エピタキシャル層にイオンを注入する段階と、

前記選択的エピタキシャル層をシリサイド化する段階と、を含むことを特徴とする請求項 1 ないし請求項 3 のうち何れか 1 項に記載の局部配線を含む半導体素子の製造方法。

【請求項 7】

前記選択的エピタキシャル成長シード層パターンは $\text{Si}_x\text{O}_y\text{N}_z$ 層パターンであることを特徴とする請求項 1 ないし請求項 3 のうち何れか 1 項に記載の局部配線を含む半導体素子の製造方法。

【請求項 8】

前記選択的エピタキシャル成長シード層パターンは $\text{Si}_x\text{O}_y\text{N}_z$ 層パターンであり、 x は 5.5、 y は 1.5、 z は 3.0 であることを特徴とする請求項 7 に記載の局部配線を含む半導体素子の製造方法。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の製造方法に係り、特に局部配線を含む半導体素子の製造方法に関する。

【背景技術】

【0002】

半導体素子のサイズ及びデザインルールが漸次縮小されて微細化されることによって素子の集積度が高まっており、半導体素子を構成する重要な要素である MOSFET (metal oxide semiconductor field effect transistor) のスケールも漸次縮小されている。しかし、MOSFET のスケール縮小はゲート有効チャンネル長さを縮小させてソースとドレイン間のパンチスルー及び短チャンネル効果を誘発させる。このようなパンチスルー及び短チャンネル効果を改善するためにエレベータッドソース／ドレイン技術が導入されている。また、効率的な回路レイアウトのために局部配線が使われている。 20

【0003】

特許文献 1 及び特許文献 2 にエレベータッドソース／ドレイン及び局部配線の形成方法が開示されている。

【0004】

特許文献 1 は、ロードロック LPCVD-Si 方法によって露出されたソース／ドレイン領域上には単結晶シリコン膜を、酸化膜及びポリゲート上には多結晶シリコン膜を形成した後、局部配線が形成される領域以外に形成された多結晶シリコン膜をエッチングした後、シリサイド化工程を実施してシリサイド化された局部配線とシリサイド化されたソース／ドレインとを形成する。 30

【0005】

特許文献 2 は、ゲート電極を被覆する絶縁膜を形成した後、非晶質シリコン膜を全面に形成し、非晶質シリコン膜をアニーリングして選択的エピタキシャル層を形成した後、局部配線が形成される領域以外の非晶質シリコン膜を除去し、シリサイド化工程を実施してシリサイド化された局部配線とシリサイド化されたソース／ドレインとを形成する。 40

【特許文献 1】米国特許第 5,893,741 号公報

【特許文献 2】特開 2000-114262 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところが、特許文献 1 では局部配線が形成される領域以外の多結晶シリコンを除去する時、ソース／ドレイン上の単結晶シリコンは損傷させずに多結晶シリコンのみを選択的に除去せねばならず、特許文献 2 でも局部配線が形成される領域以外の非晶質シリコンを除去する時、ソース／ドレイン上の単結晶シリコンは損傷させずに非晶質シリコンのみを選択的に除去せねばならない。

【0007】

しかし、現実的に、単結晶シリコンを損傷させずに多結晶シリコンまたは非晶質シリコンのみを選択的に除去することが難しいために前記特許に開示されている方法適用に限界がある。

【0008】

本発明が解決しようとする技術的課題は、単純化されて適用が容易である局部配線を含む半導体素子の製造方法を提供しようとするところにある。

【課題を解決するための手段】

【0009】

前記技術的課題を達成するために、本発明による局部配線を含む半導体素子の製造方法によれば、局部配線が形成される半導体基板上の領域であって選択的エピタキシャル成長シード層のない領域上に選択的エピタキシャル成長シード層パターンを形成する。次いで、選択的エピタキシャル成長を実施し、形成された選択的エピタキシャル層の抵抗を下げて局部配線を完成する。 10

【0010】

その他の実施の形態の具体的な事項は詳細なる説明及び図面に含まれている。

【発明の効果】

【0011】

本発明によれば、単純で、かつ容易な方法で局部配線が形成できる。また、局部配線の形成と共にエレベータードソース／ドレインを同時に形成することによってトランジスタのパンチスルー及び短チャンネル効果が改善できる。 20

【発明を実施するための最良の形態】

【0012】

以下、添付した図面を参照して本発明による局部配線を含む半導体素子の製造方法に関する実施の形態を説明する。しかし、本発明は以下で開示される実施の形態に限定されるものでなく相異なる多様な形態で具現され、ただ本実施の形態は本発明の開示を完全にし、当業者に発明の範疇を完全に知らせるために提供されるものであり、本発明は特許請求の範囲によって定義されるのみである。図面で各層及び物質の形態及び厚さは説明の便宜のために誇張または概略化されたものである。明細書全体にかけて同一参照符号は同一部材を指す。 30

【0013】

以下、本実施の形態では局部配線を含む半導体素子の一例として、SRAM (Static Random Access Memory) を例に挙げて説明する。SRAMの場合、局部配線は隣接するトランジスタ間のソース／ドレインを連結するか、隣接するトランジスタ間のソース／ドレインとゲートとを連結するために使われる配線を指す。

【0014】

図1は、完全CMOS SRAMの等価回路図である。完全CMOS SRAMの1セルは2個のPMOSトランジスタと4個のNMOSトランジスタで構成される。完全CMOS SRAMは工程が単純であり、スタンバイ電流が少なく、低電圧動作が可能であり、ソフトエラー耐性がよく、多様なモバイル機器、多様なディスクドライバなどに広く使われる。図1で、WLは、ワードラインを、BL及び／BLは、ビットラインを、VCCラインは、電源電圧ラインを、VSSラインは、グラウンドラインをそれぞれ指す。 40

【0015】

図2は、図1の完全CMOS SRAMを製造するための活性領域パターン、ゲート電極パターン及び各配線を同時に示すレイアウトである。点線で表示された矩形が1セルを限定する。110は、活性領域パターンを、120は、ゲートパターンを、L11とL13は、トランジスタのソース／ドレインと隣接トランジスタのソース／ドレインとを連結するための局部配線を、L12とL14は、トランジスタのソース／ドレインと隣接トランジスタのゲートとを連結するための局部配線をそれぞれ指す。

【0016】

図3ないし図7は、トランジスタのソース／ドレーンと隣接トランジスタのソース／ドレーンとを連結するための局部配線L I 1、L I 3を製造する方法を説明するための断面図である。

【0017】

図3を参照すれば、活性領域パターン（図2の110）を定義するマスクを使用して半導体基板100をパターンニングして浅いトレンチ素子分離領域STIを形成する。まず、半導体基板100を300Åないし10000Å深さにエッチングしてトレンチ111を形成する。次いで、トレンチ111を形成するためのドライエッチング工程によって半導体基板100が受けた損傷を回復させるために熱処理工程を実施して熱酸化膜（図示せず）を形成する。次に、ストレス緩衝膜で窒化膜ライナー（図示せず）を40ないし50Å厚さに形成した後、トレンチ111内部を絶縁膜115で埋め込んだ後、絶縁膜115の膜質を細かくするための熱処理工程を実施する。次いで、絶縁膜を化学機械的ポリシング工程またはエッチバック工程で平坦化してSTIを完成して活性領域を定義する。

【0018】

次いで、STIによって定義された活性領域上にゲート酸化膜122及びポリシリコン膜124を順に積層した後、ゲートパターン（図2の120）が定義されているマスクを使用してポリシリコン膜124及びゲート酸化膜122をパターンニングしてゲートGを形成する。次いで、LDD（lightly doped drain）領域130形成のためのイオン注入を実施した後、ゲートG側壁に絶縁スペーサSを形成する。LDD領域形成のためのイオン注入はヒ素イオンを 10^{14} ないし 10^{15} 濃度で20ないし40KeVで注入して実施する。次いで、結果物全面に選択的エピタキシャル成長シード層140を形成する。選択的エピタキシャル成長シード層140としては、 $Si_xO_yN_z$ 層が形成できる。 $Si_xO_yN_z$ 膜の場合、効果的なシード層として作用するためにはxは、55、yは、15、zは、30であることが望ましい。

【0019】

図4を参照すれば、選択的エピタキシャル成長シード層140（図3参照）をパターンニングして局部配線が形成されねばならないが、選択的エピタキシャル成長シード層のない絶縁領域、例えば、STI領域上にのみ選択的エピタキシャル成長シード層パターン140Pを形成する。

【0020】

次いで、選択的エピタキシャル層150を形成する。真空チャンバ内に基板100をローディングした後、チャンバ内の温度を850ないし950℃とし、Siソースガス、例えば、 SiH_4 または Si_2H_6 ガスを1分ないし2分間供給すれば、活性領域を構成するシリコン基板100、選択的エピタキシャル成長シード層パターン140P上部及びゲートG上部にのみ選択的エピタキシャル層150が形成され、絶縁スペーサS上には選択的エピタキシャル層が形成されない。次いで、選択的エピタキシャル層150の抵抗を下げて導電性を帯びせるようにするためのイオン注入155を実施して局部配線L I 1、L I 3（図2参照）を形成する。イオン注入155はリンイオンを 10^{12} ないし 10^{13} 濃度で20ないし50KeVで注入するか、ヒ素イオンを 10^{14} ないし 10^{15} 濃度で20ないし40KeVで注入する。

【0021】

次いで、図5に示されているように、ソース／ドレーン領域形成のためのイオン注入157を実施する。イオン注入157はヒ素イオンを 10^{14} ないし 10^{15} 濃度で20ないし40KeVで注入する。

【0022】

図6を参照すれば、基板100全面に高融点金属層160を形成する。高融点金属としては、コバルト（Co）、チタン（Ti）、ニッケル（Ni）、白金（Pt）、タングステン（W）、モリブデン（Mo）などが挙げられる。

【0023】

次いで、図7に示されているように、多様な急速熱処理（Rapid Thermal

10

20

30

40

50

Annealing:RTA)を通じてシリサイド化を進行した後、未反応の高融点金属層160を除去する。その結果、シリサイド化されたソース／ドレートを連結する局部配線LI1、LI3とシリサイド化されたゲートとを完成する。シリサイド化によって局部配線LI1、LI3の抵抗をより効果的に下げられる。

【0024】

本実施の形態では、ソース／ドレール形成のためのイオン注入157を選択的エピタキシャル層150を形成した後に行ったが、イオン注入157は選択的エピタキシャル層150形成前後のいつでも可能である。例えば、ゲートG側壁に絶縁スペーサSを形成した直後にソース／ドレール形成のためのイオン注入157を行うこともできる。

【0025】

また、本実施の形態では選択的エピタキシャル層にイオン注入してシリサイド化して局部配線LI1、LI3を完成したが、選択的エピタキシャル層へのイオン注入のみでも局部配線として使用でき、イオン注入なしにシリサイド化することだけでも局部配線として使用できる。

【0026】

図8ないし図10は、トランジスタのソース／ドレールと隣接トランジスタのゲートとを連結するための局部配線LI2、LI4を製造する方法を説明するための断面図である。隣接するトランジスタのソース／ドレールを連結するための局部配線LI1、LI3の製造方法と同じ工程についてはその説明を省略する。

【0027】

図8を参照すれば、STI、ゲートG及び側壁スペーサSが形成されている半導体基板100全面に絶縁膜を形成した後、これをパターニングしてトランジスタのソース／ドレールと隣接トランジスタのゲートGとを露出させる絶縁膜パターン128Pを形成する。次いで、絶縁膜パターン128Pが形成されている基板100全面に選択的エピタキシャル成長シード層140を形成する。選択的エピタキシャル成長シード層140としては、 $\text{Si}_x\text{O}_y\text{N}_z$ 層が形成できる。 $\text{Si}_x\text{O}_y\text{N}_z$ 膜の場合、効果的なシード層として作用するためにはxは55、yは15、zは30であることが望ましい。

【0028】

図9を参照すれば、選択的エピタキシャル成長シード層140(図8参照)をパターニングして絶縁膜パターン128P上に選択的エピタキシャル成長シード層パターン140Pを形成する。

【0029】

次いで、図10に示されているように活性領域を構成するシリコン基板100、選択的エピタキシャル成長シード層パターン140P上部及び露出されたゲートG上部に選択的エピタキシャル層を形成した後、この抵抗を下げてトランジスタのゲートとこれと隣接したトランジスタのソース／ドレールとを連結する局部配線LI2、LI4を形成する。エピタキシャル層の抵抗を下げる方法としては、適切なイオン注入、シリサイド化またはこれらの組合せが使用できる。

【0030】

以上、トランジスタのソース／ドレールと隣接トランジスタのソース／ドレールとを連結する局部配線LI1、LI3を形成する実施の形態とトランジスタのソース／ドレールと隣接トランジスタのゲートとを連結する局部配線LI2、LI4を形成する実施の形態とを別々に述べたが、これらを適切に結合して最も単純化された工程でSRAM素子の局部配線LI1ないしLI4を形成するのに使用できることは当業者に自明である。

【0031】

以上、本発明を望ましい実施の形態を挙げて詳細に述べたが、本発明は前記実施の形態に限定されず、各膜の厚さ、サイズ、構成物質、これらの形成方法などは本発明の技術的思想内で当業者によって様々な変形が可能であることは当然である。

【産業上の利用可能性】

【0032】

10

20

30

40

50

本発明は半導体素子の製造に利用される。特に、本発明は局部配線の形成と共にエレベーターヘッドソース／ドレインを同時に形成できるようにトランジスタのパンチスルー及び短チャンネル効果が改善された半導体素子が製造できる。

【図面の簡単な説明】

【0033】

【図1】完全CMOS SRAMの等価回路図である。

【図2】図1の完全CMOS SRAMを製造するための活性領域パターン、ゲート電極パターン及び各配線を示すレイアウトである。

【図3】トランジスタのソース／ドレインと隣接トランジスタのソース／ドレインとを連結するための局部配線を製造する方法を説明するための断面図である。

10

【図4】トランジスタのソース／ドレインと隣接トランジスタのソース／ドレインとを連結するための局部配線を製造する方法を説明するための断面図である。

【図5】トランジスタのソース／ドレインと隣接トランジスタのソース／ドレインとを連結するための局部配線を製造する方法を説明するための断面図である。

【図6】トランジスタのソース／ドレインと隣接トランジスタのソース／ドレインとを連結するための局部配線を製造する方法を説明するための断面図である。

【図7】トランジスタのソース／ドレインと隣接トランジスタのソース／ドレインとを連結するための局部配線を製造する方法を説明するための断面図である。

【図8】トランジスタのソース／ドレインと隣接トランジスタのゲートとを連結するための局部配線を製造する方法を説明するための断面図である。

20

【図9】トランジスタのソース／ドレインと隣接トランジスタのゲートとを連結するための局部配線を製造する方法を説明するための断面図である。

【図10】トランジスタのソース／ドレインと隣接トランジスタのゲートとを連結するための局部配線を製造する方法を説明するための断面図である。

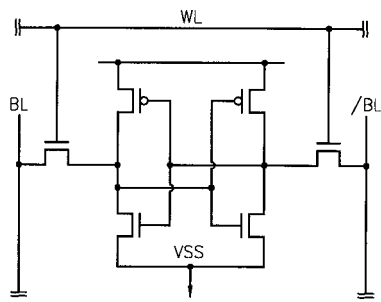
【符号の説明】

【0034】

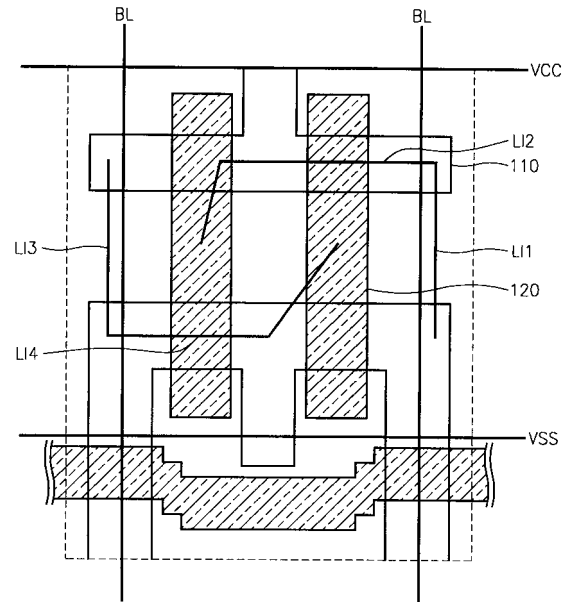
- 100 半導体基板
- 111 トレンチ
- 115 絶縁膜
- 122 ゲート酸化膜
- 124 ポリシリコン膜
- G ゲート
- 130 LDD領域
- 140 選択的エピタキシャル成長シード層
- 150 選択的エピタキシャル層
- 155 イオン注入
- S 絶縁スペーサ
- STI トレンチ素子分離領域

30

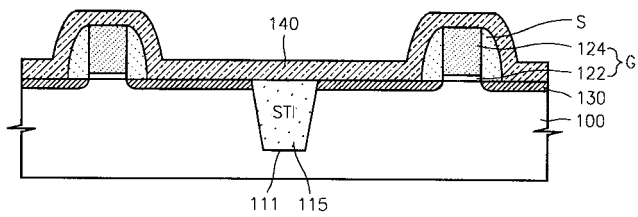
【図 1】



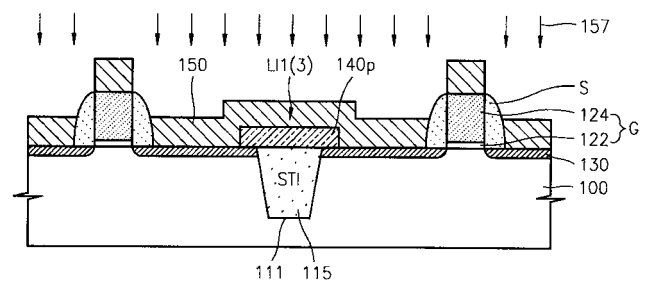
【図 2】



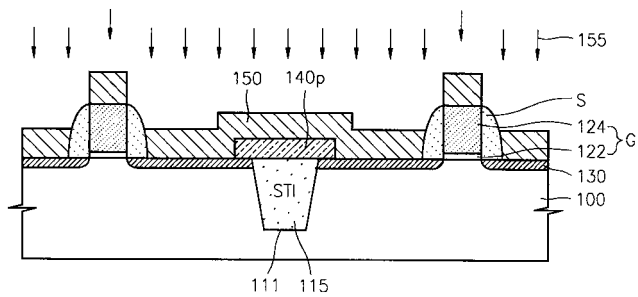
【図 3】



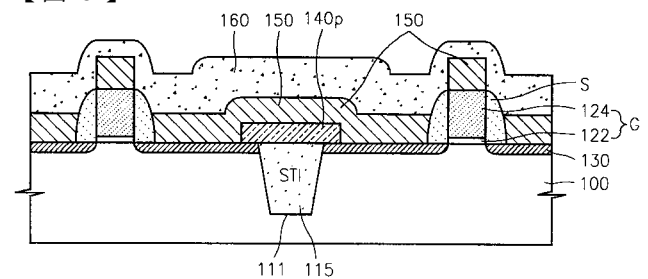
【図 5】



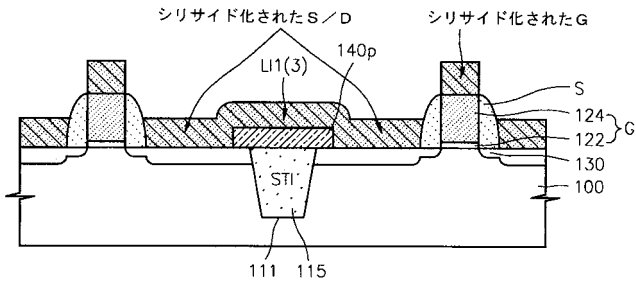
【図 4】



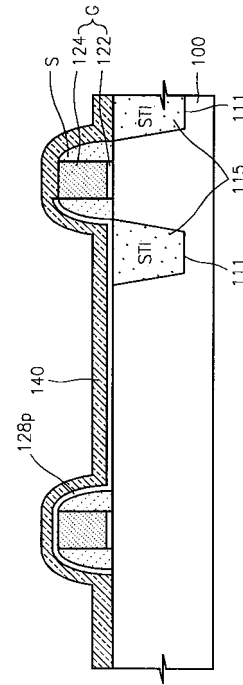
【図 6】



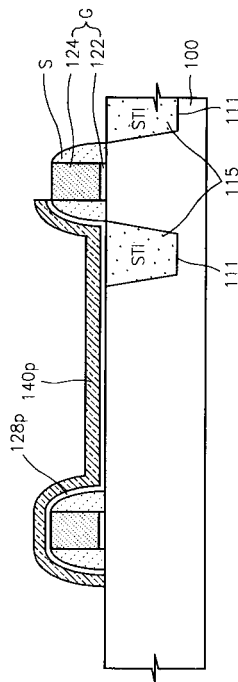
【図 7】



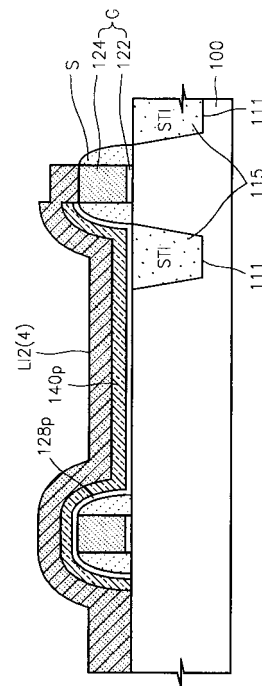
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/8244	H O 1 L 27/08	3 2 1 F
H O 1 L 27/088	H O 1 L 27/10	3 8 1
H O 1 L 27/092		
H O 1 L 27/11		
H O 1 L 29/417		

(72)発明者 崔 珍 浩

大韓民国京畿道水原市靈通区牛湍1洞300番地 牛湍住公4団地アパート408棟609号

(72)発明者 吳 漢 洙

大韓民国京畿道水原市靈通区靈通洞948-4番地 凰谷マウル住公1団地アパート108棟903号

Fターム(参考) 4M104 AA01 BB01 BB20 BB21 BB22 BB25 BB26 BB28 CC01 CC05
DD04 DD47 DD50 DD80 DD81 DD84 FF01 FF14 FF30 GG09
GG10 GG14 GG16
5F033 HH04 HH25 HH27 HH28 HH29 MM07 PP07 PP08 QQ59 QQ65
QQ70 VV16 XX33
5F048 AA07 AB01 AC01 AC03 BA01 BB00 BB04 BB05 BB06 BB08
BB12 BC05 BC06 BF01 BF06 BF15 BF16 BG01 BG03 BG14
DA17 DA23
5F052 JA01 KA05
5F083 BS03 BS04 BS05 BS07 BS08 BS11 BS15 BS16 BS17 BS19
BS20 BS23 BS27 BS48 GA27 GA28 JA35 JA38 JA39 JA53
LA01 NA01 PR25 PR29 PR36