



(12) 发明专利申请

(10) 申请公布号 CN 117475813 A

(43) 申请公布日 2024. 01. 30

(21) 申请号 202310254799.6

(22) 申请日 2023.03.09

(71) 申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道

(72) 发明人 栗华

(74) 专利代理机构 深圳紫藤知识产权代理有限公司 44570

专利代理师 万培

(51) Int. Cl.

G09G 3/20 (2006.01)

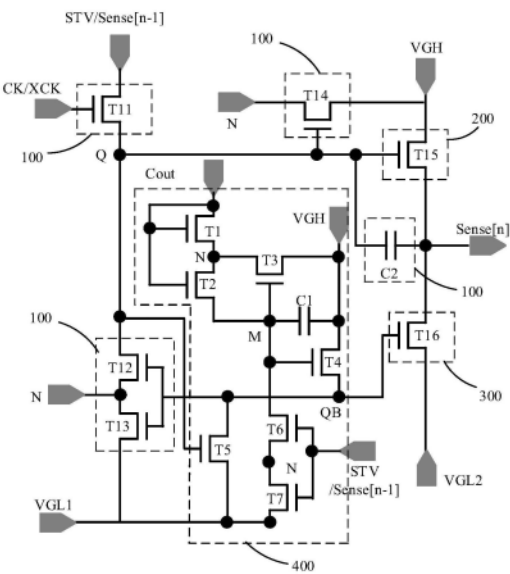
权利要求书2页 说明书8页 附图4页

(54) 发明名称

一种栅极驱动电路及显示面板

(57) 摘要

本发明公开了一种栅极驱动电路及显示面板。栅极驱动电路包括第一控制模块、输出上拉模块、输出下拉模块和第二控制模块；在复位阶段,时钟信号为低电位,起始信号保持高电位,感测输出信号保持低电位;在复位阶段之后的输出阶段,时钟信号变为高电位,起始信号保持高电位,感测输出信号由低电位变为高电位;在输出阶段之后的维持阶段,时钟信号转为低电位,起始信号变为低电位,感测输出信号维持高电位。通过本发明,只需要一组时钟信号,以减少信号走线,缩减显示面板的边框;并且基于时钟信号,对起始信号和感测输出信号进行逐级传递的调控步长仅为时钟信号的两个脉宽,以减小感测输出信号的调控步长,利于补偿电路精确调控补偿效果。



1. 一种栅极驱动电路,其特征在于,包括:

第一控制模块,与第一节点连接,并接入时钟信号、起始信号和第一低电位信号,用于控制所述第一节点的电位;

输出上拉模块,与所述第一节点连接,并接入高电位信号,用于输出和拉高感测输出信号的电位,所述起始信号为所述感测输出信号的上一级信号,所述起始信号和所述感测输出信号为脉冲信号;

输出下拉模块,与所述第一控制模块和第二节点连接,并接入第二低电位信号,用于拉低所述感测输出信号的电位;

第二控制模块,与所述第一节点和所述第二节点连接,并接入所述高电位信号、级传信号和所述起始信号,用于维持所述第二节点的低电位;

在复位阶段,所述时钟信号为低电位,所述起始信号保持高电位,所述第一节点为低电位,所述第二节点为高电位,所述感测输出信号保持低电位;

在所述复位阶段之后的输出阶段,所述时钟信号变为高电位,所述起始信号保持高电位,所述第二节点变为低电位,所述第一节点变为高电位,所述感测输出信号由低电位变为高电位;

在所述输出阶段之后的维持阶段,所述时钟信号转为低电位,所述起始信号变为低电位,所述第一节点维持高电位,所述第二节点维持低电位,所述感测输出信号维持高电位,以实现所述起始信号与所述感测输出信号的逐级传递,所述逐级传递的调控步长为时钟信号的两个脉冲宽度。

2. 根据权利要求1所述的栅极驱动电路,其特征在于,所述第二控制模块包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管及第一存储电容;所述第一晶体管的栅极和第一电极,及所述第二晶体管的栅极均接入所述级传信号;所述第二晶体管的第一电极与所述第一晶体管的第二电极连接于第三节点,所述第二晶体管的第二电极所述第三晶体管的栅极连接于第四节点;所述第三晶体管的第一电极接入所述高电位信号,第二电极与所述第三节点连接;所述第一存储电容的一端与所述第四节点连接,另一端接入所述高电位信号;所述第四晶体管的栅极与所述第四节点连接,第一电极接入所述高电位信号,第二电极与所述第二节点连接;所述第五晶体管的栅极与所述第一节点连接,第一电极接入所述第一低电位信号,第二电极与所述第二节点连接;所述第六晶体管的栅极与所述第七晶体管的栅极同时接入起始信号,所述第六晶体管的第一电极与所述第四节点连接,第二电极与所述第七晶体管的第一电极连接于所述第三节点,所述第七晶体管的第二电极接入所述第一低电位信号。

3. 根据权利要求2所述的栅极驱动电路,其特征在于,所述第二控制模块还包括第八晶体管,所述第八晶体管的栅极与所述第六晶体管的栅极和所述第七晶体管的栅极连接,并同时接入所述起始信号,所述第八晶体管的第一电极接入所述第一低电位信号,第二电极与所述第二节点连接。

4. 根据权利要求2所述的栅极驱动电路,其特征在于,所述第二控制模块还包括第九晶体管和第十晶体管;所述第九晶体管的栅极接入所述时钟信号,第一电极与所述第六晶体管的栅极和所述第七晶体管的栅极连接,并同时接入所述起始信号,第二电极与所述第十晶体管的栅极连接;所述第十晶体管的第一电极接入所述第一低电位信号,第二电极与所

述第二节点连接。

5. 根据权利要求1所述的栅极驱动电路,其特征在于,所述第一控制模块包括第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管及第二存储电容;所述第十一晶体管栅极接入所述时钟信号,第一电极接入所述起始信号,第二电极与所述第一节点连接;所述第十二晶体管的栅极和所述第十三晶体管的栅极同时与所述第二节点连接,所述第十二晶体管的第一电极与所述第一节点连接,第二电极与所述第十三晶体管的第一电极连接于第三节点,所述第十三晶体管的第二电极接入所述第一低电位信号;所述第十四晶体管的栅极与所述第一节点连接,第一电极接入所述高电位信号,第二电极与所述第三节点连接;所述第二存储电容的一端与所述第一节点连接,另一端接入所述感测输出信号。

6. 根据权利要求1所述的栅极驱动电路,其特征在于,所述输出上拉模块包括所述第十五晶体管,所述第十五晶体管的栅极与所述第一节点连接,第一电极接入所述高电位信号,第二电极接入所述感测输出信号。

7. 根据权利要求1所述的栅极驱动电路,其特征在于,所述输出下拉模块包括第十六晶体管,所述第十六晶体管的栅极与所述第二节点连接,第一电极接入所述第二低电位信号,第二电极接入所述感测输出信号。

8. 根据权利要求1所述的栅极驱动电路,其特征在于,在所述维持阶段之后的终止阶段,所述起始信号为低电位,所述第一节点的电位被拉低,所述级传信号为高电位,所述第二节点的电位被拉高,所述输出下拉模块开启,所述感测输出信号变为低电位。

9. 根据权利要求1所述的栅极驱动电路,其特征在于,所述时钟信号为包括正相时钟信号或反相时钟信号,所述正相时钟信号与所述反相时钟信号的电位相反,所述时钟信号的占空比为40%至60%。

10. 一种显示面板,其特征在于,包括阵列基板和权利要求1至9任一项所述的栅极驱动电路,所述栅极驱动电路与所述阵列基板相连接。

一种栅极驱动电路及显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种栅极驱动电路及显示面板。

背景技术

[0002] 在显示面板的部分像素内部补偿电路中,出于补偿精度的需求,要求栅极驱动电路输出宽度可调的脉冲信号,以达到显示面板补偿和调整的目的。

[0003] 目前实现脉宽可调控的方法主要利用了两种控制信号,由于控制信号必须具有逐级传递性,因此需要两组时钟信号产生两组级传控制信号,这样信号走线较多,导致显示面板边框增大。另一方面,输出脉冲信号的脉宽可调控的步长较大,不利于补偿效果的精确调控。

发明内容

[0004] 基于上述现有技术中的不足,本发明的目的是提供一种栅极驱动电路及显示面板,只需要一组时钟信号,可以减少信号走线,缩减显示面板的边框,并减小感测输出信号的调控步长,利于补偿电路精确调控补偿效果。

[0005] 为实现上述目的,本发明首先提供一种栅极驱动电路,包括:

[0006] 第一控制模块,与第一节点连接,并接入时钟信号、起始信号和第一低电位信号,用于控制第一节点的电位;

[0007] 输出上拉模块,与第一节点连接,并接入高电位信号,用于输出和拉高感测输出信号的电位,起始信号为感测输出信号的上一级信号,起始信号和感测输出信号为脉冲信号;

[0008] 输出下拉模块,与第一控制模块和第二节点连接,并接入第二低电位信号,用于拉低感测输出信号的电位;

[0009] 第二控制模块,与第一节点和第二节点连接,并接入高电位信号、级传信号和起始信号,用于维持第二节点的低电位;

[0010] 在复位阶段,时钟信号为低电位,起始信号保持高电位,第一节点为低电位,第二节点为高电位,感测输出信号保持低电位;

[0011] 在复位阶段之后的输出阶段,时钟信号变为高电位,起始信号保持高电位,第二节点变为低电位,第一节点变为高电位,感测输出信号由低电位变为高电位;

[0012] 在输出阶段之后的维持阶段,时钟信号转为低电位,起始信号变为低电位,第一节点维持高电位,第二节点维持低电位,感测输出信号维持高电位,以实现起始信号与感测输出信号的逐级传递,逐级传递的调控步长为时钟信号的两个脉冲宽度。

[0013] 可选地,第二控制模块包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管及第一存储电容;第一晶体管的栅极和第一电极,及第二晶体管的栅极均接入级传信号;第二晶体管的第一电极与第一晶体管的第二电极连接于第三节点,第二晶体管的第二电极第三晶体管的栅极连接于第四节点;第三晶体管的第一电极接入高电位信号,第二电极与第三节点连接;第一存储电容的一端与第四节点连接,另

一端接入高电位信号；第四晶体管的栅极与第四节点连接，第一电极接入高电位信号，第二电极与第二节点连接；第五晶体管的栅极与第一节点连接，第一电极接入第一低电位信号，第二电极与第二节点连接；第六晶体管的栅极与第七晶体管的栅极同时接入起始信号，第六晶体管的第一电极与第四节点连接，第二电极与第七晶体管的第一电极连接于第三节点，第七晶体管的第二电极接入第一低电位信号。

[0014] 可选地，第二控制模块还包括第八晶体管，第八晶体管的栅极与第六晶体管的栅极和第七晶体管的栅极连接，并同时接入起始信号，第八晶体管的第一电极接入第一低电位信号，第二电极与第二节点连接。

[0015] 可选地，第二控制模块还包括第九晶体管和第十晶体管；第九晶体管的栅极接入时钟信号，第一电极与第六晶体管的栅极和第七晶体管的栅极连接，并同时接入起始信号，第二电极与第十晶体管的栅极连接；第十晶体管的第一电极接入第一低电位信号，第二电极与第二节点连接。

[0016] 可选地，第一控制模块包括第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管及第二存储电容；第十一晶体管栅极接入时钟信号，第一电极接入起始信号，第二电极与第一节点连接；第十二晶体管的栅极和第十三晶体管的栅极同时与第二节点连接，第十二晶体管的第一电极与第一节点连接，第二电极与第十三晶体管的第一电极连接于第三节点，第十三晶体管的第二电极接入第一低电位信号；第十四晶体管的栅极与第一节点连接，第一电极接入高电位信号，第二电极与第三节点连接；第二存储电容的一端与第一节点连接，另一端接入感测输出信号。

[0017] 可选地，输出上拉模块包括第十五晶体管，第十五晶体管的栅极与第一节点连接，第一电极接入高电位信号，第二电极接入感测输出信号。

[0018] 可选地，输出下拉模块包括第十六晶体管，第十六晶体管的栅极与第二节点连接，第一电极接入第二低电位信号，第二电极接入感测输出信号。

[0019] 可选地，在维持阶段之后的终止阶段，起始信号为低电位，第一节点的电位被拉低，级传信号为高电位，第二节点的电位被拉高，输出下拉模块开启，感测输出信号变为低电位。

[0020] 可选地，时钟信号包括正相时钟信号或反相时钟信号，正相时钟信号与反相时钟信号的电位相反，时钟信号的占空比为40%至60%。

[0021] 本发明同时提供一种显示面板，包括阵列基板和上述的栅极驱动电路，该栅极驱动电路与阵列基板相连接。

[0022] 与现有技术相比，本发明的有益效果包括：本发明的栅极驱动电路包括第一控制模块、输出上拉模块、输出下拉模块和第二控制模块；在复位阶段，时钟信号为低电位，起始信号保持高电位，第一节点为低电位，第二节点为高电位，感测输出信号保持低电位；在复位阶段之后的输出阶段，时钟信号变为高电位，起始信号保持高电位，第二节点变为低电位，第一节点变为高电位，感测输出信号由低电位变为高电位；在输出阶段之后的维持阶段，时钟信号转为低电位，起始信号变为低电位，第一节点维持高电位，第二节点维持低电位，感测输出信号维持高电位，以实现起始信号与感测输出信号的逐级传递，逐级传递的调控步长为时钟信号的两个脉冲宽度。通过本发明的栅极驱动电路，可以只需要一组时钟信号，以减少信号走线，缩减显示面板的边框；并且，基于时钟信号，对起始信号和感测输出信

号进行逐级传递的调控步长仅为时钟信号的两个脉冲宽度,这样减小感测输出信号的调控步长,利于补偿电路精确调控补偿效果。

附图说明

[0023] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1是本发明实施例栅极驱动电路的结构示意图一;

[0025] 图2是本发明实施例栅极驱动电路的结构示意图二;

[0026] 图3是本发明实施例栅极驱动电路的结构示意图三;

[0027] 图4是本发明实施例栅极驱动电路的信号时序图。

具体实施方式

[0028] 以下各实施例的说明是参考附加的图示,用以例示本发明可用以实施的特定实施例。在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的模组或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本发明的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0029] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接或可以相互通讯;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0030] 本发明实施例提供一种栅极驱动电路,如图1所示,包括第一控制模块100、输出上拉模块200、输出下拉模块300和第二控制模块400。其中:

[0031] 第一控制模块100与第一节点Q连接,并接入时钟信号CK/XCK、起始信号STV和第一低电位信号VGL1,用于控制第一节点Q的电位;

[0032] 输出上拉模块200与第一节点Q连接,并接入高电位信号VGH,用于输出和拉高感测输出信号Sense[n]的电位,起始信号STV为感测输出信号Sense[n]的上一级信号Sense[n-1],起始信号STV和感测输出信号Sense[n]为脉冲信号;

[0033] 输出下拉模块300与第一控制模块100和第二节点QB连接,并接入第二低电位VGL2信号,用于拉低感测输出信号Sense[n]的电位;

[0034] 第二控制模块400与第一节点Q和第二节点QB连接,并接入高电位信号VGH、级传信号Cout和起始信号STV,用于维持第二节点QB的低电位;

[0035] 如图4所示,在复位阶段,时钟信号CK/XCK为低电位,起始信号STV保持高电位,第一节点Q为低电位,第二节点QB为高电位,感测输出信号Sense[n]保持低电位;

[0036] 在复位阶段之后的输出阶段,时钟信号CK/XCK变为高电位,起始信号STV保持高电位,第二节点QB变为低电位,第一节点Q变为高电位,感测输出信号Sense[n]由低电位变为高电位;

[0037] 在输出阶段之后的维持阶段,时钟信号CK/XCK转为低电位,起始信号STV变为低电位,第一节点Q维持高电位,第二节点QB维持低电位,感测输出信号Sense[n]维持高电位,以实现起始信号STV/Sense[n-1]与感测输出信号Sense[n]的逐级传递,逐级传递的调控步长为时钟信号CK/XCK的两个脉冲宽度。

[0038] 通过本实施例的栅极驱动电路,可以只需要一组脉冲时钟信号CK/XCK,以减少信号走线,缩减显示面板的边框。并且,基于时钟信号CK/XCK的脉冲,从复位阶段进入输出阶段时,起始信号STV保持高电位,感测输出信号Sense[n]由低电位变为高电位;从输出阶段进入维持阶段,起始信号STV由高电位变为低电位,感测输出信号Sense[n]维持高电位;这样,基于时钟信号CK/XCK对起始信号STV和感测输出信号Sense[n]进行逐级传递的调控步长,仅为时钟信号CK/XCK的两个脉冲宽度(复位阶段的一个脉冲宽度H和维持阶段的一个脉冲宽度H),这样减小起始信号STV和感测输出信号Sense[n]的调控步长,利于补偿电路精确调控补偿效果。

[0039] 本实施例中,级传信号Cout、时钟信号CK/XCK、感测输出信号Sense[n]以及起始信号STV均为宽脉冲信号。其中,级传信号Cout可以由常规的栅极扫描控制电路产生。时钟信号CK/XCK包括正相时钟信号CK或反相时钟信号XCK,根据控制需求,可以选择输入正相时钟信号CK或反相时钟信号XCK,正相时钟信号CK与反相时钟信号XCK的电位相反,时钟信号CK/XCK的占空比为40%至60%,本实施例中,占空比可以优选为50%。第一低电位信号VGL1和第二低电位信号VGL2可以为相同的低电位信号,也可以为不同的低电位信号。第一低电位信号VGL1和第二低电位信号VGL2可以为低于设定电位的信号,高电位信号VGH可以为高于设定电位的信号。

[0040] 一种实施例中,第二控制模块400包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7及第一存储电容C1;第一晶体管T1的栅极和第一电极,及第二晶体管T2的栅极均接入级传信号Cout;第二晶体管T2的第一电极与第一晶体管T1的第二电极连接于第三节点N,第二晶体管T2的第二电极第三晶体管T3的栅极连接于第四节点M;第三晶体管T3的第一电极接入高电位信号VGH,第二电极与第三节点N连接;第一存储电容C1的一端与第四节点M连接,另一端接入高电位信号VGH;第四晶体管T4的栅极与第四节点M连接,第一电极接入高电位信号VGH,第二电极与第二节点QB连接;第五晶体管T5的栅极与第一节点Q连接,第一电极接入第一低电位信号VGL1,第二电极与第二节点QB连接;第六晶体管T6的栅极与第七晶体管T7的栅极同时接入起始信号STV,第六晶体管T6的第一电极与第四节点M连接,第二电极与第七晶体管T7的第一电极连接于第三节点N,第七晶体管T7的第二电极接入第一低电位信号VGL1。

[0041] 基于上述电路结构,第一存储电容C1可以用于存储第四节点M的电位,当级传信号Cout为高电位时,第一晶体管T1、第二晶体管T2和第三晶体管T3打开,第四节点M充入高电位,以维持第四晶体管T4持续打开,高电位信号VGH经过第四晶体管T4传输至第二节点QB,

第二节点QB的电位被拉高。

[0042] 当起始信号STV为高电位时,第六晶体管T6和第七晶体管T7打开,第四节点M接入第一低电位信号VGL1,完成第四节点M的放电,第一晶体管T1、第二晶体管T2、第三晶体管T3和第四晶体管T4关闭。

[0043] 第一节点Q为高电位时,第五晶体管T5打开,第一低电位信号VGL1经过第五晶体管T5传输至第二节点QB,使第二节点QB的电位拉低。

[0044] 一种实施例中,如图2所示,第二控制模块400还包括第八晶体管T8,第八晶体管T8的栅极与第六晶体管T6的栅极和第七晶体管T7的栅极连接,并同时接入起始信号STV,第八晶体管T8的第一电极接入第一低电位信号VGL1,第二电极与第二节点QB连接。

[0045] 基于上述电路结构,当起始信号STV为高电位时,第八晶体管T8打开,第一低电位信号VGL1经过第八晶体管T8传输至第二节点QB,完成第二节点QB的电位下拉。同时,第一节点Q为高电位,第五晶体管T5打开,第一低电位信号VGL1经过第五晶体管T5传输至第二节点QB,以使第一节点Q为高电位时,维持第二节点QB的低电位。

[0046] 一种实施例中,如图3所示,第二控制模块400还包括第九晶体管T9和第十晶体管T10;第九晶体管T9的栅极接入时钟信号CK/XCK,第一电极与第六晶体管T6的栅极和第七晶体管T7的栅极连接,并同时接入起始信号STV,第二电极与第十晶体管T10的栅极连接;第十晶体管T10的第一电极接入第一低电位信号VGL1,第二电极与第二节点QB连接。

[0047] 基于上述电路结构,当时钟信号CK/XCK为高电位时,第九晶体管T9打开,此时起始信号STV为高电位,第六晶体管T6、第七晶体管T7和第十晶体管T10打开,第一低电位信号VGL1经过第六晶体管T6、第七晶体管T7和第十晶体管T10传输至第二节点QB,以使第二节点QB的电位下拉。

[0048] 一种实施例中,第一控制模块100包括第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14及第二存储电容C2;第十一晶体管T11栅极接入时钟信号CK/XCK,第一电极接入起始信号STV,第二电极与第一节点Q连接;第十二晶体管T12的栅极和第十三晶体管T13的栅极同时与第二节点QB连接,第十二晶体管T12的第一电极与第一节点Q连接,第二电极与第十三晶体管T13的第一电极连接于第三节点N,第十三晶体管T13的第二电极接入第一低电位信号VGL1;第十四晶体管T14的栅极与第一节点Q连接,第一电极接入高电位信号VGH,第二电极与第三节点N连接;第二存储电容C2的一端与第一节点Q连接,另一端接入感测输出信号Sense[n]。

[0049] 基于上述电路结构,当时钟信号CK/XCK为高电位时,第十一晶体管T11打开,起始信号STV经过第十一晶体管T11传输至第一节点Q,当起始信号STV为高电位时,第一节点Q为高电位,第十四晶体管T14和输出上拉模块200打开,第十二晶体管T12也接入第一节点Q,并且在第二存储电容C2的作用下,使第一节点Q维持在高电位。

[0050] 一种实施例中,输出上拉模块200包括第十五晶体管T15,第十五晶体管T15的栅极与第一节点Q连接,第一电极接入高电位信号VGH,第二电极接入感测输出信号Sense[n]。

[0051] 基于上述电路结构,当第一节点Q为高电位时,第十五晶体管T15打开,第十五晶体管T15的第一电极接入高电位信号VGH,使第二电极的感测输出信号Sense[n]的电位被拉高。

[0052] 一种实施例中,输出下拉模块300包括第十六晶体管T16,第十六晶体管T16的栅极

与第二节点QB连接,第一电极接入第二低电位信号VGL2,第二电极接入感测输出信号Sense[n]。

[0053] 基于上述电路结构,当起始信号STV和时钟信号CK/XCK为低电位,级传信号Cout为高电位时,第一晶体管T1打开,当起始信号STV和时钟信号CK/XCK为低电位,级传信号Cout为高电位时,第八晶体管T8,或第九晶体管T9和第十晶体管T10关闭,第二节点QB接入高电位信号VGH,第十六晶体管T16打开,通入第二低电位信号VGL2,输出感测信号的电位被下拉。

[0054] 一种实施例中,在维持阶段之后的终止阶段,起始信号STV为低电位,第一节点Q的电位被拉低,级传信号Cout为高电位,第二节点QB的电位被拉高,输出下拉模块300开启,感测输出信号Sense[n]变为低电位。

[0055] 本实施例中,第一晶体管T1至第十六晶体管T16都可以为薄膜晶体管,具体可以为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[0056] 其中,非晶硅薄膜晶体管(a-Si TFT)是应用广泛的薄膜晶体管,其工艺成熟稳定、驱动电压低、功耗小、成本较低等优点,适合批量生产。

[0057] 低温多晶硅薄膜晶体管(Low Temperature Poly-Si Thin Film Transistor, LTPS-TFT)具有载流子迁移率高,尺寸小等突出优点,是发展低功耗、高集成度显示面板的关键技术。

[0058] 氧化物薄膜晶体管(oxide Thin Film Transistor)的载流子浓度是非晶硅薄膜晶体管的十倍左右,载流子迁移率是非晶硅薄膜晶体管的20-30倍,因此,氧化物薄膜晶体管可以大大地提高薄膜晶体管对于像素电极的充放电速率,提高像素的响应速度,进而实现更快的刷新率。氧化物薄膜晶体管能够满足需要快速响应和较大电流的应用场合,如高频、高分辨率、大尺寸的显示器以及有机发光显示器等。氧化物薄膜晶体管逐渐成为用于新一代LCD,LED显示设备的半导体组件。

[0059] 本实施例中,各晶体管的第一电极和第二电极两者中,其中一个为源极,另一个即为漏极。

[0060] 本实施例的栅极驱动电路,根据信号时序,配置有四个工作阶段,按时序先后分别为复位阶段t1、输出阶段t2、维持阶段t3和终止阶段t4。如图4所示,具体信号时序如下:

[0061] 1) 复位阶段t1:时钟信号CK/XCK为低电位,起始信号STV/Sense[n-1]保持高电位,感测输出信号Sense[n]保持低电位,级传信号Cout为低电位,第一节点Q为低电位,第二节点QB为高电位,第四节点M为低电位。

[0062] 2) 输出阶段t2:时钟信号CK/XCK变为高电位,起始信号STV/Sense[n-1]保持高电位,级传信号Cout保持低电位,第一节点Q变为高电位,第二节点QB变为低电位,第四节点M保持低电位,第十六晶体管T16关闭,第十五晶体管T15开启,感测输出信号Sense[n]由低电位变为高电位。栅极驱动电路开始输出高电位的感测输出信号Sense[n]。

[0063] 3) 维持阶段t3:时钟信号CK/XCK转为低电位(关闭状态),起始信号STV/Sense[n-1]变为低电位,级传信号Cout维持低电位,第二电容维持第一节点Q的高电位,第二节点QB保持低电位,第十六晶体管T16关闭,感测输出信号Sense[n]维持高电位。

[0064] 4) 终止阶段t4:时钟信号CK/XCK和起始信号STV/Sense[n-1]变为低电位,级传信号Cout变为高电位,第一节点Q被下拉为低电位,第二节点QB被拉高为高电位,第十六晶体

管T16开启,感测输出信号Sense[n]变为低电位,栅极驱动电路的宽脉冲信号输出终止。

[0065] 基于本实施例上述的栅极驱动电路,可以只需要一组脉冲时钟信号CK/XCK,以减少信号走线,缩减显示面板的边框。并且,基于时钟信号CK/XCK的脉冲,从复位阶段进入输出阶段时,起始信号STV保持高电位,感测输出信号Sense[n]由低电位变为高电位;从输出阶段进入维持阶段,起始信号STV由高电位变为低电位,感测输出信号Sense[n]维持高电位;这样,基于时钟信号CK/XCK对起始信号STV和感测输出信号Sense[n]进行逐级传递的调控步长,仅为时钟信号CK/XCK的两个脉冲宽度(复位阶段的一个脉冲宽度和维持阶段的一个脉冲宽度),这样减小起始信号STV/Sense[n-1]和感测输出信号Sense[n]的调控步长,利于补偿电路精确调控补偿效果。

[0066] 本发明实施例还提供一种显示面板,包括阵列基板和上述实施例提供的栅极驱动电路,该栅极驱动电路与阵列基板相连接。

[0067] 本实施例的栅极驱动电路包括第一控制模块100、输出上拉模块200、输出下拉模块300和第二控制模块400。其中:

[0068] 第一控制模块100与第一节点Q连接,并接入时钟信号CK/XCK、起始信号STV和第一低电位信号VGL1,用于控制第一节点Q的电位;

[0069] 输出上拉模块200与第一节点Q连接,并接入高电位信号VGH,用于输出和拉高感测输出信号Sense[n]的电位,起始信号STV为感测输出信号Sense[n]的上一级信号Sense[n-1],起始信号STV和感测输出信号Sense[n]为脉冲信号;

[0070] 输出下拉模块300与第一控制模块100和第二节点QB连接,并接入第二低电位信号,用于拉低感测输出信号Sense[n]的电位;

[0071] 第二控制模块400与第一节点Q和第二节点QB连接,并接入高电位信号VGH、级传信号Cout和起始信号STV,用于维持第二节点QB的低电位;

[0072] 在复位阶段,时钟信号CK/XCK为低电位,起始信号STV保持高电位,第一节点Q为低电位,第二节点QB为高电位,感测输出信号Sense[n]保持低电位;

[0073] 在复位阶段之后的输出阶段,时钟信号CK/XCK变为高电位,起始信号STV保持高电位,第二节点QB变为低电位,第一节点Q变为高电位,感测输出信号Sense[n]由低电位变为高电位;

[0074] 在输出阶段之后的维持阶段,时钟信号CK/XCK转为低电位,起始信号STV变为低电位,第一节点Q维持高电位,第二节点QB维持低电位,感测输出信号Sense[n]维持高电位,以实现起始信号STV与感测输出信号Sense[n]的逐级传递,逐级传递的调控步长为时钟信号CK/XCK的两个脉冲宽度。

[0075] 通过本实施例的栅极驱动电路,可以只需要一组脉冲时钟信号CK/XCK,以减少信号走线,缩减显示面板的边框。并且,基于时钟信号CK/XCK的脉冲,从复位阶段进入输出阶段时,起始信号STV保持高电位,感测输出信号Sense[n]由低电位变为高电位;从输出阶段进入维持阶段,起始信号STV由高电位变为低电位,感测输出信号Sense[n]维持高电位;这样,基于时钟信号CK/XCK对起始信号STV和感测输出信号Sense[n]进行逐级传递的调控步长,仅为时钟信号CK/XCK的两个脉冲宽度(复位阶段的一个脉冲宽度和维持阶段的一个脉冲宽度),这样减小起始信号STV和感测输出信号Sense[n]的调控步长,利于补偿电路精确调控补偿效果。

[0076] 以上所述,仅为本发明较佳的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应该以权利要求的保护范围为准。

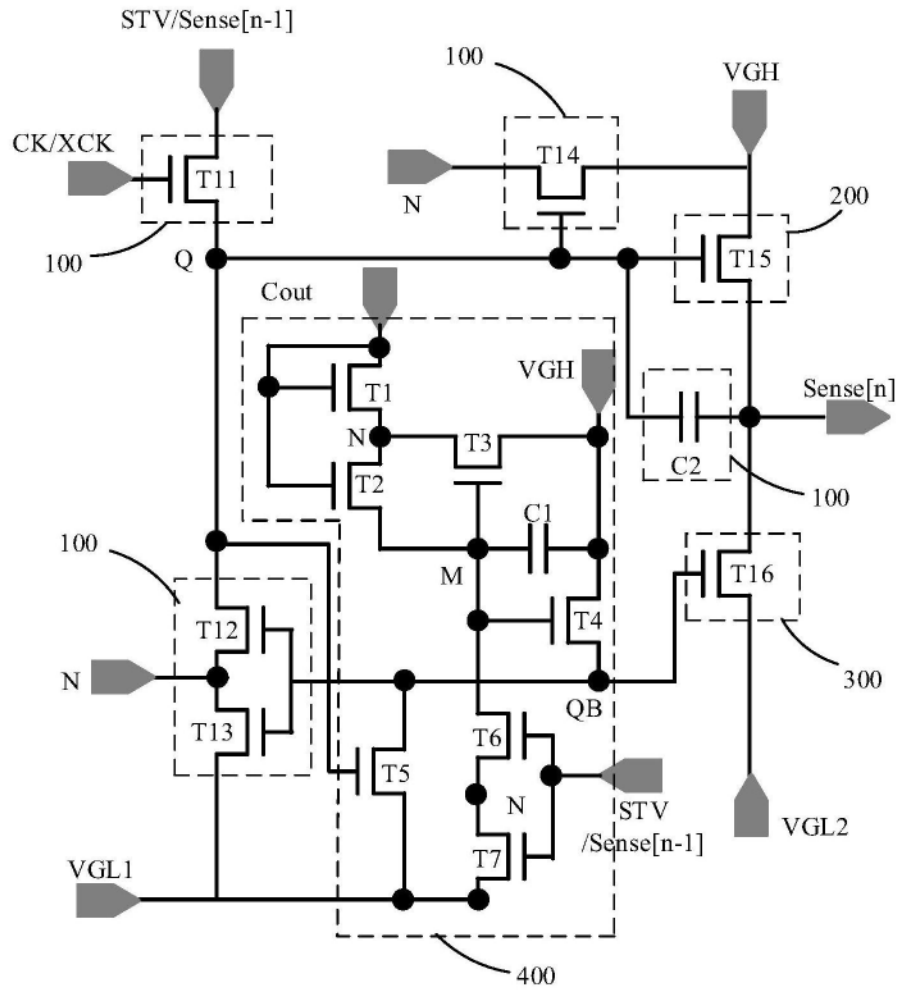


图1

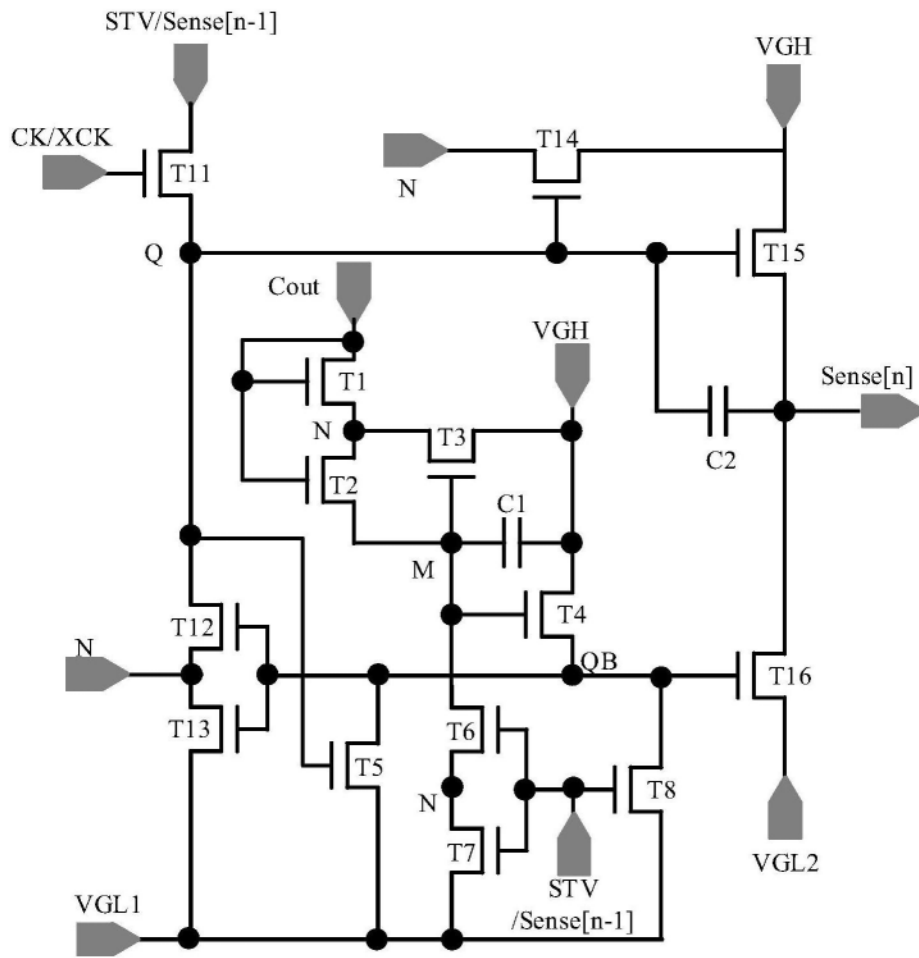


图2

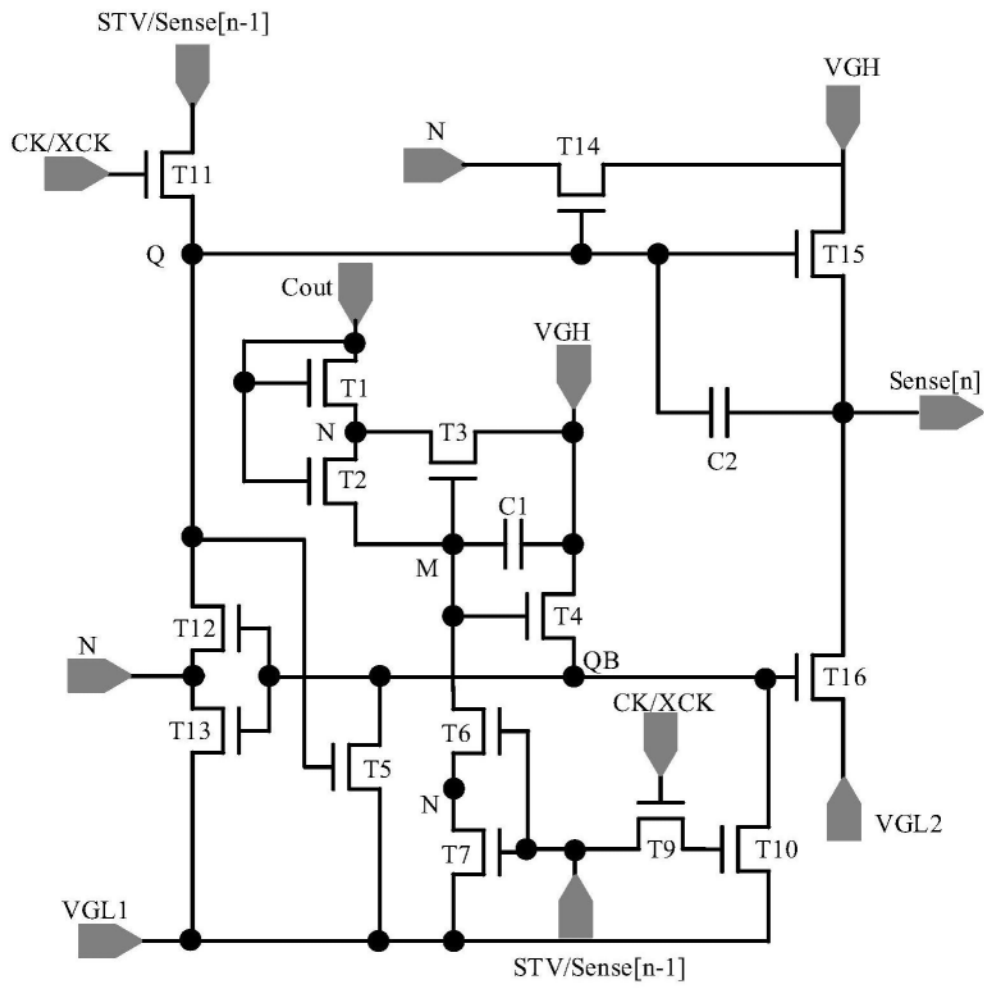


图3

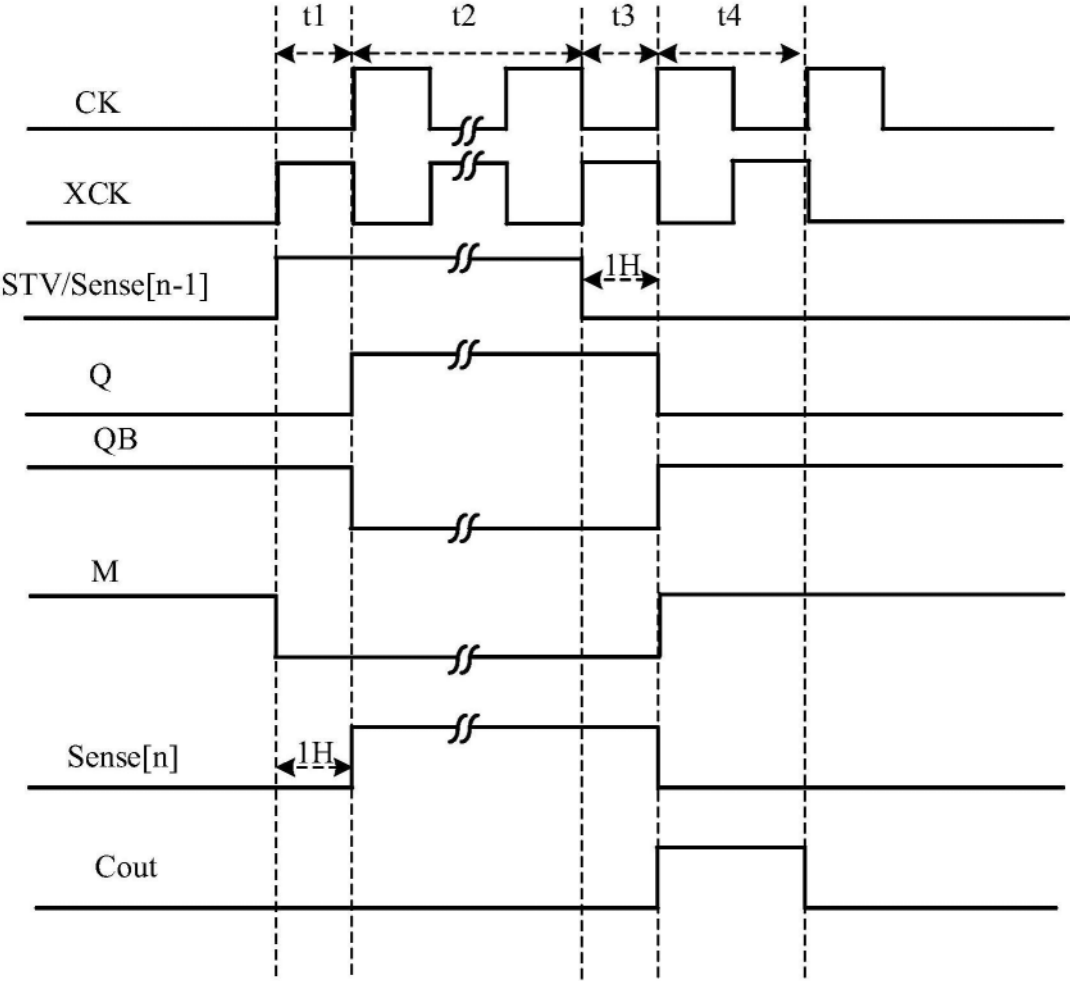


图4