

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4908472号
(P4908472)

(45) 発行日 平成24年4月4日(2012.4.4)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int.Cl.		F I	
G 1 1 C	11/419 (2006.01)	G 1 1 C	11/34 3 1 1
H O 3 K	3/356 (2006.01)	H O 3 K	3/356 B
G 1 1 C	11/413 (2006.01)	G 1 1 C	11/34 3 4 1 Z
G 1 1 C	11/41 (2006.01)	G 1 1 C	11/40 A
G 1 1 C	11/412 (2006.01)	G 1 1 C	11/40 C

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-216198 (P2008-216198)
 (22) 出願日 平成20年8月26日(2008.8.26)
 (65) 公開番号 特開2010-55653 (P2010-55653A)
 (43) 公開日 平成22年3月11日(2010.3.11)
 審査請求日 平成22年7月29日(2010.7.29)

前置審査

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100149803
 弁理士 藤原 康高
 (72) 発明者 川澄 篤
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 審査官 園田 康弘

最終頁に続く

(54) 【発明の名称】 半導体集積記憶回路及びラッチ回路のトリミング方法

(57) 【特許請求の範囲】

【請求項1】

第1のビット線と第2のビット線からなるビット線対と、
 第1のインバータと第2のインバータを第1ノード及び第2ノードにおいてクロスカップル接続させて形成されるラッチ回路と、

前記ラッチ回路から前記ビット線対に出力された増幅信号を反転させた反転信号を生成して前記第1ノード及び前記第2ノードに供給する反転回路と、

前記第1のインバータ又は前記第2のインバータを構成するトランジスタにホットキャリアを発生させる為のホットキャリア発生電圧を印加して、前記第1のインバータ又は前記第2のインバータを構成するトランジスタのしきい値電圧のばらつきを前記反転信号に基づきトリミングする電圧印加回路とを備え、

前記電圧印加回路は、前記反転信号が印加された前記第1のインバータ又は前記第2のインバータを構成するトランジスタに、前記ホットキャリア発生電圧を所定の回数繰り返し印加する

ことを特徴とする半導体集積記憶回路。

【請求項2】

第1のインバータと第2のインバータを第1ノード及び第2ノードにおいてクロスカップル接続させて形成されるラッチ回路のトリミング方法において、

前記ラッチ回路からビット線対に供給された増幅信号を反転させて反転信号を生成する第1のステップと、

前記反転信号を前記第 1 ノード及び前記第 2 ノードに供給する第 2 のステップと、
 前記ラッチ回路を構成するトランジスタにホットキャリアを発生させる為のホットキャリア発生電圧を印加して、前記ラッチ回路を構成するトランジスタのしきい値電圧のばらつきを前記反転信号に基づきトリミングする第 3 のステップとを備え、
前記第 1 のステップ乃至前記第 3 のステップに至るステップを所定の回数繰り返すことを特徴とする半導体集積記憶回路のラッチ回路のトリミング方法。

【請求項 3】

前記電圧印加回路は、
 前記第 1 ノードに第 1 主電極が接続され前記第 1 のビット線に第 2 主電極が接続される第 3 のトランジスタと、
 前記第 2 ノードに第 1 主電極が接続され前記第 2 のビット線に第 2 主電極が接続される第 4 のトランジスタと、
 前記第 1 ノードに第 1 主電極が接続され前記ホットキャリア発生電圧を供給する電源に第 2 主電極が接続され、ゲートに前記反転回路が接続される第 5 のトランジスタと、
 前記第 2 ノードに第 1 主電極が接続され前記ホットキャリア発生電圧を供給する電源に第 2 主電極が接続され、ゲートに前記反転回路が接続される第 6 のトランジスタと
 を備えることを特徴とする請求項 1 記載の半導体集積記憶回路。

10

【請求項 4】

前記反転回路は、
 第 3 のインバータと第 4 のインバータを第 3 のノード及び第 4 のノードにおいてクロス
 カップル接続させて形成されるラッチ回路と、
 前記第 3 のノードに第 2 主電極が接続され前記第 1 のビット線に第 1 主電極が接続される第 7 のトランジスタと前記第 4 のノードに第 2 主電極が接続され前記第 2 のビット線に第 1 主電極が接続される第 8 のトランジスタとにより構成され、前記第 3 のノード及び前記第 4 のノードと前記ビット線対とを適宜接続して前記ラッチ回路に前記増幅信号を取り込むキャブチャ回路と、
 前記第 4 のノードに第 2 主電極が接続され前記第 1 のビット線に第 1 主電極が接続される第 9 のトランジスタと、前記第 3 のノードに第 2 主電極が接続され前記第 2 のビット線に第 1 主電極が接続される第 10 のトランジスタとにより構成され、前記第 3 のノード及び前記第 4 のノードと前記ビット線対とを適宜接続して前記ビット線対に前記反転信号を
 転送するリバース回路と
 を備えることを特徴とする請求項 1 記載の半導体集積記憶回路。

20

30

【請求項 5】

前記反転回路は、
 第 5 のインバータと第 6 のインバータを第 5 のノード及び第 6 のノードにおいてクロス
 カップル接続させて形成されるラッチ回路と、
 前記第 5 のインバータの一端及び前記第 6 のインバータの一端と前記ビット線対とを適
 宜接続して前記ラッチ回路に前記反転信号を生成する反転信号生成回路と
 を備え、
 前記第 5 のインバータは、
 第 11 のトランジスタと第 12 のトランジスタとを電流経路を直列に接続させて形成さ
 れ、
 前記第 6 のインバータは、
 第 13 のトランジスタと第 14 のトランジスタとを電流経路を直列に接続させて形成さ
 れ、
 前記反転信号生成回路は、
 前記第 1 のビット線にゲートが接続され前記第 12 のトランジスタの第 2 主電極に第 1
 主電極が接続される第 15 のトランジスタと、
 前記第 2 のビット線にゲートが接続され前記第 14 のトランジスタの第 2 主電極に第 1
 主電極が接続される第 16 のトランジスタと、

40

50

前記第5のノードに第1主電極が接続され正電圧を供給する電源に第2主電極が接続される第17のトランジスタと、

前記第6のノードに第1主電極が接続され前記正電圧を供給する電源に第2主電極が接続される第18のトランジスタと

により形成されることを特徴とする請求項1記載の半導体集積記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積記憶回路に係り、特にラッチ回路のしきい値電圧のばらつきをトリミングする装置及びそれを用いたしきい値電圧のトリミング方法に関するものである。

10

【背景技術】

【0002】

S R A Mなどの半導体集積記憶回路のアクセス速度は、メモリセルの作動速度の他にセンスアンプの作動速度が大きく関係する。従来、センスアンプには、低消費電力特性などを勘案してM O Sトランジスタによる構成が一般的に適用され、M O Sトランジスタにより構成されるラッチ回路が備えられている。しかし、このようなセンスアンプをM O Sトランジスタで構成した半導体メモリ素子はセンスアンプのしきい値電圧のばらつき（以下オフセット）が大きく、ビット線上の信号レベルがそのオフセット以上に増加するまでセンスアンプの作動が遅れる、という課題があった。また、S R A MセルにおいてもM O Sトランジスタのラッチ回路が構成されているが、このラッチ回路におけるオフセットも、読み出し速度等に影響を与える。

20

【0003】

上述の課題を解決する為に、半導体集積記憶回路の内部にオフセットをトリミングする手段を備え、センスアンプ等を形成するM O Sトランジスタにそのトリミング量に適合した電圧を印加する方法（特許文献1）がある。しかし、その方法は、センスアンプ等とは別にトリミング手段、及びトリミング量調整部を形成する必要があるが、半導体集積記憶回路の面積を増大化させていた。更に、複数あるセンスアンプ等のオフセットに適合したトリミングを行える、という利点はあるが、個別に調整する為、半導体集積記憶回路内全てのセンスアンプ等をトリミングするのに時間を要していた。

【0004】

30

よって、従来の技術では、面積効率、及び使用効率の高いセンスアンプのオフセットをトリミングすることが可能な半導体集積記憶回路を提供することは困難であった。

【特許文献1】特開平10-162585号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、複数あるラッチ回路全てのしきい値電圧のばらつきを一括してトリミングすることが可能な半導体集積記憶回路及びそれを用いたトリミング方法を提供することを目的とする。

【課題を解決するための手段】

40

【0006】

本発明の一態様による半導体集積記憶回路は、第1のビット線と第2のビット線からなるビット線対と、第1のインバータと第2のインバータを第1ノード及び第2ノードにおいてクロスカップル接続させて形成されるラッチ回路と、前記ラッチ回路から前記ビット線対に出力された増幅信号を反転させた反転信号を生成して前記第1ノード及び前記第2ノードに供給する反転回路と、前記第1のインバータ又は前記第2のインバータを構成するトランジスタにホットキャリアを発生させる為のホットキャリア発生電圧を印加して、前記第1のインバータ又は前記第2のインバータを構成するトランジスタのしきい値電圧のばらつきを前記反転信号に基づきトリミングする電圧印加回路とを備え、前記電圧印加回路は、前記反転信号が印加された前記第1のインバータ又は前記第2のインバータを構

50

成するトランジスタに、前記ホットキャリア発生電圧を所定の回数繰り返し印加することを特徴とする。

【 0 0 0 7 】

また、この発明の一態様によるラッチ回路のトリミング方法は、第 1 のインバータと第 2 のインバータを第 1 ノード及び第 2 ノードにおいてクロスカップル接続させて形成されるラッチ回路のトリミング方法において、前記ラッチ回路からビット線対に供給された増幅信号を反転させて反転信号を生成する第 1 のステップと、前記反転信号を前記第 1 ノード及び前記第 2 ノードに供給する第 2 のステップと、前記ラッチ回路を構成するトランジスタにホットキャリアを発生させる為のホットキャリア発生電圧を印加して、前記ラッチ回路を構成するトランジスタのしきい値電圧のばらつきを前記反転信号に基づきトリミングする第 3 のステップとを備え、前記第 1 のステップ乃至前記第 3 のステップに至るステップを所定の回数繰り返すことを特徴とする。

10

【発明の効果】

【 0 0 0 8 】

本発明によれば、複数あるラッチ回路全てのしきい値電圧のばらつきを一括してトリミングすることが可能な半導体集積記憶回路及びそれを用いたトリミング方法を提供することができる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

次に、本発明の実施の形態に係る半導体集積記憶回路を図面に基づいて説明する。

20

【 0 0 1 0 】

[第 1 の実施の形態]

まず本発明の第 1 の実施の形態を、図 1 A、図 1 B を参照して説明する。

【 0 0 1 1 】

図 1 A は、本発明の第 1 の実施の形態に係る半導体集積記憶回路（以下 S R A M ）内に形成されるセンスアンプ回路 1 0 を含む第 1 回路 3 0 と反転回路 5 0 を含む S R A M 全体の構成を示す概略図である。また、図 1 B は、第 1 回路 3 0、反転回路 5 0 の構成を示す図である。

【 0 0 1 2 】

図 1 A に示すように、この S R A M は、複数配設される S R A M メモリセル 1 から読み出されたデータを第 1 回路 3 0 内のセンスアンプ回路 1 0 にて比較増幅し、出力バッファ 6 0 まで転送するものである。反転回路 5 0 は、このような S R A M において、センスアンプ回路 1 0 のトリミング（より具体的には、センスアンプ回路 1 0 を構成する n M O S トランジスタのしきい値電圧のバラツキ（オフセット）を修正すること）を実行するための構成である。また、第 1 回路 3 0 は、センスアンプ回路 1 0 に加え、このトリミングを実行するのに用いられる電圧印加回路として機能するトランジスタ 1 5 を備えている。

30

【 0 0 1 3 】

なお、図 1 A、図 1 B ではビット線対が一对しか示されていないが、ビット線対やそれに接続されるセンスアンプ回路 1 0 等の数は本実施の形態に限られるものではない。

40

【 0 0 1 4 】

図 1 B に示すように、センスアンプ回路 1 0 を含む回路 3 0 と反転回路 5 0 は、共通のビット線対 2 0（ビット線 B L [n]、ビット線 B L [n + 1]）に接続される。

【 0 0 1 5 】

センスアンプ回路 1 0 は、インバータ 1 1、1 2 をノード N 1 0、N 2 0 においてクロスカップル接続させて形成されたラッチ回路を備えている。インバータ 1 1 は、p M O S トランジスタ 1 1 A と n M O S トランジスタ 1 1 B を電流経路が直列になるように接続させると共に、ゲートを共通接続されて形成される。インバータ 1 2 は、p M O S トランジスタ 1 2 A 及び n M O S トランジスタ 1 2 B を電流経路が直列になるように接続させると共に、ゲートを共通接続されて形成される。

50

【0016】

また、センスアンプ回路10はビット線BL[n]とビット線BL[n+1]からなるビット線対20にノードN10、N20を接続される。換言すると、インバータ11の出力端子とインバータ12の入力端子とが接続するノードN10がビット線BL[n]に接続され、インバータ12の出力端子とインバータ11の入力端子とが接続するノードN20がビット線BL[n+1]に接続される。

【0017】

ノードN10、N20には、一对のpMOSトランジスタ15のドレインが接続されている。pMOSトランジスタ15は、メモリセル1からの読み出しの前にビット線対20をプリチャージする。またpMOSトランジスタ15は、センスアンプ回路10内のインバータ11、12を形成するnMOSトランジスタ11B、12Bにホットキャリアを発生させる際に導通状態となる。また、pMOSトランジスタ15のソースには、ホットキャリアを発生させるために必要な高電圧VCC3(1.4V)が供給される電源17が接続される。

10

【0018】

また、インバータ11、12を形成するnMOSトランジスタ14のソースと接地端子間には電流経路が直列になるようにnMOSトランジスタ16が接続される。pMOSトランジスタ15のゲートにはホットキャリアを発生させる際にpMOSトランジスタ15を導通させる電圧が印加される信号線PCGが接続される。また、nMOSトランジスタ16のゲートにはセンスアンプ回路10を活性状態とする際にnMOSトランジスタ16

20

【0019】

反転回路50は、インバータ51、52をノードN30、N40においてクロスカップル接続させて形成されるラッチ回路53を有する。インバータ51は、pMOSトランジスタ51AとnMOSトランジスタ51Bを電流経路が直列になるように接続させて形成される。トランジスタ51Aと51Bのゲートは、ノードN40に接続される。

【0020】

一方、インバータ52は、pMOSトランジスタ52AとnMOSトランジスタ52Bを電流経路が直列になるように接続させて形成される。トランジスタ52Aと52Bのゲートは、ノードN30に接続される。

30

【0021】

インバータ51の出力端子とインバータ52の入力端子とが接続するノードN30とビット線BL[n]との間には、nMOSトランジスタ54が電流経路を直列に接続されている。またノードN30とビット線BL[n+1]との間にはnMOSトランジスタ55が電流経路を直列に接続される。

【0022】

また、インバータ52の出力端子とインバータ51の入力端子とが接続するノードN40とビット線BL[n]との間には、nMOSトランジスタ56が電流経路を直列に接続されている。またノードN40とビット線BL[n+1]との間にはnMOSトランジスタ57が電流経路を直列に接続される。

40

【0023】

nMOSトランジスタ54、57は、センスアンプ回路10によりビット線対20に現れた増幅信号をラッチ回路53に取り込む場合にオンとされる。また、nMOSトランジスタ55、56は、ビット線対20に現れた増幅信号を反転させた反転信号をセンスアンプ回路10に供給する場合にオンとされる。トランジスタ54、57のゲートには、ラッチ回路53への取り込みを指示するためのキャプチャ指示信号が供給される信号線CAPが接続される。また、トランジスタ55、56のゲートには、反転信号の供給を指示するためのリバース信号が供給される信号線REVが接続される。

【0024】

なお、トランジスタ54、57のゲートに信号線REVが接続され、トランジスタ55

50

、56のゲートに信号線CAPが接続されても構わない。

【0025】

[第1の実施の形態の動作]

次に、第1の実施の形態に係るSRAMの動作を図2を参照して説明する。ここでは、センスアンプ回路10のトリミングを実行する場合の動作を図2を用いて説明する。

【0026】

図2は、SRAMが行うセンスアンプ回路10のトリミング方法の例を示すフローチャートであり、図3は各処理時を示すタイミングチャートである。なお、インバータ11を形成するnMOSトランジスタ11Bの閾値電圧が小さいため、このnMOSトランジスタ11Bにホットキャリアを発生させて閾値電圧を調整する場合を例に説明する。

10

【0027】

センスアンプ回路10のトリミング方法において、まず、時刻 t_0 において、センスアンプ回路10のオフセット情報を取得する為に、信号PCGの電圧を0Vとすることにより、pMOSトランジスタ15を導通させ、ビット線対20(ビット線BL[n]、BL[n+1])に電圧VDDを印加(プリチャージ)する(ステップS101)。

【0028】

次いで、時刻 t_1 において、信号線PCGの電圧をVDDに戻してビット線対20へのプリチャージ動作を終了すると共に、センスアンプ回路10を活性状態にする為に信号線SAEに電圧VDDを印加する(ステップS102)。

【0029】

20

すると、閾値電圧が他と比べて低いnMOSトランジスタ11Bが導通状態となり、ノードN10にオフセット情報“0”が取得される。逆に、ノードN20にオフセット情報“1”が取得される。そして、ビット線BL[n]にオフセット情報“0”が出力され、ビット線BL[n+1]にオフセット情報“1”(電圧VDD)が出力される。

【0030】

次いで、時刻 t_2 において、ビット線対20に出力されたオフセット情報(増幅信号)を反転回路50に取り込む為に信号線CAPに電圧VDDを印加する(ステップS103)。反転回路50にオフセット情報(増幅信号)を取り込んだら、信号線CAPへの電圧VDDの印加を終了する。すると、反転回路50にて取り込んだオフセット情報が反転されて反転データ(反転信号、又はオフセット情報)が生成される(ステップS104)。

30

【0031】

こうして反転データが反転回路50において生成されたら、時刻 t_3 において信号線PCGの電圧をVDDから0Vに戻し、ビット線対20を再び電圧VDDまでプリチャージする。

【0032】

時刻 t_4 において、再び信号線PCGの電圧を電圧VDDとしてプリチャージ動作を終了した後、時刻 t_5 において、この反転回路50に保持された反転データをビット線対20に出力する為、信号線REVに電圧VDDを印加する。ビット線対20に出力された反転データ(オフセット情報)は、センスアンプ回路10内のノードN10、N20に転送される(ステップS105)。

40

【0033】

そして、時刻 t_6 において信号線SAEの電圧がVDDとされてセンスアンプ回路10が活性化されると、“0”のオフセット情報を保持していたnMOSトランジスタ11Bのドレイン(ノードN10)に電圧VCC3(1.4V)が印加されゲートに電圧VCC3/2が印加される。また、“1”のオフセット情報を保持していたnMOSトランジスタ12Bのドレイン(ノードN20)にVCC3/2が印加され、ゲートに電圧VCC3(1.4V)が印加される。

【0034】

これにより、nMOSトランジスタ11Bのゲート絶縁膜にホットキャリアが注入される(ステップS106)。なお、ホットキャリアは、nMOSトランジスタ11Bのドレ

50

インに高電圧 V_{CC3} (1.4V) を印加し、ゲートに高電圧 V_{CC3} より低い電圧、例えば $V_{CC3}/2$ を印加すると発生されやすい。ただし、高電圧 V_{CC3} (1.4V) は nMOS トランジスタの通常使用電圧より高い電圧にする必要がある。よって、“0” のオフセット情報を保持していた nMOS トランジスタ 11B は、上記の状態を満たしているためゲート酸化膜にホットキャリアが注入されやすい状態となる。逆に、“1” のオフセット情報を保持していた nMOS トランジスタ 12B は、上記の状態を満たしていないため特に変化が生じない。

【0035】

所定の回数までステップ S101 に戻り同じ処理を繰り返す。所定の回数が終了したらトリミング処理を終了する (ステップ S107)。

10

【0036】

以上のステップを行うことにより、“0” のオフセット情報を保持していた nMOS トランジスタ 11B (換言すると、しきい値電圧が低かった nMOS トランジスタ 11B) のみのゲート酸化膜にホットキャリアが注入される。ゲート酸化膜にホットキャリアが注入されることによりしきい値電圧が上がり、インバータ 11 を形成する nMOS トランジスタ 11B とインバータ 12 を形成する nMOS トランジスタ 12B のしきい値電圧のばらつきを小さくすることができる。

【0037】

[第2の実施の形態]

次に、本発明の第2の実施の形態を、図4等を参照して説明する。

20

【0038】

図4は、本発明の第2の実施の形態に係るSRAM内に形成されるセンスアンプ回路110を含む第1回路130と反転回路150の構成を示した図である。第2の実施の形態に係るSRAMは、第1の実施の形態と同じように複数配設されるSRAMメモリセル1から読み出されたデータを第1回路130内のセンスアンプ回路110にて比較増幅し、出力バッファ60(図4では図示せず)まで転送するものである。反転回路150は、センスアンプ回路110のトリミングを実行するための構成である。

【0039】

また、第1回路130は、センスアンプ回路110に加え、このトリミングを実行するのに用いられる電圧印加回路として機能するトランジスタ116、117を備えている。なお、図1Aに示されるセンスアンプ回路10、第1回路30及び反転回路50は、第2の実施の形態では、センスアンプ回路110、第1回路130及び反転回路150に対応する。図4ではビット線対が一对しか示されていないが、ビット線対やそれに接続されるセンスアンプ回路110等の数はそれに限ったものではない。図4に示すように、センスアンプ回路110と反転回路150は、共通のビット線対120(ビット線BL[m]、ビット線BL[m+1])に接続される。これらの点、第1の実施の形態と同様である。

30

【0040】

センスアンプ回路110は、インバータ111、112をノードN50、N60においてクロスカップル接続させて形成されたラッチ回路を有する。インバータ111は、pMOS トランジスタ111AとnMOS トランジスタ111Bを電流経路が直列になるように接続させると共に、ゲートを共通接続させて形成される。インバータ112は、pMOS トランジスタ112A及びnMOS トランジスタ112Bを電流経路を直列になるように接続させると共に、ゲートを共通接続されて形成される。

40

【0041】

ノードN50とビット線BL[m]間にはpMOS トランジスタ113が電流経路を直列に接続され、ノードN60とビット線BL[m+1]間にはpMOS トランジスタ114が電流経路を直列に接続される。

【0042】

インバータ111、112を形成するnMOS トランジスタ14のソースと接地端子間には電流経路が直列になるようにnMOS トランジスタ115が接続される。また、ノー

50

ドN50、N60には、センスアンプ回路110内のインバータ111、112を形成するnMOSトランジスタ111B、112Bにホットキャリアを発生させる際に導通状態となるpMOSトランジスタ116、117のドレインが接続される。

【0043】

pMOSトランジスタ116、117のソースにはホットキャリアを発生させるために必要な高電圧VCC3(1.4V)が供給される電源118が接続される。pMOSトランジスタ113、114のゲートには、センスアンプ回路110のオフセット情報を取得する際にpMOSトランジスタ113、114を導通させる電圧が印加される信号線XFBが接続される。

【0044】

nMOSトランジスタ115のゲートには、センスアンプ回路110を活性状態とする際にnMOSトランジスタ115を導通させる電圧が印加される信号線SAEが接続される。

【0045】

また、ノードN50、及びノードN60をプリチャージするためプリチャージ回路160が設けられている。このプリチャージ回路160は、ノードN50にドレインが接続され電源電圧がソースに供給されたpMOSトランジスタ161と、ノードN60にドレインが接続され電源電圧がソースに供給されたpMOSトランジスタ162とを備えている。このpMOSトランジスタ161、162のゲートは、プリチャージ動作時に電圧0Vが供給される信号線PCGに接続されている。また、図示は省略するが、ビット線対20

【0046】

反転回路150は、インバータ151、152をノードN70、N80においてクロスカップル接続させて形成されるラッチ回路153を有する。インバータ151は、pMOSトランジスタ151AとnMOSトランジスタ151Bを電流経路が直列になるように接続させて形成される。トランジスタ151Aと151Bのゲートは、ノードN80に接続される。

【0047】

一方、インバータ152は、pMOSトランジスタ152AとnMOSトランジスタ152Bを電流経路が直列になるように接続させて形成される。トランジスタ152Aと152Bのゲートは、ノードN70に接続される。

【0048】

インバータ151を形成するnMOSトランジスタ151Bのソースには、nMOSトランジスタ154のドレインが接続され、インバータ152を形成するnMOSトランジスタ152Bのソースには、nMOSトランジスタ155のドレインが接続される。そして、nMOSトランジスタ154及び155のソースは共通接続される。なお、その共通接続ノードはN90と規定する。更に、ノードN90と接地端子間には電流経路が直列になるようにnMOSトランジスタ156が接続される。

【0049】

ノードN70にはpMOSトランジスタ157のドレインが接続され、ノードN80にはトランジスタ158のドレインが接続される。また、pMOSトランジスタ157、158のソースには、正電圧を供給する電源が接続される。

【0050】

nMOSトランジスタ156は、センスアンプ回路110によりビット線対120に現れた増幅信号をラッチ回路153に取り込む場合にオンとされる。また、pMOSトランジスタ157、158は、ビット線対120に現れた増幅信号を反転させた反転信号を生成する場合にオンとされる。トランジスタ156～158のゲートには、ラッチ回路153への取り込みの指示及び反転信号の生成をするための指示信号が供給される信号線CAPが接続される。

【0051】

また、ノードN70はpMOSトランジスタ117のゲートと接続され、ノードN80はpMOSトランジスタ116のゲートと接続される。ノードN70及びN80には、反転信号が保持されるため、一方のノードには“H”のデータ(反転信号)が保持され、他方のノードには、“L”のデータ(反転信号)が保持される。よって、pMOSトランジスタ116、117のうち、一方のトランジスタのみオンとされる。

【0052】

[第2の実施の形態の動作]

次に、第2の実施の形態に係るSRAMの動作を図6を参照して説明する。ここでは、センスアンプ回路110のトリミングを実行する場合の動作を図6を用いて説明する。

【0053】

図6は、SRAMが行うセンスアンプ回路110のトリミング方法の例を示すフローチャートであり、図7は各処理時を示すタイミングチャートである。なお、インバータ111を形成するnMOSトランジスタ111Bの閾値電圧が小さいため、このnMOSトランジスタ111Bにホットキャリアを発生させて閾値電圧を調整する場合を例に説明する。

【0054】

センスアンプ回路110のトリミング方法において、まず、時刻t0において、センスアンプ回路110のオフセット情報を取得する為に、信号線PCGの電圧を0Vとし、これによりノードN50、N60を所定の電位までプリチャージする。さらに、図示しないプリチャージ回路により、ビット線対120に電圧VDDを印加する(ステップS201)。

【0055】

次いで、時刻t2において、センスアンプ回路110に電圧VDDを取り込む為に信号線XFBに0Vを印加する(ステップS202)。すると、電圧VDDによってnMOSトランジスタ111Bが導通状態となり、ノードN50にオフセット情報“0”を取得し、逆に、ノードN60にオフセット情報“1”を取得する。また、ビット線BL[m]にオフセット情報“0”が出力され、ビット線BL[m+1]にオフセット情報“1”が出力される(ステップS203)。

【0056】

次いで、時刻t3において、ビット線対120に出力されたオフセット情報を反転回路150に取り込む為に信号線CAPに電圧VDDを印加する(ステップS204)。すると、ノードN70にデータ“1”が転送され、ノードN80にデータ“0”が転送される。それによって、pMOSトランジスタ116が導通状態となり、pMOSトランジスタ117は変わらず非導通状態と保持する。

【0057】

そして、“0”のオフセット情報を保持していたnMOSトランジスタ111Bのドレインに電圧VCC3(1.4V)が印加され、ゲート電極に電圧0Vが印加される。逆に、pMOSトランジスタ117は非導通状態のため、“1”のオフセット情報を保持していたnMOSトランジスタ112Bのドレインには電圧VCC3は印加されない。それにより、“0”のオフセット情報を保持していたnMOSトランジスタ111Bのみのゲート絶縁膜にホットキャリアが注入される(ステップS205)。第2の実施の形態は、“0”のオフセット情報を保持していたnMOSトランジスタ111Bのみにホットキャリアを発生させる高電圧VCC3を印加することが可能であり、第1の実施の形態よりも不要な消費電力を少なくすることができる。

【0058】

所定の回数までステップS201に戻り同じ処理を繰り返す。所定の回数が終了したらトリミング処理を終了する(ステップS206)。

【0059】

10

20

30

40

50

以上を行うことにより、“0”のオフセット情報を保持していたnMOSトランジスタ111B、換言すると、しきい値電圧が低かったnMOSトランジスタ111Bのみのゲート酸化膜にホットキャリアが注入される。ゲート酸化膜にホットキャリアが注入されることによりしきい値電圧が上がり、インバータ111を形成するnMOSトランジスタ111Bとインバータ112を形成するnMOSトランジスタ112Bのしきい値電圧のばらつきを小さくすることができる。

【0060】

[第3の実施の形態]

次に、本発明の第3の実施の形態を、図7等を参照して説明する。図7は、本発明の第3の実施の形態に係るSRAMの構成を示す回路図である。本実施の形態では、メモリセル1を構成するラッチ回路のオフセットをトリミングするものであり、この点、上述の実施の形態がセンスアンプ回路のトリミングを行うものであるのと異なっている。電圧印加回路を構成するpMOSトランジスタ15、及び反転回路50の構成は第1の実施の形態と同様である。すなわち、この実施の形態では、反転回路50は、メモリセル1を構成するラッチ回路のトランジスタに対し反転データを提供するように構成されているものである。その他、上記の実施の形態と共通する部分については、同一の符号を付し、以下ではその詳細な説明は省略する。

【0061】

図7に示すように、メモリセル1は、インバータ71、72をノードN1、N2においてクロスカップル接続させて形成される。インバータ71は、pMOSトランジスタ71AとnMOSトランジスタ71Bを電流経路が直列になるように接続させると共に、ゲートを共通接続されて形成される。インバータ72は、pMOSトランジスタ72A及びnMOSトランジスタ72Bを電流経路が直列になるように接続させると共に、ゲートを共通接続されて形成される。

【0062】

また、ビット線BL[n]とビット線BL[n+1]とからなるビット線対20とノードN1、N20との間には転送トランジスタ73、74が接続されている。転送トランジスタ73、74のゲートにはワード線WLが接続されている。なお、nMOSトランジスタ71Bと72Bとのソースには、信号線Vcsが接続されており、この信号線Vcsの電圧が、図示しない制御回路により制御されることにより、メモリセル1のオフセット情報を取得することができる。

【0063】

次に、第3の実施の形態に係るSRAMの動作を図8を参照して説明する。

【0064】

図8は、メモリセル1のトリミング方法の例を示すタイミングチャートである。インバータ71を形成するnMOSトランジスタ71Bの閾値電圧が小さいため、このnMOSトランジスタ71Bにホットキャリアを発生させて閾値電圧を調整する場合を例に説明する。

【0065】

まず、時刻t0において、センスアンプ回路10のオフセット情報を取得する為に、信号線PCGの電圧を0Vとすることにより、pMOSトランジスタ15を導通させ、ビット線対20(ビット線BL[n]、BL[n+1])に電圧VDDを印加する。

【0066】

その後時刻t1~t2の間、信号線Vcsの電圧を0Vから電源電圧VDDまで上昇させる。これにより、メモリセル1を構成するトランジスタ71A、71B、72A、72Bの閾値電圧等の特性バラツキにより、ノードN1、N2には相補的な電位が生じ、これがメモリセル1のオフセット情報となる。nMOSトランジスタ71Bの閾値電圧が他に比べ小さい場合、ノードN1にオフセット情報“0”が取得される。逆に、ノードN2にオフセット情報“1”が取得される。そして、ビット線BL[n]にオフセット情報“0”が出力され、ビット線BL[n+1]にオフセット情報“1”(電圧VDD)が出力される

10

20

30

40

50

。

【0067】

次いで、時刻 t_2 において、信号線 PCG の電圧を VDD としてビット線対 20 のプリチャージ動作を終了すると共に、オフセット情報をビット線対 20 に取り込む為にワード線 WL に電圧 VDD を印加する。上記の場合、ビット線 BL[n] の電圧は 0V となり、ビット線 BL[n+1] は電圧 VDD のままに維持される。

【0068】

続いて、時刻 t_3 において、信号線 CAP の電圧を 0V から VDD に立ち上げるにより、ビット線対 20 の電圧すなわちオフセット情報を反転回路 50 に取り込む。反転回路 50 にオフセット情報を取り込んだら、信号線 CAP への電圧 VDD の印加を終了する

10

。

【0069】

すると、反転回路 50 にて取り込んだオフセット情報が反転されて反転データ(反転信号、又はオフセット情報)が生成される。

【0070】

こうして反転データが反転回路 50 において生成されたら、時刻 t_4 において信号線 PCG の電圧を VDD から 0V に戻し、ビット線対 20 を電圧 VDD までプリチャージする

。

【0071】

その後、時刻 t_5 において、この反転回路 50 に保持された反転データをビット線対 20 に出力する為、信号線 REV に電圧 VDD を印加すると共に、ワード線 WL の電圧を VDD とする。これにより、ビット線対 20 に出力された反転データ(オフセット情報)は、メモリセル 1 内のノード N1、N2 に転送され、メモリセル 1 のデータが書き替えられる。

20

【0072】

更に、時刻 t_6 では、ワード線 WL の電圧を 0V に戻すと共に、信号線 PCG の電圧を 0V として再びビット線対 20 を電圧 VDD までプリチャージする。その後、時刻 t_7 において、ワード線 WL の電圧を VDD/2 まで上昇させる。これにより、閾値電圧の低いトランジスタ 71B において、ドレイン - ソース間電圧が Vdd に、ゲート - ソース間電圧が Vdd/2 となることにより、ホットキャリアが発生し、閾値電圧が調整される。

30

【0073】

以上、発明の実施の形態を説明したが、本発明はこれに限定されるものではなく、発明の趣旨を逸脱しない範囲内において、様々な変更、追加、置換、削除等が可能である。

【図面の簡単な説明】

【0074】

【図 1A】この発明の第 1 の実施の形態の SRAM の全体構成を示すブロック図である。

【図 1B】この発明の第 1 の実施の形態による SRAM 内のセンスアンプ回路と反転回路の構成を示す図である。

【図 2】同 SRAM が行うセンスアンプ回路のトリミング処理の例を示すフローチャートである。

40

【図 3】同 SRAM 内のセンスアンプ回路のトリミング処理時のタイミングチャートである。

【図 4】第 2 の実施の形態における SRAM 内のセンスアンプ回路と反転回路の構成を示す図である。

【図 5】第 2 の実施の形態における SRAM が行うセンスアンプ回路のトリミング処理の例を示すフローチャートである。

【図 6】第 2 の実施の形態における SRAM 内のセンスアンプ回路のトリミング処理時のタイミングチャートである。

【図 7】この発明の第 3 の実施の形態による SRAM 内のメモリセル 1 と反転回路 50 の構成を示す図である。

50

【図8】第3の実施の形態におけるSRAM内のメモリセルのトリミング処理時のタイミングチャートである。

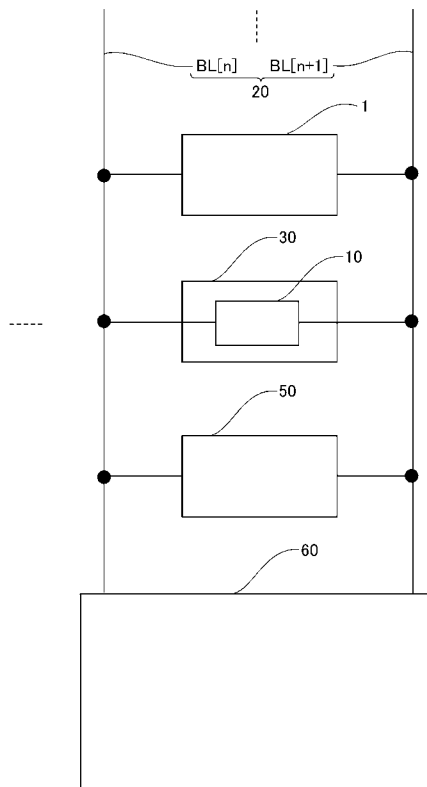
【符号の説明】

【0075】

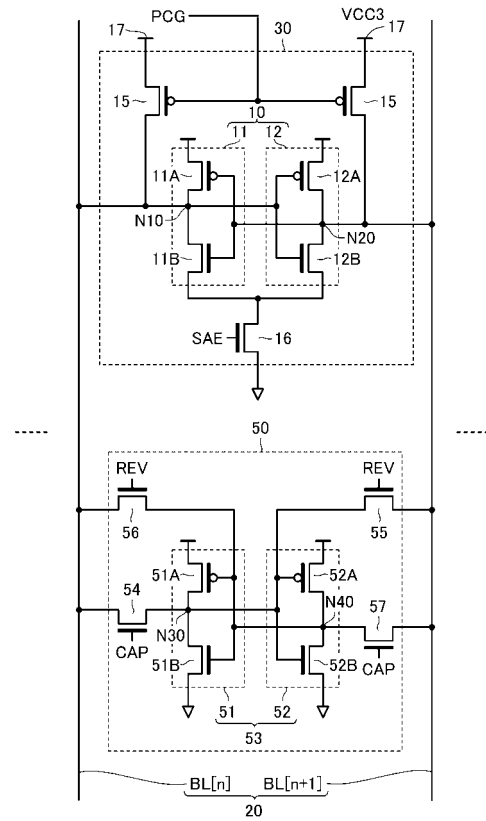
1...メモリセル、10、110...センスアンプ回路、11、12、51、52、111、112、151、152...インバータ、11A、12A、15、51A、52A、111A、112A、113、114、116、117、151A、152A、157、158...pMOSトランジスタ、11B、12B、16、51B、52B、54~57、111B、112B、115、151B、152B、154~156...nMOSトランジスタ、17、118...ホットキャリア発生用電源、20、120...ビット線対、30、130...第1回路、50、150...反転回路、53、153...ラッチ回路、60...出力バッファ。

10

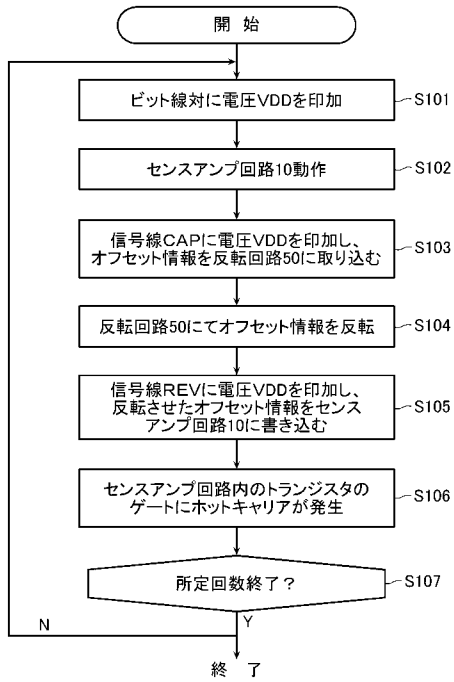
【図1A】



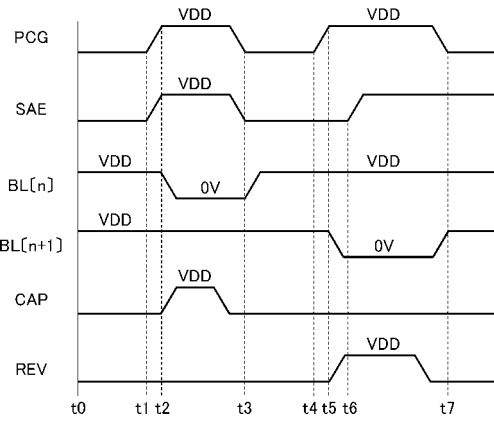
【図1B】



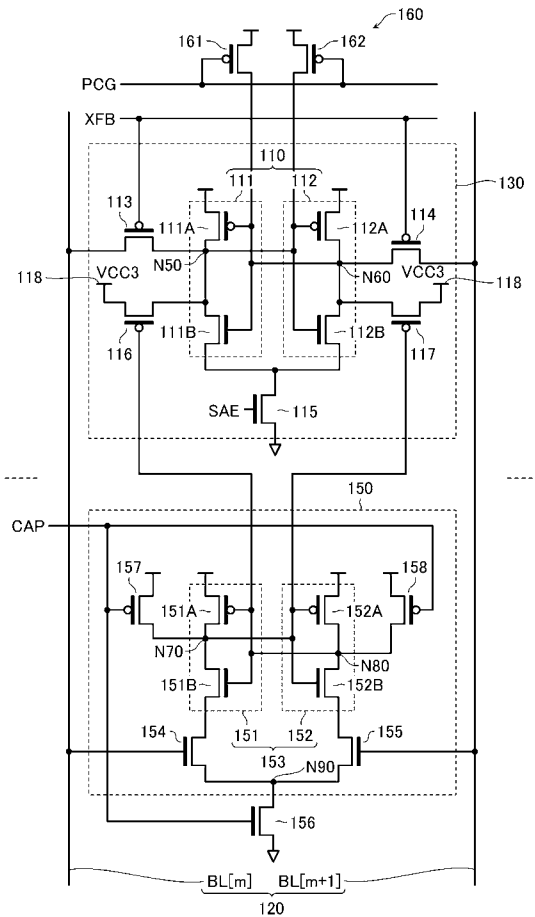
【図2】



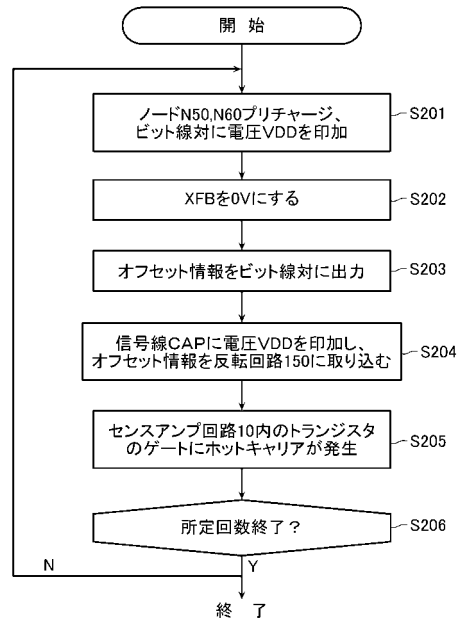
【図3】



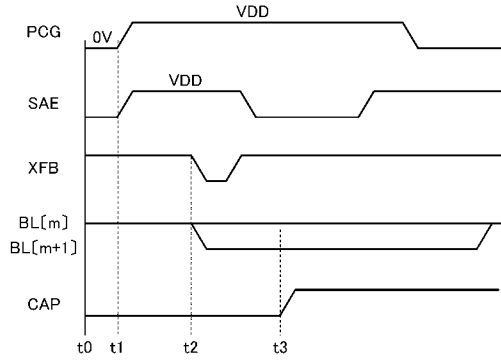
【図4】



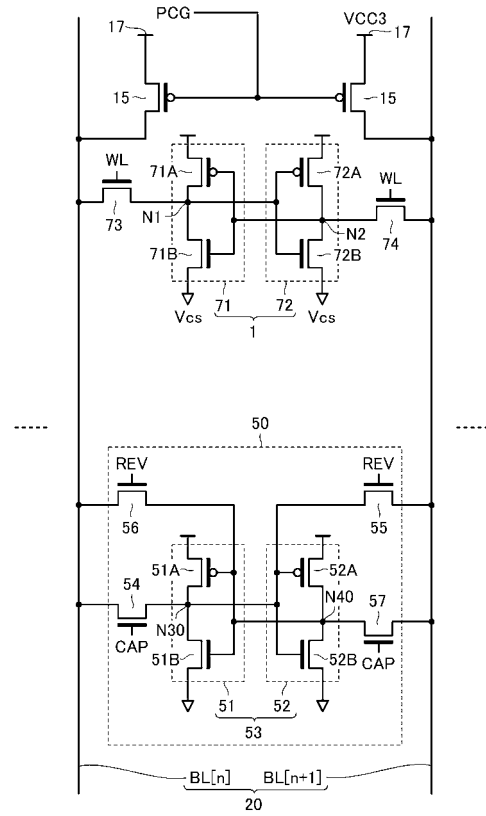
【図5】



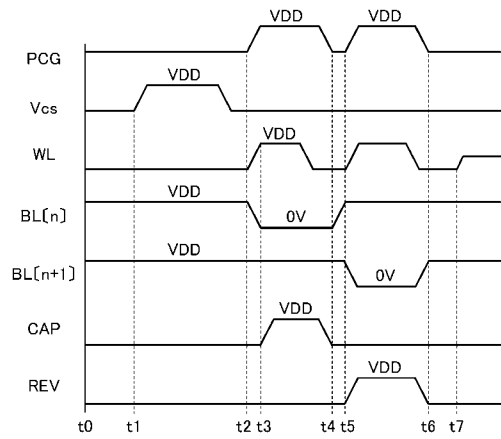
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.

F I

G 1 1 C 11/40 3 0 1

(56)参考文献 特開2005 - 276315 (JP, A)
特開2005 - 353106 (JP, A)
特開2004 - 127499 (JP, A)
特開2003 - 045190 (JP, A)
特開平06 - 076582 (JP, A)
特開2000 - 311491 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 11 / 4 1 9

G 1 1 C 11 / 4 1

G 1 1 C 11 / 4 1 2

G 1 1 C 11 / 4 1 3

H 0 3 K 3 / 3 5 6