



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

232292

(11)

(B1)

(22) Přihlášeno 05 08 83
(21) (PV 5823-83)

(40) Zveřejněno 14 05 84

(45) Vydáno 15 06 86

(51) Int. Cl.³
G 11 C 29/00

(75)

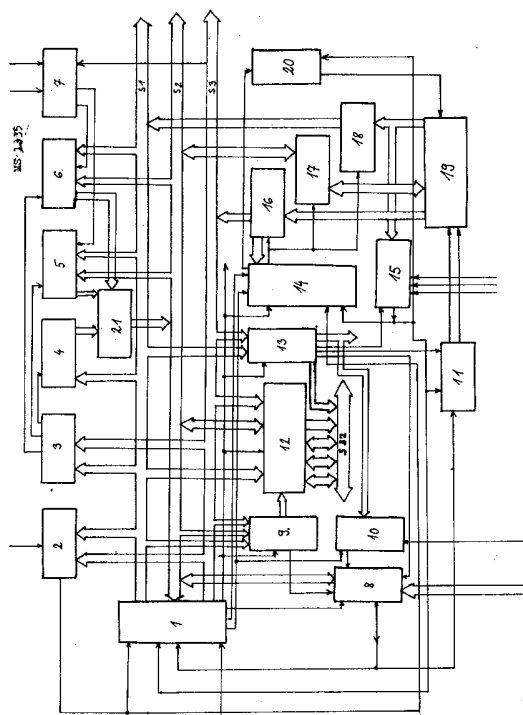
Autor vynálezu

ZAHRAVNÍČEK PETR ing., PRAHA

(54) Mikroprocesorový řadič pro testery paměťových desek

Vynález se týká oboru výpočetní techniky.

Mikroprocesorový řadič pro testery paměťových desek umožňuje řídit funkce testeru paměťových desek, případně i jiných zařízení. Obsahuje 6 Kbyte paměti EPROM a 2 Kbyte paměti RAM. Řadič spolupracuje s vnějšími vstupními a výstupními zařízeními pomocí 32bitové sběrnice, přičemž 24 bitů této sběrnice je obousměrných a 8 bitů je orientováno ve směru z řadiče do vnějších vstupních a výstupních zařízení. Diskrétnost změny směru toku informace této 32bitové sběrnice je 8 bitů. Řadič zpracovává až 8 vnějších přerušení. Dále řadič umožňuje odpojit mikroprocesor řadiče a předat řízení vnitřních sběrnic řadiče nadřazenému počítači, přičemž nadřazený počítač plně nahrazuje činnost mikroprocesoru řadiče a v plném rozsahu využívá možnost přímého přístupu do paměti řadiče (DMA) a v plném rozsahu ovládá všechna vstupní a výstupní zařízení řadiče. Spolupráce řadiče s nadřazeným počítačem je umožněna i na větší vzdálenost. Lze jej použít všude tam, kde se žádá spolupráce řadiče s moduly pracujícími s dlouhým datovým slovem.



Vynález se týká zapojení mikroprocesorového řadiče pro řízení testerů paměťových desek.

Dosud používané univerzální jednodeskové mikropočítače mají přesně specifikovanou funkci, možnosti jejich variabilnosti, například pomocí víceúčelových patic a propojek, jsou omezeny. Systémy, které jsou těmito mikropočítači ovládány, musí být navrhovány s ohledem na možnosti těchto mikropočítačů. Některé funkce požadované systémem u univerzálních jednodeskových mikropočítačů chybí, některé funkce naopak systém nevyužije a jsou tedy nadbytečné. Testery paměťových desek vzhledem k tomu, že pracují s několikabytovým datovým slovem a s několikabytovou adresou, potřebují pro komunikaci s řadičem testeru paměťových desek nejméně 32bitovou vnitřní sběrnici. Pro 24 bitů této sběrnice platí požadavek obousměrného předávání dat, pro 8 bitů sloužících k adresaci modulů testeru paměťových desek se požaduje jednosměrné předávání dat. Ve směru od řadiče k modulům testeru paměťových desek je požadována značná zatížitelnost celé vnitřní sběrnice. Testery paměťových desek dále požadují možnost spolupráce s nadřazeným počítačem a to takovou formou, která umožňuje nadřazenému počítači plně nahradit funkci mikroprocesoru řadiče. Tedy nadřazený počítač testeru paměťových desek musí mít možnost v plném rozsahu komunikovat obousměrně s pamětí řadiče i se všemi jeho vstupními i výstupními obvody. Rovněž musí nadřazený počítač spolupracovat s obvody přerušení umístěnými v řadiči a musí mít možnost zpracovávat přerušení. Nadřazený počítač musí mít možnost vykonávat veškeré uvedené funkce na vzdálenost několika desítek metrů. Nevýhodou dostupných jednodeskových mikropočítačů je, že uvedené požadavky nesplňují.

Tyto nedostatky odstraňuje zapojení mikroprocesorového řadiče pro testery paměťových desek podle vynálezu, jehož podstata spočívá v tom, že adresová sběrnice a řídící sběrnice bloku mikroprocesoru jsou připojeny do bloku zpoždění, na jehož výstup je připojen blok řízení předání sběrnic a blok mikroprocesoru, který je adresovou sběrnici a řídící sběrnici připojen k bloku dekodéru pamětí pro uvolňování bloku paměti EPROM, paměti RAM a uzamykatelné paměti RAM, přičemž do bloku paměti RAM a uzamykatelné paměti RAM je připojen blok řízení RAM, který je propojen s řídící sběrnici, přičemž datová sběrnice je propojena s blokem paměti RAM a blokem uzamykatelné paměti RAM, přičemž s těmito bloky pamětí je propojena adresová sběrnice, zatímco výstupy bloků všech pamětí jsou propojeny s blokem budičů výstupů pamětí, který je propojen s datovou sběrnici, která je spojena s blokem mikroprocesoru, který je propojen s blokem řízení vnitřní sběrnice, s blokem vnitřní sběrnice, s blokem vstupních a výstupních dekodérů a s blokem řízení předání sběrnic, přičemž blok řízení vnitřní sběrnice je připojen k bloku zpracování přerušení, dále sběrnici s blokem vnitřní sběrnice pro obousměrné, případně jednosměrné připojení k vnitřní 32bitové sběrnici a dále blok řízení vnitřní sběrnice a blok vnitřní sběrnice jsou propojeny s adresovou, datovou a řídící sběrnici, přičemž pro generaci řídících signálů je vnitřní bitová sběrnice spojena s blokem vstupních a výstupních dekodérů, který je připojen k řídící sběrnici a adresové sběrnici a k bloku generace HOLD, dále k bloku přepínače přerušení a k bloku zpracování přerušení, který je obousměrně propojen s datovou sběrnici a jehož výstup je připojen do bloku přepínače přerušení a bloku mikroprocesoru, přičemž jeden vstup tohoto bloku je napojen na blok mikroprocesoru, druhý vstup je připojen z bloku generace přerušení a ostatní vstupy jsou externí žádosti o přerušení, zatímco blok generace přerušení je připojen sběrnici k bloku vstupních a výstupních dekodérů a jeden vstup je externí žádost o přerušení, další vstup je vstup přesných hodin z bloku mikroprocesoru, přičemž blok přepínače přerušení je dvakrát propojen s blokem nadřazeného počítače, který je přes blok budičů adresové sběrnice, blok budičů datové sběrnice a blok budičů řídící sběrnice propojen s adresovou sběrnici, datovou sběrnici a řídící sběrnici, přičemž s datovou sběrnici je propojen obousměrně, přičemž blok budičů řídící sběrnice je spojen s blokem řízení předání sběrnic, který je propojen s blokem budičů řídící sběrnice, s blokem budičů datové sběrnice, s blokem budičů adresové sběrnice a s blokem vysílače XACK, který je propojen s blokem nadřazeného počítače připojeného sběrnici k bloku generace HOLD, jehož další 3 vstupní signály jsou externí a výstup je připojen do bloku mikroprocesoru, do bloku přepínače přerušení, do bloku vysílače XACK a do bloku řízení předání sběrnic, do kterého jsou též připojeny přesné hodiny bloku mikroprocesoru a informace o stavu HOLD bloku mikroprocesoru.

Výhodou nového zapojení je možnost spolupráce řadiče s ostatními moduly testeru paměťových desek po 32 bitů dlouhé vnitřní sběrnici, kde 24 bitů předává data mezi řadičem a ostatními moduly testeru paměťových desek obousměrně a 8 bitů vysílá data z řadiče do modulů jednosměrně. Předností je i posílení všech 32 bitů na zatížitelnost 30 vstupy TTL. Výhodná je možnost připojení nadřazeného počítače, který, je-li ve funkci, v plné míře může nahradit funkci mikroprocesoru a využít svého bohatého programového vybavení při obsluhování neobvyklých stavů. Další výhodou je možnost informovat nadřazený počítač o všech přerušeních pomocí pouze dvou signálů vedených do nadřazeného počítače. Výhodná je i možnost uchování informace v paměti RAM v záskokovém režimu a možnost spolupráce řadiče s nadřazeným počítačem na větší vzdálenost. Výhodná je i jednoduchá generace vnitřního přerušení, které je generováno, neodpoví-li některý z modulů testeru paměťových desek řadiči předepsaným způsobem.

Příklad zapojení podle vynálezu je na připojeném výkresu představujícím blokové schéma zapojení řadiče testeru paměťových desek.

Adresová sběrnice S1, datová sběrnice S2 a řídící sběrnice S3 jsou připojeny do bloku 1 mikroprocesoru a bloku 12 vnitřní sběrnice, přičemž datová sběrnice S2 je připojena obousměrně. Dále jsou sběrnice S1, S2 a S3 připojeny do bloku 2 řízení vnitřní sběrnice. Adresová sběrnice S1 a řídící sběrnice S3 jsou připojeny do bloku 2 zpoždění, odkud výstup signálu o nepřipravenosti paměti je připojen do bloku 1 mikroprocesoru a do bloku 14 řízení předávání sběrnic. Adresová sběrnice S1 a řídící sběrnice S3 jsou připojeny do bloku 3 dekodéru paměti. Odtud jsou uvolňovány jednotlivé bloky 4, 5 a 6. Výstupy dat z paměťových bloků 4, 5 a 6 jsou připojeny do bloku 21 budičů výstupů. Z bloku 21 jsou výstupní data paměti připojena na datovou sběrnici S2. Adresová sběrnice S1 je připojena do bloku 4 paměti EPROM, adresová a datová sběrnice S1 a S2 jsou připojeny do bloků 5, 6 paměti RAM a uzamykatelné paměti RAM.

Blok 7 řízení RAM má na vstupech signály zápis do paměti připojeny ze sběrnice S3, signál o výpadku napájení a signál zákezu zápisu do uzamykatelné paměti RAM 6. Z těchto signálů generuje blok 7 řízení RAM výstupní zapisovací pulsy, které jsou připojeny do bloků 5, 6 paměti RAM. Z bloku 12 vnitřní sběrnice vystupují z řadiče tři obousměrné sběrnice a jedna jednosměrná sběrnice, které slouží vnitřní sběrnici 12 testeru paměťových desek. Do bloku 13 vstupních a výstupních dekodérů jsou připojena data z adresové sběrnice S1 a řídící sběrnice S3. V bloku 13 vstupních a výstupních dekodérů se z těchto dat generuje signál o zpracování přerušení mikroprocesorem 1, který je připojen přes blok 11 přepínače přerušení do bloku 19 nadřazeného počítače. V bloku 13 vstupních a výstupních dekodérů je generován signál o povolení spolupráce řadiče s nadřazeným počítačem 12, který je připojen do bloku 15 generace HOLD a signál připojený do bloku 8 zpracování přerušení, umožňující nadřazenému počítači 12 přímé čtení druhu přerušení z bloku 8 zpracování přerušení.

V bloku 13 vstupních a výstupních dekodérů jsou generovány i řídící signály pro ovládání vnitřní sběrnice testeru paměťových desek a výkonné signály pro ovládání modulů testeru paměťových desek. Blok 8 zpracování přerušení generuje signál přerušení, který je připojen do bloku 1 mikroprocesoru a bloku 11 přepínače přerušení. Do bloku 8 zpracování přerušení jsou připojeny signály vnějších zařízení na přerušení a jeden požadavek na přerušení je generován v bloku 10 generace přerušení. Tento blok 10 generuje přerušení v případě odmítnutí spolupráce některého vybraného modulu testeru paměťových desek. Požadavek na toto přerušení je do bloku 10 generace přerušení zaveden z vnějšího zařízení. Do bloku 10 je připojen signál přesných hodinových pulsů, připojený z bloku 1 mikroprocesoru a výstupní výkonné a řídící signály z bloku 13 vstupních a výstupních zařízení.

Po datové sběrnici S2 blok 1 mikroprocesoru zpracovává data o přerušení z bloku 8 zpracování přerušení. Po stejné sběrnici blok mikroprocesoru 1 nahrává masku do bloku 8 zpracování přerušení. Výkonný signál zápisu masky do bloku 8 zpracování přerušení je generován v bloku 2 řízení vnitřní sběrnice. Dalšími výstupními signály bloku 2 řízení vnitřní

sběrnice jsou řídicí signály připojené do bloku 12 vnitřní sběrnice, sloužící k nastavení směrů předávání dat mezi řadičem a moduly testeru paměťových desek po vnitřní sběrnici. Blok 11 přepínače přerušení přepíná mezi sebou dvě výstupní přerušení, jež jsou přes vysílače vysílána do bloku 19 nadřazeného počítače. Výkonným povelům pro přepínání dvou druhů přerušení je výstupní signál z bloku 15 generace HOLD, který je připojen do bloku 11 přepínače přerušení.

Vstupní signály bloku 11 přepínače přerušení jsou dva přerušovací signály, které jsou připojeny z bloku 8 zpracování přerušení a z bloku vstupních a výstupních dekodérů 13. Do bloku 14 řízení předání sběrnic jsou připojeny řídicí signály z bloku 19 nadřazeného počítače přes blok 16 budičů řídicí sběrnice. Řídicí signály z nadřazeného počítače 19 jsou na řídicí sběrnici S3 řadiče připojeny pouze v případě spolupráce nadřazeného počítače 19 s řadičem. Vstupními signály bloku 14 řízení předání sběrnic jsou signály o stavu HOLD vysílány z bloku 1 mikroprocesoru, signál přesných hodinových pulsů vysílány blokem 1 mikroprocesoru, signál požadavku na stav HOLD vysílány blokem 15 generace HOLD a signál o nepřipravenosti paměti, vysílány blokem 2 zpoždění. Výstupním signálem bloku 14 řízení předání sběrnic je signál, umožňující připojení bloku 19 nadřazeného počítače k sběrnicím S1, S2 a S3 vedený do bloků 18, 17, 16 budičů adresové, datové a řídicí sběrnice. Dalším výstupním signálem bloku 14 řízení předání sběrnic je signál XACK, jenž je připojen přes blok 20 vysílače XACK do bloku 19 nadřazeného počítače. Do bloku 15 generace HOLD jsou připojeny adresové vstupy z bloku 19 nadřazeného počítače, jež jsou v bloku 15 generace HOLD porovnávány s vnějšími vstupy předvolby konkrétního testeru paměťových desek ke spolupráci s blokem 19 nadřazeného počítače.

Výstupním signálem bloku 15 generace HOLD je signál HOLD připojený do bloku 1 mikroprocesoru, bloku 14 řízení předání sběrnic, bloku 20 vysílače XACK a bloku 11 přepínače přerušení. Blok 17 budičů datové sběrnice obousměrně vysílá a přijímá data mezi datovou sběrnicí S2 a blokem 19 nadřazeného počítače. Blok 18 budičů adresové sběrnice přijímá adresy z bloku 19 nadřazeného počítače a připojuje je na adresovou sběrnici S1. Blok 16 budičů řídicí sběrnice přijímá řídicí signály z bloku 19 nadřazeného počítače a připojuje je na řídicí sběrnici S3. Signál počátečního nulování je připojen přes blok 1 mikroprocesoru na blok 2 řízení vnitřní sběrnice, blok 12 vnitřní sběrnice, blok 13 vstupních a výstupních dekodérů a blok 14 řízení předání sběrnic.

K bloku 1 mikroprocesoru je připojen blok 4 paměti EPROM a bloky 5, 6 paměti RAM a uzamykatelné paměti RAM. Ke spolupráci řadiče s moduly testeru paměťových desek slouží 32bitová vnitřní sběrnice S32 testeru paměťových desek, posílená budiči sběrnice. Pro spolupráci mikroprocesoru 1 s pamětí a vstupními a výstupními obvody postačuje rozsah třinácti bitů adresové sběrnice A0 + A12. Tři adresy nadřazeného počítače například A13 + A15 nejsou uvnitř řadiče použity a slouží bloku 19 nadřazeného počítače k výběru jedné z osmi jednotek testerů paměťových desek ke spolupráci. Spolupráce s blokem 19 nadřazeného počítače nastává při splnění dvou podmínek. První podmínka je navolení konkrétního testeru paměťových desek pomocí tří adresových bitů, druhou podmínkou je nutnost povolení spolupráce řadiče s blokem 19 nadřazeného počítače. Druhou podmínkou generuje řadič nezávisle. Po splnění obou podmínek je mikroprocesor řadiče uveden do stavu HOLD. Obvody řídicí předávání adresové, datové a řídicí sběrnice umožňují předávání těchto sběrnic bloku 19 nadřazeného počítače. Ze strany připojené k nadřazenému počítači je řadič ukončen vysílači, které úroveň signálů TTL převádějí na úroveň vhodnou pro dálkový přenos a přijímači, které úroveň vhodnou pro dálkový přenos převádějí na úroveň TTL. Celkově řadič spolupracuje s nadřazeným počítačem pomocí 31 signálů. Jedná se o 16 adres, z nichž tři navolují konkrétní tester paměťových desek ke spolupráci, 8 datových signálů, 4 řídicí signály, 2 signály přerušení a jeden signál XACK. Signál XACK je vysílán z bloku 20 vysílače XACK do bloku 19 nadřazeného počítače a je základním signálem spolupráce mezi řadičem a blokem 19 nadřazeného počítače. Po vyslání adres, dat a řídicího signálu blokem 19 nadřazeného počítače do řadiče, informuje signál XACK blok nadřazeného počítače, že příkaz nadřazeného počítače 19 byl splněn. Na to nadřazený počítač 19 ruší příslušný řídicí příkaz. Po zrušení řídicího příkazu řadič ruší signál XACK.

Řadič lze využít pro řízení testeru paměťových desek. Lze ho též použít všude tam, kde se žádá spolupráce řadiče s moduly, pracujícími s dlouhým datovým slovem. Možnost připojení nadřazeného počítače umožňuje téměř neomezeně rozšířit programové vybavení vlastního řadiče, a tím umožňuje obsluhu všech neobvyklých stavů včetně možnosti zobrazení a nulování výpisu těchto stavů, a to i při značné vzdálenosti nadřazeného počítače od řadiče.

PŘEDMĚT VYNÁLEZU

Mikroprocesorový řadič pro testery paměťových desek, vyznačený tím, že adresová sběrnice (S1) a řídící sběrnice (S3) bloku (1) mikroprocesoru jsou připojeny do bloku zpoždění (2), na jehož výstup je připojen blok řízení předání sběrnic (14) a blok (1) mikroprocesoru, který je adresovou sběrnicí (S1) a řídící sběrnicí (S3) připojen k bloku dekodéru paměti (3) pro uvolňování bloku paměti EPROM (4), paměti RAM (5) a uzamykatelné paměti RAM (6), přičemž do bloku paměti RAM (5) a uzamykatelné paměti RAM (6) je připojen blok řízení RAM (7), který je propojen s řídící sběrnicí (S3), přičemž datová sběrnice (S2) je propojena s blokem paměti RAM (5) a blokem uzamykatelné paměti RAM (6), přičemž s těmito bloky paměti (5, 6) je propojena adresová sběrnice (S1), zatímco výstupy bloků všech pamětí (4, 5, 6) jsou propojeny s blokem budičů výstupů paměti (21), který je propojen s datovou sběrnicí (S2), která je spojena s blokem (1) mikroprocesoru, který je propojen s blokem (9) řízení vnitřní sběrnice, s blokem (12) vnitřní sběrnice, s blokem (13) vstupních a výstupních dekodérů a s blokem (14) řízení předání sběrnic, přičemž blok (9) řízení vnitřní sběrnice je připojen k bloku (8) zpracování přerušení, dále sběrnicí s blokem (12) vnitřní sběrnice pro obousměrné, případně jednosměrné připojení k vnitřní 32bitové sběrnicí (S32) a dále blok (9) řízení vnitřní sběrnice a blok (12) vnitřní sběrnice jsou propojeny s adresovou, datovou a řídící sběrnicí (S1, S2, S3), přičemž pro generaci řídících signálů je vnitřní 32bitová sběrnice (S32) spojena s blokem (13) vstupních a výstupních dekodérů, který je připojen k řídící sběrnicí (S3) a adresové sběrnicí (S1) a k bloku (15) generace HOLD, dále k bloku (11) přepínače přerušení a k bloku (8) zpracování přerušení, který je obousměrně propojen s datovou sběrnicí (S2) a jehož výstup je připojen do bloku (11) přepínače přerušení a bloku (1) mikroprocesoru, přičemž jeden vstup tohoto bloku (8) je napojen na blok (1) mikroprocesoru, druhý vstup je připojen z bloku (10) generace přerušení a ostatní vstupy jsou externí žádosti o přerušení, zatímco blok (10) generace přerušení je připojen sběrnicí k bloku (13) vstupních a výstupních dekodérů a jeden vstup je externí žádost o přerušení, další vstup je vstup přesných hodin z bloku (1) mikroprocesoru, přičemž blok (11) přepínače přerušení je dvakrát propojen s blokem (19) nadřazeného počítače, který je přes blok (18) budičů adresové sběrnice, blok (17) budičů datové sběrnice a blok (16) budičů řídící sběrnice propojen s adresovou sběrnicí (S1), datovou sběrnicí (S2) a řídící sběrnicí (S3), přičemž s datovou sběrnicí (S2) je propojen obousměrně, přičemž blok (16) budičů řídící sběrnice je spojen s blokem (14) řízení předání sběrnic, který je propojen s blokem (16) budičů řídící sběrnice, s blokem (17) budičů datové sběrnice, s blokem (18) budičů adresové sběrnice a s blokem (20) vysílače XACK, který je propojen s blokem (19) nadřazeného počítače připojeného sběrnicí k bloku (15) generace HOLD, jehož další 3 vstupní signály jsou externí a výstup je připojen do bloku (1) mikroprocesoru, do bloku (11) přepínače přerušení, do bloku (20) vysílače XACK a do bloku (14) řízení předání sběrnic, do kterého jsou též připojeny přesné hodiny bloku (1) mikroprocesoru a informace o stavu HOLD bloku (1) mikroprocesoru.

