

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
30. August 2012 (30.08.2012)



(10) Internationale Veröffentlichungsnummer
WO 2012/113645 A1

- (51) Internationale Patentklassifikation:
H01L 23/31 (2006.01) *H01L 23/495* (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2012/052057
- (22) Internationales Anmeldedatum:
7. Februar 2012 (07.02.2012)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2011 011 861.6
21. Februar 2011 (21.02.2011) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstrasse 4, 93055 Regensburg (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **ZITZLSPERGER, Michael** [DE/DE]; Schattenhofergasse 4, 93047 Regensburg (DE).
- (74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Ridlerstrasse 55, 80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

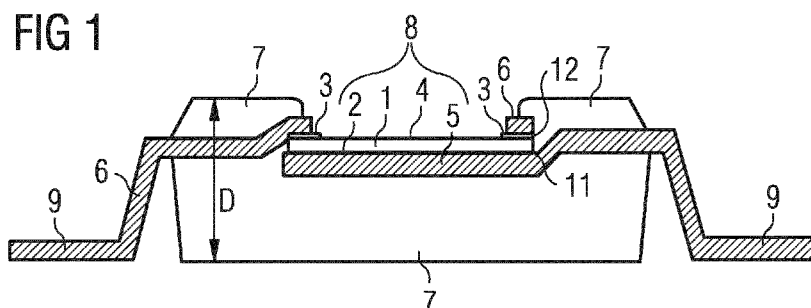
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

(54) Title: SEMICONDUCTOR CHIP PACKET ARRANGEMENT AND FABRICATION METHOD

(54) Bezeichnung : HALBLEITERCHIPGEHÄUSEANORDNUNG UND HERSTELLUNGSVERFAHREN



(57) Abstract: The chip (1) is provided with electrical contact pads (2, 3) on opposite main sides and is mounted on a leadframe (5, 6). In a lower contact (11), a lower contact pad (2) of the chip is electrically conductively connected to a lower portion (5) of the leadframe, and in an upper contact (12), an upper contact pad (3) of the chip is electrically conductively connected to an upper portion (6) of the leadframe, which upper portion is isolated from the lower portion. An encapsulation (7) can then be formed by injection moulding the arrangement into a potting compound.

(57) Zusammenfassung: Der Chip (1) ist auf einander gegenüberliegenden Hauptseiten mit elektrischen Anschlusskontaktflächen (2, 3) versehen und an einem Leiterraum (5, 6) montiert. In einem unteren Kontakt (11) ist eine untere Anschlusskontaktfläche (2) des Chips mit einem unteren Teil (5) des Leiterraums elektrisch leitend verbunden, und in einem oberen Kontakt (12) ist eine obere Anschlusskontaktfläche (3) des Chips mit einem von dem unteren Teil getrennten oberen Teil (6) des Leiterraums elektrisch leitend verbunden. Eine Verkapselung (7) kann anschließend durch Einspritzen der Anordnung in eine Vergussmasse gebildet werden.



WO 2012/113645 A1

Beschreibung

Halbleiterchipgehäuseanordnung und Herstellungsverfahren

- 5 Die vorliegende Erfindung betrifft eine Gehäuseform für einen Halbleiterchip, insbesondere ein LED-Package mit einer Vergussmasse, und ein zugehöriges Herstellungsverfahren.

Es existiert bereits eine Vielzahl von Gehäuseformen für
10 Halbleiterchips, bei denen der Chip auf einem Leiterrahmen (leadframe) montiert wird und die elektrischen Anschlusskontakte des Chips mittels so genannter Bonddrähte mit den zugehörigen Leitern des Leiterrahmens verbunden werden. Diese Anordnung wird in eine Vergussmasse oder
15 Pressmasse eingegossen oder eingespritzt. Die Enden der Leiter bleiben frei und bilden Anschlussflächen für den externen elektrischen Anschluss.

Die Anschlusskontaktflächen eines Chips sind gewöhnlich alle
20 auf derselben Hauptseite des Chips angeordnet. Stattdessen kann mindestens eine Anschlusskontaktfläche auf der Rückseite, die üblicherweise durch die Unterseite eines Halbleitersubstrates gebildet wird, angeordnet und dort mit einer durch den Chip führenden leitenden Verbindung
25 kontaktiert sein. Anschlusskontakte auf einander gegenüberliegenden Hauptseiten eines Chips werden vor allem beim Stapeln von Halbleiterchips zur dreidimensionalen Integration verwendet.

30 In der Druckschrift DE 10 2006 035 876 A1 ist ein Chip-Modul mit einem Gehäuse beschrieben, bei dem eine Anzahl elektrischer Leiter, welche außerhalb des Gehäuses eine entsprechende Anzahl Anschluss-Pins aufweisen und innerhalb

des Gehäuses elektrische Anschlussflächen aufweisen, und ein Wärmeleiter, welcher außerhalb des Gehäuses einen Anschluss-Pin aufweist und innerhalb des Gehäuses eine thermische Anschlussfläche aufweist, vorhanden sind. Der Chip ist mit
5 einer seiner Hauptflächen mit der thermischen Anschlussfläche verbunden, und die elektrischen Anschlüsse des Chips sind mittels Bonddrähten mit den elektrischen Anschlussflächen verbunden.

10 Aufgabe der Erfindung ist es, eine kostengünstig herstellbare, mechanisch stabile und kompakte Gehäuseform für Halbleiterchips und ein zugehöriges Herstellungsverfahren anzugeben.

15 In der folgenden Beschreibung und in den Ansprüchen werden zur Unterscheidung der beschriebenen Komponenten die Attribute „unter“ und „ober“ verwendet. Es soll hiermit keine Beschränkung hinsichtlich der räumlichen Ausrichtung der Halbleiterchipgehäuseanordnung oder deren Komponenten zum
20 Ausdruck gebracht werden. In diesem Sinne befinden sich die „unteren“ Komponenten beziehungsweise die „oberen“ Komponenten jeweils an, auf oder über derselben Hauptseite des Halbleiterchips. Die Bezeichnungen sind so gewählt, dass die „unteren“ Komponenten und die „oberen“ Komponenten in den
25 beigefügten Figuren entsprechend jeweils unten beziehungsweise oben wiedergegeben sind.

Die Halbleiterchipgehäuseanordnung weist einen Chip auf, der mit elektrischen Anschlusskontaktflächen versehen ist, zu
30 denen mindestens eine untere Anschlusskontaktfläche und eine obere Anschlusskontaktfläche gehören. Die obere Anschlusskontaktfläche ist auf einer der unteren Anschlusskontaktfläche gegenüberliegenden Oberseite des Chips

angeordnet. Der Chip ist an einem Leiterraum montiert, der einen unteren Teil und einen davon elektrisch getrennten oberen Teil aufweist. In einem unteren Kontakt ist die untere Anschlusskontaktfläche des Chips mit dem unteren Teil des Leiterraums elektrisch leitend verbunden, und in einem oberen Kontakt ist die obere Anschlusskontaktfläche des Chips mit dem oberen Teil des Leiterraums elektrisch leitend verbunden.

- Die Kontaktierung des Chips erfolgt dabei insbesondere bondrahtfrei. Dazu ist es insbesondere möglich, dass der Chip in direktem Kontakt mit den Teilen des Leiterraums steht. Der Chip kann dann zwischen den beiden Teilen eingeklemmt sein und auf diese Weise mechanisch fixiert sein. Ferner ist es möglich, dass sich zwischen den Teilen des Leiterraums und des Chips jeweils ein Verbindungsmaterial wie ein Lot oder ein elektrisch leitender Klebstoff befindet.

- Bei einem Ausführungsbeispiel der Halbleiterchipgehäuseanordnung weist der untere Teil des Leiterraums auf einer dem unteren Kontakt gegenüberliegenden Seite eine Kontaktfläche auf.

- Bei einem weiteren Ausführungsbeispiel der Halbleiterchipgehäuseanordnung ist ein Anteil des Leiterraums in einer Verkapselung aus einer Vergussmasse angeordnet und die Kontaktfläche ist von der Verkapselung frei.

- Bei einem weiteren Ausführungsbeispiel der Halbleiterchipgehäuseanordnung ist ein Anteil des Leiterraums in einer Verkapselung aus einer Vergussmasse angeordnet und die Verkapselung weist über der Oberseite des

Chips eine Öffnung auf, so dass zumindest ein Bereich der Oberseite des Chips nicht von der Verkapselung bedeckt ist. Dabei kann die Verkapselung insbesondere strahlungsundurchlässig, zum Beispiel strahlungsreflektierend oder strahlungsabsorbierend ausgebildet sein. Der Chip kann dann an seiner Oberseite, im Bereich der Öffnung, von einem weiteren, strahlungsdurchlässigen Vergussmaterial bedeckt sein, das stellenweise direkt an die strahlungsundurchlässige Verkapselung grenzen kann. Vergussmaterial und Verkapselung können aus dem gleichen Grundmaterial gebildet sein, in das Füllstoffpartikel eingebracht sind. Zum Beispiel handelt es sich bei dem Grundmaterial um ein Silikon oder das Grundmaterial enthält Silikon. Verkapselung und Vergussmaterial haften dann besonders gut aneinander.

Bei einem weiteren Ausführungsbeispiel der Halbleiterchipgehäuseanordnung lässt der obere Teil des Leiterraumens einen von der Verkapselung nicht bedeckten Bereich der Oberseite des Chips frei.

Bei einem weiteren Ausführungsbeispiel der Halbleiterchipgehäuseanordnung umschließt der obere Teil des Leiterraumens einen von der Verkapselung nicht bedeckten Bereich der Oberseite des Chips rahmenförmig. Dadurch ist es insbesondere möglich, dass ein elektrischer Strom besonders gleichmäßig in den Chip eingeprägt wird. Der elektrische Strom wird dann nicht nur über ein einzelnes Bondpad, das zum Beispiel in einer Ecke des Chips angeordnet ist, in diesen eingeprägt, sondern ein Einprägen erfolgt entlang des gesamten Chiprands.

Bei einem weiteren Ausführungsbeispiel der Halbleiterchipgehäuseanordnung ist der Chip ein

optoelektronisches Bauelement und die Öffnung der Verkapselung ist für Eintritt oder Austritt von elektromagnetischer Strahlung vorgesehen. Zum Beispiel handelt es sich dann bei dem Chip um einen Leuchtdiodenchip, einen
5 Photodiodenchip oder einen Laserdiodenchip.

Bei einem weiteren Ausführungsbeispiel der Halbleiterchipgehäuseanordnung entspricht eine senkrecht zu den Anschlusskontaktflächen gemessene vertikale Abmessung der
10 Verkapselung der Summe der Dicken des Chips, des unteren Teils des Leiterrahmens und des oberen Teils des Leiterrahmens. Die Verkapselung schließt dann insbesondere bündig mit den Teilen des Leiterrahmens ab. Die Dicke der Halbleiterchipgehäuseanordnung ist dann im Wesentlichen durch
15 die Dicke des Chips vorgegeben. Insbesondere, wenn es sich bei dem Chip um eine so genannte substratlose Diode handelt, kann die Dicke der Halbleiterchipgehäuseanordnung extrem klein gewählt werden. Eine substratlose Diode ist ein Leuchtdiodenchip, der weder ein Aufwachssubstrat für
20 epitaktisch gewachsene Schichten des Leuchtdiodenchips noch einen Träger aufweist. Der Leuchtdiodenchip besteht dann aus den epitaktisch gewachsenen Schichten und eventuellen Anschluss- und Passivierungsschichten. Er ist frei von Aufwachssubstrat und Träger.

25

Bei dem Verfahren zur Herstellung einer hier beschriebenen Halbleiterchipgehäuseanordnung wird zunächst ein Chip bereitgestellt, der mit mindestens einer unteren Anschlusskontaktfläche und einer oberen
30 Anschlusskontaktfläche für elektrischen Anschluss versehen ist, wobei die obere Anschlusskontaktfläche auf einer der unteren Anschlusskontaktfläche gegenüberliegenden Oberseite des Chips angeordnet ist. Außerdem wird ein Leiterrahmen

bereitgestellt, der einen unteren Teil und einen davon
getrennten oberen Teil aufweist. Ein elektrisch leitender
unterer Kontakt wird zwischen der unteren
Anschlusskontaktfläche des Chips und dem unteren Teil des
5 Leiterrahmens hergestellt und ein elektrisch leitender oberer
Kontakt wird zwischen der oberen Anschlusskontaktfläche des
Chips und dem oberen Teil des Leiterrahmens hergestellt.

Bei einem Ausführungsbeispiel des Herstellungsverfahrens wird
10 eine Verkapselung hergestellt, indem der Leiterrahmen mit
einer Vergussmasse versehen wird. Ein Bereich der Oberseite
des Chips oder eine Kontaktfläche auf dem unteren Teil des
Leiterrahmens kann hierbei frei gelassen werden. Die
Kontaktfläche kann insbesondere auf der von dem Chip und von
15 dem unteren Kontakt abgewandten Seite des unteren Teils des
Leiterrahmens vorgesehen werden.

Bei einem weiteren Ausführungsbeispiel des
Herstellungsverfahrens werden sowohl ein Bereich der
20 Oberseite des Chips als auch eine Kontaktfläche auf dem
unteren Teil des Leiterrahmens frei gelassen. Auch bei diesem
weiteren Ausführungsbeispiel kann die Kontaktfläche
insbesondere auf der von dem Chip und von dem unteren Kontakt
abgewandten Seite des unteren Teils des Leiterrahmens
25 vorgesehen werden.

Es folgt eine genauere Beschreibung von Beispielen der
Halbleiterchipgehäuseanordnung und des Herstellungsverfahrens
anhand der beigefügten Figuren.

30

Figur 1 zeigt eine schematische Darstellung eines
Ausführungsbeispiels der
Halbleiterchipgehäuseanordnung im Querschnitt.

Figur 2 zeigt eine schematische Darstellung eines weiteren Ausführungsbeispiels in einem Querschnitt gemäß Figur 1.

5

Figur 3 zeigt eine schematische Darstellung eines weiteren Ausführungsbeispiels in einem Querschnitt gemäß Figur 2.

10 Figur 4 zeigt eine schematische Draufsicht auf die Ausführungsbeispiele.

Die Figur 1 zeigt einen schematischen Querschnitt durch ein Ausführungsbeispiel der Halbleiterchipgehäuseanordnung. Der
15 Chip 1 ist auf einem unteren Teil 5 des Leiterrahmens angeordnet. Eine untere Anschlusskontaktfläche 2 des Chips 1 ist mittels eines unteren Kontaktes 11 elektrisch leitend mit dem unteren Teil 5 des Leiterrahmens verbunden. An der gegenüberliegenden Oberseite 4 des Chips 1 befindet sich eine
20 obere Anschlusskontaktfläche 3, die mit einem oberen Teil 6 des Leiterrahmens mittels eines oberen Kontaktes 12 elektrisch leitend verbunden ist.

Die Oberseite 4 des Chips 1 kann insbesondere eine Hauptseite
25 des Chips 1 sein, an der ein oder mehrere Bauelemente oder Funktionselemente oder Komponenten einer integrierten Schaltung ausgebildet sind. Die gegenüberliegende Hauptseite des Chips 1, die mit der unteren Anschlusskontaktfläche 2 versehen ist, kann zum Beispiel die Rückseite des Chips 1,
30 insbesondere die Unterseite eines Halbleitersubstrates sein.

In dem in der Figur 1 dargestellten Ausführungsbeispiel ist ein Anteil des Leiterrahmens 5, 6 in einer Verkapselung 7

angeordnet. Die Verkapselung 7 bildet ein schützendes und mechanisch stabilisierendes Gehäuse und ist daher vorzugsweise vorhanden; eine Verkapselung kann aber auch weggelassen sein. Die Verkapselung 7 kann aus einer Vergussmasse oder Pressmasse bestehen, mit der der Leiterrahmen 5, 6 und der Chip 1 zumindest teilweise umgeben sind. Eine derartige Verkapselung 7 ist von Halbleiterchipgehäusen an sich bekannt und kann zum Beispiel mit einem Spritzgussverfahren hergestellt werden.

10

Die für externen elektrischen Anschluss des Chips 1 vorgesehenen Anschlussleiter 9 des Leiterrahmens 5, 6 befinden sich außerhalb der Verkapselung 7 und werden bei der Herstellung der Verkapselung 7 von der Vergussmasse oder Pressmasse frei gehalten. In dem Ausführungsbeispiel gemäß der Figur 1 sind die Unterseiten der Verkapselung 7 und der Anschlussleiter 9 eben und innerhalb derselben Ebene angeordnet, was eine spätere Montage des gehäusten Chips 1 erleichtert. Die Form und die Ausrichtung der Anschlussleiter 9 können aber von den in den Figuren dargestellten Beispielen abweichen. Die Anschlussleiter 9 können beispielsweise mehrfach gebogen oder abgewinkelt sein oder in verschiedene Richtungen weisen.

15

20

25

30

Die Verkapselung 7 kann eine Öffnung 8 aufweisen, in der die Oberseite 4 des Chips 1 zumindest bereichsweise frei ist. Wenn der obere Teil 6 des Leiterrahmens wie in dem Ausführungsbeispiel der Figur 1 im Bereich dieser Öffnung 8 ausgespart ist, bleibt ein entsprechender Bereich der Oberseite 4 des Chips 1 unbedeckt. Falls der Chip 1 ein optoelektronisches Bauelement enthält, kann der freie Bereich der Oberseite 4 für den Eintritt oder Austritt elektromagnetischer Strahlung, insbesondere für Lichteinfall

oder Lichtemission, vorgesehen sein. Die beschriebene Halbleiterchipgehäuseanordnung ist daher besonders für optoelektronische Bauelemente wie zum Beispiel lichtemittierende Dioden (LED) geeignet.

5

In der Figur 1 ist eine vertikale Abmessung D der Verkapselung 7 senkrecht zu der von dem Chip 1 eingenommenen Ebene und senkrecht zu dessen Anschlusskontaktflächen 2, 3 eingezeichnet. Diese Abmessung D ist in dem

10 Ausführungsbeispiel der Figur 1 größer als die Summe der Dicken des Chips 1, des unteren Teils 5 des Leiterrahmens und des oberen Teils 6 des Leiterrahmens. Die Abmessung D reicht von der Unterseite der Anschlussleiter 9 bis über den oberen Teil 6 des Leiterrahmens hinaus. Die Verkapselung 7 bedeckt
15 somit teilweise auch die Oberseite des oberen Teils 6 des Leiterrahmens und die Öffnung 8 der Verkapselung 7 ist tiefer als die Dicke des oberen Teils 6 des Leiterrahmens.

Die Figur 2 zeigt ein weiteres Ausführungsbeispiel in einem
20 Querschnitt gemäß der Figur 1. Bei dem weiteren Ausführungsbeispiel ist die vertikale Abmessung D geringer als bei dem Ausführungsbeispiel gemäß der Figur 1. Die Unterseite der Verkapselung 7 schließt an die von dem Chip 1 abgewandte Unterseite des unteren Teils 5 des Leiterrahmens
25 an, so dass der untere Teil 5 des Leiterrahmens eine freie Kontaktfläche 10 aufweist, die nicht von der Verkapselung 7 bedeckt ist. Diese Kontaktfläche 10 kann zum Beispiel dazu verwendet werden, den unteren Teil 5 des Leiterrahmens thermisch leitend mit einer Wärmesenke zu verbinden. Die
30 Verkapselung 7 überragt hier ähnlich wie bei dem Ausführungsbeispiel gemäß der Figur 1 den oberen Teil 6 des Leiterrahmens.

Die Figur 3 zeigt ein weiteres Ausführungsbeispiel in einem Querschnitt gemäß der Figur 1 oder 2. Im Vergleich zu dem Ausführungsbeispiel der Figur 2 ist die senkrecht zu den Anschlusskontaktflächen 2, 3 gemessene vertikale Abmessung D bei dem Ausführungsbeispiel der Figur 3 noch geringer und entspricht der Summe der Dicken des Chips 1, des unteren Teils 5 des Leiterrahmens und des oberen Teils 6 des Leiterrahmens. Das weitere Ausführungsbeispiel gemäß der Figur 3 ist somit besonders dünn und erfüllt eine Anforderung kompakter Abmessungen. Außerdem besitzt der untere Teil 5 des Leiterrahmens eine nach außen freie Kontaktfläche 10, die die Verbindung mit einer Wärmesenke erlaubt. Die mechanische Stabilität wird bei diesem Ausführungsbeispiel hauptsächlich durch die Dicke des Leiterrahmens 5, 6 bestimmt. Die Dicke des Leiterrahmens 5, 6 ist daher vorzugsweise an die vorgesehene mechanische Beanspruchung des Chipgehäuses angepasst.

Die Figur 4 zeigt eine Draufsicht auf typische Ausführungsbeispiele der Halbleiterchipgehäuseanordnung. Darin ist erkennbar, dass die Anschlussleiter 9 von der Verkapselung 7 frei gehalten sind. Der obere Teil 6 des Leiterrahmens ist im Bereich der Öffnung 8 der Verkapselung 7 ausgespart und umgibt einen Bereich der Oberseite 4 des Chips 1 rahmenförmig. Zur Verdeutlichung der Anordnung ist in der Figur 4 ein schmaler überstehender Rand der in diesem Beispiel ebenfalls rahmenförmig ausgebildeten oberen Anschlusskontaktfläche 3 eingezeichnet. Stattdessen kann die obere Anschlusskontaktfläche 3 vollständig von dem oberen Teil 6 des Leiterrahmens bedeckt sein.

Die Aussparung in dem oberen Teil 6 des Leiterrahmens und in der Verkapselung 7 kann insbesondere in einer

Halbleiterchipgehäuseanordnung mit einem optoelektronischen Chip 1 dafür vorgesehen sein, einen Eintritt oder Austritt von Strahlung zu ermöglichen. Die Aussparung kann wie dargestellt rechteckig sein oder stattdessen eine beliebige
5 andere geometrische Form aufweisen. Beispielsweise bei einer LED kann die Leuchtfläche des Chips 1 durch die geometrische Form der Aussparung wie gewünscht gestaltet sein.

Die beschriebene Halbleiterchipgehäuseanordnung kann
10 hergestellt werden, indem die Anschlusskontaktflächen 2, 3 des Chips 1 auf dem unteren Teil 5 beziehungsweise auf dem davon getrennten oberen Teil 6 des Leiterraumens angeordnet werden und jeweils eine dauerhafte elektrisch leitende
Verbindung hergestellt wird. Die Anschlusskontaktflächen 2, 3
15 des Chips 1 werden hierbei direkt, das heißt, ohne wesentlichen räumlichen Abstand, auf zugehörigen Anschlussbereichen des betreffenden Teils 5, 6 des Leiterraumens angeordnet. Die Anordnung der
Anschlusskontaktflächen 2, 3 des Chips 1 und die Struktur des
20 Leiterraumens 5, 6 werden zu diesem Zweck aneinander angepasst.

Die elektrischen Verbindungen werden direkt durch Kontakte 11, 12 gebildet, ohne dass elektrisch leitende Verbindungen
25 nach Art von Leiterbahnen oder Bonddrähten, die räumliche Abstände überbrücken, zwischen den Anschlusskontaktflächen 2, 3 und dem Leiterraum 5, 6 angebracht werden. Die elektrisch leitende Verbindung kann zum Beispiel durch Lötten hergestellt werden. Das hierfür verwendete Lotmaterial ist elektrisch
30 leitend und bildet unmittelbar die Kontakte 11, 12.

Erst nach dem elektrischen Verbinden des Chips 1 mit den Teilen 5, 6 des Leiterraumens wird die Anordnung nach Bedarf

in eine Vergussmasse oder Pressmasse eingegossen oder eingespritzt, so dass eine Verkapselung 7 gebildet wird. Die Chipgehäuse können auf kostengünstige Weise durch Stanzen vereinzelt werden.

5

Mit der beschriebenen Halbleiterchipgehäuseanordnung wird eine im Vergleich zur Verwendung von Bonddrähten bessere mechanische Stabilität erreicht und eine höhere Stromstärke auf den Zuleitungen ermöglicht. Die Gehäuseform kann

10

individuell an die Funktion des Chips angepasst werden und erlaubt insbesondere eine wesentlich flachere Bauform als bei herkömmlichen Chipgehäusen mit Bonddrähten. Das zugehörige Herstellungsverfahren lässt sich mit vergleichsweise geringem Aufwand und daher kostengünstig durchführen.

15

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 102011011861.6, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Patentansprüche

1. Halbleiterchipgehäuseanordnung mit
- einem Chip (1), der mit elektrischen
- 5 Anschlusskontaktflächen (2, 3) versehen ist,
- einem Leiterraum (5, 6), an dem der Chip (1) montiert ist, und
 - elektrisch leitenden Verbindungen (11, 12) zwischen den Anschlusskontaktflächen (2, 3) und dem Leiterraum (5, 6),
- 10 dadurch gekennzeichnet, dass
- die Anschlusskontaktflächen (2, 3) mindestens eine untere Anschlusskontaktfläche (2) und eine obere Anschlusskontaktfläche (3) umfassen, wobei die obere Anschlusskontaktfläche (3) auf einer der unteren
- 15 Anschlusskontaktfläche (2) gegenüberliegenden Oberseite (4) des Chips (1) angeordnet ist,
- der Leiterraum (5, 6) einen unteren Teil (5) und einen davon elektrisch getrennten oberen Teil (6) aufweist,
 - ein unterer Kontakt (11) vorhanden ist, in dem die untere
- 20 Anschlusskontaktfläche (2) des Chips (1) mit dem unteren Teil (5) des Leiterraums elektrisch leitend verbunden ist, und
- ein oberer Kontakt (12) vorhanden ist, in dem die obere Anschlusskontaktfläche (3) des Chips (1) mit dem oberen Teil (6) des Leiterraums elektrisch leitend verbunden ist.
- 25
2. Halbleiterchipgehäuseanordnung nach Anspruch 1, bei der ein Anteil des Leiterraums (5, 6) in einer Verkapselung (7) aus einer Vergussmasse angeordnet ist, und die Verkapselung (7) über der Oberseite (4) des Chips (1)
- 30 eine Öffnung (8) aufweist, so dass zumindest ein Bereich der Oberseite (4) des Chips (1) nicht von der Verkapselung (7) bedeckt ist, wobei

der obere Teil (6) des Leiterrahmens einen von der Verkapselung (7) nicht bedeckten Bereich der Oberseite (4) des Chips (1) rahmenförmig umschließt.

- 5 3. Halbleiterchipgehäuseanordnung nach Anspruch 1 oder 2, bei der der untere Teil (5) des Leiterrahmens auf einer dem unteren Kontakt (11) gegenüberliegenden Seite eine Kontaktfläche (10) aufweist.
- 10 4. Halbleiterchipgehäuseanordnung nach einem der vorherigen Ansprüche, bei der ein Anteil des Leiterrahmens (5, 6) in einer Verkapselung (7) aus einer Vergussmasse angeordnet ist und die Kontaktfläche (10) von der Verkapselung (7) frei ist.
- 15 5. Halbleiterchipgehäuseanordnung nach einem der vorherigen Ansprüche, bei der ein Anteil des Leiterrahmens (5, 6) in einer Verkapselung (7) aus einer Vergussmasse angeordnet ist und
- 20 die Verkapselung (7) über der Oberseite (4) des Chips (1) eine Öffnung (8) aufweist, so dass zumindest ein Bereich der Oberseite (4) des Chips (1) nicht von der Verkapselung (7) bedeckt ist.
- 25 6. Halbleiterchipgehäuseanordnung nach einem der vorherigen Ansprüche, bei der der obere Teil (6) des Leiterrahmens einen von der Verkapselung (7) nicht bedeckten Bereich der Oberseite (4) des Chips (1) frei lässt.
- 30 7. Halbleiterchipgehäuseanordnung nach einem der vorherigen Ansprüche,

bei der der obere Teil (6) des Leiterraumens einen von der Verkapselung (7) nicht bedeckten Bereich der Oberseite (4) des Chips (1) rahmenförmig umschließt.

5 8. Halbleiterchipgehäuseanordnung nach einem der vorherigen Ansprüche,
bei der der Chip (1) ein optoelektronisches Bauelement ist und die Öffnung (8) der Verkapselung (7) für Eintritt oder Austritt von elektromagnetischer Strahlung vorgesehen ist.

10

9. Halbleiterchipgehäuseanordnung nach einem der vorherigen Ansprüche,
bei der die Verkapselung (7) eine senkrecht zu den Anschlusskontaktflächen (2, 3) gemessene vertikale Abmessung
15 (D) aufweist, die der Summe der Dicken des Chips (1), des unteren Teils (5) und des oberen Teils (6) des Leiterraumens entspricht.

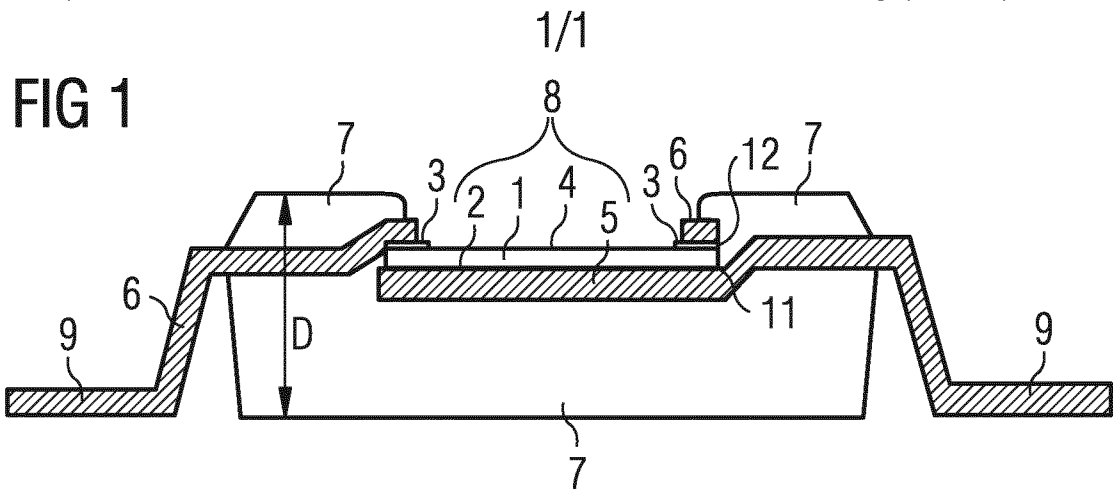
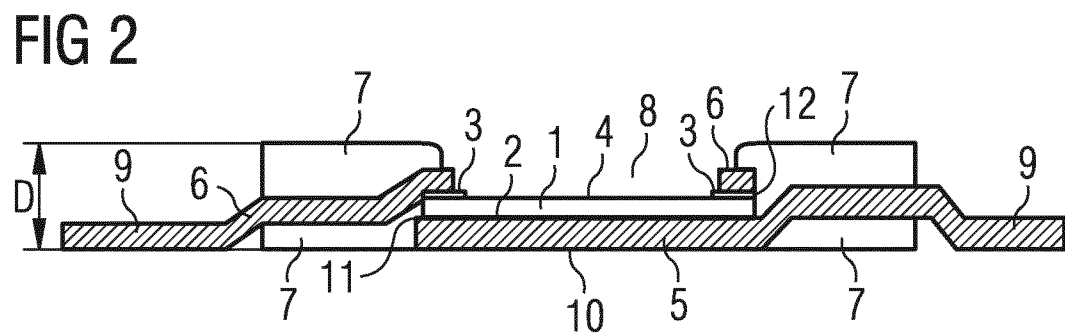
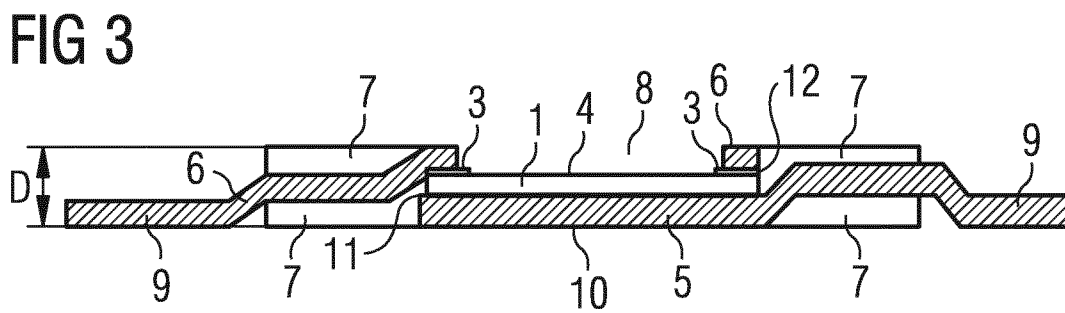
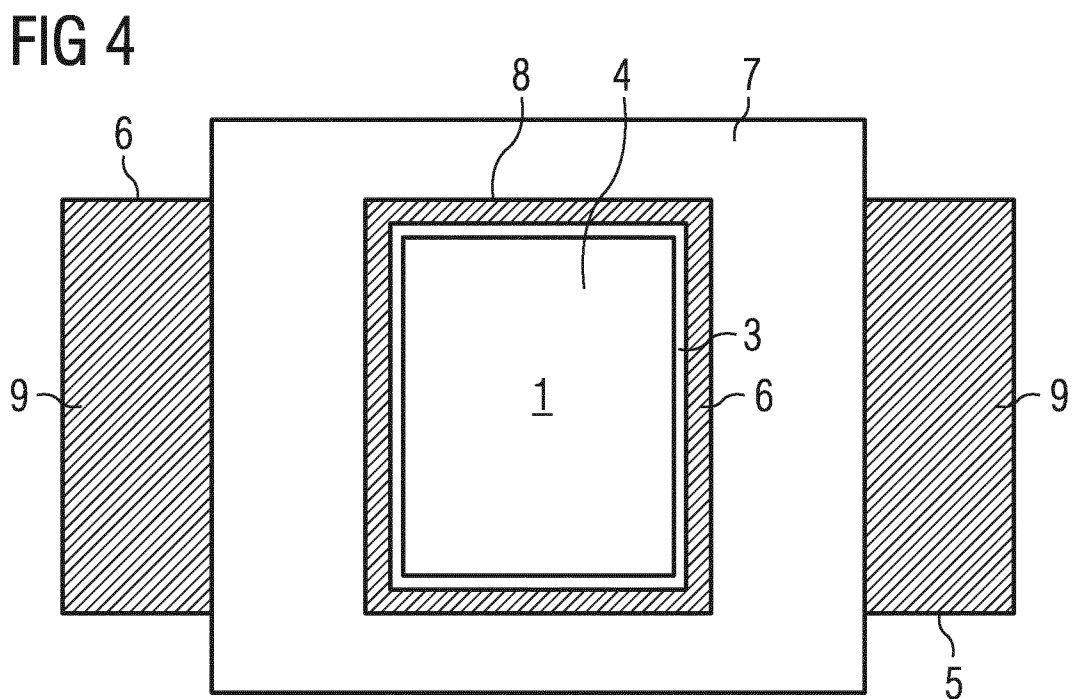
10. Verfahren zur Herstellung einer
20 Halbleiterchipgehäuseanordnung, bei dem
- ein Chip (1) bereitgestellt wird, der mit mindestens einer unteren Anschlusskontaktfläche (2) und einer oberen Anschlusskontaktfläche (3) für elektrischen Anschluss versehen ist, wobei die obere Anschlusskontaktfläche (3) auf
25 einer der unteren Anschlusskontaktfläche (2) gegenüberliegenden Oberseite (4) des Chips (1) angeordnet ist,
- ein Leiterraum (5, 6) bereitgestellt wird, der einen unteren Teil (5) und einen davon getrennten oberen Teil (6)
30 aufweist,
- ein elektrisch leitender unterer Kontakt (11) zwischen der unteren Anschlusskontaktfläche (2) des Chips (1) und dem unteren Teil (5) des Leiterraumens hergestellt wird und

- 16 -

- ein elektrisch leitender oberer Kontakt (12) zwischen der oberen Anschlusskontaktfläche (3) des Chips (1) und dem oberen Teil (6) des Leiterrahmens hergestellt wird.

5 11. Verfahren nach dem vorherigen Anspruch,
bei dem eine Verkapselung (7) hergestellt wird, indem der
Leiterrahmen (5, 6) mit einer Vergussmasse versehen wird, und
ein Bereich der Oberseite (4) des Chips oder eine
Kontaktfläche (10) auf dem unteren Teil (5) des Leiterrahmens
10 oder sowohl ein Bereich der Oberseite (4) des Chips als auch
eine Kontaktfläche (10) auf dem unteren Teil (5) des
Leiterrahmens frei gelassen wird oder werden.

12. Verfahren nach einem der vorherigen Ansprüche,
15 bei dem eine Halbleiterchipgehäuseanordnung nach einem der
Ansprüche 1 bis 9 hergestellt wird.



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/052057

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L23/31 H01L23/495
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 2 093 793 A2 (RENESAS TECH CORP [JP]) 26 August 2009 (2009-08-26) figures 3, 4, 20-26 -----	1-12
X	US 2005/161777 A1 (HORIE YOSHITAKA [JP]) 28 July 2005 (2005-07-28) figure 1 -----	1-12
X	US 2006/138532 A1 (OKAMOTO MASAhide [JP] ET AL) 29 June 2006 (2006-06-29) figure 4 -----	1-12
X	US 2006/043618 A1 (ASHIDA KISHO [JP] ET AL) 2 March 2006 (2006-03-02) figures 2, 3 ----- -/-	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

30 March 2012

Date of mailing of the international search report

05/04/2012

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Kuchenbecker, J

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/052057

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/164395 A1 (KOBAYAKAWA MASAHIKO [JP]) 26 August 2004 (2004-08-26) figure 25 -----	1-12
A	JP 2002 050729 A (ROHM CO LTD) 15 February 2002 (2002-02-15) abstract; figure 9 -----	1-12
X	US 6 396 127 B1 (MUNOZ JORGE [US] ET AL) 28 May 2002 (2002-05-28) figure 3 -----	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2012/052057

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 2093793	A2	26-08-2009	CN 101515551 A	26-08-2009
			EP 2093793 A2	26-08-2009
			JP 2009200338 A	03-09-2009
			US 2009215230 A1	27-08-2009

US 2005161777	A1	28-07-2005	NONE	

US 2006138532	A1	29-06-2006	JP 4262672 B2	13-05-2009
			JP 2006179735 A	06-07-2006
			US 2006138532 A1	29-06-2006

US 2006043618	A1	02-03-2006	JP 4468115 B2	26-05-2010
			JP 2006066813 A	09-03-2006
			US 2006043618 A1	02-03-2006

US 2004164395	A1	26-08-2004	NONE	

JP 2002050729	A	15-02-2002	NONE	

US 6396127	B1	28-05-2002	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L23/31 H01L23/495
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 2 093 793 A2 (RENESAS TECH CORP [JP]) 26. August 2009 (2009-08-26) Abbildungen 3, 4, 20-26 -----	1-12
X	US 2005/161777 A1 (HORIE YOSHITAKA [JP]) 28. Juli 2005 (2005-07-28) Abbildung 1 -----	1-12
X	US 2006/138532 A1 (OKAMOTO MASAhide [JP] ET AL) 29. Juni 2006 (2006-06-29) Abbildung 4 -----	1-12
X	US 2006/043618 A1 (ASHIDA KISHO [JP] ET AL) 2. März 2006 (2006-03-02) Abbildungen 2, 3 ----- -/-	1-12

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

30. März 2012

Absendedatum des internationalen Recherchenberichts

05/04/2012

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Kuchenbecker, J

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2004/164395 A1 (KOBAYAKAWA MASAHIKO [JP]) 26. August 2004 (2004-08-26) Abbildung 25 -----	1-12
A	JP 2002 050729 A (ROHM CO LTD) 15. Februar 2002 (2002-02-15) Zusammenfassung; Abbildung 9 -----	1-12
X	US 6 396 127 B1 (MUNOZ JORGE [US] ET AL) 28. Mai 2002 (2002-05-28) Abbildung 3 -----	1-12

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2012/052057

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 2093793	A2	26-08-2009	CN	101515551 A		26-08-2009
			EP	2093793 A2		26-08-2009
			JP	2009200338 A		03-09-2009
			US	2009215230 A1		27-08-2009

US 2005161777	A1	28-07-2005	KEINE			

US 2006138532	A1	29-06-2006	JP	4262672 B2		13-05-2009
			JP	2006179735 A		06-07-2006
			US	2006138532 A1		29-06-2006

US 2006043618	A1	02-03-2006	JP	4468115 B2		26-05-2010
			JP	2006066813 A		09-03-2006
			US	2006043618 A1		02-03-2006

US 2004164395	A1	26-08-2004	KEINE			

JP 2002050729	A	15-02-2002	KEINE			

US 6396127	B1	28-05-2002	KEINE			
