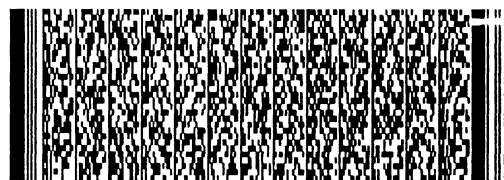


|                   |            |
|-------------------|------------|
| 申請日期：<br>93.4.2   | IPC分類      |
| 申請案號：<br>93109186 | H01L 23/28 |

(以上各欄由本局填註)

## 發明專利說明書

|                    |                       |   |
|--------------------|-----------------------|---|
| 一、<br>發明名稱         | 中文                    | 晶片封裝結構及其封裝製程  |
|                    | 英文                    | CHIP PACKAGE AND PROCESS THEREOF  |
| 二、<br>發明人<br>(共4人) | 姓名<br>(中文)            | 1. 高金利<br>2. 賴逸少  |
|                    | 姓名<br>(英文)            | 1. KAO, CHIN LI<br>2. LAI, YI SHAO  |
|                    | 國籍<br>(中英文)           | 1. 中華民國 TW 2. 中華民國 TW   |
|                    | 住居所<br>(中文)           | 1. 澎湖縣馬公市西衛里樂群街2號<br>2. 台北縣永和市國光路59巷六號四樓  |
|                    | 住居所<br>(英文)           | 1. No. 2, Lechun St., Magong City, Penghu County 880, Taiwan (R.O.C.)<br>2. 4F., NO. 6, LANE 59, GUOGUANG RD., YONGHE CITY TAIPEI COUNTY 220, TAIWAN (R.O.C.) |
| 三、<br>申請人<br>(共1人) | 名稱或姓名<br>(中文)         | 1. 日月光半導體製造股份有限公司   |
|                    | 名稱或姓名<br>(英文)         | 1. Advanced Semiconductor Engineering, Inc.   |
|                    | 國籍<br>(中英文)           | 1. 中華民國 TW  |
|                    | 住居所<br>(營業所)<br>(中文)  | 1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)   |
|                    | 住居所<br>(營業所)<br>(英文)  | 1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.   |
|                    | 代表人<br>(中文)           | 1. 張虔生  |
| 代表人<br>(英文)        | 1. CHANG, CHIEN SHENG |   |



|       |       |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： |       |

(以上各欄由本局填註)

## 發明專利說明書

|                    |                      |  |
|--------------------|----------------------|--|
| 一、<br>發明名稱         | 中文                   |  |
|                    | 英文                   |  |
| 二、<br>發明人<br>(共4人) | 姓名<br>(中文)           | 3. 吳政達   |
|                    | 姓名<br>(英文)           | 3. WU, JENG DA   |
|                    | 國籍<br>(中英文)          | 3. 中華民國 TW   |
|                    | 住居所<br>(中文)          | 3. 高雄市楠梓區德賢路248巷5弄11號6樓  |
|                    | 住居所<br>(英文)          | 3. 6F., NO.11, ALLEY 5, LANE 248, DESIAN RD., NANZIH DISTRICT<br>KAOHSIUNG CITY 811, TAIWAN (R. O. C.) |
| 三、<br>申請人<br>(共1人) | 名稱或<br>姓名<br>(中文)    |  |
|                    | 名稱或<br>姓名<br>(英文)    |  |
|                    | 國籍<br>(中英文)          |  |
|                    | 住居所<br>(營業所)<br>(中文) |  |
|                    | 住居所<br>(營業所)<br>(英文) |  |
|                    | 代表人<br>(中文)          |  |
|                    | 代表人<br>(英文)          |  |



|       |       |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： |       |

(以上各欄由本局填註)

## 發明專利說明書

|                    |                      |  |
|--------------------|----------------------|--|
| 一、<br>發明名稱         | 中文                   |  |
|                    | 英文                   |  |
| 二、<br>發明人<br>(共4人) | 姓名<br>(中文)           | 4. 黃東鴻   |
|                    | 姓名<br>(英文)           | 4. WANG, TONG HONG   |
|                    | 國籍<br>(中英文)          | 4. 馬來西亞 MY   |
|                    | 住居所<br>(中文)          | 4. 馬來西亞雪蘭莪州萬津毛立花園1弄5區5號 郵遞區號42700  |
|                    | 住居所<br>(英文)          | 4. 5, LORONG JENTAYU 1(KAWASAN 5), TAMAN MORIB, 42700 BANTING, SELANGOR D. E., MALAYSIA. |
| 三、<br>申請人<br>(共1人) | 名稱或<br>姓名<br>(中文)    |  |
|                    | 名稱或<br>姓名<br>(英文)    |  |
|                    | 國籍<br>(中英文)          |  |
|                    | 住居所<br>(營業所)<br>(中文) |  |
|                    | 住居所<br>(營業所)<br>(英文) |  |
|                    | 代表人<br>(中文)          |  |
|                    | 代表人<br>(英文)          |  |



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

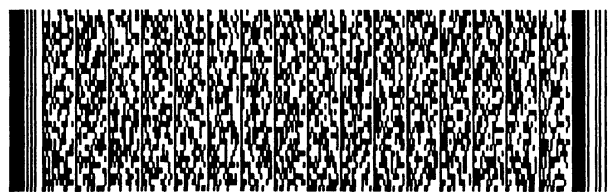
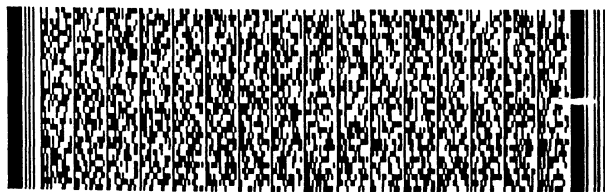
發明所屬之技術領域

本發明是有關於一種晶片封裝結構及其封裝製程，且特別是有關於一種可改善翹曲情形之晶片封裝結構，及具有較高生產良率之晶片封裝製程。

先前技術

近年來，隨著電子技術的日新月異以及半導體產業的興起，使得更人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢設計。在半導體產業中，積體電路 (Integrated Circuits, IC) 的生產主要分為三個階段：積體電路的設計、積體電路的製作及積體電路的封裝 (package) 等。其中，裸晶片係經由晶圓 (wafer) 製作、電路設計、光罩製作以及切割晶圓等步驟而完成，而每一顆由晶圓切割所形成的裸晶片，經由裸晶片上之鐳墊 (Bonding Pad) 與外部訊號電性連接後，再藉由封膠材料將裸晶片加以包覆，其目的在於防止裸晶片受到濕氣、熱量及雜訊的影響，並提供裸晶片與外部電路，例如印刷電路板 (Printed Circuit Board, PCB) 或其他封裝用基板之間電性連接的媒介，如此即完成積體電路的封裝。

基於積體電路 (Integrated Circuit, IC) 之生產技術的發展，晶片之運作速度不斷提昇，使得各類數位資料之處理及運算更有效率。然而，隨著晶片之內部線路的積集度 (integration) 大幅地攀升，晶片在運作時，其單位面積所產生之熱量也相對增加，因此為了能夠迅速移除



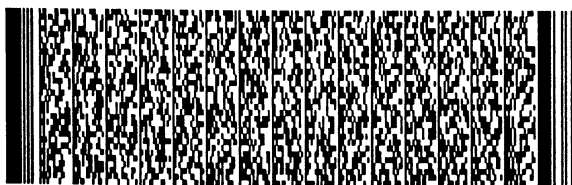
## 五、發明說明 (2)

晶片於高速運作時所產生的熱能，並使得晶片能發揮其正常效能，習知通常在晶片封裝結構中配置具有高散熱特性之一金屬散熱片，以使得此金屬散熱片可迅速地吸收晶片於高速運作時所產生的熱能，並快速地將熱能散逸至外界的大氣環境。

請參考第1圖，其繪示習知一種晶片封裝結構的示意圖。晶片封裝結構100包括一晶片110、一線路基板120、一散熱片130以及一封裝膠體140，其中線路基板120係配置於散熱片130上，且線路基板120具有一開孔120a，而晶片110之背面110b係透過一黏著膠（未繪示）而配置於散熱片130上，且晶片110係位於開孔120a內。此外，晶片110之主動表面110a上具有多個晶片墊112，而線路基板120上具有多個第一接合墊122a及配置於第一接合墊122a外圍的多個第二接合墊122b。晶片110與線路基板120係以打線接合（wire bonding）的方式接合，其中晶片墊112與第一接合墊122a係透過導線150相互電性連接。

請再參考第1圖，封裝膠體140係填滿開孔120a，並覆蓋晶片110、導線150以及線路基板120上之第一接合墊122a，用以防止晶片110受到濕氣、熱量及雜訊的影響，並可保護導線150免於外力之破壞。此外，線路基板120之第二接合墊122b上更形成有多個導電凸塊160，以作為晶片封裝結構100與外界電性連接的媒介。

習知之晶片封裝製程在形成上述之封裝膠體時，係先提供一高溫且為半融熔狀態之封膠材料，如環氧樹脂



## 五、發明說明 (3)

(epoxy) 等，並藉由模具使封裝膠體成型於散熱片及線路基板上，接著對晶片封裝結構進行冷卻，以使封裝膠體固化。然而，由於散熱片及封裝膠體之熱膨脹係數

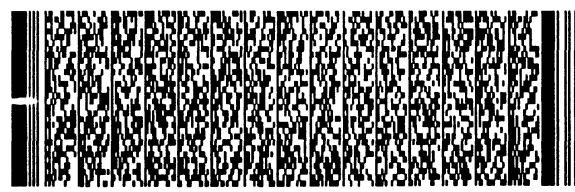
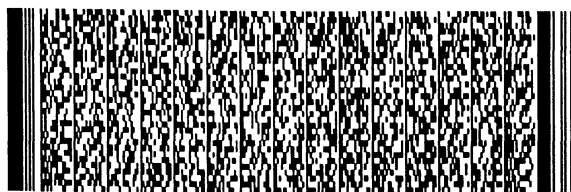
(Coefficient of Thermal Expansion, CTE) 不同，因此在對封裝膠體冷卻的過程中，散熱片及封裝膠體之間將產生不同大小的熱應變，使得晶片封裝結構受到熱應力的影響，而發生翹曲 (warpage) 或斷裂 (crack) 的現象。如此一來，將導致晶片封裝結構中之晶片或導線受到破壞，而無法有效提高晶片封裝製程之良率。

發明內容

有鑑於此，本發明的目的就是在提供一種晶片封裝結構，其晶片之四周具有較均勻之熱應變，因此可降低晶片封裝結構發生翹曲或斷裂的機會，並可維持晶片封裝結構中之晶片及導線之妥善。

本發明的另一目的是提供一種晶片封裝製程，其係於晶片之四周包覆同一種材料，用以降低熱應力對晶片封裝結構的影響，進而提高晶片封裝製程之良率。

基於上述目的，本發明提出一種晶片封裝結構，其例如包括一散熱片、一線路基板、一晶片、一第一封裝膠體、一第二封裝膠體以及多數個導電凸塊，其中散熱片具有一凹穴，而線路基板係配置於散熱片上，並具有一上表面，且線路基板之對應於凹穴之位置具有一開孔。此外，晶片係配置於凹穴之底部，並與線路基板電性連接，而第一封裝膠體係配置於晶片與散熱片之間，且第一封裝膠體



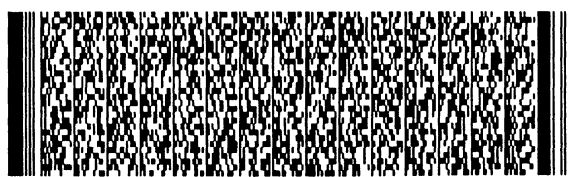
## 五、發明說明(4)

係與凹穴之側壁相連。另外，第二封裝膠體係配置於第一封裝膠體上，且第二封裝膠體係覆蓋晶片及部分之線路基板，而導電凸塊係配置於線路基板之顯露於該第二封裝膠體之該上表面，用以作為晶片封裝結構與外界電性連接的媒介。

在本發明的較佳實施例中，上述之第一封裝膠體之高度例如可小於、等於或大於凹穴之深度，而晶片封裝結構例如更包括一導熱間隔，其例如可以是一金屬層或是一圖案化金屬層。此導熱間隔層係配置於晶片與第一封裝膠體之間，並延伸至線路基板與散熱片之間，以將晶片運作時所產生之熱量傳導至散熱片。此外，晶片與線路基板例如可用打線接合的方式，並透過多條導線相互電性連接，而第二封裝膠體更包覆這些導線，以避免導線受到外力破壞。

在本發明的較佳實施例中，第一封裝膠體及第二封裝膠體可具有相同之材質，而此材質例如包括環氧樹脂。此外導電凸塊例如可圍繞第二封裝膠體配置。

基於上述目的，本發明更提出另一種晶片封裝結構，其例如包括一散熱片、一線路基板、一晶片、一封裝膠體以及多個導電凸塊，其中散熱片具有一凹穴，而線路基板係配置於散熱片上，並具有一上表面，且線路基板對應於凹穴之位置具有一開孔。此外，晶片係容置於凹穴內，多個導線係電性連接該晶片與該線路基板，而封裝膠體係包覆該晶片及這些導線，並與該凹穴之底部及側壁相連



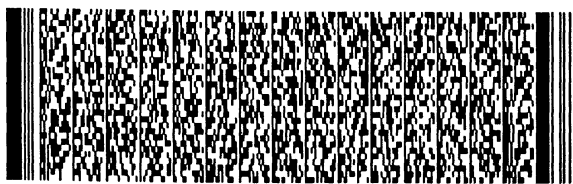
## 五、發明說明 (5)

接。另外導電凸塊係配置於線路基板之該上表面。

基於上述目的，本發明更提出一種晶片封裝製程，至少包括：於一散熱片上形成一凹穴；於凹穴之底部形成一第一封裝膠體；於散熱片上配置一線路基板，且線路基板之對應於凹穴之位置具有一開孔；於第一封裝膠體上配置一晶片；使晶片與線路基板電性連接；於第一封裝膠體上形成一第二封裝膠體，並使第二封裝膠體覆蓋晶片及部之該線路基板；以及於線路基板上形成多個導電凸塊，以形成一晶片封裝結構。

在本發明的較佳實施例中，上述之晶片封裝製程例如更包括在形成第一封裝膠體與配置線路基板之間，於第一封裝膠體及散熱片上形成一導熱間隔層，以提供晶片一較佳之散熱途徑，而此導熱間隔層例如可是一金屬層或是方圖案化金屬層。此外，使晶片與線路基板電性連接之方法，例如可以是打線接合的方式。

基於上述，本發明之晶片封裝結構及其封裝製程係於晶片與基板之間配置一第一封裝膠體，用以增加晶片與散熱片之間距，其中第一封裝膠體與第二封裝膠體之材質相同。如此一來，當形成第二封裝膠體，並接續進行一降溫固化之動作時，由於第一封裝膠體及第二封裝膠體所產生之熱應變相同，因而可減少晶片封裝結構翹曲的程度並避免晶片封裝結構遭受破壞。此外，更因為晶片係由第一封裝膠體及第二封裝膠體所包圍，因此晶片所承受的係為均勻的熱應力，如此將可有效維持晶片及導線之妥善，進



## 五、發明說明 (6)

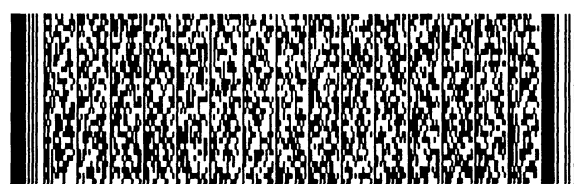
而提高晶片封裝製程之良率。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

請參考第2A~2G圖，其依序繪示本發明之第一實施例之第一種晶片封裝製程的示意圖。首先，如第2A圖所示，於一散熱片230上形成一凹穴230a，其中形成此凹穴230a之方法包括機械鑽孔、雷射鑽孔及蝕刻等加工方式。接著，如第2B圖所示，於凹穴230a之底部形成一第一封裝膠體240a，其材質例如可為環氧樹脂 (epoxy)，且第一封裝膠體240a覆蓋凹穴230a之底部。然後，如第2C圖所示，於散熱片230上配置一線路基板220，其中線路基板220之對應於凹穴230a之位置具有一開孔220a，而線路基板220之上表面224a例如具有多個第一接合墊222a以及多個第二接合墊222b，且第二接合墊222b係位於第一接合墊222a之外圍。此外，線路基板220之下表面224b例如可透過一黏著膠 (未繪示) 而與散熱片230相互接合。

接著，再如第2D圖所示，於第一封裝膠體240a上配置一晶片210，其中晶片210具有一主動表面210a及一背面210b，且主動表面210a上例如具有多個晶片墊212。然後，如第2E圖所示，以例如打線接合的方式，使晶片210之晶片墊212與線路基板220之第一接合墊222a透過多條導線250相互電性連接。繼之，如第2F圖所示，於第一封裝

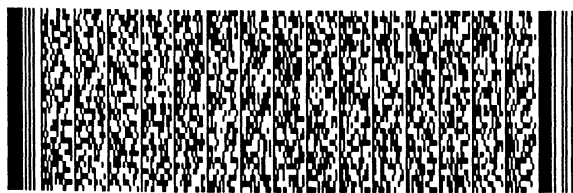


## 五、發明說明 (7)

膠體240a上形成一第二封裝膠體240b，其中第二封裝膠體240b之材質較佳係與第一封裝膠體240a相同（如環氧樹脂），且第二封裝膠體240b覆蓋第一接合墊222a、導線250以及晶片210（包含晶片墊212）。最後，如第2G圖所示，於線路基板220之第二接合墊222b上形成多個導電凸塊260，而得到本發明之晶片封裝結構200，其中導電凸塊260的高度係大於第二封裝膠體240b相對於線路基板220之上表面224a的高度，以利於晶片封裝結構200透過導電凸塊260而與外界電性連接。

在本實施例中，上述之晶片封裝結構及其封裝製程係以相同材質之材料（包含第二封裝膠體240b及第一封裝膠體240a）包覆於晶片之四周作為緩衝，以降低晶片封裝結構翹曲的程度，進而維持晶片及導線之妥善，並提高晶片封裝製程之良率。然而，在一合理的範圍內，本發明之晶片封裝製程亦可先將線路基板220配置於散熱片230上，接著再於凹穴230a內形成第一封裝膠體240a，以承載晶片210，然其相關說明請參考第2B及2C圖，在此不再贅述。

另外，請再參考第2G圖，在考量第一封裝膠體240a與第二封裝膠體240b具有相同材質的前提下，則當第一封裝膠體240a之高度H1近似於晶片210上方之第二封裝膠體240b的高度H2，且晶片210位於凹穴230a中央部位時，將因為晶片210周圍的應變量一致，而具有較佳之熱應力的緩衝效果。然而，依照本發明之特徵，第一封裝膠體與第二封裝膠體之相對尺寸部並不限定於第2G圖所示，其亦可



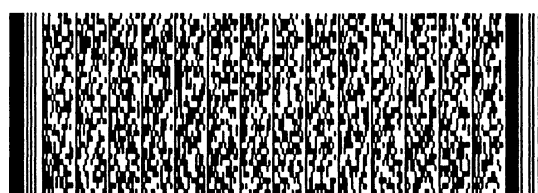
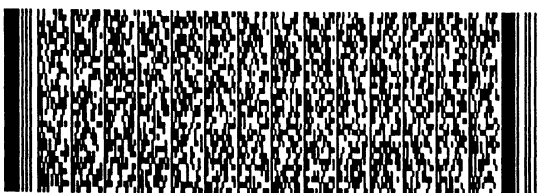
## 五、發明說明 (8)

因不同材質之封裝膠體的搭配或封裝結構之成本與設計上的考量，而有多種變化。

請參考第3圖，其繪示本發明之第一實施例之第二種晶片封裝結構的示意圖，其中第一封裝膠體240a之高度例如小於線路基板220之下表面224b的高度。此外，請參考第4圖，其繪示本發明之第一實施例之第三種晶片封裝結構的示意圖，其封裝製程例如採用先配置線路基板220再形成第一封裝膠體240a之方式，以使第一封裝膠體240a之高度介於線路基板之上表面224a與下表面224b之間。

以上述之第一種晶片封裝結構及其封裝製程為基礎，本發明更可提出一種具較佳散熱性之晶片封裝結構及其相應之封裝製程。請同時參考第2G及5圖，其中第5圖繪示為本發明之第二實施例之第一種晶片封裝結構的示意圖。與第2G圖之晶片封裝結構200相較，本實施例之晶片封裝結構300係於晶片210與第一封裝膠體240a之間增加一導熱間隔層270，其材質例如可為銀、銅或其他導熱性較佳之金屬，且此導熱間隔層270係延伸至線路基板220與散熱片230之間，以使晶片210在運作時所產生之熱能可藉由導熱間隔層270傳導至散熱片230。

對照上述之第2A~2G圖所繪示之晶片封裝製程，上述第5圖之晶片封裝結構300的封裝製程例如係在形成第一封裝膠體240a（如第2B圖所示）之後，再於第一封裝膠體240a及散熱片230上進行全面性的電鍍，而形成導熱間隔層270，其中更可包括一圖案化的動作，以得到一圖案化



## 五、發明說明 (9)

之導熱間隔層270。此外，如第6圖所示之本發明的另一實施例，第一封裝膠體240a之高度更可小於線路基板220之下表面224b的高度，而導熱間隔層270係位於第一封裝膠體240a之表面、部分凹穴230a之側壁以及散熱片230與線路基板220之間。

請同時參考第7A及7B圖，其分別繪示本發明之上述晶片封裝結構與習知之晶片封裝結構，針對不同溫度所進行之翹曲情形的模擬分析圖，其中第7A圖之模擬溫度為 $-65^{\circ}\text{C}$ ，而第7B圖之模擬溫度為 $225^{\circ}\text{C}$ 。此外，曲線710代表習知之晶片封裝結構的翹曲分佈曲線，而曲線720代表第2G圖之晶片封裝結構之對角線上的翹曲分佈曲線，且曲線730代表第5圖之晶片封裝結構之對角線上的翹曲分佈曲線。與習知之晶片封裝結構相較之下，本發明之兩種晶片封裝結構對於不同溫度皆具有明顯的翹曲改善效果。

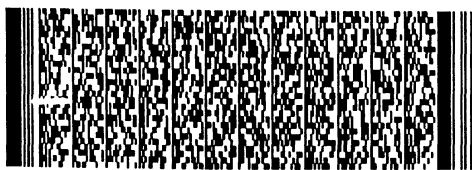
綜上所述，本發明之晶片封裝結構及其封裝製程係於散熱片上形成一凹穴，且於凹穴內填充一第一封裝膠體，之後再將晶片配置於第一封裝膠體上，其中第一封裝膠體之作用係在增加晶片與散熱片之間距，並與覆蓋於晶片上之第二封裝膠體包圍於晶片的四周。由於第一封裝膠體與第二封裝膠體之材質較佳係為相同，例如可同為環氧樹脂，因此當對晶片封裝結構進行一降溫固化的動作時，第一封裝膠體及第二封裝膠體所產生之熱應變相同，而晶片周圍所受到之熱應力亦相對較低。如此一來，將可減小晶片封裝結構翹曲的程度，並可保護晶片及導線之妥善，進



## 五、發明說明 (10)

而提高晶片封裝製程之良率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖繪示為習知一種晶片封裝結構的示意圖。

第2A~2G圖依序繪示為本發明之第一實施例之第一種晶片封裝製程的示意圖。

第3圖繪示為本發明之第一實施例之第二種晶片封裝結構的示意圖。

第4圖繪示為本發明之第一實施例之第三種晶片封裝結構的示意圖。

第5圖繪示為本發明之第二實施例之第一種晶片封裝結構的示意圖。

第6圖繪示為本發明之第二實施例之第二種晶片封裝結構的示意圖。

第7A及7B圖分別繪示為本發明之上述晶片封裝結構與習知之晶片封裝結構，針對不同溫度所進行之翹曲情形的模擬分析圖。

## 【圖式標示說明】

100：晶片封裝結構

110：晶片

110a：主動表面

110b：背面

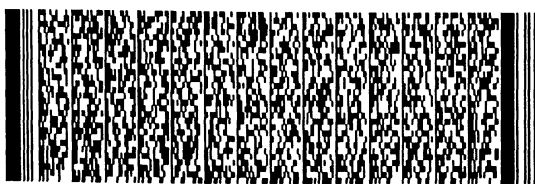
112：晶片墊

120：線路基板

120a：開孔

122a：第一接合墊

122b：第二接合墊



## 圖式簡單說明

- 130 : 散熱片
- 140 : 第二封裝膠體
- 150 : 導線
- 160 : 導電凸塊
- 200 : 晶片封裝結構
- 210 : 晶片
- 210a : 主動表面
- 210b : 背面
- 212 : 晶片墊
- 220 : 線路基板
- 220a : 開孔
- 222a : 第一接合墊
- 222b : 第二接合墊
- 224a : 上表面
- 224b : 下表面
- 230 : 散熱片
- 230a : 凹穴
- 240a : 第一封裝膠體
- 240b : 第二封裝膠體
- 250 : 導線
- 260 : 導電凸塊
- 270 : 導熱間隔層
- 300 : 晶片封裝結構
- 710、720、730 : 翹曲分佈曲線



## 圖式簡單說明

H1 : 第一封裝膠體之高度

H2 : 晶片上方之第二封裝膠體的高度



## 四、中文發明摘要 (發明名稱：晶片封裝結構及其封裝製程)

一種晶片封裝製程。首先，於一散熱片上形成一凹穴。接著，於凹穴之底部形成一第一封裝膠體。然後，於散熱片上配置一線路基板，且線路基板之對應於凹穴之位置具有一開孔。接著，於第一封裝膠體上配置一晶片，並使晶片與線路基板電性連接。最後，於第一封裝膠體上形成一第二封裝膠體，並使第二封裝膠體覆蓋晶片，以形成一晶片封裝結構。此晶片封裝結構及其封裝製程可改善晶片封裝結構之翹曲，並可提供較佳之生產良率。

## 五、英文發明摘要 (發明名稱：CHIP PACKAGE AND PROCESS THEREOF)

A chip packaging process is provided. First, a cavity is formed on a heat slug, and a lining layer is formed on the bottom of the cavity. Then, a circuit substrate is disposed on the heat slug, and the circuit substrate has a hole which corresponding to the cavity. Next, a chip is disposed on the lining layer, and the chip is electrically connected to the circuit substrate.



四、中文發明摘要 (發明名稱：晶片封裝結構及其封裝製程)

五、英文發明摘要 (發明名稱：CHIP PACKAGE AND PROCESS THEREOF)

Finally, a compound is formed on the lining layer, and covers the chip. A chip package is produced after that. The chip package and the process thereof can improve the warpage of the chip package and provide a good yield factor.



## 六、指定代表圖

(一)、本案指定代表圖為：第 2G 圖

(二)、本代表圖之元件代表符號簡單說明：

200：晶片封裝結構

210：晶片

210a：主動表面

210b：背面

212：晶片墊

220：線路基板

220a：開孔

222a：第一接合墊

222b：第二接合墊

224a：上表面

224b：下表面

230：散熱片

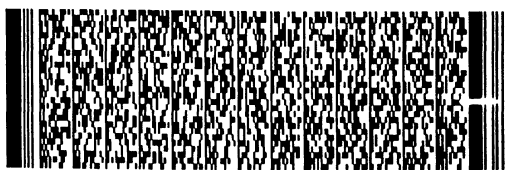
230a：凹穴

240a：第一封裝膠體

240b：第二封裝膠體

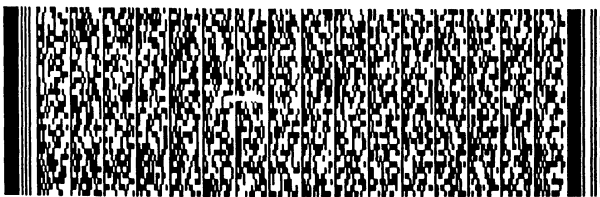
250：導線

260：導電凸塊



## 六、申請專利範圍

1. 一種晶片封裝結構，至少包括：
  - 一散熱片，具有一凹穴；
  - 一線路基板，配置於該散熱片上，並具有一上表面，該線路基板對應於該凹穴之位置具有一開孔；
  - 一晶片，配置於該凹穴之底部，且該晶片係與該線路基板電性連接；
  - 一第一封裝膠體，配置於該晶片與該散熱片之間，且該第一封裝膠體係與該凹穴之側壁相連接；
  - 一第二封裝膠體，配置於該第一封裝膠體上，且該第二封裝膠體係覆蓋該晶片及部分之該線路基板；以及
  - 多數個導電凸塊，配置於該線路基板之顯露於該第二封裝膠體之該上表面。
2. 如申請專利範圍第1項所述之晶片封裝結構，其中該第一封裝膠體之高度係小於該凹穴之深度。
3. 如申請專利範圍第1項所述之晶片封裝結構，其中該第一封裝膠體之高度係等於該凹穴之深度。
4. 如申請專利範圍第1項所述之晶片封裝結構，其中該第一封裝膠體之高度係大於該凹穴之深度。
5. 如申請專利範圍第1項所述之晶片封裝結構，更包括一導熱間隔層，其中該導熱間隔層係配置於該晶片與該第一封裝膠體之間，且該導熱間隔層更延伸至該線路基板與該散熱片之間。
6. 如申請專利範圍第5項所述之晶片封裝結構，其中該導熱間隔層係一金屬層。



## 六、申請專利範圍

7. 如申請專利範圍第5項所述之晶片封裝結構，其中該導熱間隔層係一圖案化金屬層。

8. 如申請專利範圍第1項所述之晶片封裝結構，更包括多數個導線，其中該些導線係電性連接於該晶片與該線路基板之間，且該第二封裝膠體更包覆該些導線。

9. 如申請專利範圍第1項所述之晶片封裝結構，其中該第一封裝膠體與該第二封裝膠體之材質相同。

10. 如申請專利範圍第1項所述之晶片封裝結構，其中該第一封裝膠體之材質包括環氧樹脂。

11. 如申請專利範圍第1項所述之晶片封裝結構，其中該第二封裝膠體之材質包括環氧樹脂。

12. 一種晶片封裝製程，至少包括：

於一散熱片上形成一凹穴；

於該凹穴之底部形成一第一封裝膠體；

於該散熱片上配置一線路基板，且該線路基板之對應於該凹穴之位置係具有一開孔；

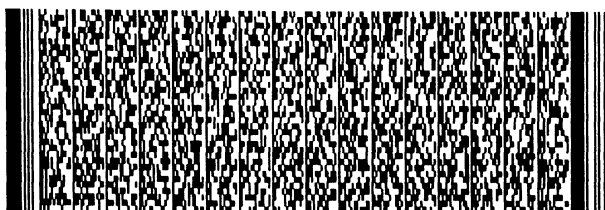
於該第一封裝膠體上配置一晶片；

使該晶片與該線路基板電性連接；

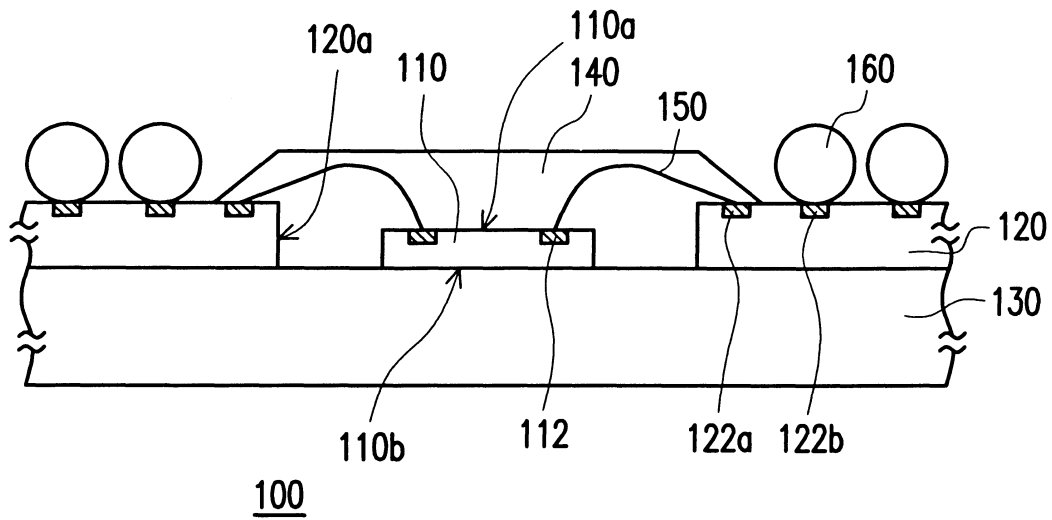
於該第一封裝膠體上形成一第二封裝膠體，並使該第二封裝膠體覆蓋該晶片及部分之該線路基板；以及

於該線路基板上形成多數個導電凸塊。

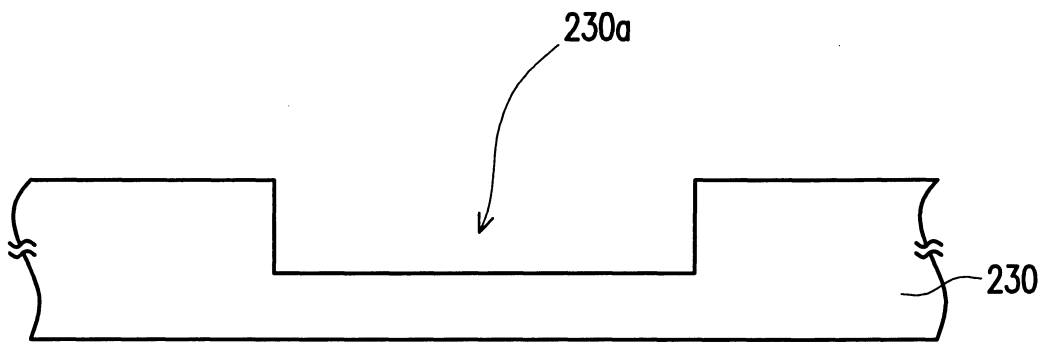
13. 如申請專利範圍第12項所述之晶片封裝製程，其中於形成該第一封裝膠體與配置該線路基板之間，更包括於該第一封裝膠體及該散熱片上形成一導熱間隔層。



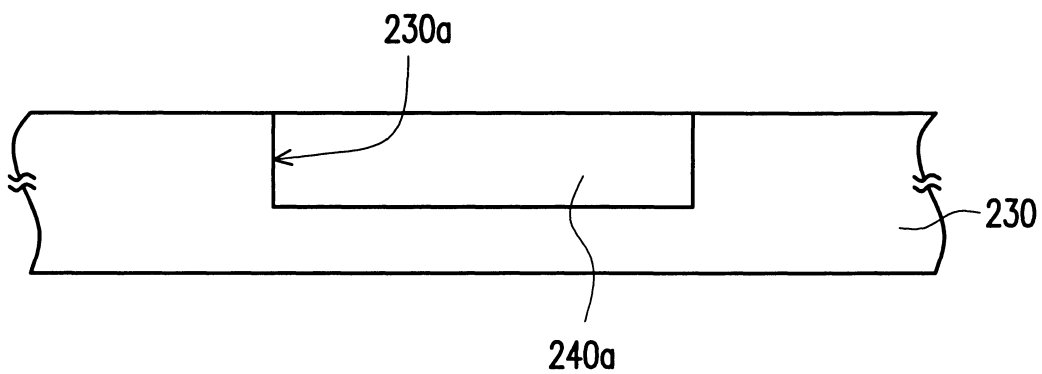
12319TW\_j



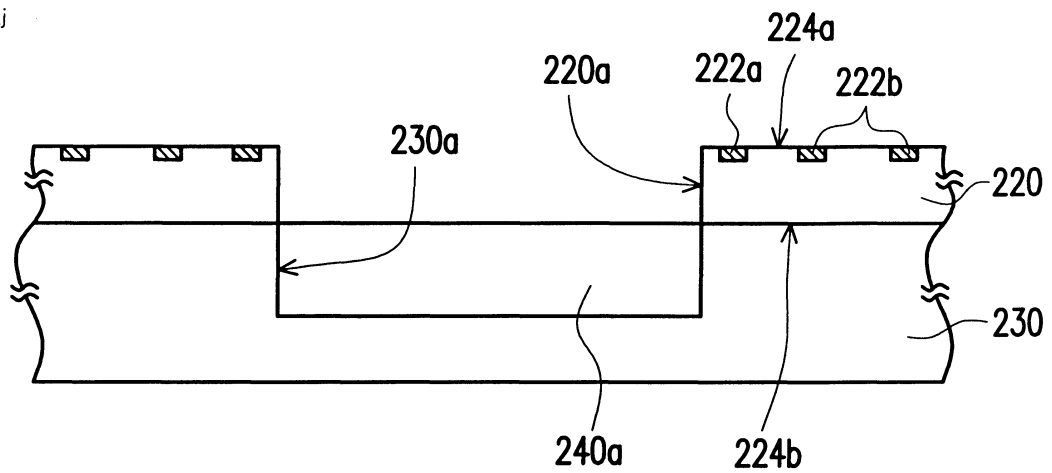
第 1 圖



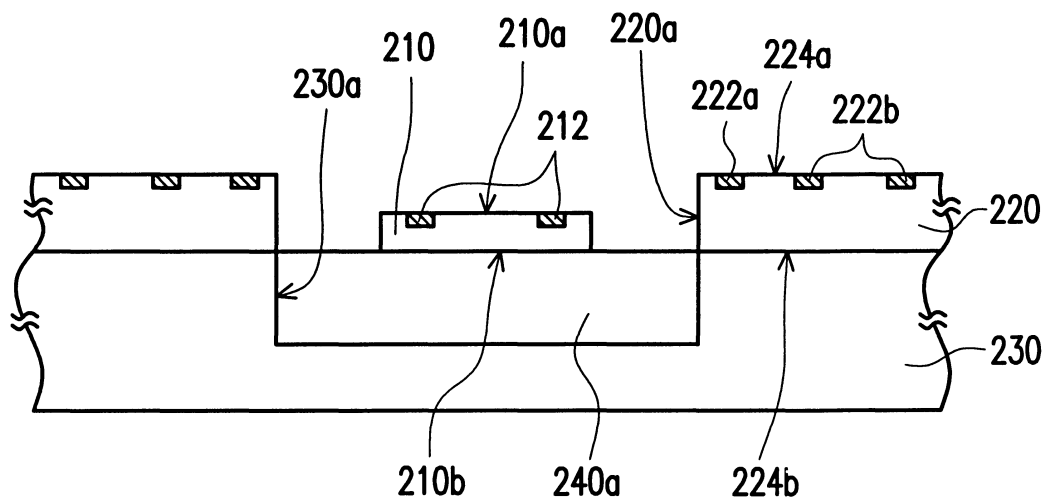
第 2A 圖



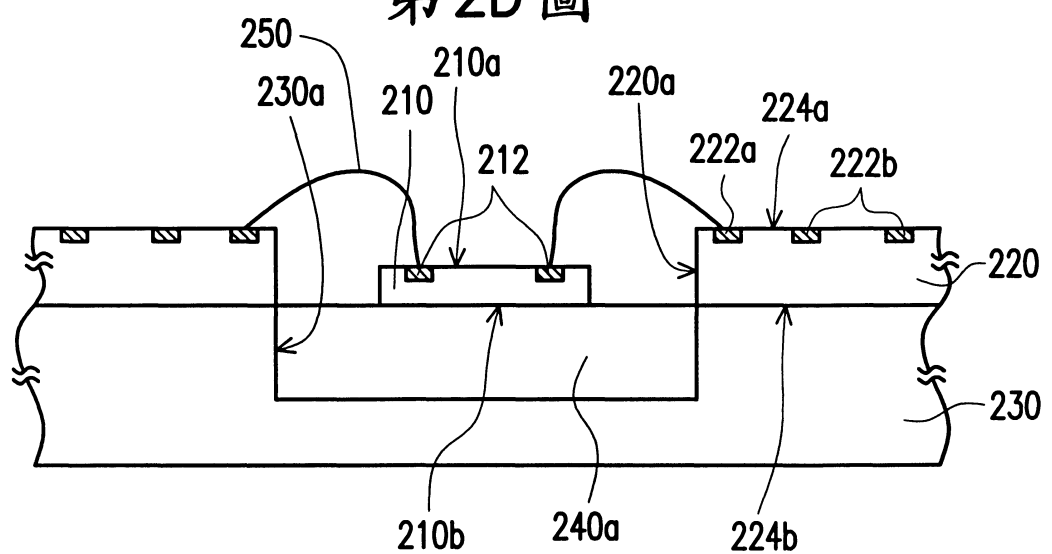
第 2B 圖



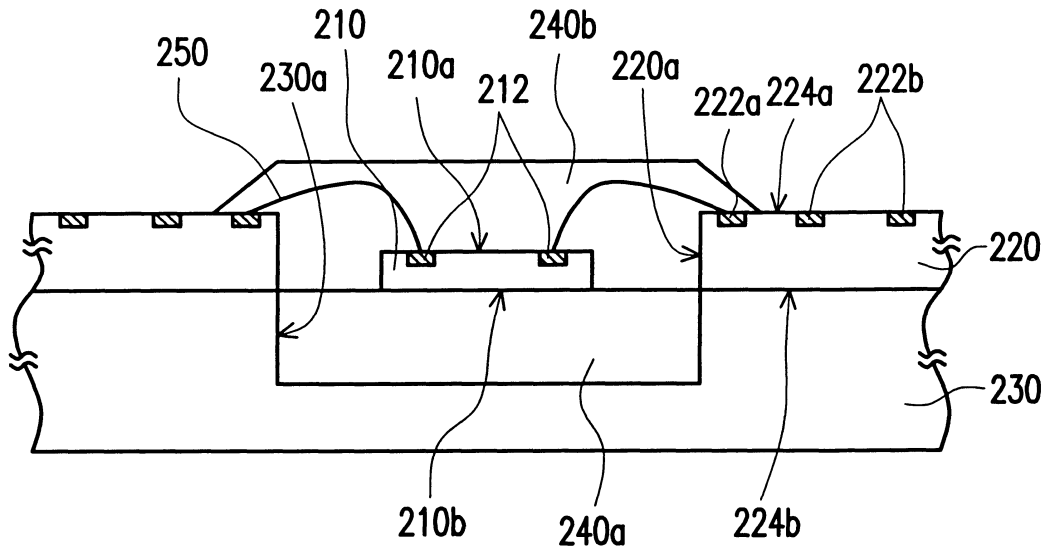
第 2C 圖



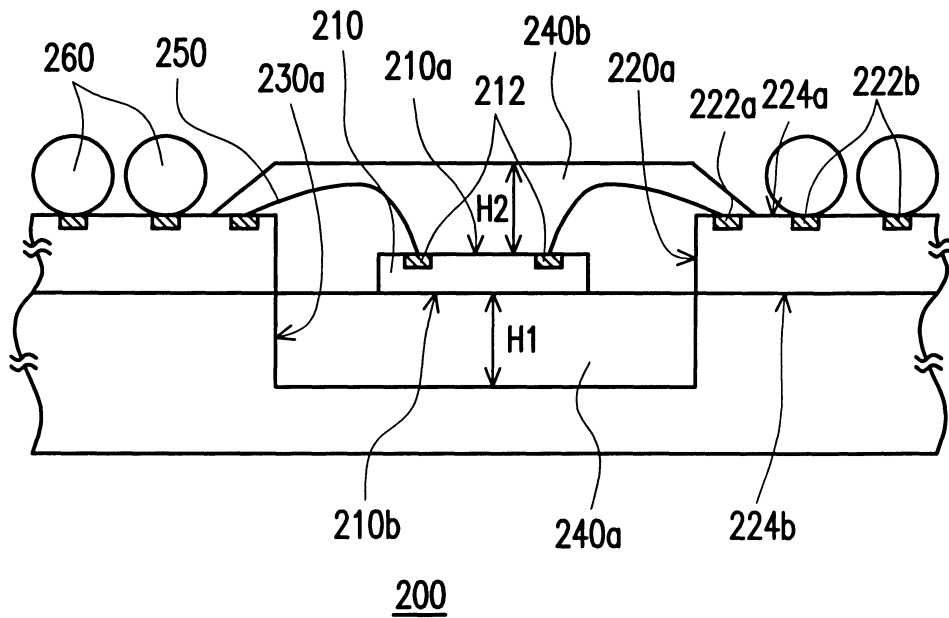
第 2D 圖



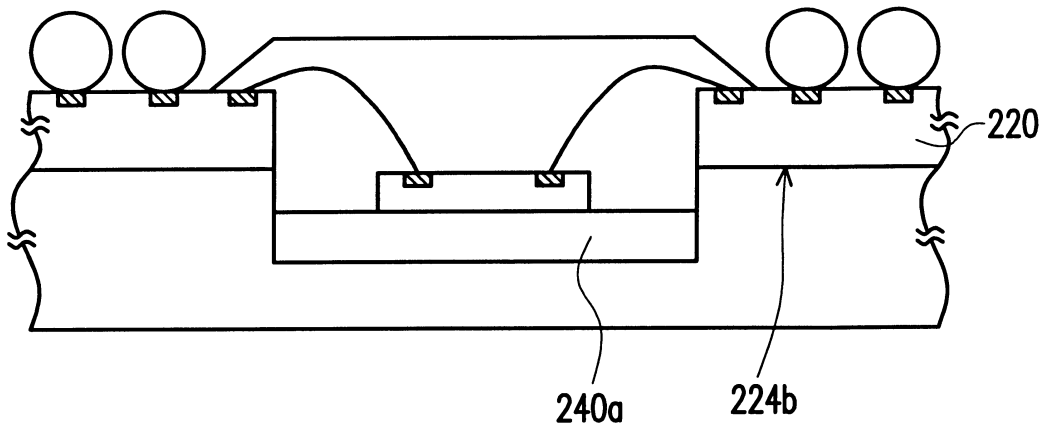
第 2E 圖



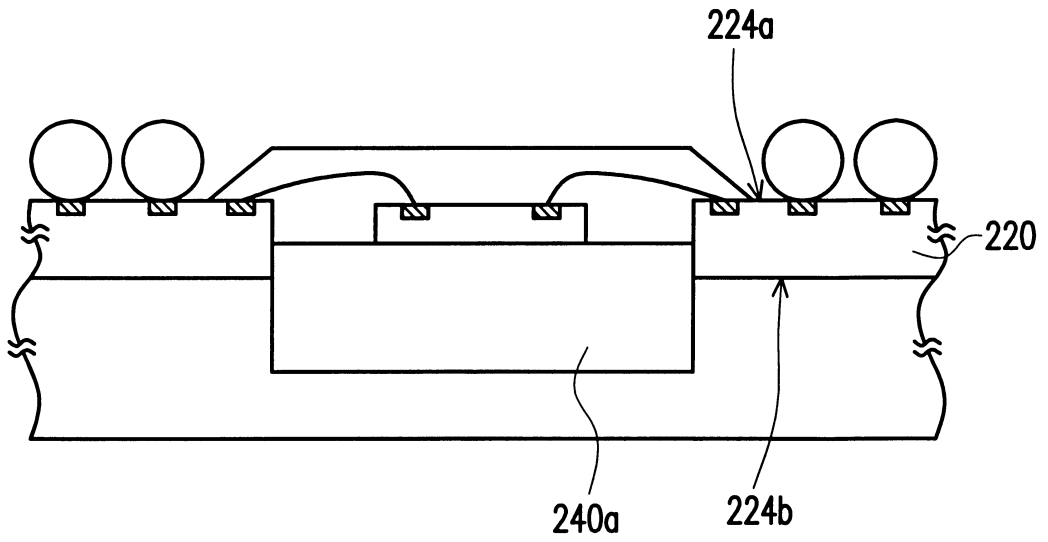
第 2F 圖



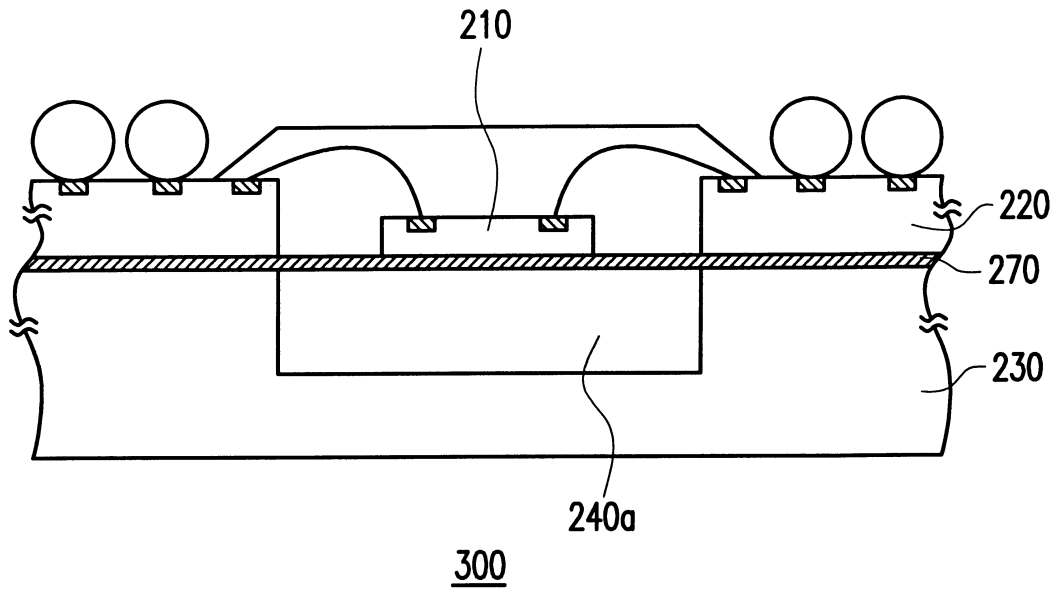
第 2G 圖



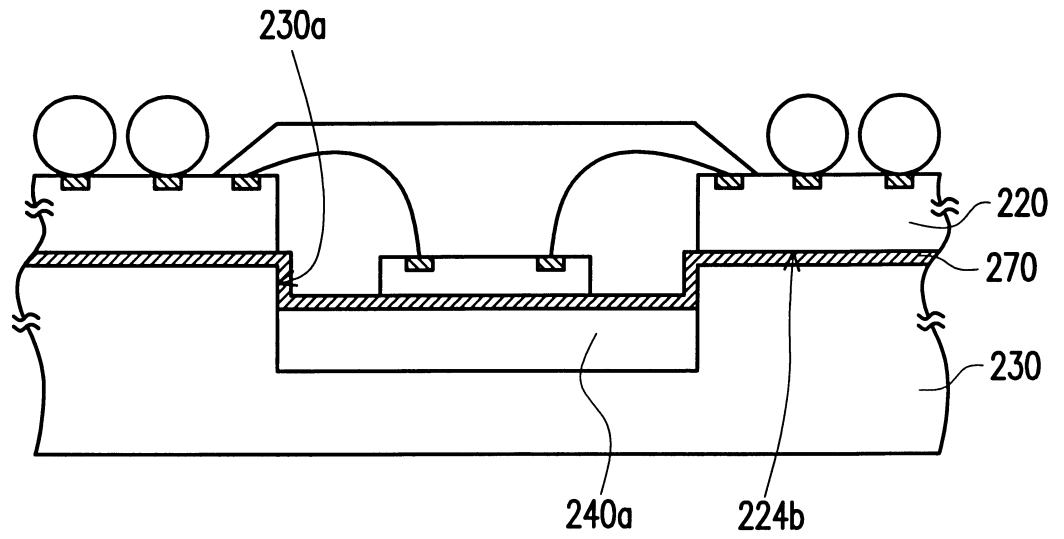
第 3 圖



第 4 圖

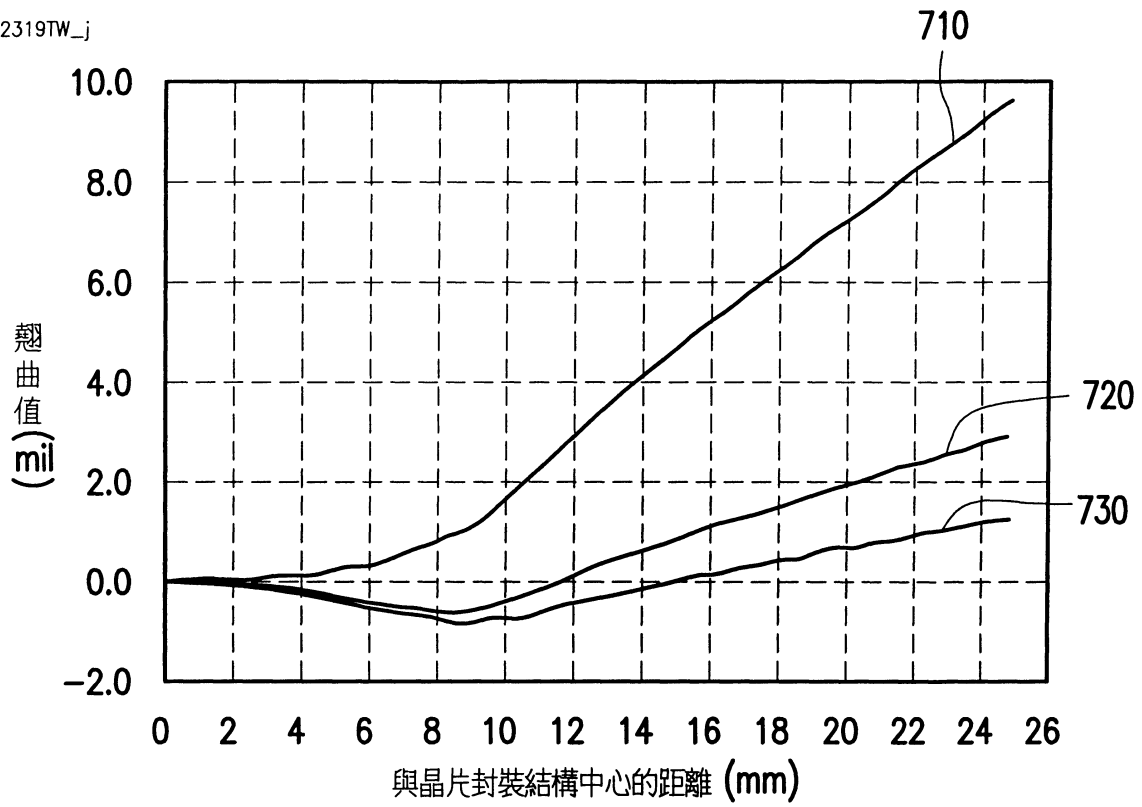


300  
第 5 圖

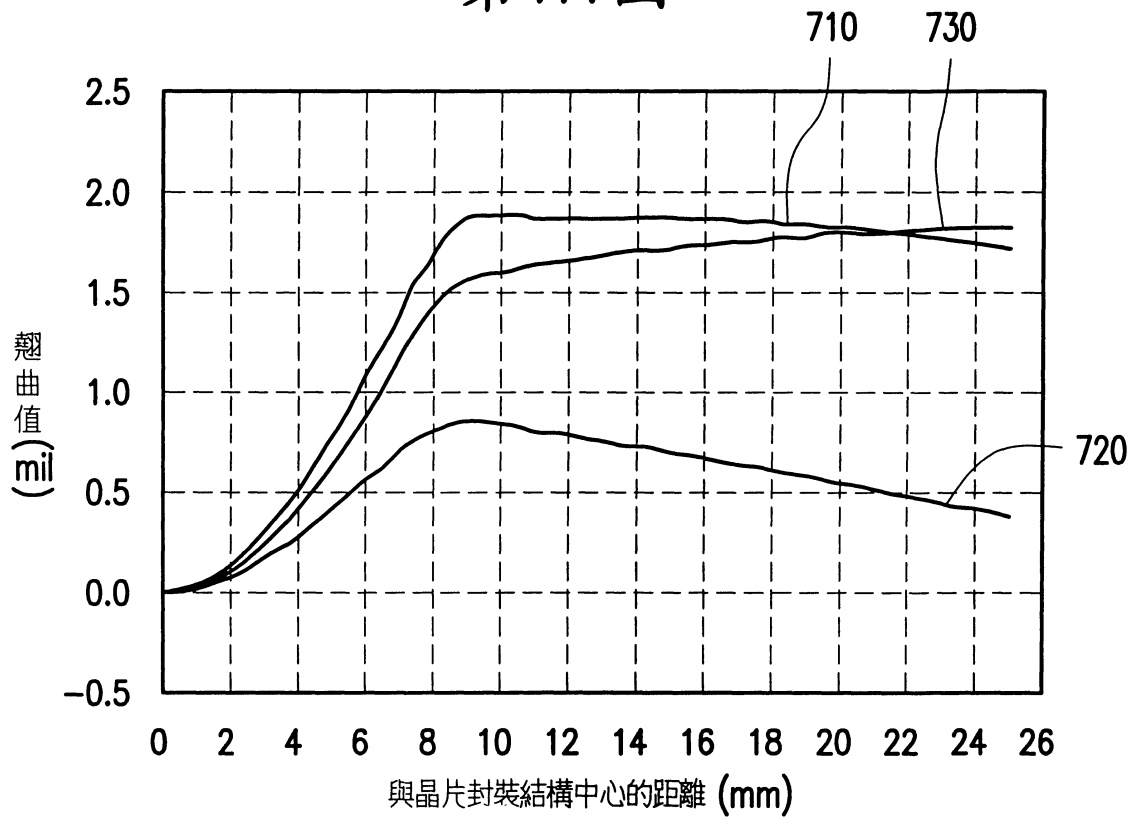


第 6 圖

12319TW\_j



第7A圖



第7B圖

## 六、申請專利範圍

14. 如申請專利範圍第13項所述之晶片封裝製程，其中該導熱間隔層係一金屬層。

15. 如申請專利範圍第13項所述之晶片封裝製程，其中該導熱間隔層係一圖案化金屬層。

16. 如申請專利範圍第12項所述之晶片封裝製程，其中使該晶片與該線路基板電性連接之方法包括打線接合。

17. 一種晶片封裝結構，至少包括：

一散熱片，具有一凹穴；

一線路基板，配置於該散熱片上，並具有一上表面，該線路基板對應於該凹穴之位置具有一開孔；

一晶片，容置於該凹穴內；

多數個導線，其係電性連接該晶片與該線路基板；

一封裝膠體，包覆該晶片及該些導線，並與該凹穴之底部及側壁相連接；以及

多數個導電凸塊，配置於該線路基板之該上表面。

