

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4421365号
(P4421365)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl.

F I

H03K 19/0185 (2006.01)

H03K 19/00 I O I E

請求項の数 10 (全 41 頁)

(21) 出願番号	特願2004-125869 (P2004-125869)	(73) 特許権者	308014341
(22) 出願日	平成16年4月21日(2004.4.21)		富士通マイクロエレクトロニクス株式会社
(65) 公開番号	特開2005-311712 (P2005-311712A)		東京都新宿区西新宿二丁目7番1号
(43) 公開日	平成17年11月4日(2005.11.4)	(74) 代理人	100068755
審査請求日	平成19年3月12日(2007.3.12)		弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	橘 大
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	加藤 達夫
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	宮島 郁美

最終頁に続く

(54) 【発明の名称】 レベル変換回路

(57) 【特許請求の範囲】

【請求項1】

基準電圧と第1電圧とを信号レベルとする入力信号を、前記基準電圧と第1電圧よりも高い第2電圧の信号レベルに変換するレベル変換回路であって、

第1及び第2のPMOSトランジスタと、第1～第4のNMOSトランジスタと、バイアス電位を発生するバイアス回路とを含み、

第1のNMOSトランジスタは、ドレインが第1のPMOSトランジスタのドレインと第2のPMOSトランジスタのゲートに接続され、ソースが第3のNMOSトランジスタのドレインに接続され、第2のNMOSトランジスタは、ドレインが第2のPMOSトランジスタのドレインと第1のPMOSトランジスタのゲートに接続され、ソースが第4のNMOSトランジスタのドレインに接続され、第3のNMOSトランジスタのゲートに前記入力信号が供給されるとともに、第4のNMOSトランジスタのゲートに入力信号を反転した信号が供給され、

前記バイアス回路は、前記第1電圧より前記第1及び第2のNMOSトランジスタのしきい値電圧高いバイアス電位を前記第1及び第2のNMOSトランジスタのゲートに供給する回路であり、前記基準電圧と第1電圧とを信号レベルとする制御信号に基づいて前記バイアス電位を発生させるための電流を制御し、

前記第2電圧の立ち上がりを検出して前記バイアス回路にリセット信号を供給するパワーオンリセット回路を備え、前記バイアス回路は、そのリセット信号に基づいてバイアス電流を増加させることを特徴とするレベル変換回路。

【請求項 2】

基準電圧と第 1 電圧とを信号レベルとする入力信号を、前記基準電圧と第 1 電圧よりも高い第 2 電圧の信号レベルに変換するレベル変換回路であって、

第 1 ~ 第 4 の PMOS トランジスタと、第 1 ~ 第 4 の NMOS トランジスタと、第 1 のバイアス電位を発生する第 1 のバイアス回路と、第 2 のバイアス電位を発生する第 2 のバイアス回路とを含み、

第 1 の NMOS トランジスタは、ドレインが第 1 の PMOS トランジスタのドレインと第 2 の PMOS トランジスタのゲートに接続され、ソースが第 3 の NMOS トランジスタのドレインに接続され、第 2 の NMOS トランジスタは、ドレインが第 2 の PMOS トランジスタのドレインと第 1 の PMOS トランジスタのゲートに接続され、ソースが第 4 の NMOS トランジスタのドレインに接続され、第 3 の PMOS トランジスタのドレインは、第 1 の PMOS トランジスタのソースに接続され、第 4 の PMOS トランジスタのドレインは、第 2 の PMOS トランジスタのソースに接続され、

第 3 の NMOS トランジスタのゲートに前記入力信号が供給されるとともに、第 4 の NMOS トランジスタのゲートに入力信号を反転した信号が供給され、

前記第 1 のバイアス回路は、前記第 1 電圧より前記第 1 及び第 2 の NMOS トランジスタのしきい値電圧高い第 1 のバイアス電位を前記第 1 及び第 2 の NMOS トランジスタのゲートに供給する回路であり、前記基準電圧と第 1 電圧とを信号レベルとする制御信号に基づいて、前記第 1 のバイアス電位を発生させるための電流を制御し、

前記第 2 のバイアス回路は、前記第 3 及び第 4 の PMOS トランジスタのゲートに前記第 2 のバイアス電位を供給し、出力信号の変化時に第 3 及び第 4 の PMOS トランジスタに流れる電流が第 1 及び第 2 の NMOS トランジスタに流れる電流と比例関係となるよう制御することを特徴とするレベル変換回路。

【請求項 3】

前記バイアス回路は、バイアス電流を設定するための抵抗と、前記制御信号に基づいて前記抵抗に流れる電流を制御する MOS トランジスタとを備えることを特徴とする請求項 1 に記載のレベル変換回路。

【請求項 4】

前記バイアス回路は、前記バイアス電流を設定するための抵抗を複数備えることを特徴とする請求項 3 に記載のレベル変換回路。

【請求項 5】

前記第 2 のバイアス回路は、バイアス電流の停止時に前記第 2 のバイアス電位を前記基準電圧の電位レベルとするための MOS トランジスタを備えることを特徴とする請求項 2 に記載のレベル変換回路。

【請求項 6】

前記バイアス回路は、前記第 2 電圧の電源に接続されカレントミラー回路を構成する一対の PMOS トランジスタと、ドレインとゲートが前記ミラー回路に接続されるとともにソースが前記第 1 電圧の電源に接続される NMOS トランジスタとを備えることを特徴とする請求項 1 に記載のレベル変換回路。

【請求項 7】

前記バイアス回路は、前記カレントミラー回路に流れるバイアス電流を設定するための抵抗と、前記制御信号に基づいて前記抵抗に流れる電流を制御する NMOS トランジスタとを備えることを特徴とする請求項 6 に記載のレベル変換回路。

【請求項 8】

前記各 MOS トランジスタからなる変換部を複数備え、該各変換部にバイアス電位を供給するバイアス回路を共通に用いるようにしたことを特徴とする請求項 1 に記載のレベル変換回路。

【請求項 9】

前記バイアス回路は、前記バイアス電位を安定化するための容量を備えることを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載のレベル変換回路。

10

20

30

40

50

【請求項 10】

基準電圧と第 1 電圧との電圧レベルの入力信号を、前記基準電圧と前記第 1 電圧よりも高い第 2 電圧との電圧レベルの出力信号にレベル変換するレベル変換回路であって、

バイアス電位を発生するバイアス回路と、クロスカップルされた第 1 及び第 2 の P M O S トランジスタと、該各 P M O S トランジスタに直列に接続され、ゲートに前記バイアス電位が供給される第 1 及び第 2 の N M O S トランジスタと、前記各 N M O S トランジスタに直列に接続され、ゲートに前記入力信号が供給される第 3 及び第 4 の N M O S トランジスタと、を含み、

前記バイアス電位は、前記第 1 電圧より前記第 1 及び第 2 の N M O S トランジスタのしきい値電圧高い電位であり、前記バイアス回路は、前記基準電圧と第 1 電圧とを信号レベルとする制御信号に基づいて前記バイアス電位を発生させるための電流を制御し、

前記第 2 電圧の立ち上がりを検出して前記バイアス回路にリセット信号を供給するパワーオンリセット回路を備え、前記バイアス回路は、そのリセット信号に基づいてバイアス電流を増加させることを特徴とするレベル変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力信号の電圧レベルをレベルシフトして出力するレベル変換回路に関するものである。

多電源の半導体集積回路装置（L S I）では、異なる電源電圧の回路間を接続するためにレベル変換回路が設けられている。異なる電源電圧の回路間を接続するレベル変換回路、特に、低い電源電圧の回路の信号を、高い電源電圧の回路の信号に変換するレベル変換回路（昇圧用のレベル変換回路）は、高い電源電圧の回路信号を低い電源電圧の回路信号に変換する回路（降圧用のレベル変換回路）に比較して、増幅機能が必要となることから、遅延時間、消費電力が大きくなり易い。そのため、遅延時間や消費電力を低減できるレベル変換回路が必要となっている。

【背景技術】

【0002】

近年、半導体集積回路装置では、集積回路の微細化の進展とともに、デジタル回路の集積度の向上が続いており、その微細化に伴う信頼性の向上と消費電力の低減を図るためにデジタル回路部分の電源電圧は低下してきている。例えば、0.35 μm の技術で製造された集積回路の電源電圧は 3.3 V、0.18 μm の技術で製造された集積回路の電源電圧は 1.8 V 程度となっている。一方、自動車用の制御部品として利用される半導体集積回路装置などでは、従来の 5 V の電源電圧をインターフェース部の電源電圧とする要求が、いまだに根強く残っている。このため、従来の電源電圧（例えば、5 V）との互換性を維持したインターフェース回路を残しながら、微細化による集積度の向上の恩恵を享受するために、内部回路の電源電圧をインターフェース回路の電源電圧よりも低い電圧値とし、内部回路を微細な C M O S プロセスで形成した L S I が数多く製造されている。

【0003】

また、L S I の外部仕様として、電源電圧が複数ある場合に限らず、D R A M、フラッシュ E E P R O M などのように、内部の昇圧回路により、外部から供給される電源電圧より高い電圧を発生し、結果的に複数の異なる電源電圧を使用する L S I や、いわゆる降圧回路により、外部から供給される電源電圧より低い内部電圧を発生し、結果的に複数の異なる電源電圧を使用する L S I も多数存在する。

【0004】

これら多電源の L S I には、異なる電源電圧の回路間を接続するためにレベル変換回路が設けられている。従来のレベル変換回路としては、特許文献 1 ~ 9 等に開示されている。なお、レベル変換回路は、レベルシフト回路、或いはレベルシフト回路とも呼ばれている。

【0005】

図25及び図26には、それら従来のレベル変換回路のうちの代表的な回路例を示している。なお、図25のレベル変換回路1は、特許文献1に開示されている回路であり、図26のレベル変換回路2は、特許文献2に開示されている回路である。

【0006】

まず、図25のレベル変換回路1について説明する。このレベル変換回路1は、高耐圧のPMOSトランジスタPH1、PH2、高耐圧のNMOSトランジスタNH1、NH2、低耐圧のPMOSトランジスタPL1、PL2、低耐圧のNMOSトランジスタNL1、NL2とを含む。図25において、高耐圧のMOSトランジスタについては、低耐圧のMOSトランジスタと区別するため、そのトランジスタ記号を丸で囲って図示している。なお、本明細書における他の図面においても同様に、高耐圧のMOSトランジスタの記号を丸で囲って図示している。

10

【0007】

高耐圧のNMOSトランジスタNH1は、ドレインが高耐圧のPMOSトランジスタPH1のドレインとPMOSトランジスタPH2のゲートと接続され、ソースがグランドに接続されている。また、高耐圧のNMOSトランジスタNH2は、ドレインが高耐圧のPMOSトランジスタPH2のドレインとPMOSトランジスタPH1のゲートと接続され、ソースがグランドに接続されている。そして、各PMOSトランジスタPH1、PH2のソースには、高電圧回路部分の電源電圧Vppが供給されている。

【0008】

入力信号INは低耐圧のPMOSトランジスタPL1と低耐圧のNMOSトランジスタNL1とから構成されるインバータ回路3に供給される。インバータ回路3の出力ノードN10（各MOSトランジスタPL1、PL2の接続部）は、低耐圧のPMOSトランジスタPL2と低耐圧のNMOSトランジスタNL2とからなるインバータ回路4（各MOSトランジスタPL2、NL2のゲート）に接続されている。各インバータ回路3、4は、デジタル回路の電源電圧Vddが供給されて動作する。

20

【0009】

また、インバータ回路3の出力ノードN10は、高耐圧のNMOSトランジスタNH1のゲートに接続され、インバータ回路4の出力ノードN11は、高耐圧のNMOSトランジスタNH2のゲートに接続されている。そして、PMOSトランジスタPH2とNMOSトランジスタNH2との接続部から出力信号OUTが出力される。

30

【0010】

ここで、例えば、デジタル回路の電源電圧Vddが1.8Vであり、高電圧回路部分の電源電圧Vppが5Vである場合、図25のレベル変換回路1は、信号振幅が1.8Vの入力信号INを5Vの出力信号OUTにレベル変換する。

【0011】

具体的に、入力信号INがHレベル（1.8Vの電位レベル）であるとき、インバータ回路3の出力ノードN10はLレベル（0Vの電位レベル）、インバータ回路4の出力ノードN11はHレベルとなる。インバータ回路3の出力ノードN10がLレベルとなるため、NMOSトランジスタNH1はオフし、インバータ回路4の出力ノードN11がHレベルとなるため、NMOSトランジスタNH2はオンする。NMOSトランジスタNH2がオンすると、出力信号OUTはLレベルとなる。このとき、NMOSトランジスタNH2がオンし、PMOSトランジスタPH2がオフするため、回路に定常電流が流れることはない。

40

【0012】

入力信号INがLレベルであるとき、インバータ回路3の出力ノードN10はHレベル、インバータ回路4の出力ノードN11はLレベルとなる。そのため、NMOSトランジスタNH1はオンし、NMOSトランジスタNH2はオフする。NMOSトランジスタNH1がオンするため、PMOSトランジスタPH1とNMOSトランジスタNH1間のノードN20はLレベルとなり、PMOSトランジスタPH2がオンする。PMOSトランジスタPH2がオンしNMOSトランジスタNH2がオフすることで、出力信号OUTは

50

Hレベルとなる。このとき、PMOSトランジスタPH2がオンし、NMOSトランジスタNH2がオフしているため、回路に定常電流が流れることはない。

【0013】

ノードN20と出力信号OUTの信号振幅は、電源電圧Vppから決まる値の5Vと大きくなり、この部分の各回路素子には電源電圧Vppの5Vが加わるため、各MOSトランジスタPH1, PH2, NH1, NH2には高耐圧のトランジスタが用いられる。一般的なMOSトランジスタでは、ゲート酸化膜を厚くすることでその耐圧が高められる。また、ゲート酸化膜を厚くするのに伴う短チャネル効果の抑制とドレイン耐圧の向上とを図るためには、長いチャネル長を確保する必要がある。

【0014】

このように構成した従来のレベル変換回路1は、簡単な回路構成で、かつ定常電流が流れないので広く実用化されている。

次に、図26のレベル変換回路2について説明する。なお、同図において、図25のレベル変換回路1と同一構成部分は同一符号を付している。すなわち、レベル変換回路2は、各MOSトランジスタPH1, PH2, NH1, NH2, PL1, PL2, NL1, NL2に加えて、バイアス回路6を備え、そのバイアス回路6で発生されたバイアス電位NBが高耐圧のNMOSトランジスタNH1, NH2のゲートに供給される。また、高耐圧のNMOSトランジスタNH1のソースがインバータ回路3の出力ノードN10に接続され、高耐圧のNMOSトランジスタNH2のソースがインバータ回路4の出力ノードN11に接続される。

【0015】

バイアス回路6は、抵抗R2と高耐圧のPMOSトランジスタPH5とを含む。PMOSトランジスタPH5のソースには、抵抗R2を介して高電圧回路部分の電源電圧Vppが供給される。また、そのPMOSトランジスタPH5のゲートにはデジタル回路の電源電圧Vddが供給され、PMOSトランジスタPH5のドレインはグランドに接続されている。

【0016】

このレベル変換回路2においても、デジタル回路の電源電圧Vddが1.8であり、高電圧回路部分の電源電圧Vppが5Vである場合、信号振幅が1.8Vの入力信号INを5Vの出力信号OUTにレベル変換する。また、バイアス回路6におけるバイアス電位NBは、電源電圧Vddに対してPMOSトランジスタPH5のしきい値電圧Vth程度高い電位($V_{dd} + V_{th}$)となる。バイアス回路6の抵抗R2は、ソースホロワ回路の電流源として機能する。

【0017】

具体的に、入力信号INがHレベル(1.8V)である場合、インバータ回路3の出力ノードN10はLレベル(0V)、インバータ回路4の出力ノードN11はHレベル(1.8V)となる。ここで、バイアス回路6のバイアス電位NBを、電源電圧Vddからしきい値電圧(例えば、0.6V)だけ高い2.4V($= 1.8V + 0.6V$)の電位とする。この場合、ノードN10がLレベル(0V)、バイアス電位NBが2.4Vであるため、NMOSトランジスタNH1はオン状態(導通状態)となる。また、ノードN11がHレベル(1.8V)、バイアス電位NBが2.4Vであるため、NMOSトランジスタNH2のゲート・ソース間には、0.6Vの電圧しか加わらない。そのため、NMOSトランジスタNH2はオフ状態(非導通状態)となる。

【0018】

このとき、NMOSトランジスタNH1がオンすることにより、ノードN20はLレベルとなり、PMOSトランジスタPH2がオンする。PMOSトランジスタPH2がオンし、NMOSトランジスタNH2がオフすることで、出力信号OUTはHレベルとなる。またこのとき、PMOSトランジスタPH2がオンし、NMOSトランジスタNH2がオフするため、回路に定常電流が流れることはない。

【0019】

10

20

30

40

50

入力信号 I_N が L レベルであるとき、インバータ回路 3 の出力ノード N_{10} は H レベル、インバータ回路 4 の出力ノード N_{11} は L レベルとなる。この場合、ノード N_{10} が H レベル (1.8 V)、バイアス電位 N_B が 2.4 V であるため、NMOS トランジスタ N_{H1} のゲート・ソース間には、0.6 V の電圧しか加わらない。そのため、NMOS トランジスタ N_{H1} はオフ状態となる。また、ノード N_{11} が L レベル (0 V)、バイアス電位 N_B が 2.4 V であるため、NMOS トランジスタ N_{H2} はオン状態となる。従って、出力信号 $O_U T$ は L レベルとなる。またこのとき、PMOS トランジスタ P_{H1} がオンし、NMOS トランジスタ N_{H1} がオフすることでノード N_{20} が H レベル (5 V) となる。ノード N_{20} が H レベルとなることで、PMOS トランジスタ P_{H2} がオフするため、回路に定常電流が流れることはない。

10

【0020】

このレベル変換回路 2 において、ノード N_{10} , N_{20} の信号振幅は 0 V ~ 1.8 V に制限されているので、低耐圧の各 MOS トランジスタ P_{L1} , P_{L2} , N_{L1} , N_{L2} にはデジタル回路の電源電圧 V_{dd} 以上の電圧が加わることはない。また、バイアス電位を、電源電圧 V_{dd} からしきい値電圧 V_{th} 程度高い電位 (2.4 V) とすることで、NMOS トランジスタ N_{H1} , N_{H2} がオンするときのゲート・ソース間電圧が、電源電圧 V_{dd} にしきい値電圧 V_{th} を加算した電圧値に高められ、回路の高速動作が達成される。

【0021】

このように、レベル変換回路 2 では、図 1 のレベル変換回路 1 に対してバイアス回路 6 を追加し、回路接続を工夫することで、バイアスの信頼性を確保しながら、高速かつ、定常電流の流れない構成を実現している。

20

【特許文献 1】特開平 6 - 204850 号公報

【特許文献 2】特開 2003 - 101405 号公報

【特許文献 3】特開 2001 - 351393 号公報

【特許文献 4】特開 2002 - 190731 号公報

【特許文献 5】特開 2003 - 60496 号公報

【特許文献 6】特開 2002 - 198800 号公報

【特許文献 7】特開 2001 - 274675 号公報

【特許文献 8】特開平 9 - 7371 号公報

【特許文献 9】特開平 6 - 37624 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0022】

ところで、図 25 のレベル変換回路 1 では、簡単な回路構成で低い電源電圧 V_{dd} の入力信号 I_N を高い電源電圧 V_{pp} の出力信号 $O_U T$ に変換するレベル変換機能を実現することができるが、占有面積が大きくなるといった問題がある。また、低い電源電圧 V_{dd} の電圧値が高耐圧の NMOS トランジスタ N_{H1} , N_{H2} のしきい値電圧 V_{th} 程度まで小さくなってしまうと、遅延時間が大きくなり回路の動作速度の低下が問題となる。なお、占有面積が大きくなるといった問題については特許文献 3 でも指摘されている。

【0023】

40

図 25 のレベル変換回路 1 において、例えば、出力信号 $O_U T$ を H レベルから L レベルに変化させる場合を考える。出力信号 $O_U T$ が H レベル (5 V) であるとき、それと相補的な信号レベルのノード N_{20} は L レベル (0 V) となり、入力信号 I_N も L レベルとなっている。そして、入力信号 I_N が H レベル (1.8 V) に変化すると、ノード N_{10} は L レベル、ノード N_{11} は H レベルとなる。このとき、出力信号 $O_U T$ が H レベルから L レベルに変化するためには、PMOS トランジスタ P_{H2} から供給される電流よりも大きな電流を NMOS トランジスタ N_{H2} が流すことで、出力端子の電位を H レベルから L レベルに放電する必要がある。ここで、PMOS トランジスタ P_{H2} のゲート・ソース間電圧には 5 V が加わるのに対して、NMOS トランジスタ N_{H2} のゲート・ソース間電圧は 1.8 V しかなく、PMOS トランジスタ P_{H2} の駆動電流よりも NMOS トランジスタ

50

NH2の駆動電流を大きくするためには、該トランジスタNH2のゲート幅を大きく設計しなければならない。

【0024】

また、低い電源電圧V_{dd}の下限値が1.2Vである場合に、NMOSTランジスタNH2のしきい値電圧V_{th}の最大値が1.2Vであると仮定すると、該トランジスタNH2のゲート幅をどれだけ大きく設計したとしても、PMOSTランジスタPH2よりもNMOSTランジスタNH2の駆動電流を大きくすることが不可能となり、正常な回路動作が実現できなくなる。

【0025】

一方、図26のレベル変換回路2では、バイアス回路6を追加して回路接続を変更するといった比較的簡単な構成で、上記の欠点が解消される。このレベル変換回路2と同様の回路構成が特許文献3や特許文献4にも開示されている。

10

【0026】

図25のレベル変換回路1では、高耐圧のNMOSTランジスタNH1, NH2のゲートに、低い電源電圧V_{dd}の信号を供給していた。これに対し、図26のレベル変換回路2では、NMOSTランジスタNH1, NH2のソースに電源電圧V_{dd}の信号を供給し、NMOSTランジスタNH1, NH2のゲートには、電源電圧V_{dd}よりもNMOSTランジスタのしきい値電圧V_{th}程度高いバイアス電位NB (= V_{dd} + V_{th})を供給するよう構成した。これにより、レベル変換回路2において定常電流はほとんど流れることはなく、レベル変換機能の実現され、さらに、NMOSTランジスタNH1, NH2のゲート・ソース間電圧が、電源電圧V_{dd}よりもしきい値電圧V_{th}程度高い電圧となるため、回路動作の高速化が可能となる。また、このレベル変換回路2では、NMOSTランジスタNH1, NH2のゲート・ソース間電圧が高くなるので、PMOSTランジスタPH2の駆動電流よりNMOSTランジスタNH2の駆動電流を大きく設計することが容易となる。

20

【0027】

しかしながら、図26のレベル変換回路2においては、バイアス電位を発生するバイアス回路6は常に動作しており、レベル変換が必要でないときにも電流が消費されてしまう。例えば、LSIを製造し製品出荷する際には、そのLSIが所望の特性を満たしているか確認するための試験が行われる。この試験には、IDDQといわれる重要な項目がある。このIDDQとは、静止電流(Quiescent Power Supply Current)の測定項目である。CMOS回路の場合、信号が変化する瞬間のみ電流が流れ、信号変化がない定常時ではほとんど電流は流れない。リーク故障や信号固定故障があるLSIではリーク電流やCMOS回路内を流れる貫通電流によって、静止電流が増加するためそれを検出することにより故障の有無が判定される。従って、バイアス回路6における定常電流を停止できないと、LSIとしての重要な項目であるIDDQ測定の精度が低下してしまう。

30

【0028】

また例えば、0.18μmの技術で製造された集積回路であり、1.8V、3.3V、5Vの電源電圧の各回路が混在するLSIでは、デジタル回路の電源電圧が1.8V、外部インターフェース回路の大部分の電源電圧が3.3V、一部のアナログ回路の電源電圧だけが5Vといった回路構成が考えられる。このLSIでは、1.8Vの電源電圧で動作する回路と5Vの電源電圧で動作する回路とにおいて信号レベルを変換するためのレベル変換回路が必要となるが、電源電圧が5Vである回路は全体のごく一部で、かつ動作している期間も限られるような場合がある。

40

【0029】

このような場合、使用する期間だけ回路を活性化して動作させ、回路を使用していない期間には電流を最小限に抑えることが望ましい。しかし、図26のレベル変換回路2では、バイアス回路6を停止させるといった回路構成の検討がなされていないため、上記のように、無駄な電流を消費するといった問題がある。

【0030】

50

特許文献3のレベル変換回路も同様に、低い電源電圧の回路信号を高耐圧のNMOSトランジスタのソースに供給し、そのNMOSトランジスタのゲート電位を低い電源電圧からNMOSトランジスタのしきい値電圧程度高い電圧値にバイアスすることで、高速動作を実現している。しかし、バイアス回路の具体的な回路構成は開示されておらず、勿論、試験時などでバイアス回路を停止するといった回路も示されていない。

【0031】

これに対し、特許文献4のレベル変換回路では、制御信号によりバイアス電位の発生を停止するバイアス回路が開示されている。このレベル変換回路において、低い電源電圧を1.8V、高い電源電圧を5Vとする場合、バイアス回路の停止を制御するために、制御信号は5Vの信号振幅となっている。これは、低い電源電圧よりも高いバイアス電位を発生するために5V耐圧のMOSトランジスタでバイアス回路を構成する必要があるためである。

10

【0032】

上述したように、多電源のLSIにおいて、デジタル回路の電源電圧が1.8V、外部インターフェース回路の大部分の電源電圧が3.3V、一部のアナログ回路の電源電圧が5Vといった回路構成の場合、アナログ回路は全体のごく一部でそのアナログ回路が動作している期間に限られるものも実用化されている。このLSIでは、電源電圧が5Vである各回路を使用する期間だけ活性化させて動作させ、使用しない期間は、その回路の消費電流を必要最小限に抑えることが望ましい。この場合には、1.8Vから5Vの信号にレベル変換するレベル変換回路も、バイアス回路を含めて、信号が変化しない待機時には、電流を最小限に削減することが望ましい。

20

【0033】

具体的には、電源電圧が5Vであるアナログ回路を使用する前に、レベル変換回路のバイアス回路を活性化させバイアス電位を安定化させ、その後、アナログ回路での信号処理が終了した時点でバイアス回路の電流を最小の状態とすればよい。しかし、デジタル回路は、1.8Vで動作する回路ブロックで構成するのが一般的なので、その状態の遷移を示す信号は、1.8Vの信号である。例えば、デジタル回路としてのMPUが1.8Vで動作する回路ブロックで構成され、アナログ回路としてのAD変換回路が5Vで動作する回路である場合、MCUはプログラムを実行することにより、ある時点でAD変換回路を使用することが分かる。従って、その時点でレベル変換回路のバイアス回路の電流を大きくするための制御が必要となるが、MPUから出力される制御信号は1.8Vの信号レベルであるため、その1.8Vの制御信号でバイアス回路を安定的に制御できなければならない。

30

【0034】

特許文献4のバイアス回路のように、制御信号が5Vである場合、1.8Vの信号を5Vに変換する必要性が生じ、そのためには、レベル変換回路のバイアス回路が動作していることが必要となり、1.8Vで動作する回路からバイアス回路を制御しようとする矛盾が生じる。よって、上記のようなLSIでは、安定した制御ができる保証を得ることができなかった。

【0035】

特許文献4のバイアス回路において、試験時などで外部から専用の制御端子を介して5Vの制御信号を入力し、IDDQ測定時にバイアス回路の電流を停止することは可能であるが、実際の使用状態でバイアス回路の電流を停止させるための回路構成は開示されていない。また、実使用状態では、電源電圧は時間とともに変動するためバイアス回路のバイアス電位もその変動に追従できなければならない。さらに、レベル変換回路におけるMOSトランジスタのゲート・ソースのカップリング容量によってもバイアス電位が変動する。そのため、レベル変換回路の入出力信号が頻繁に変化する実使用状態では、バイアス回路にある程度電流を流してインピーダンスを下げておくことが望ましい。従って、1.8Vの制御信号でバイアス回路をオン・オフ制御、或いは電流値を制御できないと、常に最大の電流をバイアス回路に流すこととなるため、電流の消費が問題になる。

40

50

【 0 0 3 6 】

本発明は上記問題点を解決するためになされたものであって、その目的は、電源電圧の低下に伴う動作速度の低下を防止でき、レベル変換を適切に行うことができるレベル変換回路を提供することにある。

【課題を解決するための手段】

【 0 0 3 7 】

図1は、本発明の原理説明図である。すなわち、レベル変換回路10は、第1及び第2のPMOSトランジスタPH1、PH2と、第1～第4のNMOSトランジスタNH1、NH2、NL1、NL2と、バイアス回路11とを含み、基準電圧GNDと第1電源電圧Vddを信号レベルとする入力信号INを、基準電圧GNDと第1電源電圧Vddよりも高い第2電源電圧Vppを信号レベルとする出力信号OUTにレベル変換する。このレベル変換回路10において、第1のNMOSトランジスタNH1は、ドレインが第1のPMOSトランジスタPH1のドレインと第2のPMOSトランジスタPH2のゲートに接続され、ソースが第3のNMOSトランジスタNL1のドレインに接続される。また、第2のNMOSトランジスタNH2は、ドレインが第2のPMOSトランジスタPH2のドレインと第1のPMOSトランジスタPH1のゲートに接続され、ソースが第4のNMOSトランジスタNL2のドレインに接続される。さらに、第3のNMOSトランジスタNL1のゲートに入力信号INが供給されるとともに、第4のNMOSトランジスタNL2のゲートに入力信号INを反転した信号INXが供給される。バイアス回路11は、第1電圧VddからNMOSトランジスタNH1、NH2のしきい値電圧高いバイアス電位NBを各NMOSトランジスタNH1、NH2のゲートに供給する。これにより、第1電圧VddがNMOSトランジスタのしきい値電圧の値まで小さくなったとしても、回路を高速に動作させることができる。また、第2電圧Vpp（例えば、5V）よりも低い第1電圧Vdd（例えば、1.8V）の制御信号ENに基づいて、バイアス回路11のバイアス電流が制御される。これにより、レベル変換回路10の入出力信号が頻繁に変化するときだけ、バイアス電位NBのインピーダンスを下げる等の制御を低電圧の回路（第1電圧Vddで動作する回路）側から行うことができる。

また、図3に示すレベル変換回路43では、パワーオンリセット回路44が設けられている。図4に示すように、パワーオンリセット回路44は、第2電圧Vppの立ち上がりを検出してリセット信号PORをバイアス回路11に供給し、バイアス回路11に流れるバイアス電流を増加させ、バイアス電位NBの充電を早める。これにより、電圧Vppの電源立ち上げ時に、レベル変換回路43の出力信号OUTが不定となる期間を最小にできる。

【 0 0 3 8 】

また、図2に示すレベル変換回路45は、第1～第4のPMOSトランジスタPH1、PH2、PH40、PH41と、第1及び第2のNMOSトランジスタNH1、NH2と、バイアス回路46とを含み、基準電圧GNDと第1電源電圧Vddを信号レベルとする入力信号INを、基準電圧GNDと第1電源電圧Vddよりも高い第2電源電圧Vppを信号レベルとする出力信号OUTにレベル変換する。このレベル変換回路45において、第1のNMOSトランジスタNH1のドレインは、第1のPMOSトランジスタPH1のドレインと第2のPMOSトランジスタPH2のゲートに接続されている。また、第2のNMOSトランジスタNH2のドレインは、第2のPMOSトランジスタPH2のドレインと第1のPMOSトランジスタPH1のゲートに接続されている。さらに、第3のPMOSトランジスタPH40のドレインは、第1のPMOSトランジスタPH1のソースに接続され、第4のPMOSトランジスタPH41のドレインは、第2のPMOSトランジスタPH2のソースに接続されている。そして、バイアス回路46により、第3及び第4のPMOSトランジスタPH40、PH41のゲートにバイアス電位PBが供給され、出力信号OUTの変化時に第3及び第4のPMOSトランジスタPH40、PH41に流れる電流が第1及び第2のNMOSトランジスタNH1、NH2に流れる電流と比例関係となるよう制御される。このように、クロスカップルしたPMOSトランジスタPH1、P

H2と直列に、電流制限のためのPMOSトランジスタPH40, PH41を設けたので、例えば、出力信号OUTをHレベルからLレベルに変化させるのに必要な条件を確実に満足するよう設計できる。つまり、従来技術のようにNMOSトランジスタNH2のゲート幅Wを大きくすることなく、PMOSトランジスタPH2の電流よりNMOSトランジスタNH2の電流を大きく設定するという条件を満足させることが可能となる。

【0039】

また、図1のレベル変換回路10において、バイアス回路11は、バイアス電流を設定するための抵抗と、制御信号に基づいて抵抗に流れる電流を制御するMOSトランジスタとを備える。これによれば、制御信号に基づいてMOSトランジスタをオン/オフ制御することで、バイアス回路にバイアス電流を流したり停止したりすることができる。

10

【0040】

このレベル変換回路において、バイアス回路は、バイアス電流を設定するための抵抗を複数備えるので、動作時のバイアス電流に加え、待機時のバイアス電流を適切に設計することが可能となる。

【0042】

図2のバイアス回路46において、バイアス電流の停止時には、スイッチング用のMOSトランジスタによってバイアス電位PBが基準電圧GNDの電位レベルとされる。この場合、そのバイアス電位PBに基づいて第3及び第4のPMOSトランジスタPH40, PH41がオンされるので、バイアス電流が停止される待機時に出力信号OUTが不定となるといったことを防止できる。

20

【0043】

このレベル変換回路において、バイアス電位の安定化するための容量を備えるので、電位変動が少ない正確なバイアス電位を供給することができる。

【発明の効果】

【0044】

本発明によれば、動作速度の低下を防止でき、レベル変換を適切に行うことができるレベル変換回路を提供することができる。

【発明を実施するための最良の形態】

【0045】

(第1の実施の形態)

30

以下、本発明を具体化した第1の実施の形態を説明する。

図5には、本実施の形態のレベル変換回路10を示している。このレベル変換回路10は、バイアス電位NBを発生するバイアス回路11の構成が図26に示す従来例と相違する。なお、図5において、図26の従来例と同様の構成(各MOSトランジスタPH1, PH2, NH1, NH2やインバータ回路3, 4など)については同一の符号を付している。

【0046】

このレベル変換回路10は、基準電圧の0Vと電源電圧Vddの1.8Vとを信号レベルとする入力信号INを、基準電圧の0Vと電源電圧Vppの5Vとを信号レベルとする出力信号OUTにレベル変換する。また、バイアス回路11は、デジタル回路の電源電圧Vdd(例えば、1.8V)から高耐圧のNMOSトランジスタのしきい値電圧Vth程度高いバイアス電位NB(=Vdd+Vth)を発生し、該バイアス電位NBをNMOSトランジスタNH1, NH2のゲートに供給している。

40

【0047】

このバイアス回路11がVdd+Vthのバイアス電位NBを発生しているときのレベル変換回路10の動作を説明する。なおここでは、しきい値電圧Vthを0.8Vとし、バイアス電位NBを2.6V(=1.8V+0.8V)とする。

【0048】

入力信号INがHレベル(1.8V)である場合、インバータ回路3の出力ノードN10はLレベル(0V)、バイアス電位NBは2.6Vであるので、NMOSトランジスタ

50

NH1はオンする。一方、インバータ回路4の出力ノードN11はHレベル(1.8V)、バイアス電位NBが2.6Vであるので、NMOSトランジスタNH2のゲート・ソース間には0.8Vの電圧しか加わらない。従って、NMOSトランジスタNH2は、ゲート・ソース間電圧が0.8Vであり、しきい値電圧 V_{th} が0.8Vであるのでオフする。

【0049】

NMOSトランジスタNH1がオンすると、ノードN20(PMOSトランジスタPH1とNMOSトランジスタNH1の接続部)はLレベル(0V)となり、PMOSトランジスタPH2がオンする。PMOSトランジスタPH2がオンし、NMOSトランジスタNH2がオフすることで、出力信号OUTはHレベル(5V)となる。また、PMOSトランジスタPH2がオン、NMOSトランジスタNH2がオフしているため、この部分の回路に定常電流は流れない。

10

【0050】

入力信号INがLレベルである場合、インバータ回路3の出力ノードN10はHレベル、インバータ回路4の出力ノードN11はLレベルとなる。インバータ回路3の出力ノードN10はHレベル(1.8V)、バイアス電位NBが2.6Vであり、NMOSトランジスタNH1のゲート・ソース間には0.8Vの電圧しか加わらないので、NMOSトランジスタNH1はオフする。一方、インバータ回路4の出力ノードN11はLレベル(0V)、バイアス電位NBは2.6Vであるので、NMOSトランジスタNH2はオンする。

20

【0051】

NMOSトランジスタNH2がオンすると、出力信号OUTはLレベル(0V)となり、PMOSトランジスタPH1はオンする。PMOSトランジスタPH1はオン、NMOSトランジスタNH1がオフすることで、ノードN20はHレベル(5V)となる。ノードN20がHレベルとなるとPMOSトランジスタPH2はオフするので、この部分の回路に定常電流は流れない。

【0052】

各ノードN10, N11における信号振幅は0V~1.8Vに制限されているので、耐圧が低いMOSトランジスタPL1, PL2, NL1, NL2には、デジタル部分の電源電圧 v_{dd} (=1.8V)以上の電圧が加わることがない。また、バイアス回路11で発生するバイアス電位NBを、電源電圧 V_{dd} よりもしきい値電圧 V_{th} 程度高い電圧(2.6V)とすることで、レベル変換回路10の高速動作が達成される。

30

【0053】

次に、本実施の形態におけるバイアス回路11の構成について詳細に説明する。

バイアス回路11は、高耐圧のPMOSトランジスタPH3, PH4、高耐圧のNMOSトランジスタNH3, NH4、抵抗R1、及び容量C1, CPORを含む。バイアス回路11において、高耐圧のPMOSトランジスタPH3, PH4のソースには電源電圧 V_{pp} (例えば、5V)が供給されている。また、PMOSトランジスタPH3のゲートとPMOSトランジスタPH4のゲートとが互いに接続されるとともに、各ゲートはPMOSトランジスタPH4のドレインに接続されている。つまり、各PMOSトランジスタPH3, PH4はカレントミラー回路を構成している。

40

【0054】

PMOSトランジスタPH4のドレインは、抵抗R1を介してNMOSトランジスタNH4のドレインに接続されるとともに、容量CPORを介してグランドに接続されている。また、NMOSトランジスタNH4のソースはグランドに接続され、そのゲートには、インバータ回路12を介してイネーブル制御信号ENが供給される。このインバータ回路12は、低耐圧のPMOSトランジスタPL4とNMOSトランジスタNL4からなるCMOSインバータ回路であって、1.8Vの電源電圧 V_{dd} が供給されて動作し、制御信号ENXを反転した制御信号ENを出力する。

【0055】

50

また、バイアス回路11において、高耐圧のPMOSトランジスタPH3には高耐圧のNMOSトランジスタNH3が直列に接続されており、NMOSトランジスタNH3のソースに1.8Vの電源電圧V_{dd}が供給される。NMOSトランジスタNH3のゲートは、該NMOSトランジスタNH3のドレインに接続される。つまり、NMOSトランジスタNH3はダイオード接続されている。このダイオード接続されたNMOSトランジスタNH3と並列に容量C1が接続されている。そして、各MOSトランジスタPH3, NH3のドレインの接続部に発生されたバイアス電位NBがNMOSトランジスタNH1, NH2に供給される。

【0056】

このように構成したバイアス回路11の動作を説明する。

制御信号ENXがLレベル(0V)であり、そのレベルを反転したHレベル(1.8V)の制御信号ENがバイアス回路11に供給されると、NMOSトランジスタNH4がオンする。このとき、抵抗R1に電流が流れ、その電流はPMOSトランジスタPH4に流れる。すると、PMOSトランジスタPH4とカレントミラー接続されたPMOSトランジスタPH3にも電流が流れ、その電流は、ダイオード接続されたNMOSトランジスタNH3を介して低い電源電圧V_{dd}(デジタル回路)の電源側に流れ込む。これにより、バイアス回路11のバイアス電位NBは、電源電圧V_{dd}から高耐圧のNMOSトランジスタNH3のしきい値電圧V_{th}程度高い電圧となる。NMOSトランジスタNH3に流れる電流値は抵抗R1で設定される。また、容量C1は、バイアス電位NBが変動するのを抑制する安定化容量として機能する。

【0057】

制御信号ENがLレベルである場合、NMOSトランジスタNH4がオフするので、抵抗R1に電流は流れない。抵抗R1に電流が流れないため、PMOSトランジスタPH4とPMOSトランジスタPH3に電流は流れない。PMOSトランジスタPH3に電流が流れないため、NMOSトランジスタNH3にもほとんど電流が流れない。この場合、バイアス電位NBの値は、NMOSトランジスタNH3に流れるリーク電流によって決まる。このバイアス電位NBは、制御信号ENがHレベルであるときの値よりも小さくなるが、電源電圧V_{dd}よりも高い電位となる。

【0058】

電源電圧V_{dd}は時間とともに変動する可能性があり、バイアス電位NBはその変動に追従できなければならない。また、NMOSトランジスタNH1, NH2のゲート・ソースのカップリングにより、バイアス電位NBが変動するので、レベル変換回路10の入出力信号が頻繁に変化する状態では、バイアス回路11に電流をある程度流してバイアス電位NBのインピーダンスを下げておくことが望ましい。

【0059】

制御信号ENによりNMOSトランジスタNH4をオン/オフ制御することで、バイアス回路11に流れる電流を変化させることができる。すなわち、レベル変換回路10の入出力信号が頻繁に変化する状態ではNMOSトランジスタNH4をオンし、入出力信号が変化しない状態ではNMOSトランジスタNH4をオフする。この制御により、バイアス電位NBのインピーダンスを下げておく必要がある期間だけバイアス回路11に電流を流すことが可能となる。

【0060】

本実施の形態のように、NMOSトランジスタNH4のゲート電位として低電圧回路(デジタル回路)部分の電源電圧V_{dd}が供給される場合、NMOSトランジスタNH4のオン抵抗を抵抗R1の値より小さくなるよう設計しておくことで、低い電源電圧V_{dd}の制御信号ENに基づいてバイアス回路11をオン/オフ制御することが可能となる。

【0061】

ここで、制御信号ENXがLレベル、制御信号ENがHレベルであるときに、バイアス回路11の電流を大きくすることで、バイアス電位NBの等価インピーダンスが小さくなるため、バイアス電位NBは電源電圧V_{dd}の変動に追従する。

10

20

30

40

50

【 0 0 6 2 】

また、容量C P O Rは、5 Vの電源電圧V p pの立ち上がり時に、パワーオンリセット信号を発生するパワーオンリセット回路として機能する。すなわち、容量C P O Rは、電源投入時に、バイアス電位N Bの立ち上がりを速くするために設けられる。

【 0 0 6 3 】

一般に、レベル変換回路1 0の出力が不定となることを防止するといった観点で、電源投入の順序が予め決められている。例えば、5 Vの電源電圧V p pが先に立ち上がって、後から1 . 8 Vの電源電圧V d dが立ち上がる場合、電源電圧V p pが5 Vであり、電源電圧V d dが0 Vである状態では、各出力ノードN 1 0 , N 1 1が0 Vとなる。この場合、レベル変換回路1 0の出力が確定せず不定となってしまうため、バイアス電位N Bの値
10

【 0 0 6 4 】

逆に、1 . 8 Vの電源電圧V d dが先に立ち上がって、後から5 Vの電源電圧V p pが立ち上がる場合、電源電圧V p pが0 Vであり、電源電圧V d dが1 . 8 Vである状態でも、出力は不定になることはない(電源電圧V p pが0 Vであるため出力は0 Vに確定する)。この場合、5 Vの電源電圧V p pが立ち上がった後、すみやかにレベル変換回路1 0における内部電位が確定し、出力が確定することが望ましい。

【 0 0 6 5 】

ここで、バイアス回路1 1におけるバイアス電位N Bの立ち上がりが遅くなると、電源電圧V d dと電源電圧V p pとがともに立ち上がっている状態では、電源電圧V p pが5 V、電源電圧V d dが1 . 8 V、バイアス電位N Bは最終値に到達しない低い電位(2 . 6未満の電位)となる。このため、LレベルあるいはHレベルの入力信号I Nが入力されるのに伴い、ノードN 1 0 , N 1 1の信号レベルが確定しても、バイアス電位N Bが低いので、トランジスタN H 1 , N H 2は十分にオンせず、正常に動作しない。その結果、出力信号O U Tのレベルは不定となってしまう。
20

【 0 0 6 6 】

本実施の形態のバイアス回路1 1では、そのような望ましくない状態を回避するために容量C P O Rが設けられている。すなわち、5 Vの電源電圧V p pが立ち上がった直後は、容量C P O Rによって、バイアス回路1 1内のノードN 3 0の電位(P M O SトランジスタP H 3 , P H 4のゲート電位)は0 Vとなっている。これにより、各P M O SトランジスタP H 3 , P H 4には大電流が流れる。P M O SトランジスタP H 3に大電流が流れることで、バイアス電位N Bは、すみやかに最終的な値に近づく。またこのとき、容量C P O Rが充電されて、ノードN 3 0の電位が上昇し、各P M O SトランジスタP H 3 , P H 4に流れる電流は次第に減少していく。そして、最終的には、ノードN 3 0の電位は、P M O SトランジスタP H 4のしきい値電圧V t h程度電源電圧V p pから低い値となるため、該トランジスタP H 3にはリーク電流程度のわずかな電流しか流れなくなる。
30

【 0 0 6 7 】

このように、パワーオンリセット回路として働く容量C P O Rを設けることで、バイアス電位N Bは最終的な設計値に急速に充電されるため、レベル変換回路1 0の出力が不定となる(出力が予測できない)期間を最小にすることが可能となる。本実施の形態では、容量C P O Rを設ける回路例を示したが、特に、容量C P O Rを設けなくても、寄生容量等によってバイアス電位N Bの立ち上がりが十分に速ければ、その寄生容量を利用するように構成してもよい。
40

【 0 0 6 8 】

本実施の形態のレベル変換回路1 0では、各P M O SトランジスタP H 1 , P H 2のソースに電源電圧V p pが供給され、トランジスタP H 1のドレインとトランジスタP H 2のゲートが共通電位、トランジスタP H 2のドレインとトランジスタP H 1のゲートが共通電位である接続例を示した。これ以外に、正帰還回路として働くものであれば、その部分に他の回路要素を含む回路構成であってもよい。
50

【 0 0 6 9 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) バイアス回路 1 1 において、ダイオード接続した N M O S トランジスタ N H 3 のソースを電源電圧 V_{dd} の電源に接続し、該 N M O S トランジスタ N H 3 に電流を流すことにより、電源電圧 V_{dd} よりもしきい値電圧 V_{th} 高い電圧 (2 . 6 V) のバイアス電位 N B を発生するようにした。そして、そのバイアス電位 N B を N M O S トランジスタ N H 1 , N H 2 のゲートに供給することにより、回路動作の高速化が実現できる。また、スイッチとして動作する N M O S トランジスタ N H 4 と電流を決定する抵抗 R 1 とでバイアス回路 1 1 を構成し、そのオン/オフを N M O S トランジスタ N H 4 で行えるよう回路を工夫した。このバイアス回路 1 1 では、低い電源電圧 V_{dd} の制御信号 E N によって N M O S トランジスタ N H 4 をオン/オフ制御することで、バイアス回路 1 1 に流れる電流値を変化させることができる。これにより、レベル変換回路 1 0 におけるバイアス電位 N B のインピーダンスの制御を低い電源電圧 V_{dd} の回路側から行うことができる。具体的には、例えば、低い電源電圧 V_{dd} の回路ブロックとして C P U が設けられる場合、C P U がプログラムを実行することにより制御信号 E N を出力し、バイアス電位 N B のインピーダンスを下げておく必要がある期間 (レベル変換回路 1 0 の入出力信号が頻繁に変化する期間) だけバイアス回路 1 1 に電流を流すことができる。

10

【 0 0 7 0 】

(2) パワーオンリセット回路として働く容量 C P O R を設けたので、バイアス電位 N B は最終的な設計値に急速に充電されるため、レベル変換回路 1 0 の出力が不定となる期間を最小にすることができる。

20

【 0 0 7 1 】

(3) バイアス回路 1 1 において安定化容量として機能する容量 C 1 を設けたので、電位変動が少ない正確なバイアス電位を各 N M O S トランジスタ N H 1 , N H 2 に供給することができる。

【 0 0 7 2 】

(第 2 の実施の形態)

以下、本発明を具体化した第 2 の実施の形態を図面に従って説明する。

図 6 には、第 1 の実施の形態のレベル変換回路 1 0 を用いた A D 変換回路 1 5 を示している。

30

【 0 0 7 3 】

本実施の形態の A D 変換回路 1 5 は、アナログ信号 V_{in} を 4 ビットのデジタル信号に変換する逐次比較 A D 変換回路であり、例えば、自動車用の半導体集積回路装置 (L S I) に利用される。A D 変換回路 1 5 は、レベル変換回路 1 0 に加え、第 1 及び第 2 のスイッチ回路 S W 1 , S W 2 、サンプリング容量 C S 1 , C S 2 , C S 3 , C S 4 , C S 5 、コンパレータ 1 6 、レベル変換回路 1 7 、逐次比較制御回路 1 8 を含む。

【 0 0 7 4 】

サンプリング容量 C S 1 ~ C S 5 はその容量値が 2 の重み付けによる値で設定され、その容量値の比率は 1 : 1 : 2 : 4 : 8 に設定されている。すなわち、容量 C S 1 , C S 2 は 1 つの単位容量 C_x で構成され、容量 C S 3 は 2 つの単位容量 C_x で構成され、容量 C S 4 は 4 つの単位容量 C_x で構成され、容量 C S 5 は 8 つの単位容量 C_x で構成されて計 1 6 個の容量群で構成されている。

40

【 0 0 7 5 】

各サンプリング容量 C S 1 ~ C S 5 の一方の端子はコンパレータ 1 6 に接続され、その他方の端子は第 1 のスイッチ回路 S W 1 に接続されている。第 1 のスイッチ回路 S W 1 は第 2 のスイッチ回路 S W 2 に接続されている。各スイッチ回路 S W 1 , S W 2 は、レベル変換回路 1 0 から出力される制御信号に基づいて、サンプリング容量 C S 1 ~ C S 5 に、それぞれ基準電位 (リファレンス電位) V_{ref} と、同基準電位 V_{ref} とグランド G N D のレベルとの間で変動するアナログ信号 V_{in} と、グランド G N D とのいずれかのレベルが入力されるように切り替えられる。

50

【 0 0 7 6 】

コンパレータ 16 は、高耐圧の PMOS トランジスタ PH10, PH11, PH12 と、高耐圧の NMOS トランジスタ NH10, NH11, NH12, NH13, NH14, NH15 と、結合容量 CC1, CC2 とを含む。コンパレータ 16 において、PMOS トランジスタ PH10 と NMOS トランジスタ NH10 とが直列に接続されて 1 段目の CMOS インバータ回路 19a が構成され、そのインバータ回路 19a に並列に NMOS トランジスタ NH13 が接続されている。また、PMOS トランジスタ PH11 と NMOS トランジスタ NH11 とが直列に接続されて 2 段目の CMOS インバータ回路 19b が構成され、そのインバータ回路 19b に並列に NMOS トランジスタ NH14 が接続されている。さらに、PMOS トランジスタ PH12 と NMOS トランジスタ NH12 とが直列に接続されて 3 段目の CMOS インバータ回路 19c が構成され、そのインバータ回路 19c に並列に NMOS トランジスタ NH15 が接続されている。各段のインバータ回路 19a ~ 19c には電源電圧 V_{pp} ($= 5V$) が供給されている。また、各 NMOS トランジスタ NH13 ~ NH15 のゲートにはサンプリング制御信号 SPL が供給され、その制御信号 SPL に基づいて各 NMOS トランジスタ NH13 ~ NH15 のオン/オフが制御される。

10

【 0 0 7 7 】

インバータ回路 19a の入力 (各 MOS トランジスタ PH10, NH10 のゲート) が各サンプリング容量 CS1 ~ CS5 に接続され、インバータ回路 19a の出力 (各 MOS トランジスタ PH10, NH10 のドレイン) は、結合容量 CC1 を介してインバータ回路 19b の入力 (各 MOS トランジスタ PH11, NH11 のゲート) に接続される。また、インバータ回路 19b の出力 (各 MOS トランジスタ PH11, NH11 のドレイン) は、結合容量 CC2 を介してインバータ回路 19c の入力 (各 MOS トランジスタ PH12, NH12 のゲート) に接続され、このインバータ回路 19c から出力される信号がレベル変換回路 17 に供給される。

20

【 0 0 7 8 】

レベル変換回路 17 は、信号振幅を 5V から 1.8V に変換する降圧用のレベル変換回路であり、変換後の信号を逐次比較制御回路 18 に供給する。そのレベル変換回路 17 の具体的な回路例を図 7 に示す。すなわち、レベル変換回路 17 は、高耐圧の PMOS トランジスタ PH16, PH17 と高耐圧の NMOS トランジスタ NH16 ~ NH19 と低耐圧の PMOS トランジスタ PL18, PL19 とを含む。1.8V の電源とグランド間には、PMOS トランジスタ PL18 と NMOS トランジスタ NH18 とが直列に接続されるとともに、PMOS トランジスタ PL19 と NMOS トランジスタ NH19 とが直列に接続されている。また、PMOS トランジスタ PL18 のゲートが PMOS トランジスタ PL19 のドレインに接続され、PMOS トランジスタ PL19 のゲートが PMOS トランジスタ PL18 のドレインに接続されている。

30

【 0 0 7 9 】

そして、NMOS トランジスタ NH18 のゲートには、入力信号 IN が PMOS トランジスタ PH16 と NMOS トランジスタ NH16 からなるインバータ回路 20a を介して反転されて入力される。また、NMOS トランジスタ NH19 のゲートには、インバータ回路 20a の出力信号が PMOS トランジスタ PH17 と NMOS トランジスタ NH17 からなるインバータ回路 20b を介して反転されて入力される。入力信号 IN は、信号振幅が 5V の信号であり、各インバータ回路 20a, 20b には、5V の電源電圧 V_{pp} が供給されている。

40

【 0 0 8 0 】

従って、入力信号 IN が H レベル (5V) である場合、インバータ回路 20a の出力ノードは L レベル (0V) となり、インバータ回路 20b の出力ノードは H レベル (5V) となるため、レベル変換回路 17 は、L レベル (0V) の出力信号 OUT を逐次比較制御回路 18 に供給する。一方、入力信号 IN が L レベル (0V) である場合、インバータ回路 20a の出力ノードは H レベル (5V) となり、インバータ回路 20b の出力ノードは

50

Lレベル(0V)となるため、レベル変換回路17は、Hレベル(1.8V)の出力信号OUTを逐次比較制御回路18に供給する。

【0081】

逐次比較制御回路18は、レベル変換回路17の出力信号に基づいて比較制御を実施し、コンパレータ16とスイッチ回路SW1, SW2とを制御するための制御信号をレベル変換回路10に供給する。レベル変換回路10は、1.8Vの入力信号INを5Vに変換し、変換後の5Vの出力信号に基づいて各スイッチ回路SW1, SW2を制御する。

【0082】

このように構成したAD変換回路15の動作を説明する。

変換を開始する前には、Lレベルの制御信号SPLにより各NMOSトランジスタNH13~NH15はオフしている。変換を開始すると、まず、アナログ信号Vinをサンプリングするために、逐次比較制御回路18は制御信号SPLをHレベルとして各NMOSトランジスタNH13~NH15をオンする。NMOSトランジスタNH13がオンすると、各容量の出力ノードDACOUTとノードN50の電位が等しくなり、NMOSトランジスタNH14がオンすると、ノードN51とノードN52の電位が等しくなる。また、NMOSトランジスタNH15がオンすると、ノードN53とノードN54の電位が等しくなる。PMOSトランジスタPH10とNMOSトランジスタNH10とはコンパレータ16の1段目を構成しており、NMOSトランジスタNH13がオンすると、出力ノードDACOUTとノードN50の電位は、コンパレータ16における1段目の論理しきい値(インバータ回路19aのしきい値)VTLとなる。同様に、各NMOSトランジスタNH14, NH15がオンすることで、ノードN51, N52, N53, N54の電位も論理しきい値VTLとなる。

【0083】

制御信号SPLをHレベルとしてサンプリング動作に入ると、出力ノードDACOUTを電位VTLに保った状態で、各容量CS1~CS5の全てがスイッチ回路SW1及びSW2を介してアナログ入力端子に接続される。これにより、アナログ信号Vinが供給されて各容量CS1~CS5は該アナログ信号Vinの電位に充電される。

【0084】

サンプリング動作の終了後、比較動作に入り、最上位ビット(MSB)から順番にデジタルデータを決定していく。具体的には、例えば、Lレベルの制御信号SPLによってNMOSトランジスタNH15をオフした後、容量CS1~CS5の一方のノードについて、各スイッチ回路SW1, SW2を制御することで、容量CS1~CS4をグランドGNDの端子に接続し、容量CS5をリファレンス電位Vrefの端子に接続する。このとき、電荷の再分配で決まる出力ノードDACOUTの電位は、 $V_{ref}/2 - V_{in} + V_{TL}$ となり、アナログ信号Vinの電位が、リファレンス電位Vrefの1/2より大きいか小さいかを、コンパレータ16の1段目(トランジスタPH10, NH10)、2段目(トランジスタPH11, NH11)、3段目(トランジスタPH12, NH12)の回路19a, 19b, 19cで判定する。そして、その判定結果としてノードN54から出力される信号レベルに基づいてMSBが決定される。

【0085】

以下同様に、スイッチ回路SW1, SW2を制御することで、 $V_{ref}/4 - V_{in} + V_{TL}$ あるいは、 $3V_{ref}/4 - V_{in} + V_{TL}$ の電位を生成し、MSB側から順番にデジタルデータが決定される。例えば、容量CS1, CS3~CS5をグランドGNDの端子に接続し、容量CS2をリファレンス電位Vrefの端子に接続すると、コンパレータ16に入力されるノードDACOUTの電位は、 $V_{ref}/16 - V_{in} + V_{TL}$ となる。つまり、各スイッチ回路SW1, SW2によって各容量CS1~CS5をリファレンス電位VrefあるいはグランドGNDと接続することにより、各サンプリング容量CS1~CS5の合計の容量値である $16C_x$ に対して $1/16$ の大きさの C_x を単位として、出力ノードDACOUTの電位をVref/16刻みで変化させることができる。これにより、4ビットのデジタルデータが決定される。

10

20

30

40

50

【 0 0 8 6 】

図 8 には、レベル変換回路 1 0 の出力信号により制御されるスイッチ回路の具体的な回路例を示している。

図 8 に示すように、レベル変換回路 1 0 の出力信号 O U T は、ナンド回路 N A N D 1 の第 1 入力端子に供給されるとともに、ノア回路 N O R 1 の第 1 入力端子に供給される。また、比較を開始するための制御信号 C O M P がナンド回路 N A N D 1 の第 2 入力端子に供給されるとともに、インバータ回路 I N V 1 を介して反転されてノア回路 N O R 1 の第 2 入力端子に供給される。ナンド回路 N A N D 1、ノア回路 N O R 1、及びインバータ回路 I N V 1 は、5 V の電源電圧が供給されて動作するゲート回路である。

【 0 0 8 7 】

ナンド回路 N A N D 1 の出力信号は高耐圧の P M O S トランジスタ P H 2 0 のゲートに供給され、ノア回路 N O R 1 の出力信号は高耐圧の N M O S トランジスタ N H 2 0 のゲートに供給されている。各 M O S トランジスタ P H 2 0、N H 2 0 のドレインは互いに接続されており、その接続部がサンプリグ容量 C S 1 に接続されている。また、P M O S トランジスタ P H 2 0 のソースにリファレンス電位 V_{ref} が供給され、N M O S トランジスタ N H 2 0 のソースはグランド G N D に接続されている。さらに、各 M O S トランジスタ P H 2 0、N H 2 0 と容量 C S 1 の接続部には、スイッチ回路 S W 3 が接続されており、そのスイッチ回路 S W 3 を介してアナログ信号（入力電圧） V_{in} が供給されるよう構成されている。

【 0 0 8 8 】

ここで、A D 変換回路 1 5 の動作タイミングを説明する。

図 9 に示すように、サンプリグ開始と同時あるいはそれ以前に、レベル変換回路 1 0 に供給する制御信号 E N を H レベルとし、該レベル変換回路 1 0 のバイアス回路 1 1 に電流を流し活性化させる。バイアス回路 1 1 は、制御信号 E N を H レベルとして数十 n s でバイアス電位 N B が定常状態に達するので、数百 n s から数千 n s のサンプリグ期間に対して十分高速に動作時の状態に復帰する。バイアス回路 1 1 に電流が流れ、その出力インピーダンスが低い状態で、レベル変換回路 1 0 の入力信号 I N が変化し、それに応答して出力信号 O U T も変換する。

【 0 0 8 9 】

A D 変換回路 1 5 のサンプリグ期間中（サンプリグ制御信号 S P L が H レベルである期間）は、L レベルの制御信号 C O M P が供給されて P M O S トランジスタ P H 2 0 と N M O S トランジスタ N H 2 0 がオフされ、スイッチ回路 S W 3 が閉じられることにより、サンプリグ容量 C S 1 がアナログ信号 V_{in} の電位に充電される。

【 0 0 9 0 】

また、比較判定期間には、H レベルの制御信号 C O M P が供給され、レベル変換回路 1 0 の出力信号 O U T に応じて、M O S トランジスタ P H 2 0、N H 2 0 のいずれか一方がオンし、サンプリグ容量 C S 1 が電位 V_{ref} あるいはグランドに接続される。

【 0 0 9 1 】

比較判定が終了すると、A D 変換回路 1 5 の信号は変化しなくなるので、制御信号 E N を L レベルとし、レベル変換回路 1 0 におけるバイアス回路 1 1 の電流が停止される。

このように、上記第 1 の実施の形態のレベル変換回路 1 0 を逐次比較 A D 変換回路 1 5 に適用することができる。また、本実施の形態のように、逐次比較 A D 変換回路 1 5 のような M C U のリソースにレベル変換回路 1 0 を適用する場合、M C U が予め各リソースを使用するタイミングを把握しているため、それに先立ってバイアス回路 1 1 を活性化し、リソースの使用が終了した時点で、バイアス回路 1 1 におけるバイアス電流を削減することができる。

【 0 0 9 2 】

（第 3 の実施の形態）

以下、本発明を具体化した第 3 の実施の形態を説明する。

図 1 0 には、本実施の形態のレベル変換回路 2 2 を示している。このレベル変換回路 2

10

20

30

40

50

2は、バイアス回路23の回路構成を変更した点と低耐圧のPMOSトランジスタPL3とNMOSトランジスタNL3からなるインバータ回路24を追加した点が上記第1の実施の形態におけるレベル変換回路10と相違する。図10において、第1の実施の形態と同様の構成については同一の符号を付してその説明を一部省略し、以下には、その相違点を中心に説明する。

【0093】

インバータ回路3の出力ノードN10の電位は、PMOSトランジスタPH1の駆動電流を越えてNMOSトランジスタNH1、NL1に電流が流れて放電されることにより、HレベルからLレベルに変化するので、回路設計によっては出力ノードN10の立ち下がりが遅くなる。また、上記レベル変換回路10では、そのインバータ回路3の出力ノードN10の電位をインバータ回路4で反転する構成であるため、回路設定によってはインバータ回路4の出力ノードN11の立ち上がりが遅れる場合がある。これに対して、本実施の形態のレベル変換回路22において、インバータ回路4の出力ノードN11の電位は、インバータ回路3の出力ノードN10の論理レベルを反転して生成する構成ではなく、別に設けたインバータ回路24の出力ノードの論理レベルを反転する構成である。この構成とすることで、より確実な回路設計が可能となる。

10

【0094】

次に、本実施の形態におけるバイアス回路23の構成について説明する。

バイアス回路23は、高耐圧のPMOSトランジスタPH3、PH4、高耐圧のNMOSトランジスタNH3、NH4、NH5、抵抗R1、R3、及び容量CPORを含む。このバイアス回路23において、高耐圧のPMOSトランジスタPH3、PH4、高耐圧のNMOSトランジスタNH3、NH4、抵抗R1、及び容量CPORの接続構成は、第1の実施の形態におけるバイアス回路11と同じであるため、ここでは、その説明を省略する。

20

【0095】

本実施の形態のバイアス回路23は、第1の実施の形態と相違して、PMOSトランジスタPH4のドレイン（各PMOSトランジスタPH3、PH4のゲートの接続ノードN30）が抵抗R3とNMOSトランジスタNH5を介してグラウンドに接続される。このNMOSトランジスタNH5のゲートには、制御信号PDをインバータ回路（PMOSトランジスタPL5とNMOSトランジスタNL5とからなるCMOSインバータ回路）25を介して反転した制御信号PDXが供給される。なお、通常は、制御信号PDがLレベル、制御信号PDXがHレベルに制御されている。

30

【0096】

上記バイアス回路11において、供給される制御信号ENがLレベルである場合、NMOSトランジスタNH4がオフするため、PMOSトランジスタPH3には反転領域での電流が流れず、各MOSトランジスタPH3、NH3に流れるリーク電流によって、バイアス電位NBが定まる。

【0097】

ここで、例えば、上記第1実施の形態のレベル変換回路10をP型基板、nwellプロセスで製造する場合を想定する。その場合、PMOSトランジスタPH3のドレイン接合は、電源電圧Vppとバイアス電位NB間に逆方向のpn接合を含み、NMOSトランジスタNH3のドレイン接合は、バイアス電位NBとグラウンドGND間に逆方向のpn接合を含む。これら逆方向のpn接合に流れるリーク電流について、例えば、PMOSトランジスタPH3のドレイン接合の面積を大きくしておいて、該トランジスタPH3からのリーク電流が大きくなるようにレイアウトを工夫する。それにより、バイアス電位NBが想定している電位（電源電圧Vddから高耐圧のNMOSトランジスタのしきい値電圧Vth高い電位かそれより多少低い電位）に設計することも可能である。これに対し、図10に示すバイアス回路23を用いることで、より確実かつ簡単にバイアス電位NBの設計をすることができる。

40

【0098】

50

このバイアス回路23において、例えば、抵抗R1の抵抗値を400キロオームとし、抵抗R3の抵抗値を4000キロオームとする。また、電源電圧Vppが5V、PMOSトランジスタPH4のしきい値電圧Vthが1Vとすると、制御信号ENがHレベルであるとき、抵抗R1には $4V / 400 \text{キロオーム} = 10 \mu\text{A}$ の電流が流れる。カレントミラー回路を構成するPMOSトランジスタPH3とPMOSトランジスタPH4のゲート幅Wが等しい場合、PMOSトランジスタPH3にも $10 \mu\text{A}$ の電流が流れる（制御信号PDがLレベルである場合には、抵抗R3に流れる電流が加算されるので、正確には $11 \mu\text{A}$ の電流が流れる）。そして、NMOSトランジスタNH3のゲート幅WをNMOSトランジスタNH1, NH2の10倍に設計する場合、NMOSトランジスタNH1, NH2に流れるリーク電流は $1 \mu\text{A}$ に設計することができる。

10

【0099】

また、制御信号ENがLレベルであり、制御信号PDがLレベルである場合、抵抗R1には電流が流れず、抵抗R3だけに電流が流れる。この場合、PMOSトランジスタPH3には $1 \mu\text{A}$ の電流が流れ、NMOSトランジスタNH1, NH2に流れるリーク電流は $0.1 \mu\text{A}$ とすることができる。

【0100】

このように、バイアス回路23には、レベル変換回路22が動作しているときに大電流（上述した $10 \mu\text{A}$ の電流）を流す抵抗R1と、レベル変換回路22の出力が変化しないときに小さい電流（上述した $1 \mu\text{A}$ の電流）を流す抵抗R3とを設けた。この構成によれば、レベル変換回路22の出力が変化しない待機時にも、バイアス回路23に流れる電流が正確に設計できる。なお、上記では、抵抗R3に流す電流値を $1 \mu\text{A}$ として説明したが、その電流値は待機時に問題とならない範囲内で適宜変更することができる。

20

【0101】

また、レベル変換回路22では、制御信号PDをHレベル（制御信号PDXをLレベル）とすることで、抵抗R3に流れる電流も停止されるので、待機時のバイアス電流 $1 \mu\text{A}$ が問題となる状況、例えば、IDDQの測定時などには、制御信号PDをHレベルとする。

【0102】

本実施の形態におけるバイアス回路23では、バイアス電位NBの安定化容量C1を省略したが、必要に応じて容量C1を設けてもよい。また、制御信号PD, PDXは 1.8V の信号として示したが、試験時だけに電流を停止する場合には、制御信号PD, PDXを 5V の信号に変更してもよい。

30

【0103】

図11は図10のレベル変換回路22の動作を示す波形図である。

なおここでは、高耐圧のNMOSトランジスタのしきい値電圧Vthを約 1V 、電源電圧Vddを 1.8V 、電源電圧Vppを 5V とした場合の動作を示す。また、レベル変換回路22では入力信号INと出力信号OUTとが同相の信号となる（信号波形が重なり分りにくくなる）ため、入力信号INと逆相となるノードN20の信号波形を示している。

【0104】

時刻0において、制御信号ENをHレベルに変化させることで、バイアス回路23にバイアス電流が流れ、バイアス電位NBが増加する。時刻 $30 \text{ns} \sim 40 \text{ns}$ の期間で入力信号INをHレベルからLレベルに変化させると、出力信号OUT（図11ではノードN20の電位）がそれに応じて変化する。そして、時刻 50ns で制御信号ENをLレベルに変化させることで、バイアス電位NBは待機状態に戻る。なおこのとき、制御信号PDXは 1.8V の信号レベル（Hレベル）を保っている。

40

【0105】

同図に示されるように、制御信号ENをHレベルとすることで、バイアス電位NBが動作時の値まで上昇し、制御信号ENをLレベルとすることで、バイアス電位NBがゆっくりと下がる。高耐圧のNMOSトランジスタのしきい値電圧Vthは約 1V としたが、基

50

板バイアス効果によって、バイアス電位NBは3.5V程度となっている。

【0106】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) バイアス回路23におけるバイアス電流を決定する抵抗を2つ用意し、それぞれの抵抗R1, R3の電流値を待機時と動作時に必要となる適切な電流値に設計することで、待機時におけるバイアス電流の設計をより容易に行うことができる。また、必要なときにだけ、バイアス回路23に流す電流を大きくして、バイアス電位NBの等価インピーダンスを下げるができる。なお、このバイアス電流の制御により、レベル変換機能自体は悪影響を受けることはない。

【0107】

(2) レベル変換回路22において、インバータ回路4の出力ノードN11の電位は、インバータ回路3とは別に設けたインバータ回路24の出力を反転して生成されるので、回路動作の高速化を図ることができる。

【0108】

(第4の実施の形態)

以下、本発明を具体化した第4の実施の形態を説明する。

図12には、本実施の形態のレベル変換回路27を示している。このレベル変換回路27は、入力信号INを受けるインバータ回路3, 4のPMOSトランジスタPL1, PL2を省略した点が第3の実施の形態におけるレベル変換回路22と相違する。図12において、第3の実施の形態と同様の構成については同一の符号を付してその説明を省略し、以下には、その相違点を中心に説明する。

【0109】

すなわち、図10のレベル変換回路22において、ノードN10, N11がHレベルである場合、PMOSトランジスタPL1, PL2がオンすることで電源電圧Vddのレベルとなる。従って、レベル変換回路22は、PMOSトランジスタPL1, PL2を設けることで、ノードN10, N11のHレベルを直接的に電源電圧Vddに設計することができる。また、入力信号INの変化時には、ノードN10, N11のいずれか一方のノードがPMOSトランジスタPL1, PL2により、電源電圧Vddに充電されるので、NMOSトランジスタNH1, NH2がオフするタイミングが早くなる利点がある。

【0110】

これに対し、本実施の形態のレベル変換回路27では、PMOSトランジスタPL1, PL2を使用しない回路構成となっている。これらPMOSトランジスタPL1, PL2がない場合でも、バイアス回路23で発生するバイアス電位NBは $V_{dd} + V_{th}$ の電位となるので、NMOSトランジスタNH1, NH2のドレイン電位はほぼVddに設計することができる。なお、図12のバイアス回路23では、容量CPORを省略して図示しているが、必要であれば容量CPORを設けてもよい。

【0111】

本実施の形態のレベル変換回路27は、上記第3の実施の形態におけるレベル変換回路22と同様に動作する。また、レベル変換回路27では、バイアス電位NBが過渡的な電位あるいは、意図しない状態(中間電位)にありかつ、電源電圧Vppが0Vのときに意図しない電流が流れないといった利点がある。例えば、バイアス電位NBを電源電圧Vdd、Vppとは別の電源電圧から作るような場合には、レベル変換回路27の回路構成が必須になる。すなわち、1.8V, 5V, 3.3Vの電源電圧の回路が混在するLSIで、3.3Vの電源電圧からバイアス電位NBを作り、1.8Vから5Vへのレベル変換を行う場合を想定する。また、5Vの電源電圧Vppが0Vで、電源電圧Vddが1.8V、かつバイアス電位NBが $V_{dd} + V_{th}$ である場合、図10のように、PMOSトランジスタPL1, PL2があるレベル変換回路22では、入力信号INがLレベルであるときにノードN10の電位は1.8Vとなる。電源電圧Vppが0Vになると、PMOSトランジスタPH1のバックゲートの電位も0Vとなる。NMOSトランジスタNH1のゲート電位として供給されるバイアス電位NBは $V_{dd} + V_{th}$ なので、NMOSトランジ

10

20

30

40

50

スタNH1がオンする。このとき、PMOSTランジスタPL1とNMOSTランジスタNH1の経路を通してPMOSTランジスタPH1のバックゲートに電流が流れてしまう。

【0112】

一方、本実施の形態のレベル変換回路27は、PMOSTランジスタPL1, PL2を使用しない回路構成であるため、電源電圧Vppが0V、バイアス電位NBがVdd+Vthであっても、電源電圧Vddから電流を供給する経路が存在しないので、PMOSTランジスタPH1のバックゲートに流れる意図しない電流(望ましくない電流)が流れることを回避することができる。

【0113】

このように、本実施の形態のレベル変換回路27では、バイアス電位NBにかかわらず、電源電圧Vppと電源電圧Vddとの分離が容易となる。つまり、バイアス電位NBを電源電圧Vpp以外の電源電圧から発生する場合、レベル変換回路27のように、PMOSTランジスタPL1, PL2を省略した回路構成としたほうが、電源間を確実に分離することができる。

【0114】

(第5の実施の形態)

以下、本発明を具体化した第5の実施の形態を説明する。

図13には、本実施の形態のレベル変換回路28を示している。このレベル変換回路28は、各MOSTランジスタPH1, PH2, PL1, PL2, NH1, NH2, NL1, NL2からなる変換部29a, 29b, ...を複数段設けた点が第1の実施の形態におけるレベル変換回路10と相違する。図12において、第1の実施の形態と同様の構成については同一の符号を付している。

【0115】

レベル変換回路28において各変換部29a, 29bを構成する各MOSTランジスタPH1, PH2, PL1, PL2, NH1, NH2, NL1, NL2の接続構成は、第1の実施の形態と同じである。このレベル変換回路28において、各段の変換部29a, 29b, ...には、それぞれ1.8Vの入力信号IN1, IN2, ...が供給され、それら入力信号に対応する5Vの出力信号OUT1, OUT2, ...が出力される。また、バイアス回路11で発生したバイアス電位NBは、各段の変換部29a, 29bにおけるNMOSTランジスタNH1, NH2に供給されている。なお、図13のバイアス回路11では、容量CPOR, C1を省略して図示しているが、必要であれば容量CPOR, C1を設けてもよい。

【0116】

このように、本実施の形態のレベル変換回路28では、複数の変換部29a, 29b, ...でバイアス回路11が共通化されている。よって、各変換部の動作期間が同じになるよう設計することで、レベル変換回路28の出力が変化しない期間にバイアス回路11のバイアス電流を削減するといった制御を容易に行うことができる。

【0117】

(第6の実施の形態)

以下、本発明を具体化した第6の実施の形態を説明する。

図14は、本実施の形態のレベル変換回路30を示している。このレベル変換回路30は、バイアス回路31, 32の構成が第4の実施の形態におけるレベル変換回路27と相違する。図14において、第4の実施の形態と同様の構成については同一の符号を付してその説明を省略し、以下には、その相違点を中心に説明する。

【0118】

上記第4の実施の形態のバイアス回路23では、NMOSTランジスタNH3に流れるバイアス電流を抵抗R1で決定する回路構成であるが、本実施の形態では、より複雑な回路構成でバイアス電流を決定している。

【0119】

10

20

30

40

50

具体的に、バイアス回路31は、高耐圧のPMOSTランジスタPH3と高耐圧のNMOSTランジスタNH3とを含む。PMOSTランジスタPH3とNMOSTランジスタNH3とは直列に接続されており、PMOSTランジスタPH3のソースに5Vの電源電圧Vppが供給されている。NMOSTランジスタNH3はダイオード接続されており、そのソースに1.8Vの電源電圧Vddが供給されている。PMOSTランジスタPH3のゲートはバイアス回路32に接続されている。また、各MOSTランジスタPH3, NH3のドレインの接続部からバイアス電位NBが出力され、そのバイアス電位NBが各NMOSTランジスタNH1, NH2のゲートに供給される。

【0120】

バイアス回路32は、高耐圧のPMOSTランジスタPH23, PH24, PH25, PH26と、高耐圧のNMOSTランジスタNH25, NH26, NH27と、抵抗R4, R5とを含む。各PMOSTランジスタPH23~PH26のソースは互いに接続され、該各ソースに電源電圧Vppが供給される。PMOSTランジスタPH23のドレインは、PMOSTランジスタPH26のゲートに接続されるとともに、抵抗R4を介してNMOSTランジスタNH25のドレインに接続されている。NMOSTランジスタNH25のソースはグランドに接続され、このNMOSTランジスタNH25のゲートに1.8Vの制御信号ENが供給される。

10

【0121】

各PMOSTランジスタPH23, PH24, PH25の各ゲートは互いに接続されるとともに、バイアス回路31のPMOSTランジスタPH3のゲートにも接続されている。該各ゲートは、PMOSTランジスタPH25のドレインとNMOSTランジスタNH27のドレインに接続される。また、PMOSTランジスタPH24, PH26とNMOSTランジスタNH26の各ドレインは互いに接続され、そのドレインはNMOSTランジスタNH26, NH27のゲートに接続されている。NMOSTランジスタNH26のソースはグランドに接続され、NMOSTランジスタNH27のソースは抵抗R5を介してグランドに接続されている。

20

【0122】

また、制御信号ENは、低耐圧のPMOSTランジスタPL22とNMOSTランジスタNL20からなるインバータ回路33で反転され、反転された制御信号ENXが低耐圧のNMOSTランジスタNL21のゲートに供給されている。そして、そのNMOSTランジスタNL21は、ドレインがバイアス回路32における各NMOSTランジスタNH26, NH27のゲートに接続され、ソースがグランドに接続されている。

30

【0123】

バイアス回路32において、PMOSTランジスタPH24, PH25、NMOSTランジスタNH26, NH27、及び抵抗R5で構成されるカレントミラーループは自己バイアス回路としてよく知られている回路部分である。このカレントミラーループによりバイアス回路31のバイアス電流が決定される。この場合、抵抗R5の抵抗値を小さくすることができるといった利点がある。例えば、NMOSTランジスタNH26, NH27がサブスレッショルド領域で動作しているときには、各MOSTランジスタPH24, PH25, NH26, NH27、及び抵抗R5に流れる電流は、熱電圧(kT/q 、 k :ボルツマン定数、 T :絶対温度、 q :電子電荷)程度の電圧を抵抗R5の抵抗値で割った値に定まる。

40

【0124】

そして、その自己バイアス回路のバイアス電位(ノードN30の電位)をバイアス回路31のPMOSTランジスタPH3のゲートに供給することで、自己バイアス回路で決定した電流をPMOSTランジスタPH3に流すことができる。

【0125】

バイアス回路32において、PMOSTランジスタPH23, PH26、NMOSTランジスタNH25、及び抵抗R4はスタートアップ回路として働く。制御信号ENがHレベルであるとき、NMOSTランジスタNH25がオンする。このとき、PMOSTラン

50

ジスタPH24, PH25に電流が流れていないと、PMOSトランジスタPH26のゲート電位は0Vとなる。

【0126】

PMOSトランジスタPH26のゲート電位が0Vとなると、NMOSトランジスタNH26に電流が流れ始め、カレントミラー回路(各MOSトランジスタPH24, PH25, NH26, NH27、抵抗R5)に電流が流れて安定点に達する。PMOSトランジスタPH24, PH25に電流が流れると、PMOSトランジスタPH23にも電流が流れ、PMOSトランジスタPH26のゲート電位が電源電圧Vppとなってスタートアップ回路が切り離される。

【0127】

バイアス回路32にHレベルの制御信号ENが供給される場合、スタートアップ回路が動作するので、バイアス回路32がスタートアップし、それに伴いバイアス回路31のNMOSトランジスタNH3にバイアス電流が流れる。一方、Lレベルの制御信号ENが供給される場合、スタートアップ回路に電流が流れず、該スタートアップ回路は機能しない。またこのとき、Hレベルの制御信号ENXによりNMOSトランジスタNL21がオンするので、各NMOSトランジスタNH26, NH27がオフし、バイアス回路32に流れる電流が0となる。

【0128】

このように、複雑な回路構成のバイアス回路32を用いても、第4の実施の形態と同様に、1.8Vの制御信号ENによって、バイアス回路32に流れる電流をオン/オフ制御

【0129】

(第7の実施の形態)

以下、本発明を具体化した第7の実施の形態を説明する。

図15は、本実施の形態のレベル変換回路35を示している。

【0130】

上記第6の実施の形態では、バイアス回路32に流れる電流を制御信号ENで直接オン/オフ制御するものであったが、本実施の形態のレベル変換回路35では、バイアス回路32に流れる電流を別の制御信号PDでオン/オフ制御し、カレントミラー比により電流増幅する回路部分を制御信号ENでオン/オフ制御する。そして、その回路部分で発生する電位によりバイアス回路31に流れるバイアス電流を制御するようにしている。図15において、第6の実施の形態と同様の構成については同一の符号を付してその説明を省略し、以下には、その相違点を中心に説明する。

【0131】

バイアス回路32におけるPMOSトランジスタPH25のソースに、高耐圧のPMOSトランジスタPH26, PH27のソースが接続され、PMOSトランジスタPH25のゲートとドレインとの接続部に、PMOSトランジスタPH26のゲートが接続されている。PMOSトランジスタPH26のドレインが、ダイオード接続されたNMOSトランジスタNH28を介してグランドに接続されている。

【0132】

PMOSトランジスタPH27は、ゲートとドレインとが接続され、その接続部はNMOSトランジスタNH29のドレインと接続されるとともに、バイアス回路31におけるPMOSトランジスタPH3のゲートに接続されている。NMOSトランジスタNH29は、ソースがグランドに接続され、ゲートはNMOSトランジスタNL24を介してPMOSトランジスタPH26とNMOSトランジスタNH28の接続部(ドレイン)に接続されている。また、NMOSトランジスタNH29のゲートは、NMOSトランジスタNL25を介してグランドに接続されている。

【0133】

そして、制御信号ENは、NMOSトランジスタNL24のゲートに供給されるとともに、PMOSトランジスタPL24とNMOSトランジスタNL26とからなるインバー

10

20

30

40

50

タ回路を介して反転されてNMOSトランジスタNL25のゲートに供給される。

【0134】

本実施の形態のレベル変換回路35において、バイアス回路32で発生されるPMOSトランジスタPH25のゲート電位が、そのPMOSトランジスタPH25とカレントミラー回路を構成するPMOSトランジスタPH26のゲートに供給され、そのゲート電位に応じた電流がNMOSトランジスタNH28に流れる。このNMOSトランジスタNH28のゲート電位は、Hレベルの制御信号ENによりオンしたNMOSトランジスタNL24を介してNMOSトランジスタNH29のゲートに伝達される。NMOSトランジスタNH29に流れる電流がPMOSトランジスタPH27で電圧(ノード30の電位)に変換されて、バイアス回路31のPMOSトランジスタPH3のゲートに供給される。これにより、バイアス回路31におけるPMOSトランジスタPH3とNMOSトランジスタNH3にバイアス電流を流す。

10

【0135】

このレベル変換回路35において、各MOSトランジスタPH25, PH26, NH28, NH29, PH3の比を適切に設計することで、バイアス回路32の電流を実用上十分に小さくすることができ、バイアス回路31におけるPMOSトランジスタPH3の電流を必要な大きさに設計することができる。

【0136】

また、レベル変換回路35では、NMOSトランジスタNH28のゲート電位をNMOSトランジスタNL24でNMOSトランジスタNH29に伝える構成であるので、制御信号ENがHレベルであるときだけ、NMOSトランジスタNL24がオンしてゲート電位が伝達されてNMOSトランジスタNH29に電流が流れる。また、制御信号ENがLレベルであるときは、ゲート電位の伝達が遮断されるとともに、NMOSトランジスタNL25がオンしてNMOSトランジスタNH29のゲートがグラウンドに接続されるため、NMOSトランジスタNH29には電流が流れない。このように構成すると、信号振幅が1.8Vである制御信号ENによってバイアス回路31のバイアス電流を制御することができる。

20

【0137】

なお、制御信号ENがLレベルであるときに電流を流すPMOSトランジスタを、バイアス回路31におけるPMOSトランジスタPH3と並列に設けてもよい。また、そのPMOSトランジスタのゲート電位は、PMOSトランジスタPH25のゲート電位とすることができる。

30

【0138】

(第8の実施の形態)

以下、本発明を具体化した第8の実施の形態を説明する。

図16は、本実施の形態の原理説明図である。本実施の形態のレベル変換回路40は、バイアス回路41における通常時のバイアス電流のオン/オフ制御を低い電源電圧V_{dd}(1.8V)の制御信号ENで行う。また、待機時のバイアス電流のオン/オフ制御を高い電源電圧V_{pp}(5V)の制御信号PDHで行う。

【0139】

図17は、本実施の形態におけるレベル変換回路40の回路構成を示す回路図である。

40

レベル変換回路40は、第6の実施の形態におけるレベル変換回路30(図14参照)での制御信号ENを5Vの制御信号PDHに置き換えている。さらに、1.8Vの制御信号ENでオン/オフ制御する電流を、第1の実施の形態におけるレベル変換回路10(図5参照)と同様に抵抗R1で発生している。図17において、第1及び第6の実施の形態と同様の構成については同一の符号を付している。

【0140】

すなわち、レベル変換回路40は、上記バイアス回路31, 32を構成する回路素子に加え、高耐圧のPMOSトランジスタPH28, PH29, PH30, PH31, PH32、高耐圧のNMOSトランジスタNH4, NH30, NH31、及び抵抗R1を含む。

50

【 0 1 4 1 】

5 Vの制御信号PDHは、PMOSトランジスタPH28とNMOSトランジスタNH30とからなるインバータ回路42に供給され、該インバータ回路42で反転された制御信号PDHXがNMOSトランジスタNH31のゲートに供給される。このNMOSトランジスタNH31は、ドレインがNMOSトランジスタNH26, NH27のゲートに接続され、ソースがグランドに接続されている。

【 0 1 4 2 】

また、5 Vの制御信号PDHは、PMOSトランジスタPH29, PH30とNMOSトランジスタNH25のゲートに供給されている。PMOSトランジスタPH29は、ソースに電源電圧Vppが供給され、ドレインがPMOSトランジスタPH26のゲートに接続されている。PMOSトランジスタPH30は、ソースに電源電圧Vppが供給され、ドレインが各PMOSトランジスタPH3, PH23, PH24, PH25のゲートに接続されている。

10

【 0 1 4 3 】

各PMOSトランジスタPH31, PH32のソースに5 Vの電源電圧Vppが供給され、PMOSトランジスタPH31のゲートとPMOSトランジスタPH32のゲートとが互いに接続されるとともに、各ゲートはPMOSトランジスタPH32のドレインに接続されている。

【 0 1 4 4 】

PMOSトランジスタPH32のドレインは、抵抗R1を介してNMOSトランジスタNH4のドレインに接続されている。このNMOSトランジスタNH4は、ソースがグランドに接続され、ゲートに1.8 Vの制御信号ENが供給されている。PMOSトランジスタPH31のドレインは、PMOSトランジスタPH3とNMOSトランジスタNH3との接続部(ドレイン)に接続されている。

20

【 0 1 4 5 】

次に、本実施の形態におけるレベル変換回路40の動作について説明する。

レベル変換回路40の動作時には、Hレベル(1.8 V)の制御信号ENが供給され、NMOSトランジスタNH4がオンする。このとき、抵抗R1に電流が流れ、その電流はPMOSトランジスタPH32に流れる。すると、PMOSトランジスタPH32とカレントミラー接続されたPMOSトランジスタPH31にも電流が流れ、その電流は、ダイオード接続されたNMOSトランジスタNH3を介して低い電源電圧Vddの電源側に流れ込む。これにより、バイアス回路41のバイアス電位NBは、電源電圧Vddから高耐圧のNMOSトランジスタNH3のしきい値電圧Vth程度高い電圧となる。

30

【 0 1 4 6 】

一方、待機時には、Lレベル(0 V)の制御信号ENが供給され、NMOSトランジスタNH4がオフするため、PMOSトランジスタPH31に流れる電流が停止される。また、この待機時には、制御信号PDHによって、PMOSトランジスタPH3に流れる電流がオン/オフ制御される。

【 0 1 4 7 】

詳しくは、制御信号PDHがHレベル(制御信号PDHXがLレベル)であるとき、NMOSトランジスタNH31、PMOSトランジスタPH29, PH30がオフする。また、NMOSトランジスタNH25がオンすることで、PMOSトランジスタPH24, PH25、NMOSトランジスタNH26, NH27、抵抗R5で構成される自己バイアス回路に電流が流れ、その自己バイアス回路で決定した電流がPMOSトランジスタPH3に流れる。

40

【 0 1 4 8 】

一方、制御信号PDHがLレベル(制御信号PDHXがHレベル)であるとき、NMOSトランジスタNH31がオンして、各NMOSトランジスタNH26, NH27がオフする。またこのとき、PMOSトランジスタPH29, PH30がオンして、各PMOSトランジスタPH23~PH26がオフする。これにより、自己バイアス回路に流れる電

50

流が停止され、PMOSトランジスタPH3の電流も停止される。

【0149】

なお、本実施の形態において、待機時のバイアス電流のオン/オフ制御は、5Vの制御信号PDXから1.8Vの制御信号に変更してもよい。

このようにすれば、レベル変換回路40の入出力信号が頻繁に変化するときだけ、バイアス電位NBのインピーダンスを下げる等の制御が、低い電源電圧Vddの回路(デジタル回路)側から実行できるようになる。例えば、電源電圧Vddで動作する回路としてCPUが設けられた半導体集積回路装置では、CPUがプログラムを実行することにより、バイアス回路41の電流を制御することができる。また、試験時にIDDQを測定する等、完全に回路を使用しない場合には、制御信号PDHで待機時のバイアス電流を停止することができる。

10

【0150】

(第9の実施の形態)

以下、本発明を具体化した第9の実施の形態を説明する。

図18には、本実施の形態のレベル変換回路43を示している。上記第1の実施の形態のレベル変換回路10では、ノードN30に接続した容量CPORでパワーオンリセット機能を実現したが、本実施の形態のレベル変換回路43では、その機能を実現するためにパワーオンリセット回路44が別途設けられている。図18において、第1の実施の形態と同様の構成については同一の符号を付してその説明を一部省略し、以下には、その相違点を中心に説明する。

20

【0151】

すなわち、パワーオンリセット回路44は、PMOSトランジスタPH33、抵抗RPOR、及び容量CPORを含む。パワーオンリセット回路44において、抵抗RPORと容量CPORとが接続され、その接続部にPMOSトランジスタPH33のゲートが接続されている。PMOSトランジスタPH33のソースには、5Vの電源電圧Vppが供給され、PMOSトランジスタPH33のドレインは、PMOSトランジスタPH3とNMOSトランジスタNH3との接続部(ドレイン)に接続されている。

【0152】

電源電圧Vppの立ち上がり時には、容量CPORによってPMOSトランジスタPH3のゲート電圧は0Vとなっている。これにより、PMOSトランジスタPH3がオンしてNMOSトランジスタNH3に電流が流れ、PMOSトランジスタPH3のゲート電位(ノード30の電位)とは無関係にバイアス電位NBが充電される。容量CPORと抵抗RPORで決まる時定数によって、PMOSトランジスタPH33のゲートは充電され、最終的にはPMOSトランジスタPH33はオフする。

30

【0153】

ここで、各電源電圧Vpp, Vddの電源立ち上げ手順としては、電源電圧Vddが立ち上がり、その後、電源電圧Vppが立ち上がる(図4参照)。この電源電圧Vppの立ち上がり時に、パワーオンリセット回路44によりバイアス電位NBを充電することにより、レベル変換回路43の出力が不定になる期間を最小にすることができる。図4の電源立ち上げ手順は、レベル変換回路43の出力が不定になる期間を最小にするための手順であり、これが必要のない場合(レベル変換回路43の出力を受ける回路側で対策が取られている場合など)には、電源立ち上げ手順を適宜変更してもよい。

40

【0154】

(第10の実施の形態)

以下、本発明を具体化した第10の実施の形態を説明する。

図19には、本実施の形態におけるレベル変換回路45を示している。

【0155】

このレベル変換回路45は、電流制限のための高耐圧のPMOSトランジスタPH40, PH41と、該各トランジスタPH40, PH41にバイアス電位PBを供給するバイアス回路46を備える点が図25に示す従来例と相違する。図19において、図25の従

50

来例と同様の構成（各MOSトランジスタPH1, PH2, NH1, NH2やインバータ回路3, 4など）については同一の符号を付している。

【0156】

図25のレベル変換回路1の説明で述べたように、出力信号OUTをHレベルからLレベルに変化させるためには、PMOSトランジスタPH2の電流よりもNMOSトランジスタNH2の電流を大きくすることが必要となる。PMOSトランジスタPH2のゲート・ソース間は5V（電源電圧Vpp）であるのに対して、NMOSトランジスタNH2のゲート・ソース間は1.8V（電源電圧Vdd）しかない。PMOSトランジスタPH2の電流よりもNMOSトランジスタNH2の電流を大きくするためには、NMOSトランジスタNH2のゲート幅Wを（トランジスタPH2のゲート幅に対して）大きく設計しなければならず、NMOSトランジスタNH2のサイズが大きくなってしまふ。また、電源電圧Vddの電圧値がNMOSトランジスタNH1, NH2のしきい値電圧Vth付近まで下がってくると、遅延時間が極端に大きくなる。これは、NMOSトランジスタNH1, NH2のゲート幅Wを大きくしたとしても、出力信号OUTの出力端子の放電に寄与するPMOSトランジスタPH2とNMOSトランジスタNH2の電流差が小さくなるためである。

10

【0157】

この問題点を解決するため、本実施の形態のレベル変換回路45では、クロスカップルした高耐圧のPMOSトランジスタPH1, PH2と直列に、電流制限のためのPMOSトランジスタPH40, PH41を設けている。各PMOSトランジスタPH40, PH41のゲートには、バイアス回路46で発生したバイアス電位PBを供給し、各PMOSトランジスタPH40, PH41、つまり、各PMOSトランジスタPH1, PH2に流れる電流を制御する。各PMOSトランジスタPH40, PH41, PH1, PH2に流れる電流の値は、高耐圧のNMOSトランジスタNH1, NH2のゲートに電源電圧Vddが加わったときに流れる電流に比例するように設定する。

20

【0158】

具体的には、バイアス回路46は、高耐圧のPMOSトランジスタPH42とNMOSトランジスタNH40と容量C2を含む。PMOSトランジスタPH42のソースには電源電圧Vppが供給され、そのPMOSトランジスタPH42のゲートは、各MOSトランジスタPH42, NH40のドレインに接続されるとともに、容量C2を介して電源電圧Vppの電源に接続される。この容量C2は、バイアス回路46（PMOSトランジスタPH42のゲート）から出力されるバイアス電位PBの安定化容量として働く。

30

【0159】

NMOSトランジスタNH40のソースはグランドに接続され、NMOSトランジスタNH40のゲートには、インバータ回路12から出力される制御信号ENが供給される。また、PMOSトランジスタPH42のゲートが、電流制限用の各PMOSトランジスタPH40, PH41のゲートに接続されている。

【0160】

このような回路構成とすると、各PMOSトランジスタPH40, PH41, PH1, PH2に流れる電流の値は、高耐圧のNMOSトランジスタNH1, NH2のゲートに電源電圧Vddが加わったときに流れる電流に比例する。つまり、電源電圧Vddが下がり、NMOSトランジスタNH1, NH2の電流が減少すると、バイアス回路46のNMOSトランジスタNH40に流れる電流も減少する。NMOSトランジスタNH40に流れる電流が減少するので、PMOSトランジスタPH42に流れる電流が減少する。従って、各PMOSトランジスタPH40, PH41, PH1, PH2に流れる電流は、NMOSトランジスタNH1, NH2の電流に比例する特性を得ることができる。このような回路特性とすると、電源電圧Vddが減少しても、PMOSトランジスタPH2の電流よりもNMOSトランジスタNH2の電流を常に大きくすることができる。

40

【0161】

また、制御信号ENをLレベルとすると、NMOSトランジスタNH40がオフしてバ

50

バイアス回路46に流れる電流を停止することができる。このとき、PMOSトランジスタPH40, PH41もオフしてしまうので、出力信号OUTの信号レベルが不定になる可能性がある。従って、レベル変換回路45の出力信号OUTを受ける回路側には、制御信号との論理機能を設けることで出力信号OUTが不定、或いは中間電位でも該回路に貫通電流が流れないように工夫する。

【0162】

なお、本実施の形態において、電流制限用のPMOSトランジスタPH40, PH41を、PMOSトランジスタPH1, PH2のソース側に挿入する例を示したが、PMOSトランジスタPH1, PH2のドレイン側に設けて電流を制限するように構成してもよい。

10

【0163】

(第11の実施の形態)

以下、本発明を具体化した第11の実施の形態を説明する。

図20には、本実施の形態のレベル変換回路48を示している。このレベル変換回路48は、バイアス回路49とそれを制御する回路(レベル変換回路50を含む回路)部分の構成が上記第10の実施の形態におけるレベル変換回路45と相違する。図20において、第10の実施の形態と同様の構成については同一の符号を付してその説明を一部省略し、以下には、その相違点を中心に説明する。

【0164】

第10の実施の形態では、NMOSトランジスタNH40がオフしたとき、バイアス回路46に流れる電流を停止することができたが、それと同時にPMOSトランジスタPH40, PH41がオフして出力がハイインピーダンス(出力信号OUTが不定)になる可能性がある。そこで、本実施の形態のレベル変換回路48では、バイアス回路49の電流を停止したときでも、出力がハイインピーダンスとならないような工夫がなされている。

20

【0165】

具体的には、バイアス回路49は、上記バイアス回路46を構成するPMOSトランジスタPH42、NMOSトランジスタNH40、容量C2に加え、PMOSトランジスタPH43とNMOSトランジスタNH41とを備える。PMOSトランジスタPH43のソースには5Vの電源電圧Vppが供給され、PMOSトランジスタPH43のドレインがPMOSトランジスタPH42のソースに接続されている。また、NMOSトランジスタNH41のドレインは、PMOSトランジスタPH42のゲートに接続され、NMOSトランジスタNH41のソースがグランドに接続されている。そして、PMOSトランジスタPH43とNMOSトランジスタNH41とのゲートには、レベル変換回路50の出力信号(5Vの制御信号)ENXHが供給される。レベル変換回路50は、PMOSトランジスタPH44, PH45とNMOSトランジスタNH42, NH43、及びインバータ回路51, 52で構成される。

30

【0166】

制御信号ENがHレベル(1.8V)であるとき、PMOSトランジスタPL40とNMOSトランジスタNL40からなるインバータ回路51の出力ノードN12はLレベル(0V)となり、PMOSトランジスタPL41とNMOSトランジスタNL41からなるインバータ回路52の出力ノードN13はHレベル(1.8V)となる。このとき、NMOSトランジスタNH43とPMOSトランジスタPH44がオンし、NMOSトランジスタNH42とPMOSトランジスタPH45がオフするため、レベル変換回路50はLレベル(0V)の制御信号ENXHを出力する。

40

【0167】

制御信号ENXHがLレベルであるので、NMOSトランジスタNH41はオフし、PMOSトランジスタPH43がオンする。このため、制御信号ENXHがLレベルである場合は、図19のバイアス回路46と同様の動作をする。この場合、ノードN13がHレベルであるので、NMOSトランジスタNH40に電流が流れ、その電流は、バイアス回路46と同じく、高耐圧のNMOSトランジスタNH1, NH2のゲートに電源電圧Vd

50

dが加わったときに流れる電流に比例するように設計できる。また、各PMOSトランジスタPH40, PH41, PH1, PH2に流れる電流も同様に、NMOSトランジスタNH1, NH2の電流に比例するように設計できる。

【0168】

一方、制御信号ENがLレベル(0V)であるとき、インバータ回路51の出力ノードN12はHレベル(1.8V)となり、インバータ回路52の出力ノードN13はLレベル(0V)となる。このとき、NMOSトランジスタNH42とPMOSトランジスタPH45がオンし、NMOSトランジスタNH43とPMOSトランジスタPH44がオフするため、レベル変換回路50はHレベル(5V)の制御信号ENXHを出力する。

【0169】

制御信号ENXHがHレベルであるので、NMOSトランジスタNH41はオンし、PMOSトランジスタPH43がオフする。PMOSトランジスタPH43がオフすると、バイアス回路49には定常電流は流れなくなる。またこのとき、NMOSトランジスタNH41がオンすることで、バイアス電位PBはグランド電位の0Vとなり、電流制限用のPMOSトランジスタPH40, PH41はオンした状態となる。PMOSトランジスタPH40, PH41のゲートに供給されるバイアス電位PBが0Vとなる場合、信号変化時に、PMOSトランジスタPH40, PH41に流れる電流がNMOSトランジスタNH1, NH2の電流に比例する特性にならないが、入力信号INと出力信号OUTが変化しなければ、以前の状態を保持することができる。従って、レベル変換回路48の入出力信号が変化しない待機時に、バイアス回路49に流れる電流を停止することができる。

【0170】

本実施の形態では、1.8Vの制御信号ENから5Vの制御信号ENXHを発生するのに、図25の従来例と同じ構成のレベル変換回路50を用いている。電源電圧Vddが小さくなると、制御信号ENをレベル変換した制御信号ENXHの遅延時間が大きくなるが、制御信号なので、その遅延時間が多少大きくなって回路動作には問題はない。なお、このような場合、レベル変換回路50において、PMOSトランジスタPH44, PH45のオン抵抗をできるだけ大きくして、面積を節約しつつ、NMOSトランジスタNH42, NH43のゲート幅Wを大きくして、その動作電圧の下限値をできるだけ下げないように設計すればよい。

【0171】

このようにレベル変換回路48を構成することで、PMOSトランジスタPH40, PH41, PH1, PH2に流れる電流値を、高耐圧のNMOSトランジスタNH1, NH2のゲートに電源電圧Vddが加わったときに流れる電流に比例するよう制御しながら、待機時に流れるバイアス回路49の電流を停止することが可能となる。

【0172】

(第12の実施の形態)

以下、本発明を具体化した第12の実施の形態を説明する。

図21は、本実施の形態のレベル変換回路55を示している。このレベル変換回路55は、第1の実施の形態のレベル変換回路10(図5参照)と第10の実施の形態のレベル変換回路45(図19参照)とを組み合わせた回路構成となっている。レベル変換回路55では、それらを組み合わせることで、バイアス回路46におけるバイアス電位PBの発生方法が相違する。図21において、第1及び第10の実施の形態と同様の構成については同一の符号を付してその説明を一部省略し、以下には、相違点を中心に説明する。

【0173】

すなわち、レベル変換回路55において、バイアス回路46のNMOSトランジスタNH40のゲートには、バイアス回路11で発生されたバイアス電位NBが供給され、NMOSトランジスタNH40のソースは、PMOSトランジスタPL42とNMOSトランジスタNL42からなるインバータ回路57の出力ノードN40に接続されている。インバータ回路57には、インバータ回路12から出力される制御信号ENが入力され、出力ノードN40の電位は、制御信号ENの論理レベルを反転したレベルとなる。

【 0 1 7 4 】

図 19 のレベル変換回路 45 では、信号の変化時に、高耐圧の NMOS トランジスタ NH1, NH2 に流れる電流は、そのゲートに電源電圧 V_{dd} が加わったときに流れる電流値となっていた。そのため、レベル変換回路 45 では、PMOS トランジスタ PH40, PH41, PH1, PH2 に流れる電流の値を、NMOS トランジスタ NH1, NH2 のゲートに電源電圧 V_{dd} が加わったときに流れる電流に比例するように制御していた。

【 0 1 7 5 】

これに対し、図 21 に示す本実施の形態のレベル変換回路 55 では、信号の変化時に、NMOS トランジスタ NH1, NH2 のゲートには、電源電圧 V_{dd} + しきい値電圧 V_{th} が加わり、そのゲート電圧に応じた電流が NMOS トランジスタ NH1, NH2 に流れる。従って、PMOS トランジスタ PH40, PH41, PH1, PH2 に流れる電流の値は、NMOS トランジスタ NH1, NH2 のゲートに電源電圧 V_{dd} + しきい値電圧 V_{th} が加わったときに流れる電流に比例するように制御することが望ましい。

10

【 0 1 7 6 】

このため、バイアス回路 46 において、バイアス電位 PB を発生するダイオード接続された PMOS トランジスタ PH42 に流れる電流は、NMOS トランジスタ NH1, NH2 のゲートに電源電圧 V_{dd} + しきい値電圧 V_{th} が加わったときに流れる電流に比例するように回路が構成されている。

【 0 1 7 7 】

具体的には、図 19 のレベル変換回路 45 では、バイアス回路 46 における NMOS トランジスタ NH40 のソースはグランド GND、NMOS トランジスタ NH40 のゲート電位は（バイアス回路 46 の動作時には）電源電圧 V_{dd} としていた。本実施の形態のレベル変換回路 55 においては、NMOS トランジスタ NH40 のゲート電位をバイアス電位 NB、つまり、電源電圧 V_{dd} + しきい値電圧 V_{th} としている。また、NMOS トランジスタ NH40 のソースは、NMOS トランジスタ NL42 を通してグランド GND に接続される。これは、NMOS トランジスタ NH1, NH2 と NMOS トランジスタ NL1, NL2 のレプリカ回路として働く。

20

【 0 1 7 8 】

このレベル変換回路 55 において、Hレベルの制御信号 EN が供給されると、インバータ回路 57 の出力ノード N40 の電位が Lレベル（ほぼ 0V）となるので、NMOS トランジスタ NH40 のゲート・ソース間には、ほぼ電源電圧 V_{th} + しきい値電圧 V_{th} の電圧が加わる。このとき、バイアス回路 46 において、NMOS トランジスタ NH40 がオンして PMOS トランジスタ PH42 に電流が流れて、バイアス電位 PB が発生するため、各 PMOS トランジスタ PH40, PH41, PH1, PH2 に流れる電流の値は、NMOS トランジスタ NH1, NH2 のゲートに電源電圧 V_{dd} + しきい値電圧 V_{th} が加わったときに流れる電流に比例するようになる。

30

【 0 1 7 9 】

このように、本実施の形態によれば、上記第 1 の実施の形態と同様に、バイアス回路 11 で発生するバイアス電位 NB を、電源電圧 V_{dd} よりもしきい値電圧 V_{th} 高い電圧（2.6V）とすることで、回路動作の高速化が実現できる。さらに、第 10 の実施の形態と同様に、電源電圧 V_{dd} が減少しても、PMOS トランジスタ PH2 の電流よりも NMOS トランジスタ NH2 の電流を常に大きくすることができる。

40

【 0 1 8 0 】

（第 13 の実施の形態）

以下、本発明を具体化した第 13 の実施の形態を説明する。

図 22 は、本実施の形態のレベル変換回路 61 を示している。このレベル変換回路 61 は、第 1 の実施の形態のレベル変換回路 10（図 5 参照）と第 11 の実施の形態のレベル変換回路 48（図 20 参照）とを組み合わせた回路構成となっている。図 22 において、第 1 及び第 11 の実施の形態と同様の構成については同一の符号を付している。

【 0 1 8 1 】

50

このレベル変換回路 6 1 は、第 1 1 の実施の形態と同様に、バイアス回路 4 9 のバイアス電流を停止しても、出力信号 O U T が不定とならないように回路を構成している。すなわち、レベル変換回路 6 1 は、上記第 1 2 の実施の形態におけるレベル変換回路 5 5 に対して、バイアス回路 4 9 の M O S トランジスタ P H 4 3 , N H 4 1 を追加するとともに、レベル変換回路 5 0 を追加している。

【 0 1 8 2 】

このレベル変換回路 6 1 でも、上記第 1 2 の実施の形態と同様に、 P M O S トランジスタ P H 4 0 , P H 4 1 , P H 1 , P H 2 に流れる電流値を、高耐圧の N M O S トランジスタ N H 1 , N H 2 のゲートに電源電圧 $V_{dd} + V_{th}$ が加わったときに流れる電流に比例するよう制御しながら、待機時に流れるバイアス回路 4 9 の電流を停止することが可能となる。

10

【 0 1 8 3 】

(第 1 4 の実施の形態)

以下、本発明を具体化した第 1 4 の実施の形態を説明する。

図 2 3 に示すように、本実施の形態は、 1 . 8 V の制御信号 E N から 5 V の制御信号 E N X H を発生するレベル変換回路 6 2 の構成が上記第 1 3 の実施の形態と相違する。図 2 3 において、第 1 3 の実施の形態と同様の構成については同一の符号を付してその説明を一部省略し、以下には、相違点を中心に説明する。

【 0 1 8 4 】

レベル変換回路 6 2 において、 N M O S トランジスタ N H 4 2 , N H 4 3 のゲートにバイアス回路 1 1 で発生したバイアス電位 (= $V_{dd} + V_{th}$) が供給されている。 N M O S トランジスタ N H 4 2 のソースは、低耐圧の N M O S トランジスタ N L 4 2 を介してグランドに接続され、 N M O S トランジスタ N H 4 3 のソースは、低耐圧の N M O S トランジスタ N L 4 3 を介してグランドに接続されている。また、 N M O S トランジスタ N L 4 2 のゲートはインバータ回路 5 1 の出力ノード N 1 2 に接続され、制御信号 E N を反転した電位レベルが供給される。さらに、 N M O S トランジスタ N L 4 3 のゲートはインバータ回路 5 2 の出力ノード N 1 3 に接続され、制御信号 E N と同じレベルが供給される。

20

【 0 1 8 5 】

バイアス回路 4 9 の電流を停止した後、制御信号 E N X H を発生するレベル変換回路が動作しなくなる電圧値まで電源電圧 V_{dd} が下がると、制御信号 E N でバイアス回路 4 9 を復帰できなくなるので、バイアス電流を停止できなくなる。

30

【 0 1 8 6 】

この対策として、本実施の形態のレベル変換回路 6 2 では、 N M O S トランジスタ N H 4 2 , N H 4 3 のゲート電位をバイアス電位 (= $V_{dd} + V_{th}$) とすることで、動作電圧の下限を下げている。すなわち、低い電源電圧 V_{dd} の値が小さくなくても、該トランジスタ N H 4 2 , N H 4 3 の電流の減少は、図 2 2 のレベル変換回路 5 0 と比較して小さくなる。このため、より低い電圧までレベル変換回路 6 2 が動作し、 1 . 8 V 信号である制御信号 E N から 5 V の制御信号 E N X H を確実に発生させることが可能となり、バイアス回路 4 9 を制御できる電源電圧 V_{dd} の電圧範囲が広がる。また、制御信号 E N でバイアス回路 4 9 を制御できる電圧範囲 (バイアス回路 4 9 を停止した後、制御信号 E N で復帰できる電源電圧 V_{dd} の電圧範囲) が広がるので、よりこまめにバイアス回路 4 9 を停止することが可能となる。

40

【 0 1 8 7 】

また、上記第 1 1 の実施の形態において、 1 . 8 V の制御信号 E N から 5 V の制御信号 E N X H を出力するレベル変換回路 5 0 の動作電圧の下限を下げるために、 P M O S トランジスタ P H 4 4 , P H 4 5 のオン抵抗をできるだけ大きくして、面積を節約しつつ、 N M O S トランジスタ N H 4 2 , N H 4 3 のゲート幅 W を大きく設計する方法を説明した。本実施の形態のレベル変換回路 6 2 では、その設計方法に加え、 N M O S トランジスタ N H 4 2 , N H 4 3 にバイアス電位 N B (= $V_{dd} + V_{th}$) が供給されるので、動作電圧の下限をさらに下げることができる。

50

【 0 1 8 8 】

(第 1 5 の実施の形態)

以下、本発明を具体化した第 1 5 の実施の形態を説明する。

図 2 4 には、本実施の形態のレベル変換回路 7 1 を示している。レベル変換回路 7 1 を構成する各 MOS トランジスタ PH 1 , PH 2 , NH 1 , NH 2 やインバータ回路 3 , 4 の構成は、上記第 1 の実施の形態と同じであり、バイアス回路 7 2 の構成が相違する。

【 0 1 8 9 】

バイアス回路 7 2 は、前記レベル変換回路 6 2 (図 2 3 参照) から供給される 5 V の制御信号 ENXH によって制御される。詳しくは、バイアス回路 7 2 は、PMOS トランジスタ PH 3 , NMOS トランジスタ NH 3 、抵抗 R 6 、及び容量 C 1 を含む。バイアス回路 7 2 において、PMOS トランジスタ PH 3 のゲートに L レベル (0 V) の制御信号 ENXH が供給されると、PMOS トランジスタ PH 3 がオンし、抵抗 R 6 を介して NMOS トランジスタ NH 3 にバイアス電流が流れる。一方、PMOS トランジスタ PH 3 のゲートに H レベル (5 V) の制御信号 ENXH が供給されると、PMOS トランジスタ PH 3 がオフしてバイアス電流が停止される。

【 0 1 9 0 】

5 V の制御信号 ENXH は、図 2 3 のレベル変換回路 6 2 において 1 . 8 V の制御信号 EN に基づいて生成することができる。よって、本実施の形態においても、上記第 1 の実施の形態と同様の効果を得ることができる。

【 0 1 9 1 】

尚、上記各実施の形態は、以下の態様で実施してもよい。

・第 2 の実施の形態の AD 変換回路 1 5 は、第 1 の実施の形態のレベル変換回路 1 0 を用いるものであったが、このレベル変換回路 1 0 に代えて他の実施の形態のレベル変換回路を用いてもよい。また、各実施の形態におけるレベル変換回路は、AD 変換回路以外の他の半導体集積回路装置に使用してもよい。

【 0 1 9 2 】

・上記第 9 の実施の形態におけるパワーオンリセット回路 4 4 を他の実施の形態のレベル変換回路に設けてもよい。また、パワーオンリセット回路 4 4 は PMOS トランジスタ PH 3 1 、抵抗 R POR 、及び容量 C POR により構成されるものであるが、その回路構成は適宜変更してもよい。

【 0 1 9 3 】

上記各実施の形態から把握できる技術的思想を以下に記載する。

(付記 1) 基準電圧と第 1 電圧とを信号レベルとする入力信号を、前記基準電圧と第 1 電圧よりも高い第 2 電圧の信号レベルに変換するレベル変換回路であって、

第 1 及び第 2 の PMOS トランジスタと、第 1 ~ 第 4 の NMOS トランジスタと、バイアス電位を発生するバイアス回路とを含み、

第 1 の NMOS トランジスタは、ドレインが第 1 の PMOS トランジスタのドレインと第 2 の PMOS トランジスタのゲートに接続され、ソースが第 3 の NMOS トランジスタのドレインに接続され、第 2 の NMOS トランジスタは、ドレインが第 2 の PMOS トランジスタのドレインと第 1 の PMOS トランジスタのゲートに接続され、ソースが第 4 の NMOS トランジスタのドレインに接続され、第 3 の NMOS トランジスタのゲートに前記入力信号が供給されるとともに、第 4 の NMOS トランジスタのゲートに入力信号を反転した信号が供給され、

前記バイアス回路は、前記第 1 電圧より前記第 1 及び第 2 の NMOS トランジスタのしきい値電圧高いバイアス電位を前記第 1 及び第 2 の NMOS トランジスタのゲートに供給する回路であり、前記基準電圧と第 1 電圧とを信号レベルとする制御信号に基づいて前記バイアス電位を発生させるための電流を制御することを特徴とするレベル変換回路。

(付記 2) 基準電圧と第 1 電圧とを信号レベルとする入力信号を、前記基準電圧と第 1 電圧よりも高い第 2 電圧の信号レベルに変換するレベル変換回路であって、

第 1 ~ 第 4 の PMOS トランジスタと、第 1 及び第 2 の NMOS トランジスタと、バイ

10

20

30

40

50

アス電位を発生するバイアス回路とを含み、

第1のNMOSトランジスタのドレインは、第1のPMOSトランジスタのドレインと第2のPMOSトランジスタのゲートに接続され、第2のNMOSトランジスタのドレインは、第2のPMOSトランジスタのドレインと第1のPMOSトランジスタのゲートに接続され、第3のPMOSトランジスタのドレインは、前記第1のPMOSトランジスタのソースに接続され、第4のPMOSトランジスタのドレインは、前記第2のPMOSトランジスタのソースに接続され、

前記バイアス回路は、前記第3及び第4のPMOSトランジスタのゲートに前記バイアス電位を供給し、出力信号の変化時に第3及び第4のPMOSトランジスタに流れる電流が第1及び第2のNMOSトランジスタに流れる電流と比例関係となるよう制御することを特徴とするレベル変換回路。

10

(付記3) 基準電圧と第1電圧とを信号レベルとする入力信号を、前記基準電圧と第1電圧よりも高い第2電圧の信号レベルに変換するレベル変換回路であって、

第1～第4のPMOSトランジスタと、第1～第4のNMOSトランジスタと、第1のバイアス電位を発生する第1のバイアス回路と、第2のバイアス電位を発生する第2のバイアス回路とを含み、

第1のNMOSトランジスタは、ドレインが第1のPMOSトランジスタのドレインと第2のPMOSトランジスタのゲートに接続され、ソースが第3のNMOSトランジスタのドレインに接続され、第2のNMOSトランジスタは、ドレインが第2のPMOSトランジスタのドレインと第1のPMOSトランジスタのゲートに接続され、ソースが第4のNMOSトランジスタのドレインに接続され、第3のPMOSトランジスタのドレインは、第1のPMOSトランジスタのソースに接続され、第4のPMOSトランジスタのドレインは、第2のPMOSトランジスタのソースに接続され、

20

第3のNMOSトランジスタのゲートに前記入力信号が供給されるとともに、第4のNMOSトランジスタのゲートに前記入力信号を反転した信号が供給され、

前記第1のバイアス回路は、前記第1電圧より前記第1及び第2のNMOSトランジスタのしきい値電圧高い第1のバイアス電位を前記第1及び第2のNMOSトランジスタのゲートに供給する回路であり、前記基準電圧と第1電圧とを信号レベルとする制御信号に基づいて、前記第1のバイアス電位を発生させるための電流を制御し、

前記第2のバイアス回路は、前記第3及び第4のPMOSトランジスタのゲートに前記第2のバイアス電位を供給し、出力信号の変化時に第3及び第4のPMOSトランジスタに流れる電流が第1及び第2のNMOSトランジスタに流れる電流と比例関係となるよう制御することを特徴とするレベル変換回路。

30

(付記4) 前記バイアス回路は、バイアス電流を設定するための抵抗と、前記制御信号に基づいて前記抵抗に流れる電流を制御するMOSトランジスタとを備えることを特徴とする付記1に記載のレベル変換回路。

(付記5) 前記バイアス回路は、前記バイアス電流を設定するための抵抗を複数備えることを特徴とする付記4に記載のレベル変換回路。

(付記6) 前記第2電圧の立ち上がりを検出して前記バイアス回路にリセット信号を供給するパワーオンリセット回路を備え、前記バイアス回路は、そのリセット信号に基づいてバイアス電流を増加させることを特徴とする付記1に記載のレベル変換回路。

40

(付記7) 前記バイアス回路は、バイアス電流の停止時にバイアス電位を前記基準電圧の電位レベルとするためのMOSトランジスタを備えることを特徴とする付記2に記載のレベル変換回路。

(付記8) 前記バイアス回路は、前記バイアス電位を安定化するための容量を備えることを特徴とする付記1～7のいずれかに記載のレベル変換回路。

(付記9) 前記バイアス回路は、複数のMOSトランジスタからなる自己バイアス回路が出力するバイアス電位に基づいてバイアス電流を決定することを特徴とする付記1に記載のレベル変換回路。

(付記10) 前記バイアス回路は、前記第2電圧の電源に接続されカレントミラー回路を

50

構成する一対のPMOSトランジスタと、ドレインとゲートが前記ミラー回路に接続されるとともにソースが前記第1電圧の電源に接続されるNMOSトランジスタとを備えることを特徴とする付記1に記載のレベル変換回路。

(付記11) 前記バイアス回路は、前記カレントミラー回路に流れるバイアス電流を設定するための抵抗と、前記制御信号に基づいて前記抵抗に流れる電流を制御するNMOSトランジスタとを備えることを特徴とする付記10に記載のレベル変換回路。

(付記12) 前記各MOSトランジスタからなる変換部を複数備え、該各変換部にバイアス電位を供給するバイアス回路を共通に用いるようにしたことを特徴とする付記1に記載のレベル変換回路。

(付記13) 基準電圧と第1電圧との電圧レベルの入力信号を、前記基準電圧と前記第1電圧よりも高い第2電圧との電圧レベルの出力信号にレベル変換するレベル変換回路であって、

バイアス電位を発生するバイアス回路と、クロスカップルされた第1及び第2のPMOSトランジスタと、該各PMOSトランジスタに直列に接続され、ゲートに前記バイアス電位が供給される第1及び第2のNMOSトランジスタと、前記各NMOSトランジスタに直列に接続され、ゲートに前記入力信号が供給される第3及び第4のNMOSトランジスタと、を含み、

前記バイアス電位は、前記第1電圧より前記第1及び第2のNMOSトランジスタのしきい値電圧高い電位であり、前記バイアス回路は、前記基準電圧と第1電圧とを信号レベルとする制御信号に基づいて前記バイアス電位を発生させるための電流を制御することを特徴とするレベル変換回路。

(付記14) 基準電圧と第1電圧との電圧レベルの入力信号を、前記基準電圧と前記第1電圧よりも高い第2電圧との電圧レベルの出力信号にレベル変換するレベル変換回路であって、

バイアス電位を発生するバイアス回路と、クロスカップルされた第1及び第2のPMOSトランジスタと、該各PMOSトランジスタと直列に接続され、ゲートに供給される前記バイアス電位に基づいて前記各PMOSトランジスタに流れる電流を制限する第3及び第4のPMOSトランジスタと、前記PMOSトランジスタと直列に接続され、ゲートに前記入力信号が供給される第1及び第2のNチャンネルMOSトランジスタと、を含み、

前記バイアス回路は、前記バイアス電位に基づいて、出力信号の変化時に第3及び第4のPMOSトランジスタに流れる電流が第1及び第2のNMOSトランジスタに流れる電流と比例関係となるよう制御することを特徴とするレベル変換回路。

(付記15) 付記1～14のいずれかに記載のレベル変換回路と、該レベル変換回路を制御する制御回路とを含むことを特徴とする半導体集積回路装置。

(付記16) アナログ信号からデジタル信号に変換するAD変換を行うことを特徴とする付記15に記載の半導体集積回路装置。

【図面の簡単な説明】

【0194】

【図1】本発明の原理説明図である。

【図2】本発明の原理説明図である。

【図3】本発明の原理説明図である。

【図4】図3のレベル変換回路の動作波形図である。

【図5】第1の実施の形態のレベル変換回路を示す回路図である。

【図6】第2の実施の形態のAD変換回路を示す回路図である。

【図7】レベル変換回路を示す回路図である。

【図8】スイッチ回路を示す回路図である。

【図9】AD変換回路の制御タイミングの説明図である。

【図10】第3の実施の形態のレベル変換回路を示す回路図である。

【図11】図10のレベル変換回路の動作波形図である。

【図12】第4の実施の形態のレベル変換回路を示す回路図である。

10

20

30

40

50

- 【図 1 3】第 5 の実施の形態のレベル変換回路を示す回路図である。
 【図 1 4】第 6 の実施の形態のレベル変換回路を示す回路図である。
 【図 1 5】第 7 の実施の形態のレベル変換回路を示す回路図である。
 【図 1 6】第 8 の実施の形態の原理説明図である。
 【図 1 7】第 8 の実施の形態のレベル変換回路を示す回路図である。
 【図 1 8】第 9 の実施の形態のレベル変換回路を示す回路図である。
 【図 1 9】第 1 0 の実施の形態のレベル変換回路を示す回路図である。
 【図 2 0】第 1 1 の実施の形態のレベル変換回路を示す回路図である。
 【図 2 1】第 1 2 の実施の形態のレベル変換回路を示す回路図である。
 【図 2 2】第 1 3 の実施の形態のレベル変換回路を示す回路図である。
 【図 2 3】第 1 4 の実施の形態のレベル変換回路を示す回路図である。
 【図 2 4】第 1 5 の実施の形態のレベル変換回路を示す回路図である。
 【図 2 5】第 1 従来例のレベル変換回路を示す回路図である。
 【図 2 6】第 2 従来例のレベル変換回路を示す回路図である。

【符号の説明】

【 0 1 9 5 】

1 0 , 2 2 , 2 7 , 2 8 , 3 0 , 3 5 , 4 0 レベル変換回路

4 3 , 4 5 , 4 8 , 5 5 , 6 1 , 7 1 レベル変換回路

1 1 , 2 3 , 3 1 , 4 1 , 4 6 , 4 9 , 7 2 バイアス回路

1 5 半導体集積回路装置としての A D 変換回路

1 8 逐次比較制御回路

4 4 パワーオンリセット回路

C 1 , C 2 容量

I N , I N 1 , I N 2 入力信号

E N , E N X , P D , P D X 制御信号

N B バイアス電位

N H 1 第 1 の N M O S トランジスタ

N H 2 第 2 の N M O S トランジスタ

N H 4 , N H 4 1 M O S トランジスタ

N L 1 第 3 の N M O S トランジスタ

N L 2 第 4 の N M O S トランジスタ

O U T , O U T 1 , O U T 2 出力信号

P B バイアス電位

P H 1 第 1 の P M O S トランジスタ

P H 2 第 2 の P M O S トランジスタ

P H 4 0 第 3 の P M O S トランジスタ

P H 4 1 第 4 の P M O S トランジスタ

R 1 , R 3 抵抗

V d d 第 1 電圧としての電源電圧

V i n アナログ信号

V t h しきい値電圧

V p p 第 2 電圧としての電源電圧

10

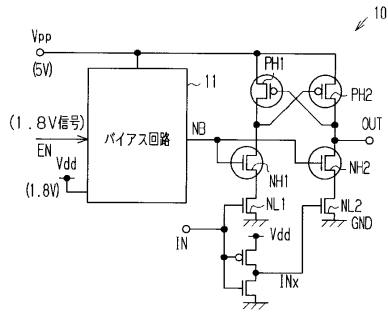
20

30

40

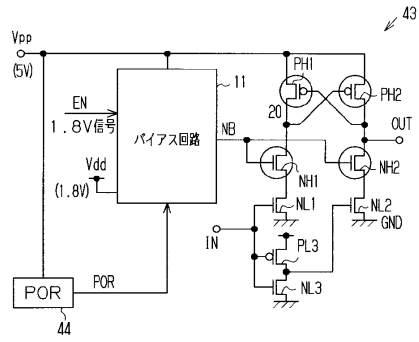
【図1】

本発明の原理説明図



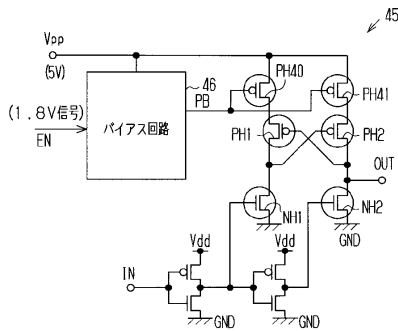
【図3】

本発明の原理説明図



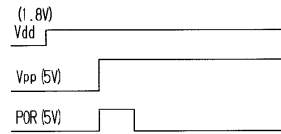
【図2】

本発明の原理説明図



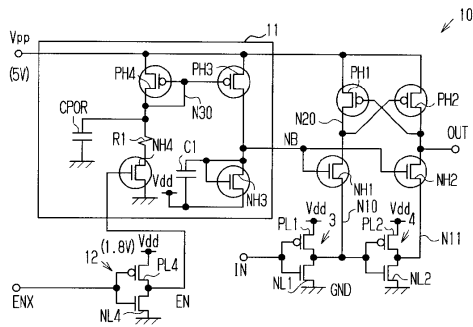
【図4】

図3のレベル変換回路の動作波形図



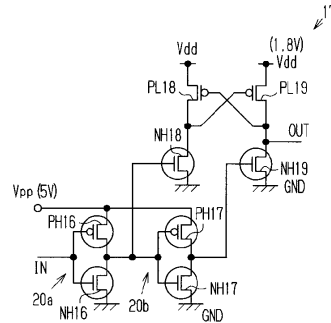
【図5】

第1の実施の形態のレベル変換回路を示す回路図



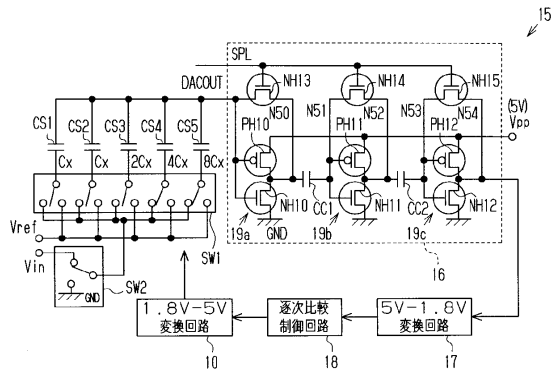
【図7】

レベル変換回路を示す回路図



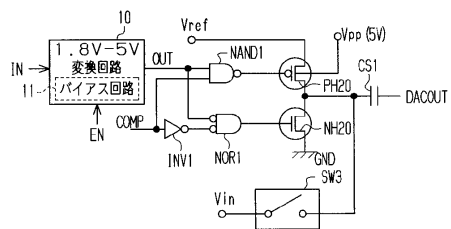
【図6】

第2の実施の形態のAD変換回路を示す回路図



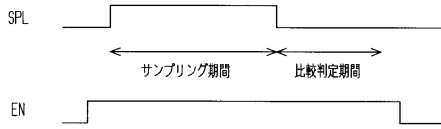
【図8】

スイッチ回路を示す回路図



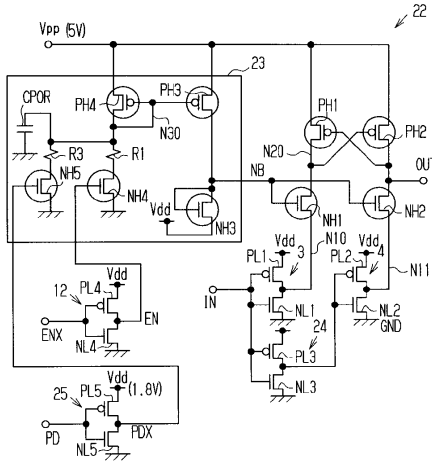
【図9】

AD変換回路の制御タイミングの説明図



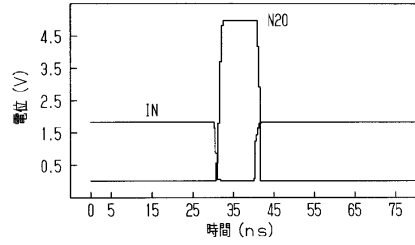
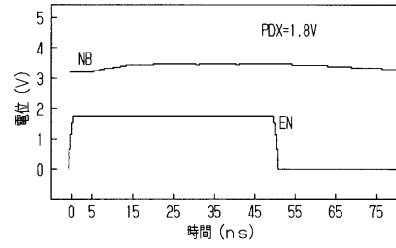
【図10】

第3の実施の形態のレベル変換回路を示す回路図



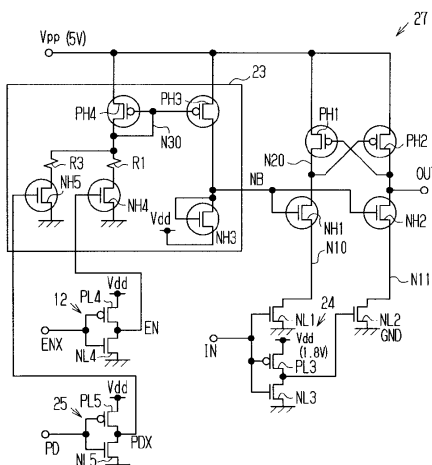
【図11】

図10のレベル変換回路の動作波形図



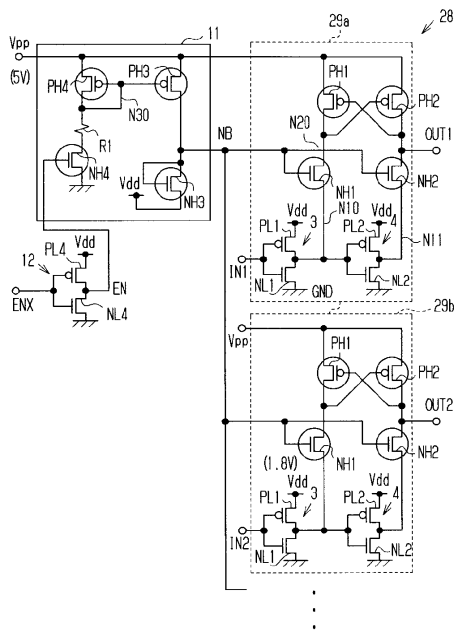
【図12】

第4の実施の形態のレベル変換回路を示す回路図



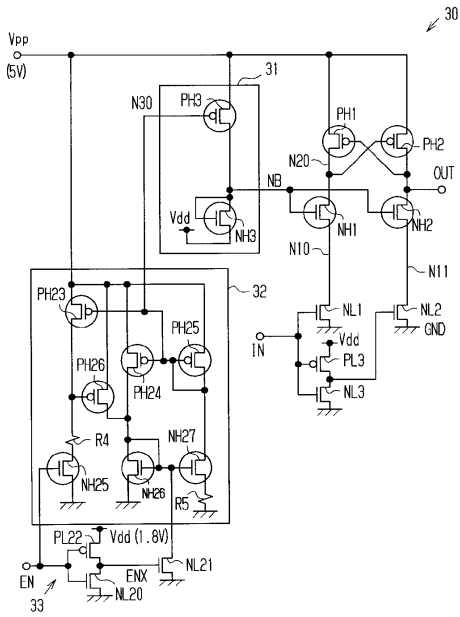
【図13】

第5の実施の形態のレベル変換回路を示す回路図



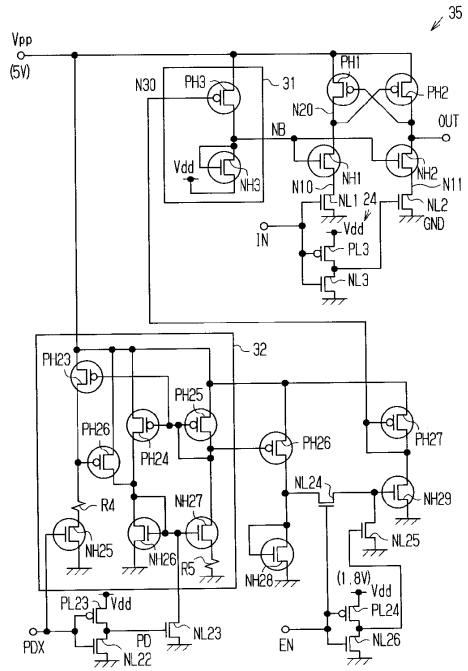
【図14】

第6の実施の形態のレベル変換回路を示す回路図



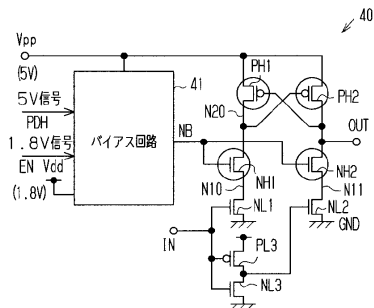
【図15】

第7の実施の形態のレベル変換回路を示す回路図



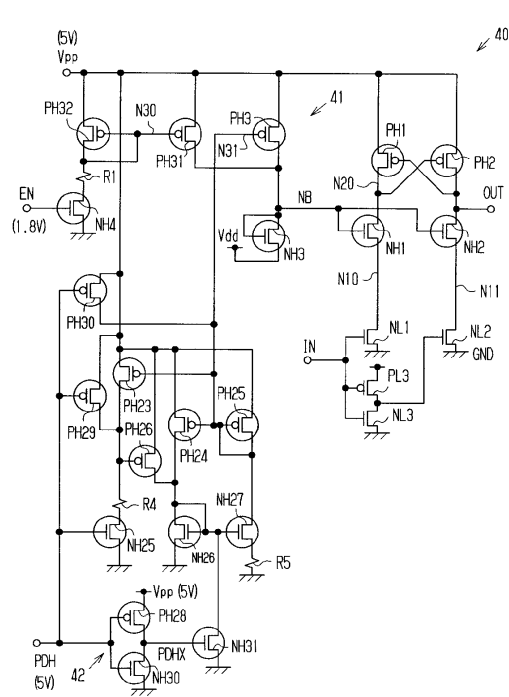
【図16】

第8の実施の形態の原理説明図



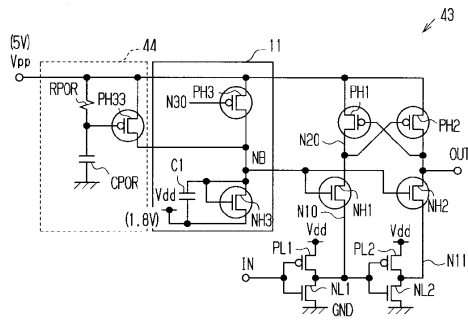
【図17】

第8の実施の形態のレベル変換回路を示す回路図



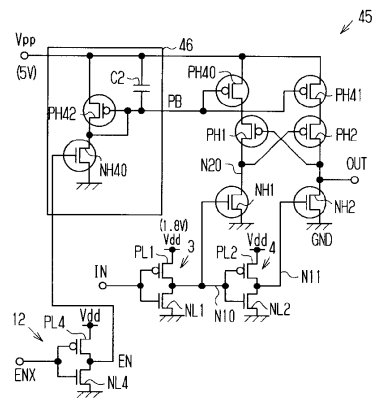
【図18】

第9の実施の形態のレベル変換回路を示す回路図



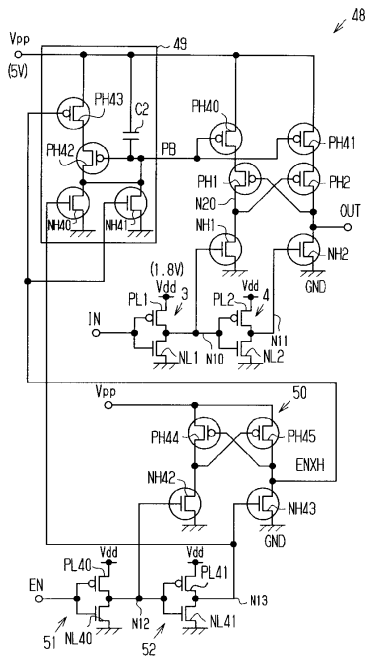
【図19】

第10の実施の形態のレベル変換回路を示す回路図



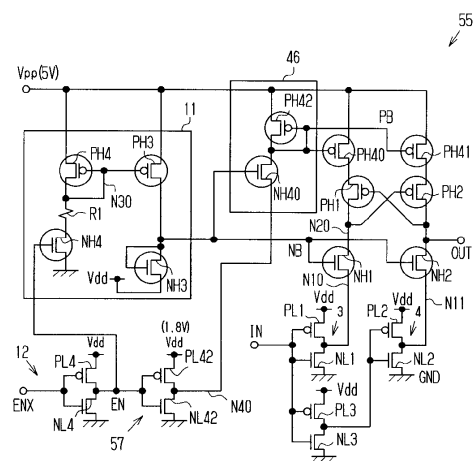
【図20】

第11の実施の形態のレベル変換回路を示す回路図



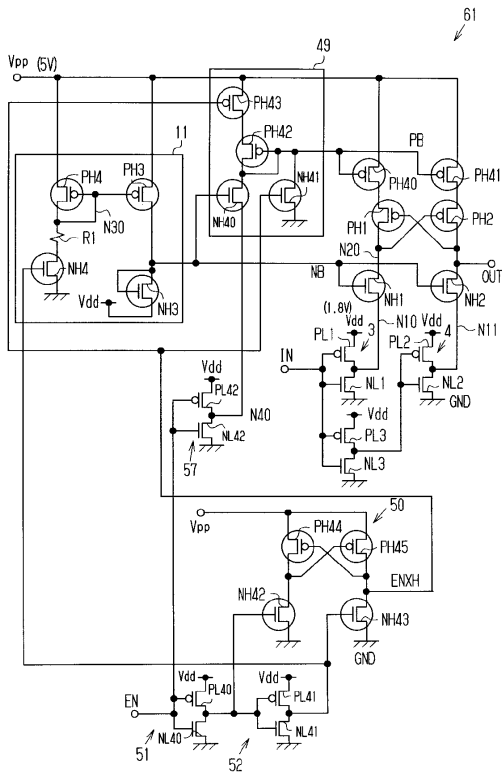
【図21】

第12の実施の形態のレベル変換回路を示す回路図



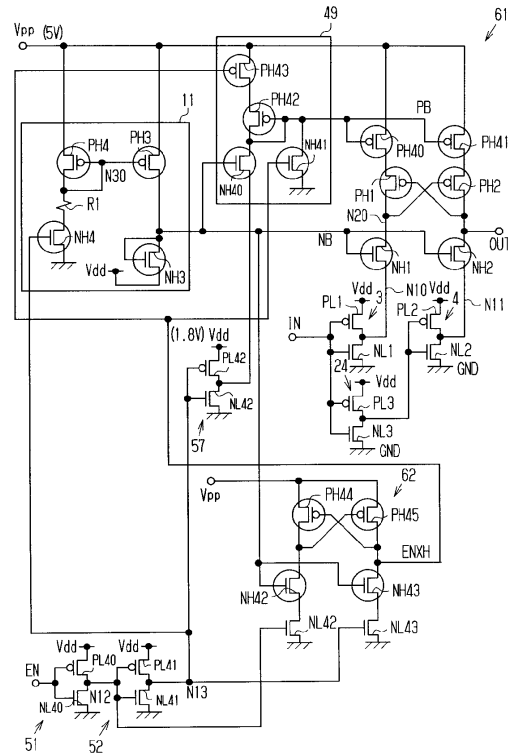
【図22】

第13の実施の形態のレベル変換回路を示す回路図



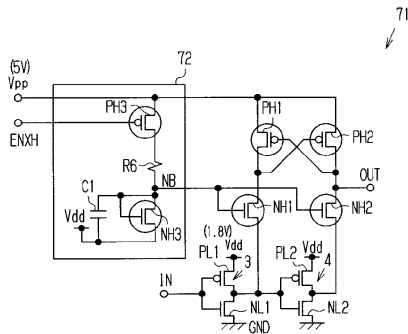
【図23】

第14の実施の形態のレベル変換回路を示す回路図



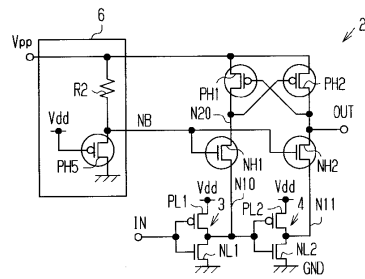
【図24】

第15の実施の形態のレベル変換回路を示す回路図



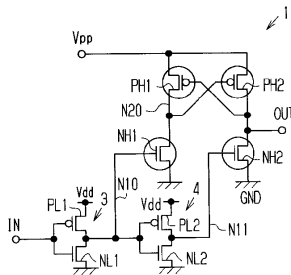
【図26】

第2従来例のレベル変換回路を示す回路図



【図25】

第1従来例のレベル変換回路を示す回路図



フロントページの続き

- (56)参考文献 特開2002-190731(JP,A)
特開平10-294662(JP,A)
特開2003-309463(JP,A)
特開2001-351393(JP,A)
特開2003-101405(JP,A)
特開平05-308274(JP,A)
特開2000-174610(JP,A)
特開2000-295089(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096